BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

Facultad de Ciencias de la Electrónica

Licenciatura en Ciencias de la Electrónica

Tesis

"Diseño y caracterización de multiplicadores analógicos de cuatro cuadrantes"

Tesis presentada como requisito para obtener el título en:

LICENCIATURA EN CIENCIAS DE LA ELECTRÓNICA

Presenta: Alejandra Díaz Armendáriz

Asesores:

Dr. Víctor Rodolfo González Díaz

Dr. José Miguel Rocha Pérez

Octubre 2017

Resumen

En este trabajo de tesis se realiza el desarrollo de cuatro multiplicadores analógicos de cuatro cuadrantes. Los multiplicadores fueron diseñados utilizando los parámetros de la tecnología ON-SEMI de 0.5µm usando S-Edit de Tanner y H-Spice. Todas las configuraciones mostradas funcionan con un voltaje de alimentación de $\pm 1.65\ V$.

El primer diseño es un multiplicador bulk-driven con señal inyectada por medio de un arreglo capacitor- resistencia diseñado para configuraciones en modo diferencial y simple. Ambas versiones son de bajo consumo de potencia. Los multiplicadores operan con un ancho de banda de $702\ kHz$ y $3.38\ MHz$ respectivamente.

Seguido, se muestra un multiplicador diseñado para operar a altas frecuencias llegando a alcanzar un ancho de banda de hasta $50\ MHz$. Adjunto al multiplicador se encuentra un arreglo compuesto de un buffer seguido por un amplificador. El multiplicador está diseñado para trabajar en modo corriente siendo modificado para trabajar con voltaje para facilitar su caracterización.

El tercer diseño es un multiplicador compacto con parámetros balanceados. El diseño posee un rango dinámico comparable con los otros mostrados.

El cuarto diseño es un multiplicador con entrada por compuerta con base de un divisor de voltaje formado por un arreglo resistivo. El diseño tiene alta linealidad y baja distorsión, con capacidad de operar en región de saturación y subumbral. El multiplicador opera a un ancho de banda de $856\ kHz$ en saturación y $154\ kHz$ en subumbral.

Se generó el patrón geométrico de los multiplicadores para su fabricación. Se incluye al final una tabla comparativa de todos los diseños vistos en el trabajo.

Agradecimientos

Agradezco a mis padres por el inmenso apoyo que me han brindado durante este trabajo y mi carrera. A mi hermana por su constante entusiasmo y a mis amigos, compañeros y profesores por su compañía en los buenos y malos momentos por igual.

Agradezco a mis asesores, el Dr. José Miguel Rocha Pérez y el Dr. Victor Rodolfo González Díaz por impulsarme a realizar este trabajo y por su confianza y paciencia en cada paso de este largo camino.

Agradezco al M.C. Gregorio Zamora Mejia, al M.C Ricardo Bolaños Pérez y al M.C. Mauricio Ixtlahuaca por su tutoría y enseñanza y por si infinita paciencia y disposición a resolver mis dudas.

Agradezco a mis sinodales, el Dr. Héctor Santiago Ramírez, el Dr. Luis Abraham Sanchez Gaspariano y el Dr. Jesús Manuel Muñoz Pacheco por revisar este trabajo y cuya retroalimentación contribuyeron a la mejora del mismo.

Índice general

Resumen ii
Agradecimientos iv
Introducción 1
1. El Multiplicador Analógico 3
2. Multiplicador bulk-driven con salida en modo simple y diferencial 17
2.1 Marco teórico 17
2.2 Dimensionamiento 19
2.3 Simulación de esquemático 20
2.3.1 Simulación DC 21
2.3.2 Simulación AC 23
2.3.3 Simulación Transitoria 26
2.4 Diseño de Layout 28
3. Multiplicador de más alta frecuencia 31
3.1 Marco teórico 31
3.2 Dimensionamiento 38
3.3 Simulación de esquemático 39
3.3.1 Simulación DC 39
3.3.2 Simulación AC 40
3.3.3 Simulación transitoria 42
3.4 Diseño de Layout 43
4. Multiplicador de transconductancia 45
4.1 Marco teórico 45
4.2 Proceso de diseño 47
4.3 Resultados de Simulación 48
4.3 Diseño de Layout 52
4.4 Caracterización 52
5. Multiplicador con resistencias 55
5.1 Marco teórico 55
5.2 Dimensionamiento 56
5.3 Resultados de Simulación en Saturación 57
5.5 Diseño de Layout 62
5.6 Caracterización 63
Conclusiones y trabajo futuro 65
Referencias 67

Índice de Figuras

Figura 1.1 Diagrama a bloques básico de un multiplicador **3**
Figura 1.2 Principio de funcionamiento del multiplicador con OTAs **4**
Figura 1.3 Arquitecturas de cancelación para un multiplicador de cuatro cuadrantes. a) Cancelación usando multiplicadores de un cuadrante. b) Cancelación usando dispositivos cuadráticos. **5**
Figura 1.4 Estructuras básicas para multiplicación usando $VgsVds$ **8**
Figura 1.5 Estructuras básicas para multiplicación usando $VgsVds$ **8**
Figura 1.6 Multiplicadores diferenciales de cuatro cuadrantes usando $Vds2$ por drenaje. **9**
Figura 1.7 Multiplicadores de cuatro cuadrantes con compuerta dual operando en región lineal **10**
Figura 1.8 Multiplicador diferencial de cuatro cuadrantes usando $Vgs2$ con conexión a diodo. **10**
Figura 1.9 Multiplicador diferencial de cuatro cuadrantes usando $Vgs2$ con inyección a compuerta y fuente **11**
Figura 1.10 Multiplicador diferencial de cuatro cuadrantes usando $Vgs2$ con terminal en sustrato **11**
Figura 1.11 Multiplicador diferencial de cuatro cuadrantes usando $Vgs2$ con sumador de voltaje **12**
Figura 1.12 Multiplicador diferencial de transconductancia de cuatro cuadrantes usando celda MOS de Gilbert **13**
Figura 1.13 Multiplicador diferencial de voltaje de cuatro cuadrantes usando celda de Gilbert **13**
Figura 2.1 Diagrama original del multiplicador bulk-driven y carga activa **18**
Figura 2.2 Diagrama modificado de multiplicador bulk-driven con salida diferencial **19**
Figura 2.3 Diagrama de multiplicador bulk-driven con salida en modo simple **20**
Figura 2.4 Respuesta en DC de multiplicador bulk-driven barriendo Vx para configuración en modo diferencial **21**
Figura 2.5 Respuesta en DC de multiplicador bulk-driven barriendo Vy para configuración en modo diferencial **21**
Figura 2.6 Respuesta en DC de multiplicador bulk-driven barriendo Vx para configuración en modo simple **22**
Figura 2.7 Respuesta en DC de multiplicador bulk-driven barriendo Vy para configuración en modo simple **22**
Figura 2.8 Respuesta en AC de multiplicador bulk-driven barriendo Vx para configuración en modo diferencial **23**
Figura 2.9 Respuesta en AC de multiplicador bulk-driven barriendo Vy para configuración en modo diferencial **24**
Figura 2.10 Respuesta en AC de multiplicador bulk-driven barriendo Vx para configuración en modo simple **25**
Figura 2.11 Respuesta en AC de multiplicador bulk-driven barriendo Vy para configuración en modo simple **25**
Figura 2.12 Respuesta transitoria de multiplicador bulk-driven para configuración en modo diferencial **26**
Figura 2.13 Respuesta transitoria de multiplicador bulk-driven para configuración en modo diferencial **27**

Figura 2.14 Respuesta transitoria de multiplicador bulk-driven para configuración en modo simple 27
Figura 2.15 Respuesta transitoria de multiplicador bulk-driven para configuración en modo simple 28
Figura 2.16 Layout de multiplicador bulk-driven en modo diferencial 28
Figura 2.17 Layout de multiplicador bulk-driven en modo simple 29
Figura 3.1 Diagrama de multiplicador de baja distorsión 31
Figura 3.2 Modelo en pequeña señal del sensado de corriente del multiplicador en Fig.3.1 33
Figura 3.3 Modelo en pequeña señal de la suma de la corriente de salida del multiplicador de Fig.3.1 34
Figura 3.4 Formas de sensado de señal 35
Figura 3.5 Diagrama de multiplicador de alta frecuencia con sensado de corriente tipo solo-señal 36
Figura 3.6 Diagrama modificado de multiplicador de alta frecuencia 37
Figura 3.7 Diagrama de arreglo buffer-amplificador 38
Figura 3.8 Respuesta en AC de multiplicador de alta frecuencia barriendo Vc 39
Figura 3.9 Respuesta en AC de multiplicador de alta frecuencia barriendo VTi 40
Figura 3.10 Respuesta en AC de multiplicador de alta frecuencia barriendo Vc 41
Figura 3.11 Respuesta en AC de multiplicador de alta frecuencia barriendo Vti 41
Figura 3.12 Respuesta transitoria de multiplicador de alta frecuencia 42
Figura 3.13 Respuesta transitoria de multiplicador de alta frecuencia 43
Figura 3.14 Layout de multiplicador alta frecuencia 43
Figura 4.1 Esquemático de multiplicador de corriente 45
Figura 4.2 Esquemático de multiplicador de transconductancia 46
Figura 4.3 Diagrama de multiplicador de transconductancia 47
Figura 4.4 Respuesta en AC de multiplicador de transconductancia barriendo Vc 48
Figura 4.5 Respuesta en AC de multiplicador de transconductancia barriendo Vb 49
Figura 4.6 Respuesta en AC de multiplicador de transconductancia barriendo Vc 49
Figura 4.7 Respuesta en AC de multiplicador de transconductancia barriendo Vb 50
Figura 4.8 Respuesta transitoria de multiplicador de transconductancia 51
Figura 4.9 Respuesta transitoria de multiplicador de transconductancia 51
Figura 4.10 Layout de multiplicador de transconductancia 52
Figura 4.11 Respuesta en DC de multiplicador de transconductancia 52
Figura 4.12 Respuesta en AC de multiplicador de transconductancia barriendo VC 53
Figura 4.13 Respuesta en AC de multiplicador de transconductancia barriendo Vb 53
Figura 4.14 Caracterización de respuesta transitoria de multiplicador de transconductancia 54
Figura 5.1 Diagrama de multiplicador con resistencias 55
Figura 5.2 Divisor de voltaje 55
Figura 5.3 Respuesta DC de multiplicador con resistencias 57
Figura 5.4 Respuesta AC de multiplicador con resistencias 58
Figura 5.5 Respuesta transitoria de multiplicador con resistencias 59
Figura 5.6 Respuesta DC de multiplicador con resistencias 60
Figura 5.7 Respuesta AC de multiplicador con resistencias 60
Figura 5.8 Respuesta transitoria de multiplicador con resistencias en región subumbral 61
Figura 5.9 Layout de multiplicador con resistencias 62
Figura 5.10 Caracterización de respuesta transitoria de multiplicador con resistencias 63

Índice de Tablas

I. Modos de operación de un multiplicador CMOS **7**

II. Dimensiones de multiplicador bulk-driven con salida diferencial **19**

III. Resultado de simulación AC de multiplicador bulk-driven barriendo V_x para configuración en modo diferencial **23**

IV. Resultado de simulación AC de multiplicador bulk-driven barriendo V_y para configuración en modo diferencial **24**

V. Resultado de simulación AC de multiplicador bulk-driven barriendo V_x para configuración en modo simple **25**

VI. Resultado de simulación AC de multiplicador bulk-driven barriendo V_y para configuración en modo simple **26**

VII. Dimensiones de multiplicador de alta frecuencia **38**

VIII. Resultado de simulación AC de multiplicador de alta frecuencia barriendo V_c **41**

IX. Resultado de simulación AC de multiplicador de alta frecuencia barriendo V_{ti} **42**

X. Dimensiones de multiplicador de transconductancia **48**

XI. Resultado de simulación AC de multiplicador de transconductancia barriendo V_c **50**

XII. Resultado de simulación AC de multiplicador de transconductancia barriendo V_b **50**

XIII. Resultado de simulación AC de multiplicador con resistencias operando en saturación **58**

XIV. Parámetros de transistores de multiplicador con resistencias operando en subumbral **59**

XV. Resultado de simulación AC de multiplicador con resistencias operando en subumbral **61**

XVI. Comparación de multiplicadores **65**

Introducción

En el campo de la electrónica, un multiplicador es un dispositivo que procesa dos señales de entrada dando como resultado el producto de ambas a su salida [1] [2] [3]. De esta operación matemática simple es posible crear funciones más complejas.

Conforme ha avanzado la electrónica digital el uso de multiplicadores digitales en aplicaciones antes realizadas por su contraparte analógica se ha convertido en una opción más barata y sencilla, sobre todo en aplicaciones que operan en baja frecuencia. Sin embargo, para aplicaciones en las que la entrada o salida de la señal debe ser analógica es necesario agregar convertidores analógico-digital (ADC) o digital-analógico (DAC) lo cual podría resultar más costoso conforme aumenta la complejidad de la operación y la operación a altas frecuencias puede causar un retardo de propagación demasiado grande para ser procesado por el sistema.

Es claro entonces, que el diseño de multiplicadores analógicos sigue siendo un tema relevante incluso en la electrónica moderna. Este proceso se dificulta debido a la necesidad de asegurar que el multiplicador pueda operar de manera lineal sin lo cual la señal resultante pudiera no ser correctamente procesada por el resto del sistema.

En el transcurso de los últimos años, se han reportado una gran variedad de topologías de multiplicadores [4] [5] [6]. La diversidad que tienen los multiplicadores hace que se presten a formar parte de una gran variedad de aplicaciones como modulación de señales [7] [8], redes neuronales [9] [10] y dispositivos biomédicos [11]. Los requerimientos específicos de cada aplicación son lo que determina las características para las cuales se diseñará un multiplicador, así como qué topologías serán de mejor uso como base para el desarrollo del sistema.

Con esto en mente, es común que en el proceso de resolver las problemáticas resultantes en las topologías ya existentes se hagan una variedad de propuestas sobre nuevos diseños o modificaciones a diseños existentes. Sin embargo, no basta con proponer topologías nuevas sin probar que no sólo funcionan a nivel de simulación de esquemático. Un diseño que ha probado ser exitoso a nivel de simulación podría no funcionar al intentar traducir este éxito al mundo físico, quedando como una idea que pueda no ser explorada a futuro.

Para que estas ideas puedan tener una aplicación en el mundo real se requiere fabricar el diseño y realizar una caracterización del circuito resultante. Con estas consideraciones se realiza el diseño de los multiplicadores realizados en este trabajo con el objetivo final de fabricarlos en silicio y comprobar su viabilidad como un componente práctico.

La tesis se organiza de la siguiente manera: el capítulo 1 explica los principios básicos del funcionamiento del multiplicador analógico, seguido por un listado de topologías básicas usadas para crear multiplicadores. Los capítulos 2, 3, 4 y 5 presentan el análisis, diseño y resultados de simulación de los multiplicadores realizados como parte de este trabajo. El segundo analiza un multiplicador bulk-driven, el tercero un multiplicador de alta frecuencia,

el cuarto un multiplicador de transconductancia y el cuarto un multiplicador con resistencias que funciona tanto en la región de saturación como en inversión débil. Finalmente, en el capítulo 6 se presenta una tabla comparativa del desempeño de los multiplicadores junto con una breve mención de posibles trabajos futuros.

Capítulo 1

El Multiplicador Analógico

En este capítulo se presenta una breve explicación teórica de los temas que abarca este trabajo. Se comienza con el funcionamiento básico del circuito principal del trabajo: el multiplicador analógico. Seguido de esto se muestran posibles topologías con las cuales puede diseñarse un multiplicador. Finalmente se menciona en breve las bases del funcionamiento de un transistor en región de subumbral o inversión débil.

1.1. Principio de funcionamiento

Un multiplicador realiza un producto lineal de dos señales x y y, produciendo una salida $z = Kxy$ donde K es una constante de multiplicación. Siendo más específico, se usa un dispositivo no lineal al cual se inyectan dos señales, $v_1(t)$ y $v_2(t)$. Siendo un dispositivo no-lineal, su salida contiene muchos términos en donde están involucrados los productos de $v_1(t)$, $v_2(t)$ (y de sus potencias) cuando se analiza desde el punto de vista del análisis de la serie de potencias. De entre ellos, existe un término $kv_1(t)v_2(t)$ el cuál es el producto deseado, sin embargo, el resto de los términos deben ser eliminados por medio de un esquema de cancelación como se indica en la Fig.1.1.

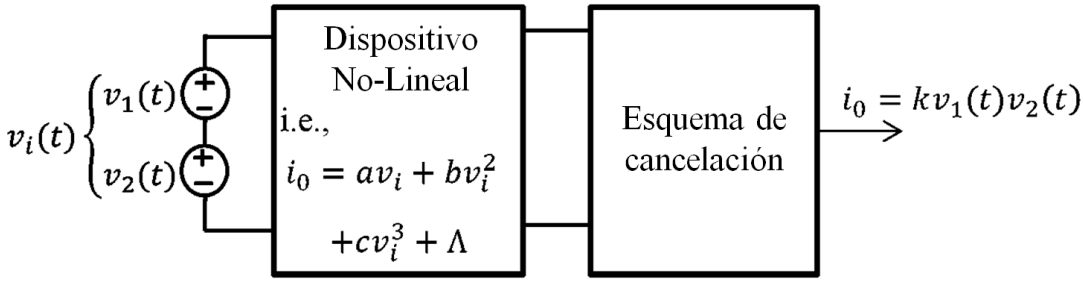


Figura 1.1 Diagrama a bloques básico de un multiplicador [17]

Hay diferentes formas de clasificar los multiplicadores dependiendo del tipo de señal que manejan, siendo la más frecuente por el número de cuadrantes que posee. Estos pueden ser de un cuadrante, (donde x y y son unipolares); dos cuadrantes, (donde x o y pueden ser bipolares); y cuatro cuadrantes, en el cual tanto x como y son bipolares. Un multiplicador de frecuencia genera a su salida una señal cuya frecuencia es un múltiplo o harmónica de la señal de entrada, mientras que un multiplicador de voltaje genera una señal con voltaje de salida equivalente al producto del nivel de voltaje de las señales de entrada.

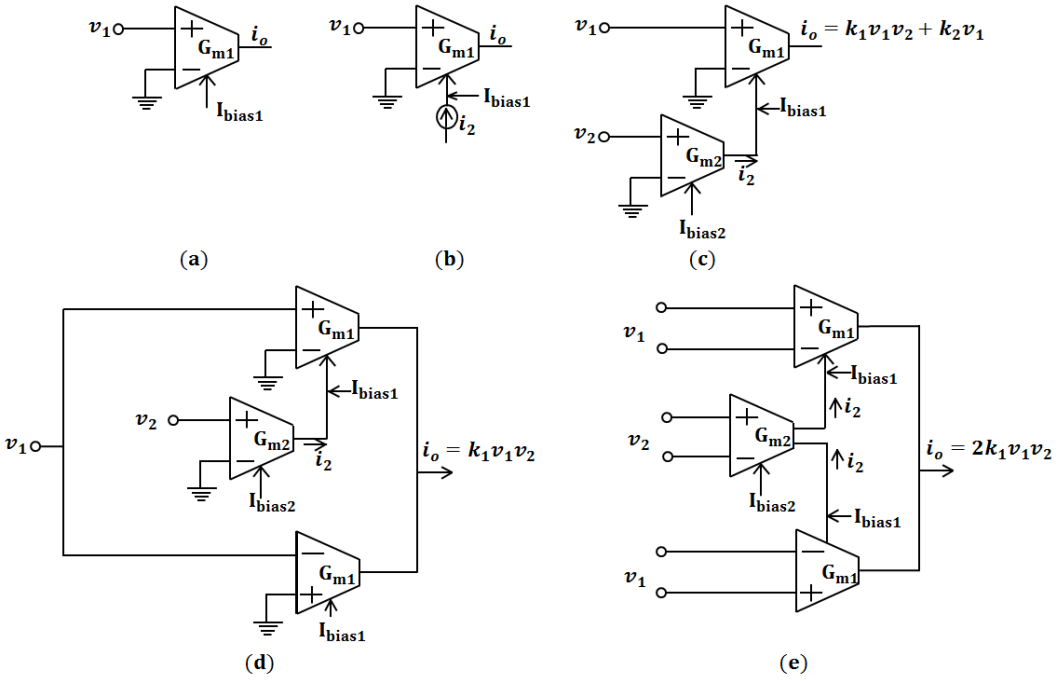


Figura 1.2 Principio de funcionamiento del multiplicador con OTAs [17]

Existen diferentes formas de hacer un multiplicador. Una de ellas es el uso de componentes de transconductancia programables como se muestra en la Fig. 1.2. La Fig.1.2a muestra un amplificador de transconductancia (OTA por sus siglas en inglés), cuya corriente de salida i_o esta dada por (1.1) donde G_{m1} y v_1 son el factor de transconductancia y el voltaje de entrada, respectivamente. A su vez G_{m1} es una función de I_{bias1} como se ve en (1.2). Asumiendo un transistor bipolar, 1.2 puede ser expresada como (1.3), siendo V_t el voltaje térmico kT/q.

$$i_o = G_{m1}v_1 \tag{1.1}$$

$$G_{m1} = G_{m1}(I_{bias1}) \tag{1.2}$$

$$G_{m1} = \frac{I_{bias1}}{2V_t} \tag{1.3}$$

Si se agrega una corriente i_2 a I_{bias1} como se muestra en la Fig.1.2b y se hace una equivalencia entre ésta y una segunda señal de entrada $v_2(t)$ como se muestra en la Fig.1.2c, la segunda corriente puede expresarse como $i_2(t) = G_{m2}v_2(t)$ y la corriente de salida se expresa como (1.4).

$$i_o(t) = G_{m1}v_1(t) = \frac{I_{bias1}+G_{m2}v_2(t)}{2V_t}v_1(t) = \frac{G_{m2}v_1(t)v_2(t)}{2V_t} + \frac{I_{bias1}}{2V_t}v_1(t) = \frac{I_{bias2}v_1(t)v_2(t)}{2V_t2V_t} + \frac{I_{bias1}v_1(t)}{2V_t} \tag{1.4}$$

Si se toman las corrientes I_{bias} y los voltajes V_t como una constante k, $i_o(t)$ puede expresarse como (1.5), siendo $i_o(t)$ la multiplicación de dos señales $v_1(t)$ y $v_2(t)$ junto con una componente no deseada $k_2v_1(t)$.

$$i_o(t) = k_1 v_1(t) v_2(t) + k_2 v_1(t) \tag{1.5}$$

Para obtener una multiplicación pura, es necesario eliminar este término restante. En otras palabras, se necesita implementar un esquema de cancelación. Se muestra un esquema posible en Fig.1.2d, pero se puede lograr una mejor cancelación si se hace que G_{m2} sea completamente diferencial y que v_1 y v_2 sean entradas diferenciales como se muestra en Fig.1.2e.

Éste último arreglo muestra el principio de operación de una celda de Gilbert [12] [13], una de las muchas topologías que se usan para hacer un multiplicador. Esta fue inicialmente reportada usando BJTs, pero también puede realizarse usando OTAs [14] [15] o transistores MOS [16].

Inicialmente se usaban transistores BJT para fabricar multiplicadores, sin embargo con el surgimiento de los transistores CMOS (Complimentary Metal-Oxide Semiconductor por sus siglas en inglés) como un proceso de fabricación de bajo costo y la necesidad de menores voltajes de operación para los cuales las celdas a base de BJT ya no eran adecuados, estos fueron reemplazados por topologías a base de CMOS.

1.2. Multiplicador CMOS

Habiendo definido el principio de operación, el problema ahora se centra en qué tipo de arquitectura se debe usar. Se muestra en Fig.1.3 dos arquitecturas de cancelación para un multiplicador de cuatro cuadrantes. Las señales x y y forman las cuatro posibles combinaciones entre las dos señales: $(x, y), (-x, y), (-x, -y)$ y $(x, -y)$.

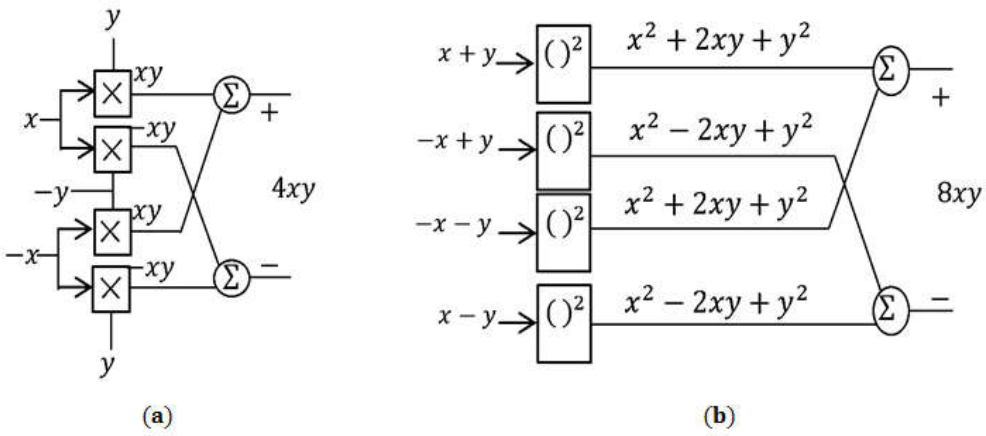


Figura 1.3 Arquitecturas de cancelación para un multiplicador de cuatro cuadrantes. a) Cancelación usando multiplicadores de un cuadrante. b) Cancelación usando dispositivos cuadráticos.[17]

La primera topología, Fig. 1.3a, se basa en multiplicadores de un cuadrante mientras que la segunda, Fig. 1.3b, se basa en dispositivos que usan la ley de cuadrados. El punto de suma puede realizarse convirtiendo las señales en corriente. Con estas topologías se puede generar un producto de las señales de entrada y simultáneamente cancelar las señales restantes. Los

diagramas anteriores pueden ser expresados matemáticamente de la siguiente manera, en donde (1.6) corresponde a Fig.1.3a y (1.7) a Fig.1.3b.

$$[(X+x)(Y+y)+(X-x)(Y-y)]-[(X-x)(Y+y)+(X+x)(Y-y)]=4xy \quad (1.6)$$

$$[\{(X+x)+(Y+y)\}^2+\{(X-x)+(Y-y)\}^2]-[\{(X-x)+(Y+y)\}^2+\{(X+x)+(Y-y)\}^2]=8xy \quad (1.7)$$

Una forma de implementar (1.6) y (1.7) es aprovechando las regiones lineal y saturación de un transistor MOS, las cuales son funciones lineales y cuadráticas del voltaje de compuerta. La región lineal y saturación de un transistor NMOS se expresan en (1.8) y (1.9) y en (1.10) y (1.11) para un transistor PMOS,

$$I_d=\mu_n C_{ox}\frac{W}{L}\left((V_{gs}-V_T)V_{ds}-\frac{{V_{ds}}^2}{2}\right)$$

$$para\ V_{gs}>V_T, V_{ds}<V_{gs}-V_T \quad (1.8)$$

$$I_d=\frac{1}{2}\mu_n C_{ox}\frac{W}{L}\left[V_{gs}-V_T\right]^2$$

$$para\ V_{gs}>V_T\ , V_{ds}>V_{gs}-V_T \quad (1.9)$$

$$I_d=\mu_p C_{ox}\frac{W}{L}\left((V_{gs}-|V_T|)V_{ds}-\frac{{V_{ds}}^2}{2}\right)$$

$$para\ V_{gs}>|V_T|, V_{ds}<V_{gs}-|V_T| \quad (1.10)$$

$$I_d=\frac{1}{2}\mu_p C_{ox}\frac{W}{L}\left[V_{gs}-|V_T|\right]^2$$

$$para\ V_{gs}>|V_T|\ , V_{ds}>V_{gs}-|V_T| \quad (1.11)$$

Si se propone que $K=\mu_o C_{ox}\frac{W}{L}$, siendo $\mu_o=\mu_n$ en caso de un NMOS y $\mu_o=\mu_p$ en caso de un PMOS, y V_T como el voltaje de umbral, se pueden expresar estas ecuaciones como se muestra en (1.12) y (1.13). Los términos $V_{gs}V_{ds}$ o ${V_{ds}}^2$ en (1.12) pueden usarse para implementar (1.6), mientras que o ${V_{gs}}^2$ en (1.13) se puede usar para implementar (1.7).

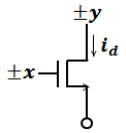
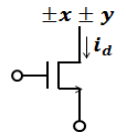
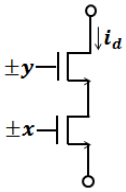
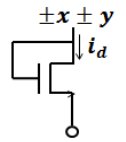
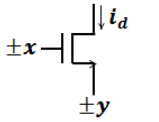
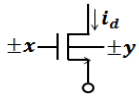
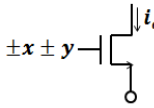
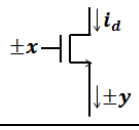
$$I_{dLIN}=K\left[V_{gs}V_{ds}-V_TV_{ds}-\frac{{V_{ds}}^2}{2}\right] \quad (1.12)$$

$$I_{dSAT}=\frac{K}{2}\left[{V_{gs}}^2-2V_{gs}V_T-{V_T}^2\right] \quad (1.13)$$

1.3. Clasificación por método de inyección

Habiendo compilado estos datos, se procede a explicar los métodos de inyección de señal. Se compilan en la Tabla I los posibles modos de operación para un multiplicador basado en transistores MOS [17]. Seguido de esto se hace una breve explicación de las posibles topologías para un multiplicador de cuatro cuadrantes que use cada método de inyección junto con su circuito de cancelación correspondiente.

TABLA I
MODOS DE OPERACIÓN DE UN MULTIPLICADOR CMOS [17]

Método de inyección	Región de Operación	Terminales de la inyección de señal	Término activo	Método de cancelación
I	Lineal		$V_{gs}V_{ds}$	Multiplicador de un cuadrante
II			${V_{ds}}^2$	Ley de cuadrados
III			$V_{gs}V_{ds}$	Multiplicador de un cuadrante
IV	Saturación		${V_{gs}}^2$	Ley de cuadrados
V			${V_{gs}}^2$	Ley de cuadrados
VI			${V_{gb}}^2$	Ley de cuadrados
VII			${V_{gs}}^2$	Ley de cuadrados
VIII			${V_{gs}}^2$	Celda de Gilbert

I. $V_{gs}V_{ds}$ por drenaje y compuerta

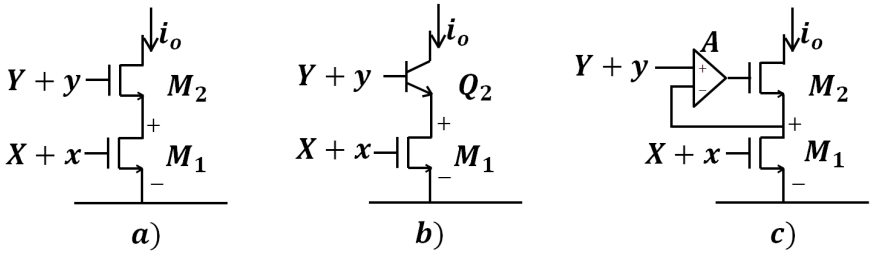


Figura 1.4 Estructuras básicas para multiplicación usando $V_{gs}V_{ds}$ **[17]**

Para explicar este método de inyección, primero se explica cómo se puede crear un multiplicador a base de un transconductor programable como el que se muestra en Fig.1.4a. Aquí M_1 opera en la región lineal, mientras que M_2 opera en saturación al aplicar los voltajes de DC apropiados X y Y. Si la transconductancia correspondiente K_2 es mayor a K_1, M_2 opera como un seguidor de fuente y V_{ds} en M_1 es controlado por y a través del seguidor de fuente M_2. Este seguidor puede reemplazarse por un seguidor BJT de emisor común como en la Fig.1.4b o por un seguidor de fuente MOS de ganancia mejorada como en Fig.1.4c.

Se puede realizar un multiplicador combinando dos transconductores programables. Tomando la ecuación (1.7) y suponiendo que $X + x = V_{gs}$ y $y = V_{ds}$, las dos corrientes para valores positivos y negativos de x I_1 y I_2 son dadas por (1.14) y su salida diferencial da como resultado la multiplicación (1.15).

$$\begin{cases} I_1 = K\left(X + x - V_T - \frac{y}{2}\right)y \\ I_2 = K\left(X - x - V_T - \frac{y}{2}\right)y \end{cases} \tag{1.14}$$

$$I_o = I_1 - I_2 = 2Kxy \tag{1.15}$$

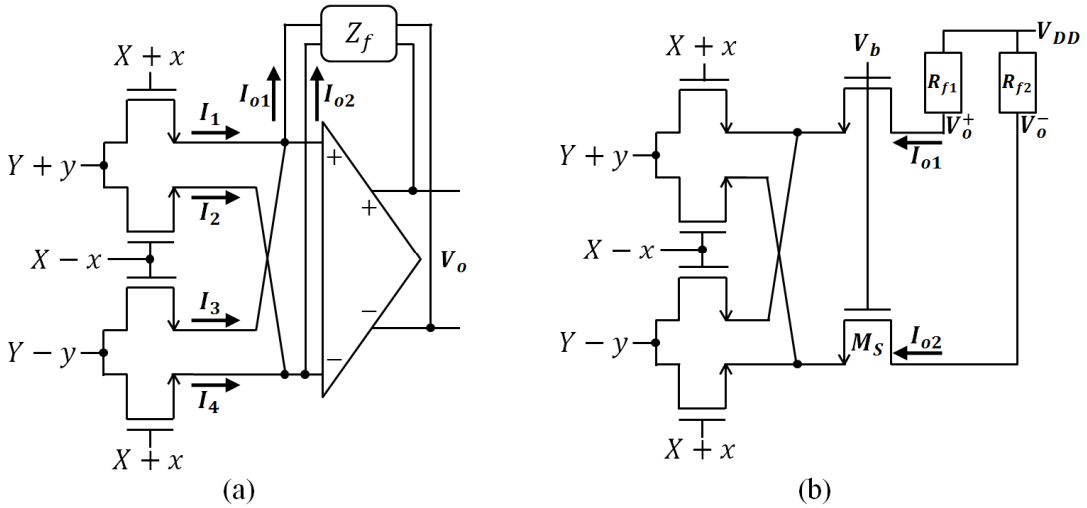


Figura 1.5 Estructuras básicas para multiplicación usando $V_{gs}V_{ds}$ **[17]**

Si se usa una configuración diferencial, es posible mejorar la linealidad y el factor de rechazo a fuente de alimentación (PSRR por sus siglas en inglés). Un ejemplo de un multiplicador con cuatro transistores MOS operando en la región lineal se muestra en la Fig.1.5b, basándose en la topología usada en la Fig.1.3a que se fundamenta en multiplicadores de un solo cuadrante. Tomando en cuenta su ecuación correspondiente (1.6), se obtiene (1.16), la cual también puede expresarse como (1.17). El OPAMP en la Fig.1.5a puede ser reemplazado por dos seguidores de fuente como se muestra en la Fig.1.5b.

$$I_o = I_{o1} - I_{o2} = (I_1 + I_3) - (I_2 + I_4) = 4Kxy \tag{1.16}$$

$$V_o = -Z_f I_o = -4KZ_f xy \tag{1.17}$$

II. $V_{ds}{}^2$ por drenaje

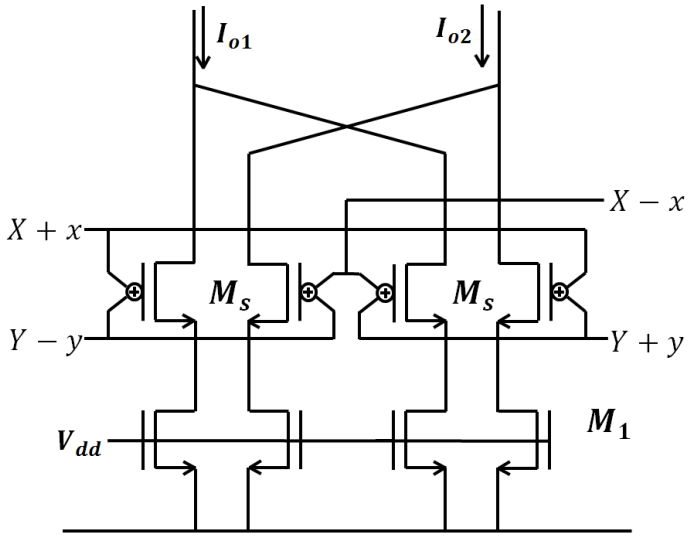


Figura 1.6 Multiplicadores diferenciales de cuatro cuadrantes usando $V_{ds}{}^2$ por drenaje. **[17]**

Como puede verse en (1.12), un transistor MOS operando en la región lineal posee el término cuadrático $V_{ds}{}^2$. Éste término puede usarse para realizar la cancelación vista en la ecuación (1.7). En la Figura 1.6, la suma y resta de dos señales de entrada son inyectadas en las compuertas de los seguidores de fuente M_s y controlan el voltaje en el drenaje de M_1, el cual opera en la región lineal. El sumador a la entrada de las compuertas puede implementarse por medio de circuitería activa o componentes pasivos. La ecuación que rige a este circuito se muestra en (1.18).

$$I_o = I_{o1} - I_{o2} = Kxy \tag{1.18}$$

III. Compuerta Dual en Región Lineal

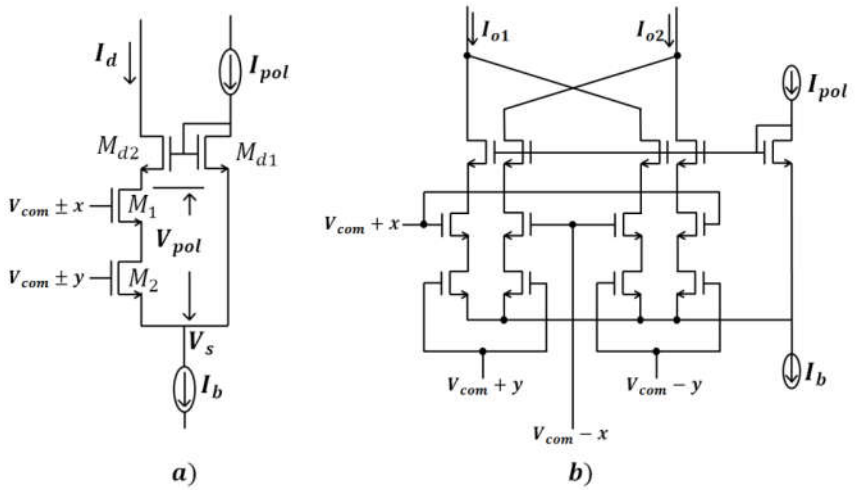


Figura 1.7 Multiplicadores de cuatro cuadrantes con compuerta dual operando en región lineal **[17]**

Otra forma de inyectar una señal V_{ds} es por medio de modulación, como es mostrado en la Fig.1.7a. Los transistores idénticos M_{d1} y M_{d2} operan en saturación, mientras que M_1 y M_2 operan en región lineal. El circuito ya completo puede verse en Fig.1.7b, con corriente de salida I_o (Ecuación 1.19) donde el voltaje de polarización V_{pol} tiene un valor aproximado de $\sqrt{I_{pol}/K_d}$, (siendo $K_d$el valor de K para el transistor en diodo que usa la fuente de corriente) la corriente de drenaje I_d es mucho mayor a la corriente de polarización I_{pol} y C es la resta del voltaje común V_{com} y los voltajes V_s, V_T y V_{pol} como se indica en la ecuación (1.20).

$$I_o = I_{o1} - I_{o2} = 8KxyV_{pol}Cxy\frac{x^2+y^2-2C^2}{(4C^2-(x+y)^2)(4C^2-(x-y)^2)} \approx \frac{KV_{pol}}{C}xy \tag{1.19}$$

$$C = V_{com} - V_s - V_T - V_{pol} \ , \ C \gg x, y \tag{1.20}$$

IV. $V_{gs}{}^2$ con Conexión a Diodo

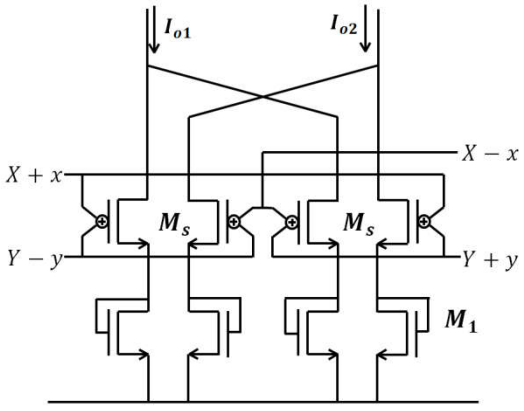


Figura 1.8 Multiplicador diferencial de cuatro cuadrantes usando $V_{gs}{}^2$ con conexión a diodo **[17]**

La corriente en el drenaje de un transistor MOS conectado como diodo depende de $V_{ds}{}^2$ cuando opera en saturación. Esta señal puede aplicarse con seguidores de fuente cuya señal de entrada en la compuerta sea la suma y resta de dos señales de entrada como en Fig.1.8, siendo una topología similar a la de Fig.1.6.

V. $V_{gs}{}^2$ con Inyección a Compuerta y Fuente

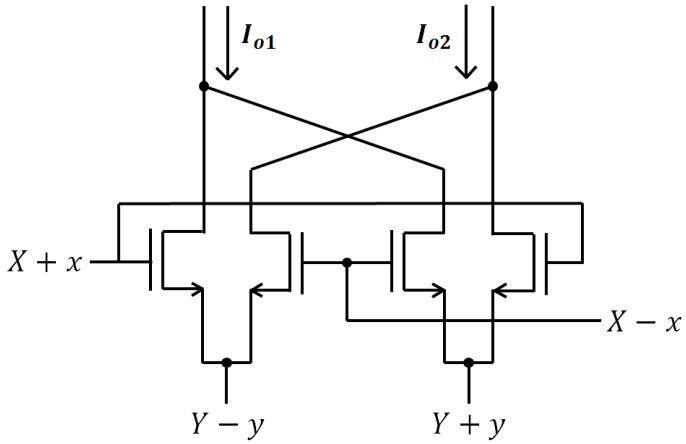


Figura 1.9 Multiplicador diferencial de cuatro cuadrantes usando $V_{gs}{}^2$ con inyección a compuerta y fuente **[17]**

Se puede realizar un multiplicador de cuatro cuadrantes basado en el circuito en la arquitectura vista en Fig.1.3a por medio de transistores con acoplamiento cruzado, como se muestra en Fig.1.9. Su corriente de salida considerando las ecuaciones (1.7) y (1.12) da como resultado (1.21).

$$I_o = I_{o1} - I_{o2} = 4Kxy \tag{1.21}$$

VI. $V_{gs}{}^2$ con Terminal en Substrato

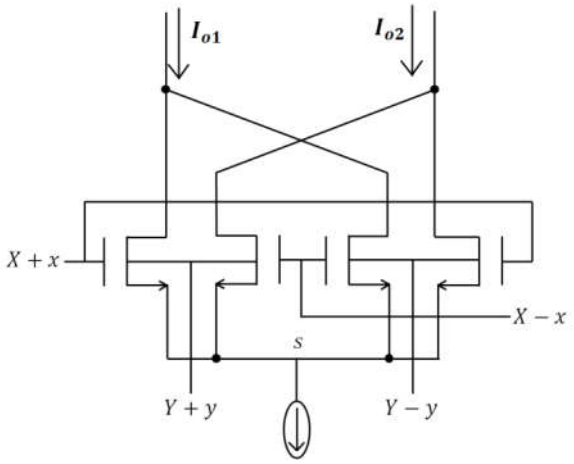


Figura 1.10 Multiplicador diferencial de cuatro cuadrantes usando $V_{gs}{}^2$ con terminal en sustrato **[17]**

Si se usa una polarización invertida en la unión entre el substrato y la fuente es posible utilizar la terminal de substrato de un transistor MOS como una cuarta terminal de entrada. Para un transistor NMOS, el potencial del substrato controla el voltaje de umbral V_T de la siguiente manera

$$V_T = V_{TO} + \gamma\left[\sqrt{2|\phi_F| - V_{bs}} - \sqrt{2|\phi_F|}\right] \tag{1.22}$$

Donde V_{TO} es el voltaje de umbral cuando $V_{bs} = 0$, γ es el coeficiente de efecto de cuerpo y ϕ_F es el potencial de Fermi. Si se sustituye este nuevo V_T en (1.12), la topología de Fig.1.10 basada en Fig.1.3b y (1.7) es ahora (1.23), siendo válida esta aproximación solo si se da que $2|\phi_F| - Y + s \gg y$, siendo s el voltaje en el nodo de la fuente de corriente.

$$I_o = \frac{4K\gamma}{2|\phi_F| - Y + s}\left[y\sqrt{2|\phi_F| - Y + s} + \left\{\frac{y}{2(2|\phi_F| - Y + s)}\right\}^3 + \Lambda\right]x \approx \frac{4K\gamma}{2|\phi_F| - Y + s}xy \tag{1.23}$$

VII. $V_{gs}{}^2$ con Sumador de Voltaje

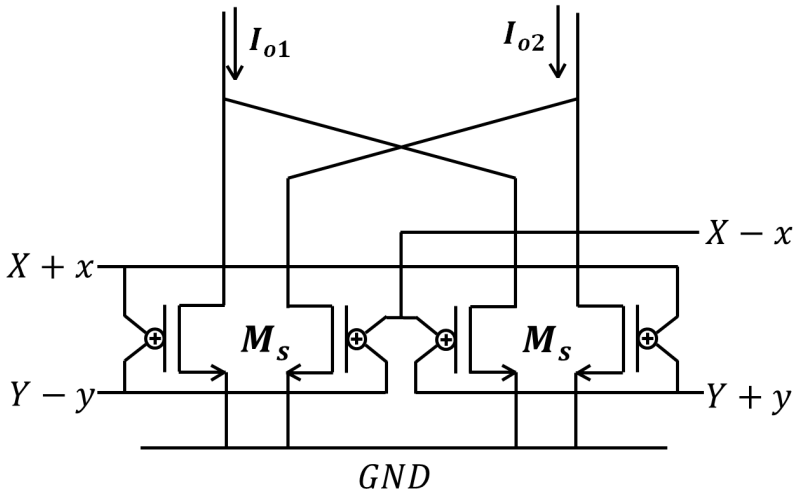


Figura 1.11 Multiplicador diferencial de cuatro cuadrantes usando $V_{gs}{}^2$ con sumador de voltaje **[17]**

Esta topología se basa en la cancelación no lineal de la arquitectura en Fig.1.3b y en un circuito sumador de voltaje. Se forma un multiplicador de cuatro cuadrantes con cuatro transistores en acoplamiento cruzado como se ve en la Fig.1.11. Se puede realizar una variación de esta topología agregando una corriente de cola. La corriente de salida I_o se muestra en (1.24).

$$I_o = 4KK_a xy \tag{1.24}$$

VIII. Celda MOS de Gilbert

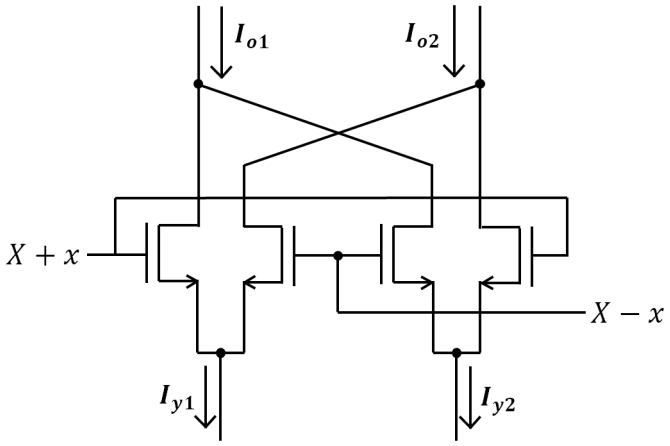


Figura 1.12 Multiplicador diferencial de transconductancia de cuatro cuadrantes usando celda MOS de Gilbert**[17]**

Un par diferencial MOS que opera en saturación genera una corriente de salida diferencial I_{od} como en (1.25).

$$I_{od} = I_1 - I_2 = I_s\left[\frac{K}{I_s}(2x)^2 - \frac{K^2}{4{I_s}^2}(2x)^4\right]^{1/2} = 2\sqrt{KI_s}x\left[1 - \frac{K}{I_s}x^2\right]^{1/2} \tag{1.25}$$

Para un $Kx^2 < I_s$ donde I_s es la corriente de cola y x es la mitad del voltaje diferencial de entrada. La topología en la Fig.1.12 es igual a la vista en la Fig.1.9, siendo la diferencia que I_y es ahora una señal de corriente. La salida de corriente diferencial I_{od} de los dos pares diferenciales es ahora dada por (1.26).

$$I_{od} = I_{o1} - I_{o2} = 2\sqrt{K}x\left[\sqrt{I_{y1}} - \sqrt{I_{y2}}\right] \tag{1.26}$$

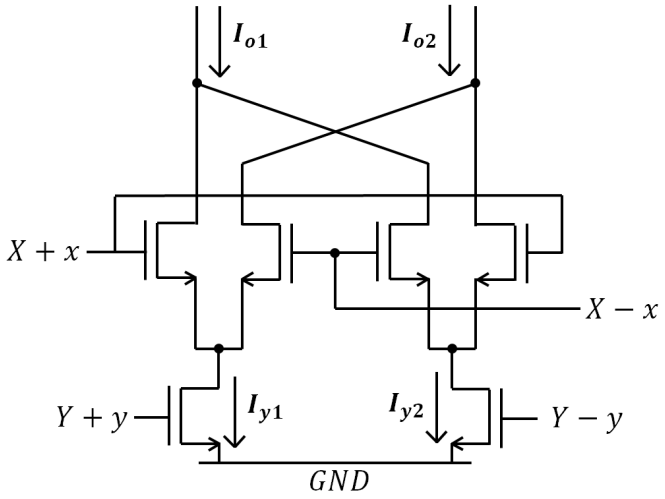


Figura 1.13 Multiplicador diferencial de voltaje de cuatro cuadrantes usando celda de Gilbert **[17]**

La corriente de entrada $\sqrt{I_{y1}} - \sqrt{I_{y2}}$ la genera otro par diferencial mostrado en Fig.1.13 los cuales al restarse dan como resultado $\sqrt{2K_3 y}$ como en (1.27).

$$\sqrt{I_{y1}} - \sqrt{I_{y2}} = \sqrt{2K_3 y} \tag{1.27}$$

Donde $2y$ es el voltaje de entrada diferencial y K_3 es la constante de transconductancia del transistor en el tercer par diferencial. La corriente de salida de la celda de Gilbert ya completa es dada por (1.28) donde tanto x como y son señales de voltaje.

$$I_{od} = I_{o1} - I_{o2} = 2\sqrt{2KK_3}xy \tag{1.28}$$

La diversidad de estilos que pueden usarse para formar un multiplicador nos provee una gran versatilidad en sus capacidades y, por tanto, en los usos prácticos que se les pueden dar. Crear nuevas topologías y descubrir de manera práctica sus fortalezas es una parte importante del diseño de ellos y el objetivo principal de este trabajo que se muestra a continuación.

1.4. Criterio de dimensionamiento

Los transistores MOS de este trabajo operan en saturación por lo que para el proceso de dimensionamiento se hace uso únicamente de la ecuación 1.13. Con esto se determina que V_{ds} debe cumplir el requerimiento $V_{ds} > (V_{gs} - V_{Th})$ para poder operar en saturación; se considerará un $V_{DSat} = V_{gs} - V_{Th}$. De los parámetros de simulación descritos en el modelo de transistor se puede recopilar la siguiente información:

$$V_{ThN} = 615mV, V_{ThP} = 915mV, k_N \approx 57.3\mu\, A/V^2, k_N \approx -18.9\mu A/V^2$$

Donde V_{Th} es el voltaje de umbral correspondiente al transistor NMOS o PMOS y k es el valor típico de μC_{ox}.

Recordando que $I_{DSat} = \frac{k}{2}\frac{W}{L}(V_{gs} - V_{Th})^2$, se sustituye V_{DSat} y $K = \frac{k}{2}\frac{W}{L}$ obteniendo

$$I_{DSat} = K(V_{DSat})^2$$

Se proponen un valor de V_{ds} pequeño para mejorar la excursión de la señal, del cual se obtiene V_{gs} al proponer el voltaje en cada nodo del circuito, y I_{DSat} como propuesta de la corriente en cada rama del circuito, buscando, cuando es posible, que el voltaje a las entradas y salidas sea 0V. Se expande K y despeja $\frac{W}{L}$ en la ecuación:

$$W/L = \frac{2I_{DSat}}{k(V_{DSat})^2}$$

Obteniendo así la relación W/L de la cual se obtienen las dimensiones del transistor. Una vez simulado se procede a diseñar el patrón geométrico.

Debido a la inclusión de componentes parásitos o desprecio de ciertas variables la relación $^{W}/_{L}$ podría no ser exactamente el mismo que resulta de la ecuación por lo que podría ser necesario variar W o L hasta obtener un I_{DSat} adecuado. Se divide el transistor en partes, conocido como multiplicidad o fingering para evitar variaciones por proceso de diseño. Esta multiplicidad puede ser desde un mínimo de 4 hasta los que sean necesarios procurando que sea un número par para facilitar interdigitación con otros transistores, con la W de cada transistor dividido sumando a la W total que se calculó para el transistor y siendo iguales entre sí.

Capítulo 2

Multiplicador bulk-driven con salida en modo simple y diferencial

2.1 Marco teórico

Debido a la reducción en el tamaño y la tensión de alimentación de los transistores CMOS se ve la necesidad de disminuir el rango dinámico de la señal de entrada. Debido a esto se debe reducir la amplitud de la señal, alejarla de los rieles y evitar tener muchos transistores en cascada. La técnica de bulk-driven es una técnica de diseño de bajo voltaje para mejorar el desempeño del circuito bajo las limitaciones mencionadas. Se basa en que el transistor controlado por sustrato es un dispositivo de agotamiento y por tanto no requiere un voltaje de polarización mínimo para funcionar.

Usualmente se conectarían los substratos de los transistores PMOS y NMOS a los potenciales más positivo y negativos respectivamente para polarizar en inversa los diodos parásitos y evitar el efecto de latch-up. Sin embargo se ha demostrado que el efecto pudiera no ser tan significativo, permitiendo su uso para controlar el dispositivo. [17] La forma en que la corriente de drenaje se ve afectada por el voltaje de bulk se muestra en (2.1) para la región lineal y (2.2) para la región de saturación.

$$I_D = K_p \left(\frac{W}{L} V_{GS} - V_T - \frac{n}{2} V_{DS} \right) \tag{2.1}$$

$$I_D = \frac{K_p}{2n} \left(\frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \right) \tag{2.2}$$

La principal desventaja de la técnica de bulk-driven es la reducción de transconductancia, resultando en una menor respuesta en frecuencia. Sin embargo, esto también tiene como resultado un aumento de linealidad y reducción en consumo de potencia.

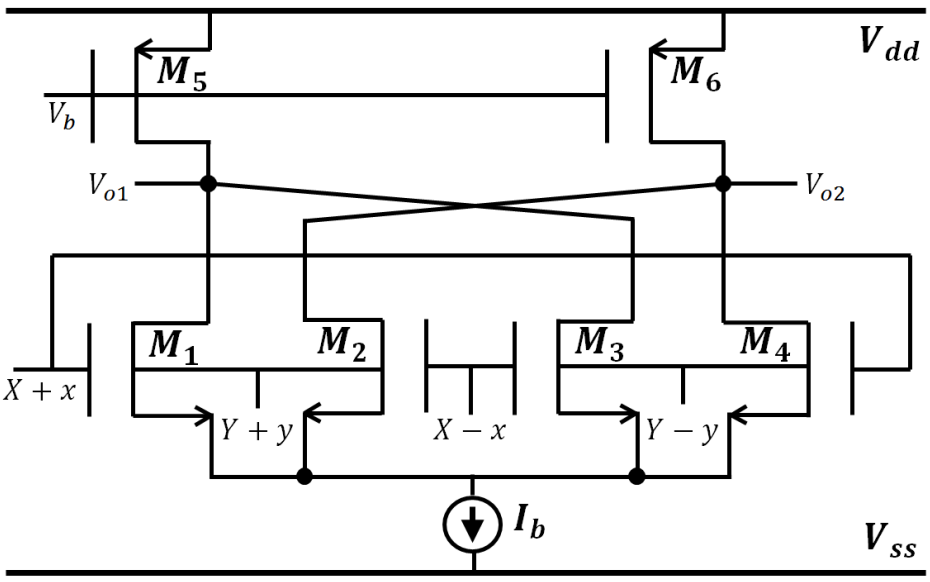


Figura 2.1 Diagrama original del multiplicador bulk-driven y carga activa

El circuito original que fue la base de esta parte del trabajo, describía el multiplicador funcional de cuatro cuadrantes con entrada por sustrato mostrado en Fig.2.1. Se puede utilizar el sustrato como una terminal de entrada siempre que la unión entre el sustrato y la fuente se polarice en inversa. El potencial del sustrato controla V_{TO} para un transistor NMOS de la forma vista en (2.3)

$$V_T = V_{TO} + \Upsilon\left[\sqrt{2|\phi_F| - V_{bs}} - \sqrt{2|\phi_F|}\right] \tag{2.3}$$

Siendo V_{TO} el voltaje de umbral cuando $V_{bs} = 0$, Υ el coeficiente de efecto de cuerpo, y ϕ_F el potencial de Fermi. Recordando la ecuación (1.23) y Fig. 1.3b se obtiene (2.4), siendo válido esto sólo si $2|\phi_F| - Y + s \gg y$.

$$I_o = \frac{4K\Upsilon}{2|\phi_F| - Y + s}\left[y\sqrt{2|\phi_F| - Y + s} + \left\{\frac{y}{2(2|\phi_F| - Y + s)}\right\}^3 + \Lambda\right]x \approx \frac{4K\Upsilon}{2|\phi_F| - Y + s}xy \tag{2.4}$$

La desventaja de esta topología es que se requiere separar los pozos de los transistores del substrato. Se decidió aprovechar el pozo de los transistores P y se modificó el circuito de la manera vista en Fig.2.2.

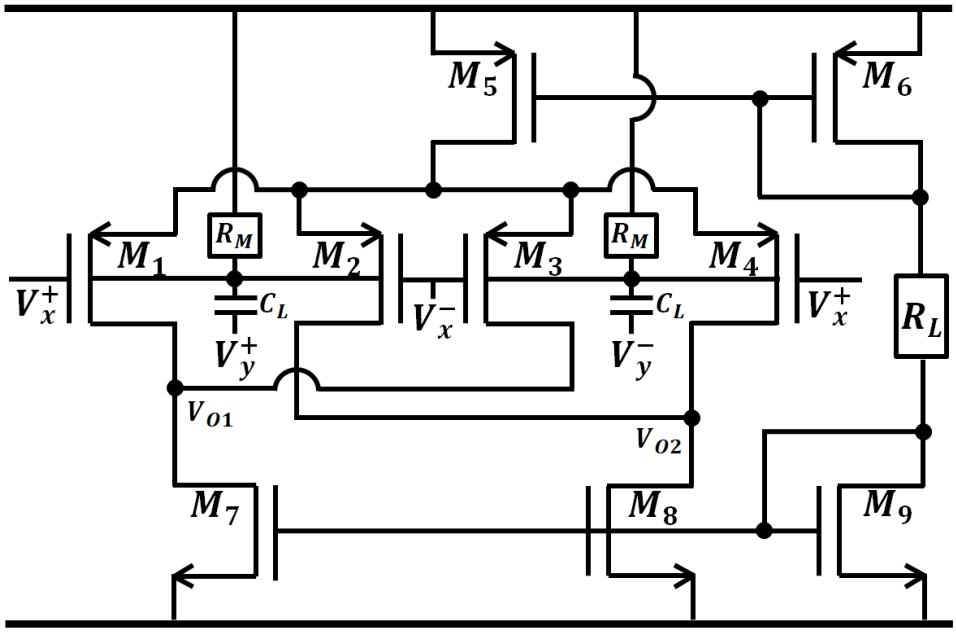


Figura 2.2 Diagrama modificado de multiplicador bulk-driven con salida diferencial

Se reemplazó la fuente de corriente por el transistor M5 y se proporcionó el voltaje de polarización por medio de los transistores M_{R1} y M_{R2}, los cuales hacen la función de dos resistencias de muy alto valor RM.

2.2 Dimensionamiento

Para realizar este diseño se requieren dos pozos separados, por lo que se aparean los transistores $M1, M2$ y $M3, M4$. Para evitar que se vea afectado por variaciones de diseño se hacen dos bloques de cada tira de transistores las cuales se colocan de manera cruzada. Se hace lo mismo para los capacitores del arreglo R-C. Las resistencias de alto valor se implementan con una tira de transistores en corte de W mínima y L grande. El resto del arreglo son los espejos de corriente. Los dos capacitores CL toman un valor de 0.5pF

Tomando en consideración los criterios de diseño discutidos anteriormente, se obtuvieron las siguientes dimensiones, detalladas en Tabla II.

TABLA II
DIMENSIONES DE MULTIPLICADOR BULK-DRIVEN CON SALIDA DIFERENCIAL

Transistor	$W(\mu m)$	$L(\mu m)$	Multiplicidad
M_1, M_2, M_3, M_4	12.9	3.9	4
M_5	20.7	1.2	16
M_6	12	0.9	8
M_7, M_8	18	1.2	8
M_9	13.5	0.9	8
$M_{R1}, M_{R2} = R_M$	6	3.9	4

Seguido de esto se decidió hacer una variante del mismo circuito ahora con salida en modo simple. El circuito modificado se muestra en Fig.2.3. Las dimensiones de este circuito son idénticas al anterior, con excepción de M_7, el cual ahora presenta una $W/L = (18/1.2)$ con multiplicidad de 10.

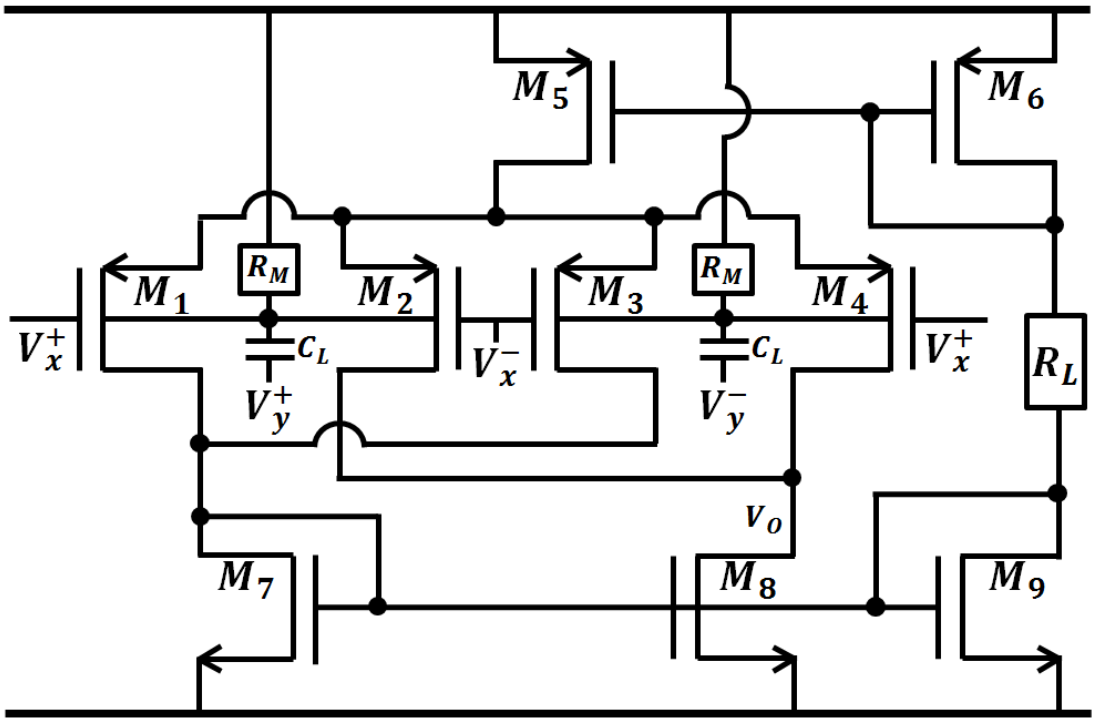


Figura 2.3 Diagrama de multiplicador bulk-driven con salida en modo simple

2.3 Simulación de esquemático

Ambos circuitos fueron simulados en HSpice con tecnología CMOS AMI de 0.5µm con un voltaje de alimentación de ±1.65V y una corriente de polarización de 50µA por medio de una resistencia de carga de 30.5kΩ.

Cabe mencionar que el arreglo R-C que se usa dificulta una medición DC convencional, requiriendo el uso de una señal transitoria junto con una señal DC. Las simulaciones DC que se muestran a continuación omiten el capacitor para mostrar de manera simple el resultado aproximado que se esperaría.

2.3.1 Simulación DC

Las Figuras 2.4 y 2.5 muestran el resultado de un barrido en DC para una configuración en modo diferencial de V_x y V_y respectivamente con una corriente de polarización I_d de $50\mu A$ de $-160mV$ a $160\ mV$ para un valor de V_y o V_x de $-160\ mV$ a $160\ mV$ con pasos de $80\ mV$. Se observa un rango de entrada de aproximadamente $160mV$ y rango de salida de aproximadamente $750\ mV$.

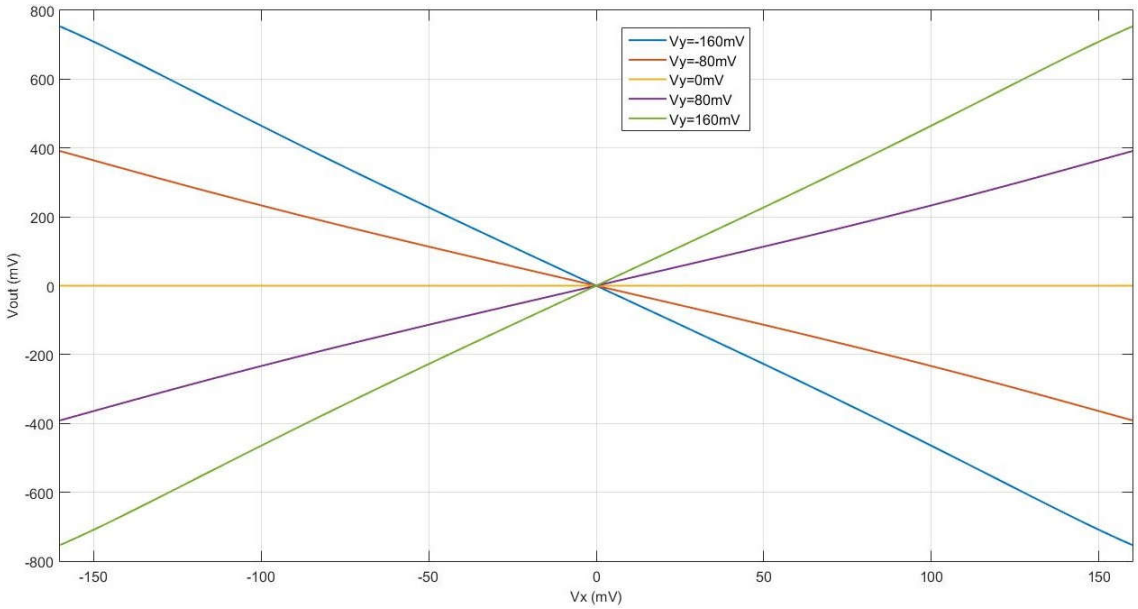


Figura 2.4 Respuesta en DC de multiplicador bulk-driven barriendo $\boldsymbol{V_x}$ para configuración en modo diferencial

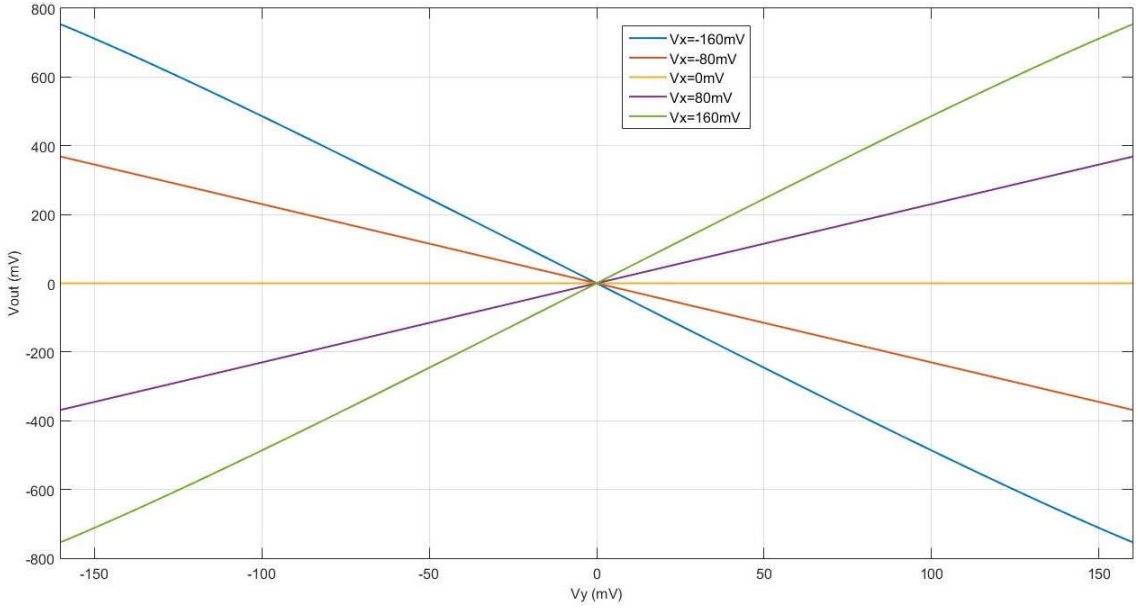


Figura 2.5 Respuesta en DC de multiplicador bulk-driven barriendo $\boldsymbol{V_y}$ para configuración en modo diferencial

Las Figs. 2.6 y Fig.2.7 muestran el resultado de un barrido en DC para una configuración en modo simple de V_x y V_y respectivamente con una corriente de polarización I_d de $50\mu A$ de $-100\ mV$ a $+100\ mV$ para un valor de V_y o V_x de $-100\ mV$ a $100\ mV$ con pasos de $50\ mV$. Se observa un rango de entrada de aproximadamente $100mV$ y rango de salida de aproximadamente $200\ mV$ tomando en cuenta el offset de la señal.

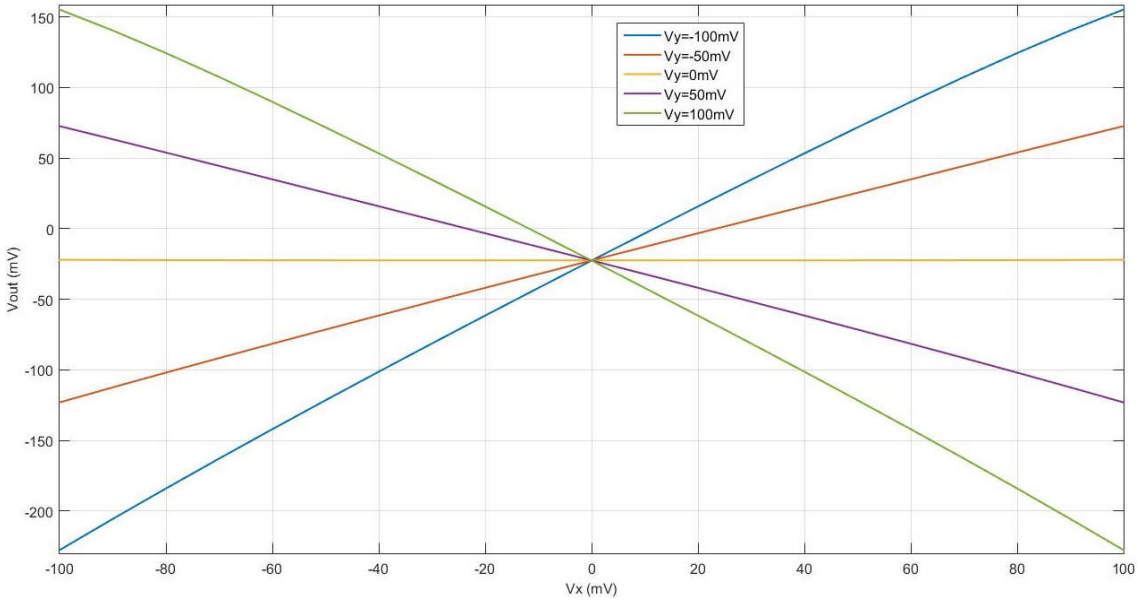


Figura 2.6 Respuesta en DC de multiplicador bulk-driven barriendo $\boldsymbol{V_x}$ para configuración en modo simple

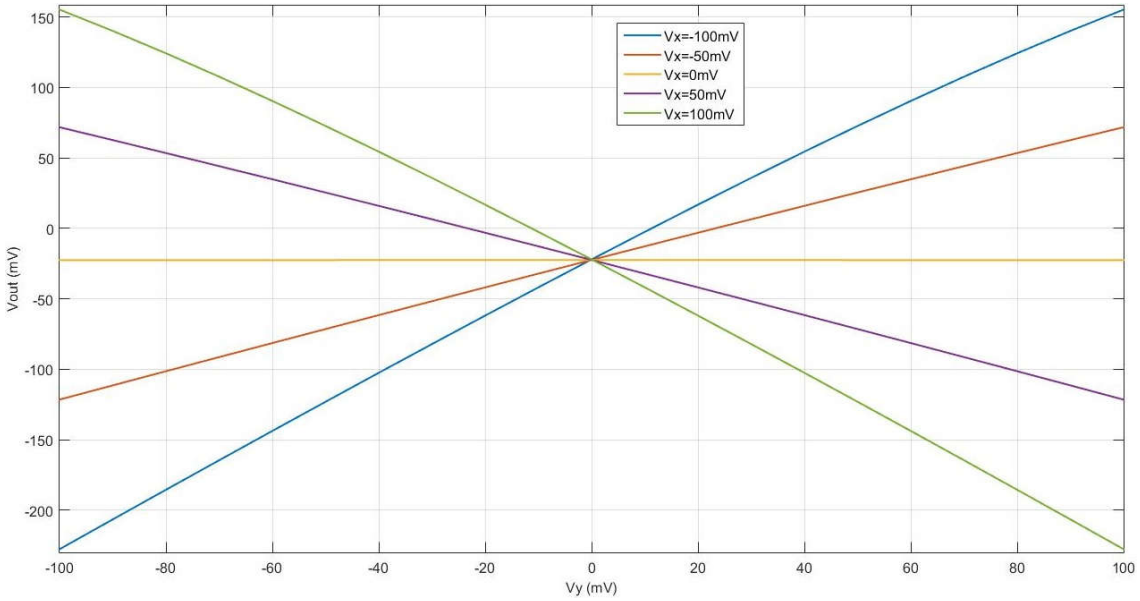


Figura 2.7 Respuesta en DC de multiplicador bulk-driven barriendo $\boldsymbol{V_y}$ para configuración en modo simple

2.3.2 Simulación AC

La Fig. 2.8 muestra la respuesta en frecuencia de V_{out} para una configuración en modo diferencial haciendo un barrido de V_x desde 0 V a 200 mV en pasos de 50 mV. El ancho de banda del sistema simulado va de 647 kHz hasta 702 kHz con una carga capacitiva de 1 pF y una ganancia de hasta 17.61 dB. El barrido en AC en Fig.2.9 muestra el resultado de un barrido de V_y para el mismo rango al anterior y presenta un ancho de banda de 653 kHz y una ganancia similar al barrido anterior. Las ganancias y frecuencias en -3 dB y 0 dB para cada barrido se muestran en Tabla III para V_x y Tabla IV para V_y.

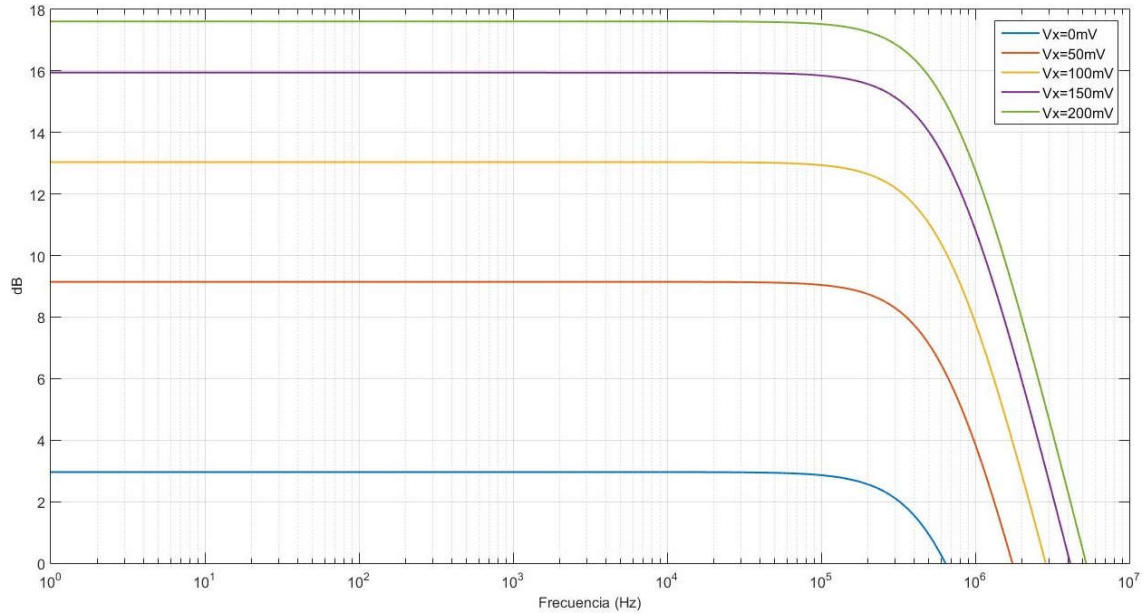


Figura 2.8 Respuesta en AC de multiplicador bulk-driven barriendo $\boldsymbol{V_x}$ para configuración en modo diferencial

TABLA III

RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR BULK-DRIVEN BARRIENDO Vx PARA CONFIGURACIÓN EN MODO DIFERENCIAL

V_x	Av	$f_c\ (-3dB)$	$f_0\ (0dB)$
0 mV	2.96 dB	647 kHz	640 kHz
50 mV	9.14 dB	654 kHz	1.74 MHz
100 mV	13.03 dB	659 kHz	2.86 MHz
150 mV	15.94 dB	668 kHz	4.13 MHz
200 mV	17.61 dB	702 kHz	5.24 MHz

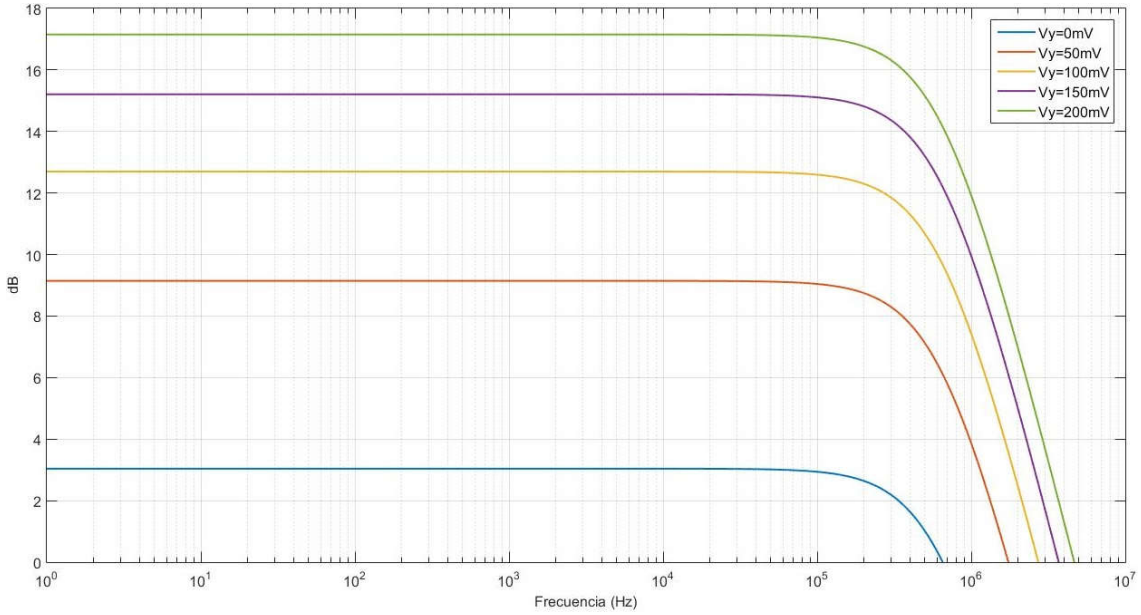


Figura 2.9 Respuesta en AC de multiplicador bulk-driven barriendo $\boldsymbol{V_y}$ para configuración en modo diferencial

TABLA IV
RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR BULK-DRIVEN BARRIENDO Vy PARA CONFIGURACIÓN EN MODO DIFERENCIAL

V_y	Av	$f_c\ (-3dB)$	$f_0\ (0dB)$
$0\ mV$	$3.03\ dB$	$653\ kHz$	$653\ kHz$
$50\ mV$	$9.14\ dB$	$653\ kHz$	$1.74\ MHz$
$100\ mV$	$12.69\ dB$	$653\ kHz$	$2.72\ MHz$
$150\ mV$	$15.2\ dB$	$653\ kHz$	$3.69\ MHz$
$200\ mV$	$17.15\ dB$	$653\ kHz$	$11.1\ MHz$

La Fig. 2.9 muestra la respuesta en frecuencia de V_{out} para una configuración en modo simple haciendo un barrido de V_x desde $50\ mV$ a $250\ mV$ en pasos de $50\ mV$. El ancho de banda del sistema simulado es de $632\ kHz$ con una carga capacitiva de $1\ pF$ y una ganancia de hasta $22.23\ dB$. El barrido en AC en Fig.2.10 muestra el resultado de un barrido de V_y para el mismo rango al anterior y presenta un ancho de banda de $634\ kHz$ y una ganancia de $22.6\ dB$. Las ganancias y frecuencias en $-3\ dB$ y $0\ dB$ para cada barrido se muestran en Tabla V para V_x y Tabla VI para V_y.

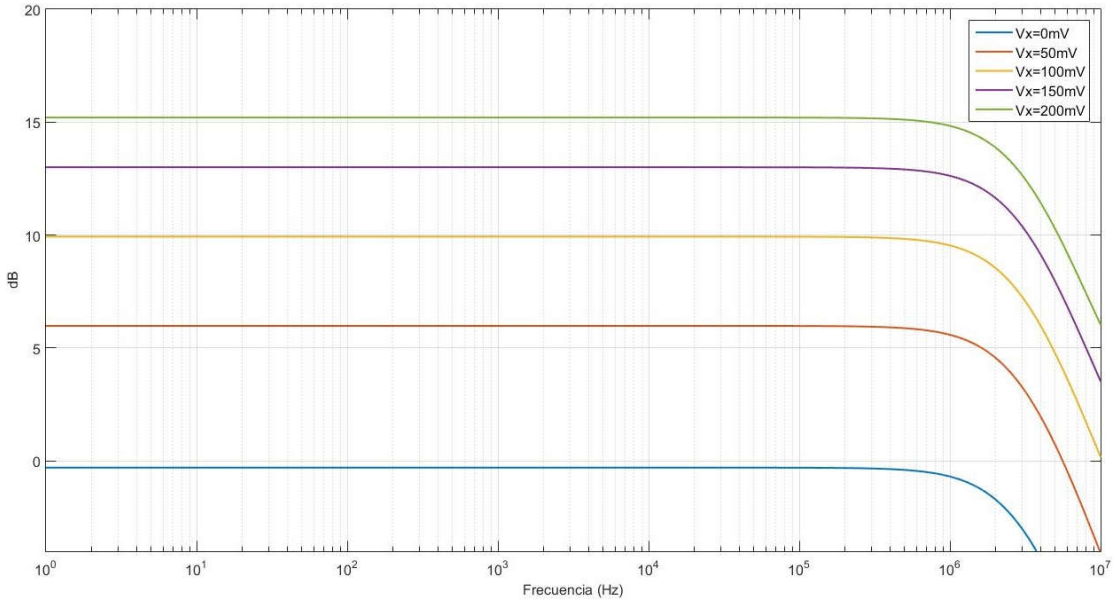


Figura 2.10 Respuesta en AC de multiplicador bulk-driven barriendo $\boldsymbol{V_x}$ para configuración en modo simple

TABLA V

RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR BULK-DRIVEN BARRIENDO Vx PARA CONFIGURACIÓN EN MODO SIMPLE

V_x	Av	$f_c\ (-3dB)$	$f_0\ (0dB)$
$0\ mV$	$-298\ mdB$	$3.29\ MHz$	N/A
$50\ mV$	$5.97\ dB$	$3.29\ MHz$	$5.59\ MHz$
$100\ mV$	$9.92\ dB$	$3.29\ MHz$	$10.24\ MHz$
$150\ mV$	$13\ dB$	$3.32\ MHz$	$17.66\ MHz$
$200\ mV$	$15.2\ dB$	$3.38\ MHz$	$33.67\ MHz$

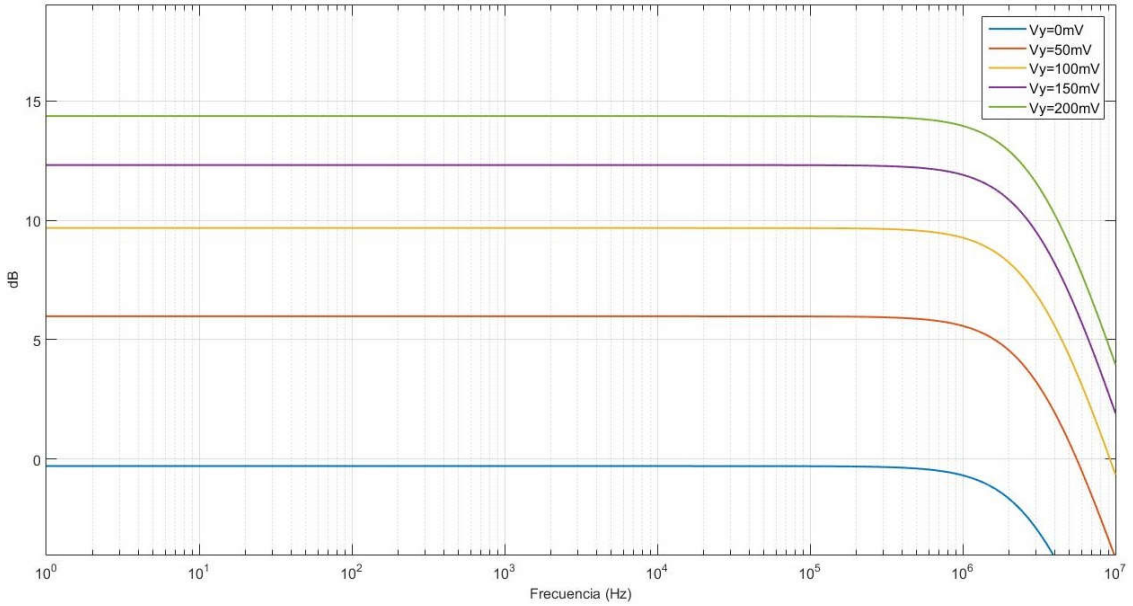


Figura 2.11 Respuesta en AC de multiplicador bulk-driven barriendo $\boldsymbol{V_y}$ para configuración en modo simple

TABLA VI

RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR BULK-DRIVEN BARRIENDO Vy PARA CONFIGURACIÓN EN MODO SIMPLE

V_y	Av	$f_c\ (-3dB)$	$f_0\ (0dB)$
$0\ mV$	$-294\ mdB$	$3.3\ MHz$	N/A
$50\ mV$	$5.97\ dB$	$3.2\ MHz$	$5.5\ MHz$
$100\ mV$	$9.67\ dB$	$3.2\ MHz$	$9.2\ MHz$
$150\ mV$	$12.31\ dB$	$3.2\ MHz$	$12.6\ MHz$
$200\ mV$	$14.36\ dB$	$3.2\ MHz$	$16.3\ MHz$

Se espera usualmente que un multiplicador tenga ganancia unitaria para evitar distorsiones en el sistema, sin embargo, hay también casos en el que se desea una amplificación de la señal. Debido a que la frecuencia de corte se mantiene estable a diferentes amplitudes para todas las simulaciones, la mejor respuesta dependería del uso que quiera darse al multiplicador. Se observa un ancho de banda mayor en la segunda configuración.

2.3.3 Simulación Transitoria

La Fig.2.12 muestra el resultado de una simulación transitoria para una configuración en modo diferencial donde V_x genera una señal diferencial de $600\ kHz$ y V_y una señal de $40\ kHz$. Ambas señales tienen una amplitud de $100\ mV$. La Fig. 2.13 muestra el resultado de una simulación en donde la frecuencias de V_x es ahora $40\ kHz$ y V_y $600\ kHz$. Se ven los cruces por cero en 12.5µs, 25µs y 37.5µs. Fig.2.14 y Fig.2.15 muestran el resultado de un análisis similar para una configuración en modo simple. Las señales ahora presentan un offset de $-420\ mV$.

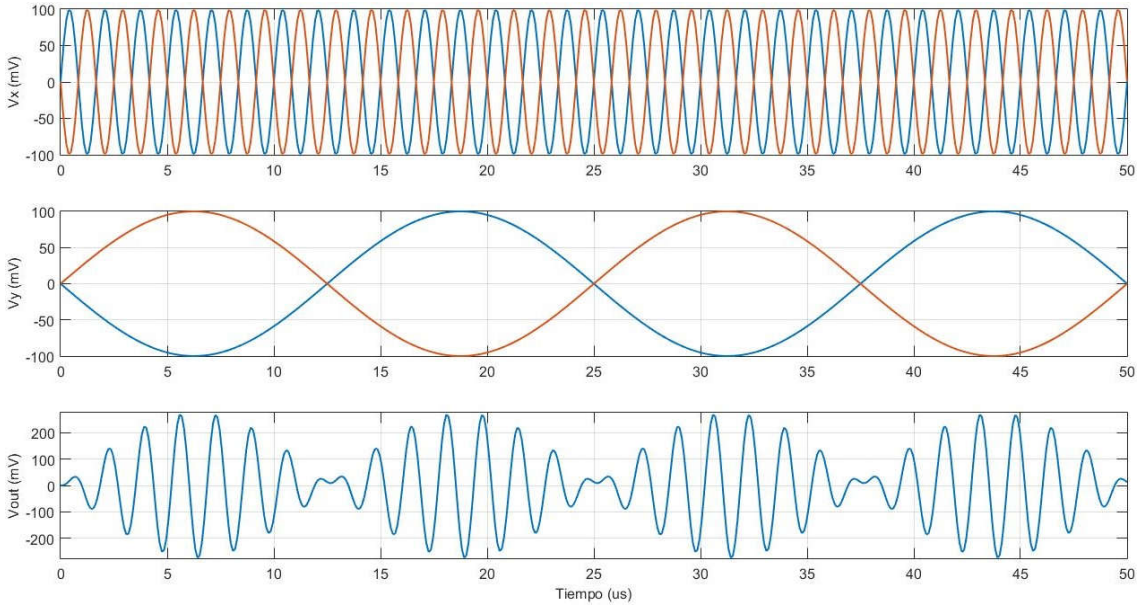


Figura 2.12 Respuesta transitoria de multiplicador bulk-driven para configuración en modo diferencial

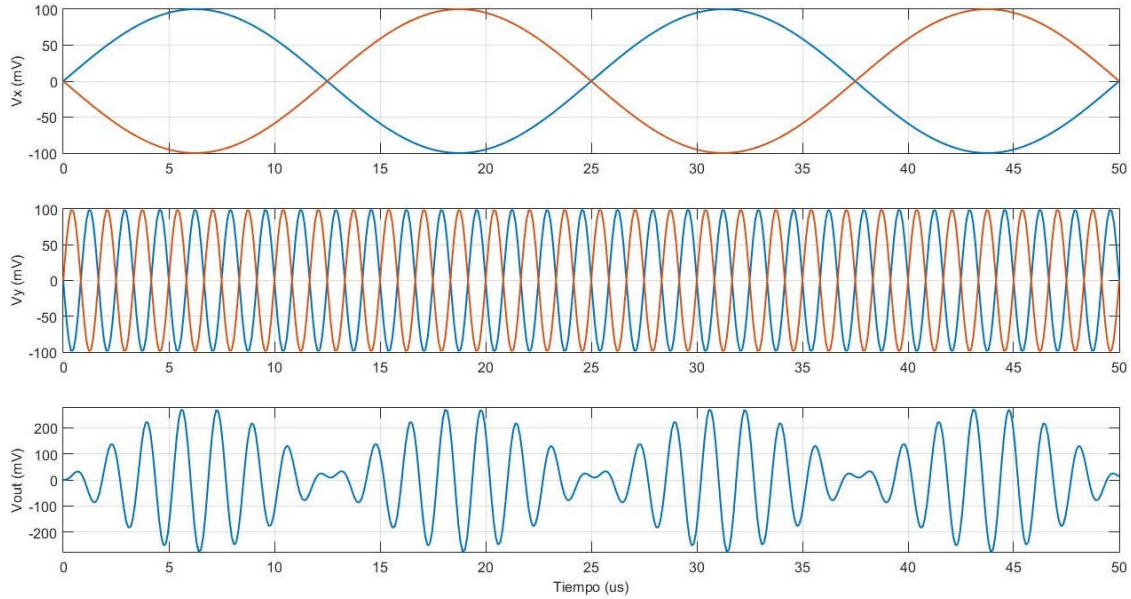


Figura 2.13 Respuesta transitoria de multiplicador bulk-driven para configuración en modo diferencial

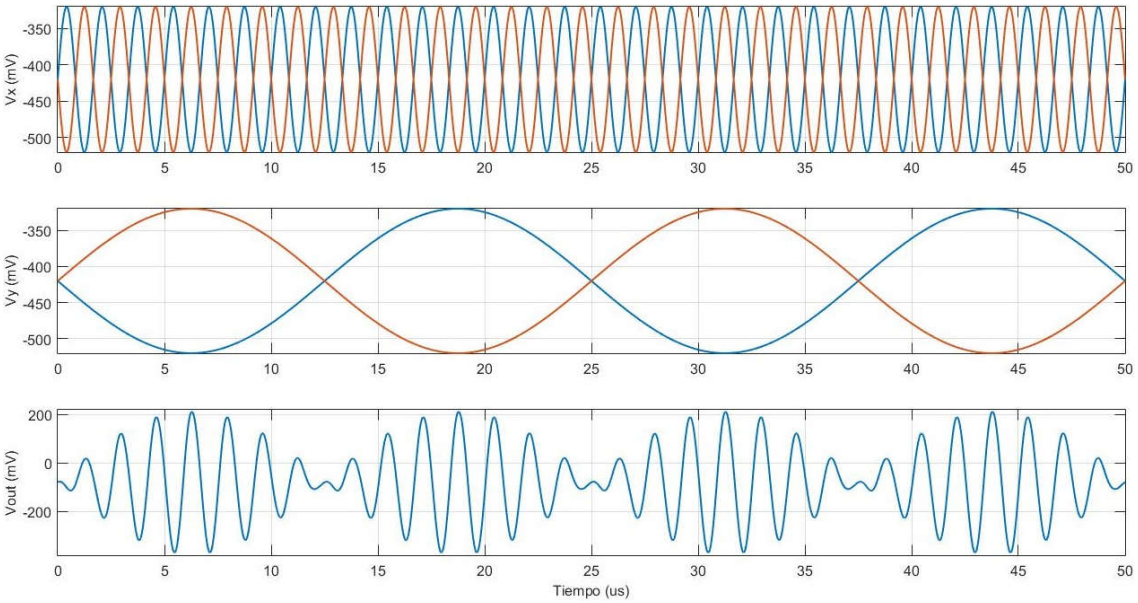


Figura 2.14 Respuesta transitoria de multiplicador bulk-driven para configuración en modo simple

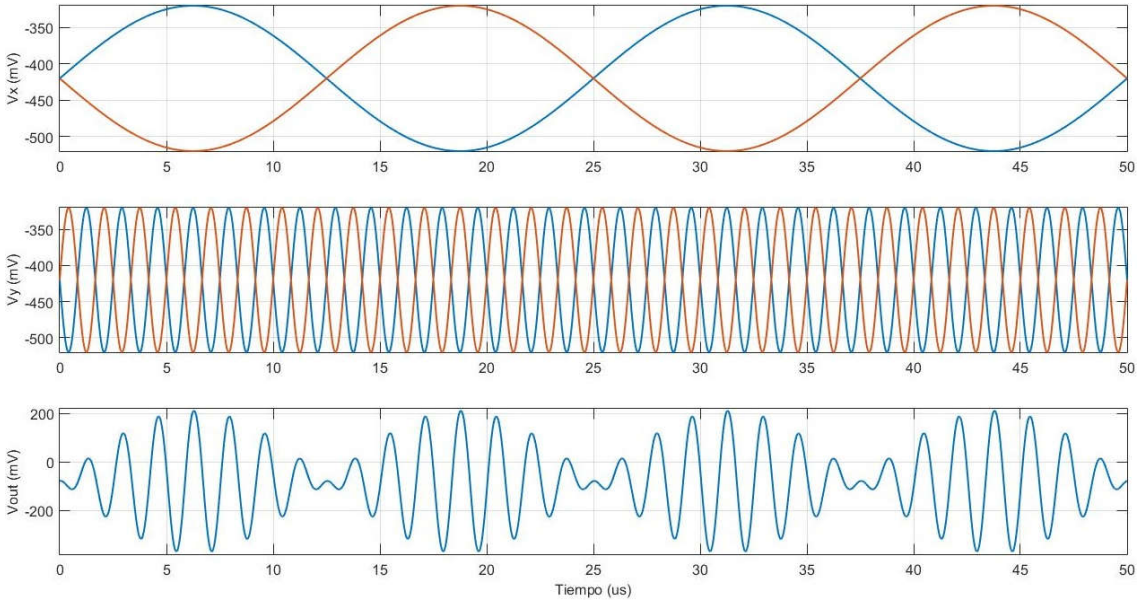


Figura 2.15 Respuesta transitoria de multiplicador bulk-driven para configuración en modo simple

2.4 Diseño de Layout

Se muestra el diseño final de los layouts correspondientes a los circuitos en modo diferencial (Fig.2.8) y simple (Fig.2.9). Se agregó una resistencia de valor muy alto (transistor en corte) con capacitor para poder polarizar las entradas por bulk sin dificultades. Las dimensiones del layout son de 179.4x141.75u.

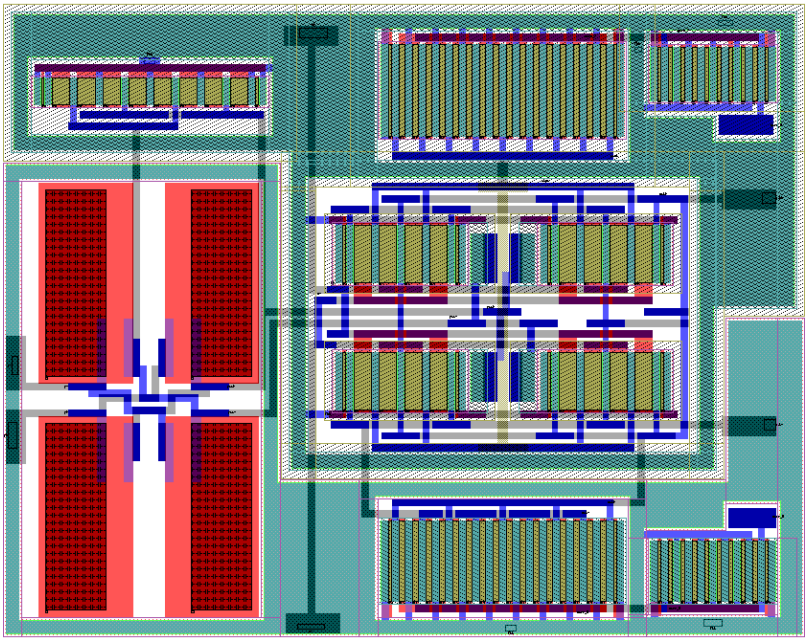


Figura 2.16 Layout de multiplicador bulk-driven en modo diferencial

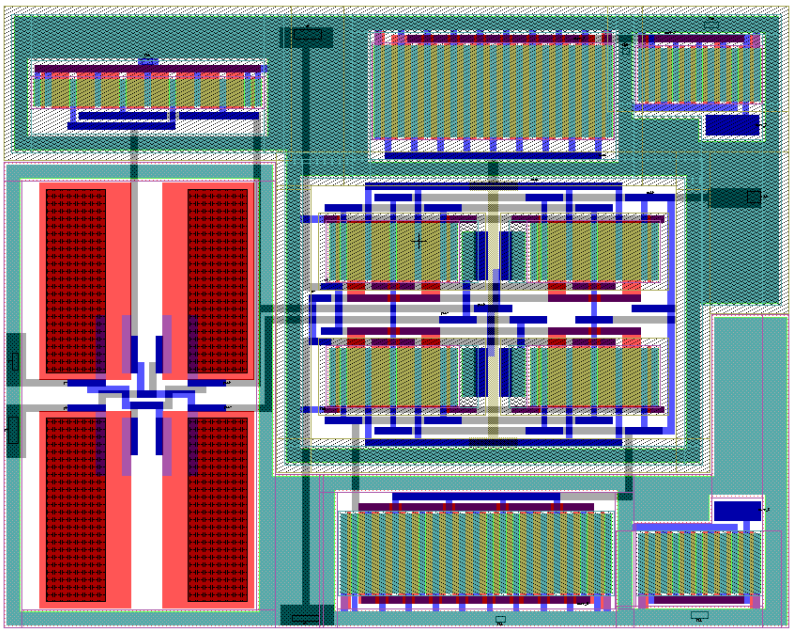


Figura 2.17 Layout de multiplicador bulk-driven en modo simple

Capítulo 3

Multiplicador de más alta frecuencia

3.1 Marco teórico

Se inicia su análisis del segundo multiplicador tomando como base el realizado en [18], del cual se hace un análisis detallado en el capítulo 4. Un análisis a detalle de este multiplicador se puede encontrar en la tesis "Diseño de bloques funcionales en modo corriente para un filtro adaptivo" escrita por Juan Carlos Mateus [19].

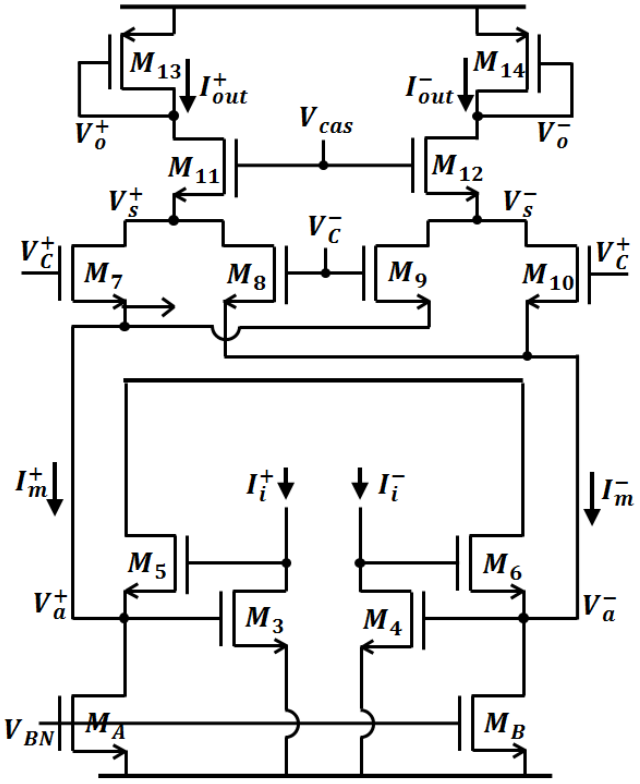


Figura 3.1 Diagrama de multiplicador de baja distorsión

Dado que uno de los parámetros deseados del multiplicador fue un bajo nivel de distorsión, se comenzó con un análisis de un multiplicador de tales características como base para el diseño final. El multiplicador analizado funciona en base al principio de la ley cuadrática por el cual dos señales complementarias I_{i+} y I_{i-} se inyectan a los nodos de acoplamiento de corriente en donde se sensa la señal junto con su componente DC. De aquí la señal pasa a un nodo de baja impedancia formado por un bloque de bootstrapping formado por $M_{3,4}$ y $M_{5,6}$. Esto forma las señales de voltaje V_{a+} y V_{a-} en los pares diferenciales correspondientes de los transistores M_7 a M_{10}.

Las señales de voltaje V_{c+} y V_{c-} se sensan a través de las compuertas de los pares diferenciales. El comportamiento de las corrientes de los transistores I_{D7} a I_{D10} es dado por las ecuaciones (3.1), (3.2), (3.3) y (3.4).

$$I_{D7} = \frac{C_{ox}\mu_n}{2} S_7 (V_{c+} - V_{a+} - V_t)^2 \tag{3.1}$$

$$I_{D8} = \frac{C_{ox}\mu_n}{2} S_8 (V_{c-} - V_{a+} - V_t)^2 \tag{3.2}$$

$$I_{D9} = \frac{C_{ox}\mu_n}{2} S_9 (V_{c-} - V_{a-} - V_t)^2 \tag{3.3}$$

$$I_{D10} = \frac{C_{ox}\mu_n}{2} S_{10} (V_{c+} - V_{a-} - V_t)^2 \tag{3.4}$$

Donde C_{ox} es la capacitancia de óxido de compuerta, μ_n es la movilidad del transistor MOS y S_i es la relación de aspecto del transistor W_i/L_i, el ancho y largo del transistor.

Las corrientes en el drenaje de los pares diferenciales son sumadas en los transistores M_{11} y M_{12}, los cuales proveen un nodo de baja impedancia en el drenaje de los pares diferenciales. De esta forma se reducen las variaciones de V_{ds} en los pares diferenciales debido a la combinación del nodo de baja impedancia de en las fuentes y los drenajes, permitiendo la aproximación (3.5).

$$xy = \frac{1}{8}[(x+y)^2 + (-x+y)^2 - (-x-y)^2 - (x-y)^2] \tag{3.5}$$

Se restan las corrientes de los transistores M_{11} y M_{12}, con lo que se obtiene la corriente de salida I_{out} del multiplicador en función de voltaje (3.6) y corriente (3.7) y su ganancia A en (3.8.)

$$I_{out} = I_{o+} - I_{o-} = \frac{C_{ox}\mu_n}{2}\frac{W}{L}(V_{c+} - V_{c-})(V_{a+} - V_{a-}) \tag{3.6}$$

$$I_{out} = I_{o+} - I_{o-} = \frac{C_{ox}\mu_n}{2}\frac{W}{L}(V_{c+} - V_{c-})A(I_{i+} - I_{i-}) \tag{3.7}$$

$$A = \frac{g_{m5}}{g_{ds3}(g_{m(7,9)} + g_{mbs(5,7,9)} + g_{ds(5,A,7,9)})} \tag{3.8}$$

Se hace ahora el análisis en pequeña señal, el cual se divide en tres bloques: sensado de corriente, suma de corrientes de salida y núcleo del multiplicador.

Bloque de sensado de corriente

Se muestra el modelo en pequeña señal del bloque de sensado de corriente. A partir de esto se calcula su función de transferencia y admitancia de salida. Dado que este bloque posee un lazo de bootstrapping, se hace un análisis con técnicas de circuitos retroalimentados.

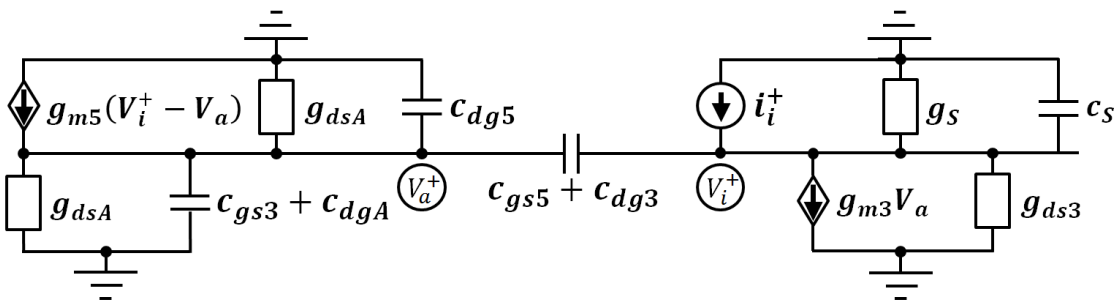


Figura 3.2 Modelo en pequeña señal del sensado de corriente del multiplicador de Fig.3.1

La admitancia de entrada en lazo abierto se presenta como (3.9), donde la ganancia de transimpedancia en lazo abierto es dada por (3.10) y la admitancia de salida por (3.11)

$$Y_{i,OL}(s) = g_S + g_{ds3} + s\left(c_{gs5} + c_{dg3} + c_S\right) \tag{3.9}$$

$$Z_{m,OL}(s) = \frac{g_{m5}}{D_{BS}(s)} \tag{3.10}$$

$$Y_{o,OL}(s) = g_{m5} + g_{ds5} + g_{dsA} + s\left(c_{gs3} + c_{gs5} + c_{dg3} + c_{dgA}\right) \tag{3.11}$$

El polinomio característico del bloque es entonces (3.12), el cual es modificado por la ganancia en lazo abierto resultando en (3.13). Las expresiones en lazo cerrado son dadas por (3.14), (3.15) y (3.16)

$$D_{BS}(s) = Y_{i,OL}(s)Y_{o,OL}(s)|_{s=0} \approx g_{m5}(g_S + g_{ds3}) \tag{3.12}$$

$$A\beta(s) = -\frac{g_{m3}g_{m5}}{D_{BS}(s)} \tag{3.13}$$

De manera que las expresiones en lazo cerrado son

$$Y_{i,CL}(s) = Y_{i,OL}(s)(1 + |A\beta(s)|) = \frac{g_{m3}g_{m5} + D_{BS}(s)}{Y_{i,OL}(s)} \approx g_{m3} + s\left(c_{gs3} + c_{gs5}\right) \tag{3.14}$$

$$Z_{m,CL}(s) = \frac{Z_{m,OL}(s)}{1+|A\beta(s)|} = \frac{g_{m5}}{g_{m3}g_{m5} + D_{BS}(s)} \approx \frac{1}{g_{m3} + s\left(c_{gs3} + c_{gs5}\right)} \tag{3.15}$$

$$Y_{o,CL}(s) = Y_{o,OL}(s)(1 + |A\beta(s)|) = \frac{g_{m3}g_{m5} + D_{BS}(s)}{Y_{i,OL}(s)} \approx \frac{g_{m3}g_{m5}}{g_S + g_{ds3}} + s\left(c_{gs3} + c_{gs5}\right) \tag{3.16}$$

Bloque de suma de corrientes

Fig.3.3 muestra el modelo en pequeña señal del bloque de suma de corrientes. Se calcula la admitancia de salida, dada por la ecuación (3.17).

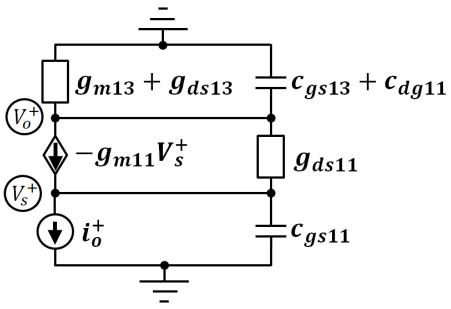


Figura 3.3 Modelo en pequeña señal de la suma de la corriente de salida del multiplicador de Fig.3.1

$$Y_{0,Sum}(s) = \frac{(g_{m11}+g_{ds11}+sc_{gs11})\big(g_{m13}+g_{ds13}+s(c_{gs13}+c_{dg11})\big)+g_{ds11}sc_{gs11}}{g_{m13}+g_{ds13}} \approx g_{m11} + sc_{gs11} \quad (3.17)$$

Bloque de núcleo del multiplicador

Habiendo obtenido las admitancias de los bloques anteriores, se evalúa el efecto que tienen sobre el multiplicador. Se evalúa la distorsión del producto usando las ecuaciones (3.18) y (3.19), donde $Y_{Par} = g_{m,Par} + sc_{gs,Par} + g_{ds,Par}$.

$$v_{s+,a\pm} \approx v_m \frac{\frac{g_{m3}g_{m5}}{g_S+g_{ds3}}\big(g_{m7}-g_{m8}\mp(g_{m11}+sc_{gs11}+2g_{ds,Par})\big)}{(g_{m11}+sc_{gs11}+2g_{ds,Par})\left(\frac{g_{m3}g_{m5}}{g_S+g_{ds3}}+sc_{gs3,5}+4Y_{Par}\right)} \quad (3.18)$$

$$v_{s+,a\pm} \approx v_m \frac{\frac{g_{m4}g_{m6}}{g_S+g_{ds4}}\big(g_{m9}-g_{m10}\mp(g_{m12}+sc_{gs12}+2g_{ds,Par})\big)}{(g_{m12}+sc_{gs12}+2g_{ds,Par})\left(\frac{g_{m4}g_{m6}}{g_S+g_{ds4}}+sc_{gs4,6}+4Y_{Par}\right)} \quad (3.19)$$

Se observa que para $v_{s,a}$ al incrementar las admitancias de carga el numerador crece a una menor razón que el denominador. La función de transferencia se da por las ecuaciones (3.20) y (3.21)

$$H_{io+,vm}(s) \approx \frac{\frac{g_{m3}g_{m5}}{g_S+g_{ds3}}(g_{m7}-g_{m8})(g_{m11}+sc_{gs11})}{(g_{m11}+sc_{gs11}+2g_{ds,Par})\left(\frac{g_{m3}g_{m5}}{g_S+g_{ds3}}+sc_{gs3,5}+4Y_{Par}\right)} \quad (3.20)$$

$$H_{io+,vm}(s) \approx \frac{\frac{g_{m4}g_{m6}}{g_S+g_{ds4}}(g_{m9}-g_{m10})(g_{m12}+sc_{gs12})}{(g_{m12}+sc_{gs12}+2g_{ds,Par})\left(\frac{g_{m4}g_{m6}}{g_S+g_{ds4}}+sc_{gs4,6}+4Y_{Par}\right)} \quad (3.21)$$

Habiendo obtenido esta información se procede al diseño principal, un multiplicador de alta frecuencia con baja distorsión. El multiplicador analizado es de baja distorsión pero el lazo de bootstrapping implica un nodo de baja conductancia, lo cual significa que el polo dominante se encuentra en baja frecuencia. Para mejorar la respuesta en frecuencia se modifica el sensado de corriente por un nodo de acoplamiento sólo-señal. Cuando se usan nodos de este tipo los circuitos de fuente y sensado se polarizan de manera independiente, y por tanto sólo se transmite la componente de señal entre los bloques. Se diseña entonces un multiplicador con este acoplamiento para lograr el sensado de señal.

El nuevo sensado modifica la copia en la línea de retardo agregado al nodo de baja conductancia creado por el bootstrap. Cada núcleo de la línea de retardo debe entregar tres señales iguales. Dado que entre los núcleos se sensa la señal con acoples tipo solo-señal, la copia de corriente es 1:1. Se elimina el efecto de modulación del transistor de salida. Si en cambio se usa un acoplamiento de polarización-señal, la señal sensada difiere debido a la modulación de canal del transistor de salida y el retardo de grupo por la conductancia del nodo de sensado. Ambas formas pueden verse en Fig.3.4.

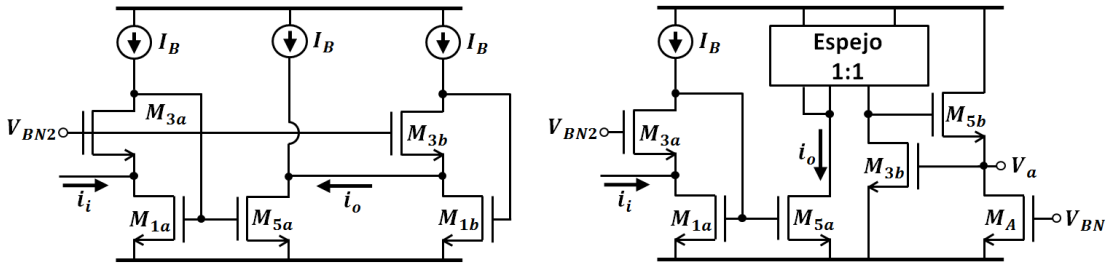


Figura 3.4 Formas de sensado de señal

La conductancia de carga g_L para un acoplamiento polarización-señal es aproximadamente g_m, mientras que para un acoplamiento sólo-señal es g_m^2/g_{ds}.

Las señales de salida del multiplicador son sensadas por transistores en configuración de diodo. Usando la técnica de lazo abierto se calculan las constantes de tiempo de los nodos. El nodo resultante es dominante debido a que la conductancia de sensado del transistor es dado por g_m, la cual es baja en transistores PMOS. Combinado con las dimensiones superiores del PMOS comparado con el NMOS, se obtiene (3.22).

$$\omega_{Diodo-PMOS} \approx \frac{g_{m.p}}{c_{ox}S_pL^2} \approx \frac{g_{m.n}\frac{\mu_p}{\mu_n}}{c_{ox}\frac{\mu_p}{\mu_n}S_nL^2} = \left(\frac{\mu_p}{\mu_n}\right)^2 \frac{g_{m.n}}{c_{ox}S_nL^2} \tag{3.22}$$

Donde μ_i es la movilidad del canal, S_i es la relación de aspecto del transistor, $g_{m.i}$ es la transconductancia de compuerta y L es la longitud de canal. El polo de un transistor NMOS a PMOS se reduce debido a la relación cuadrática de movilidades vista en la última parte de la ecuación.

Saliendo del núcleo del multiplicador las señales deben pasar por el nodo de suma sobre las fuentes de M_{11} y M_{12} y el nodo de sensado de M_{13} y M_{14}. Cada nodo en la trayectoria de la señal agrega una constante de tiempo la cual reduce el ancho de banda y todos los elementos tienen un retardo de grupo inherente el cual aumenta la latencia propia del multiplicador. Para reducir estas variables se reemplazan los transistores por un FVFCS el cual establece un nodo de baja impedancia a la salida de núcleo, mejora la suma de corrientes y reduce la constante de tiempo.

El multiplicador con las modificaciones propuestas y el cual es la base para el trabajo se muestra en Fig.3.5. El núcleo del multiplicador sensa la señal en modo corriente por medio de la celda de Gilbert. Se divide el análisis una vez más en sensado, suma de corriente y núcleo.

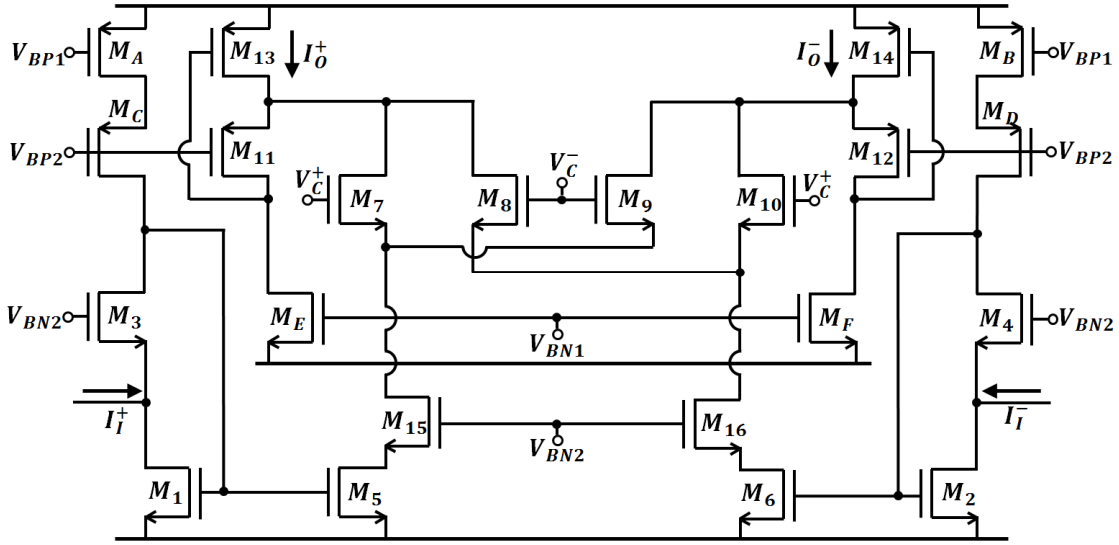


Figura 3.5 Diagrama de multiplicador de alta frecuencia con sensado de corriente tipo solo-señal

Sensado de corriente

El sensado de corriente se hace por medio del FVFCS. Debido a que la copia de corriente es 1:1 se cumple que $g_{m5} = g_{m1}$, $c_{gs5} = c_{gs1}$ y $g_{ds5} = g_{ds1}$. Dado que se hace un acoplo polarización+señal $g_B = 0$ y g_L se reemplaza por la admitancia de entrada del núcleo. La fuente de señal de corriente es un transistor igual a M_1 por lo que $g_S = g_{ds1}$. La función de transferencia del bloque es dado por la ecuación (3.23) y la admitancia por (3.24).

$$\frac{i_o}{i_i} = \frac{g_{m1}(g_{m3}+g_{ds3})}{g_{m1}(g_{m3}+g_{ds3})+g_{m3}(2g_{ds3}+2sc_{gs1,5})+g_{ds1}(g_{ds3}+2sc_{gs1})} \approx \frac{g_{m1}(g_{m3}+g_{ds3})}{g_{m1}(g_{m3}+g_{ds3})+g_{m3}(2g_{ds3}+sc_{gs1,5})} \approx \frac{g_{m1}}{g_{m1}+sc_{gs1,5}} \quad (3.23)$$

$$Y_o = g_{ds1} + sc_{db5} \quad (3.24)$$

Suma de corrientes

Debido a que el nodo de entrada del FVFCS es de alta impedancia se efectúa en ese nodo la suma de corrientes. Tomando en cuenta la capacitancia del transistor que copia la corriente a la salida del multiplicador la admitancia de entrada del bloque es (3.25)

$$Y_{i,CL} \approx \frac{g_{m13}(g_{m11}+sc_{gs11})}{g_{dsE}+2sc_{gs13}} \quad (3.25)$$

Núcleo del multiplicador

Habiendo calculado las admitancias de carga de los bloques anteriores y la función de transferencia del bloque de sensado de corrientes se calculan ahora las expresiones de distorsión y la función de transferencia del multiplicador. La distorsión del multiplicador se evalúa con las ecuaciones (3.26) y (3.27) y la función de transferencia queda como (3.28) y (3.29).

$$v_{s+,a\pm} = i_m \frac{g_{m7} - g_{m8} \mp \left(\frac{g_{m14}(g_{m12}+sc_{gs12})}{g_{dsF}+2sc_{gs14}} + 2g_{ds,Par}\right)}{\left(\frac{g_{m14}(g_{m12}+sc_{gs12})}{g_{dsF}+2sc_{gs14}} + 2g_{ds,Par}\right)(g_{ds2}+sc_{dg6}+4Y_{Par})} \tag{3.26}$$

$$v_{s-,a\pm} = i_m \frac{g_{m8} - g_{m10} \mp \left(\frac{g_{m13}(g_{m11}+sc_{gs11})}{g_{dsE}+2sc_{gs13}} + 2g_{ds,Par}\right)}{\left(\frac{g_{m13}(g_{m11}+sc_{gs11})}{g_{dsE}+2sc_{gs13}} + 2g_{ds,Par}\right)(g_{ds1}+sc_{dg5}+4Y_{Par})} \tag{3.27}$$

La función de transferencia del multiplicador queda como:

$$H_{io+,im}(s) = \frac{(g_{ds1}+sc_{dg5})(g_{m7}-g_{m8})}{\left(\frac{g_{m13}(g_{m11}+sc_{gs11})}{g_{dsE}+2sc_{gs13}} + 2g_{ds,Par}\right)(g_{ds1}+sc_{dg5}+4Y_{Par})} \tag{3.28}$$

$$H_{io-,im}(s) = \frac{(g_{ds2}+sc_{dg6})(g_{m8}-g_{m10})}{\left(\frac{g_{m14}(g_{m12}+sc_{gs12})}{g_{dsF}+2sc_{gs14}} + 2g_{ds,Par}\right)(g_{ds2}+sc_{dg6}+4Y_{Par})} \tag{3.29}$$

Las modificaciones hechas al circuito base para propósitos de este trabajo son simples. Debido a que el multiplicador es ahora un circuito independiente y no un bloque interno en un sistema, es necesario un método de inyección de señal simple para propósitos de medición. Se propone agregar dos transistores PMOS M_{T1} y M_{T2}, cuyo único propósito es recibir las señales de entrada diferenciales a su compuerta y transformarlo a una señal de corriente que pueda usar el multiplicador como se muestra en Fig.3.6.

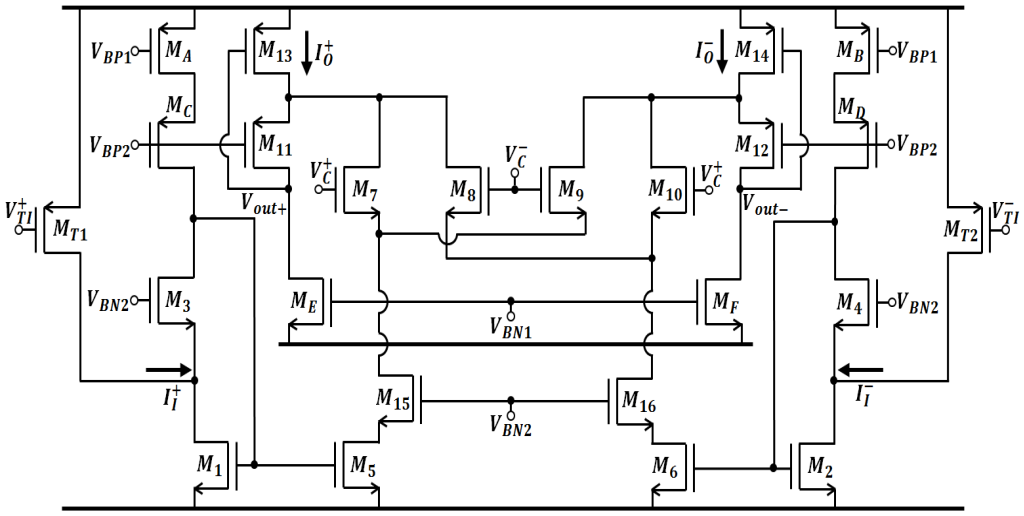


Figura 3.6 Diagrama modificado de multiplicador de alta frecuencia

En el nodo de salida del multiplicador se agregó un arreglo que consiste de un buffer de voltaje y un amplificador simple con el objeto de facilitar su caracterización futura. El arreglo buffer-amplificador puede verse en Fig.3.7.

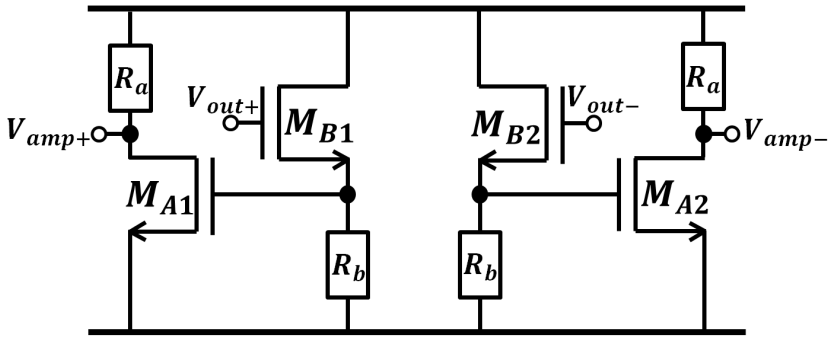


Figura 3.7 Diagrama de arreglo buffer-amplificador

3.2 Dimensionamiento

Se muestran en la Tabla VII a continuación las dimensiones de los transistores que conforman el multiplicador. Las resistencias del arreglo buffer-amplificador son $R_b = 15k\Omega$, $R_a = 1.6k\Omega$.

Se procura aparear las partes simétricas del circuito así como los transistores M_7, M_8, M_9, M_{10} que conforman la celda de Gilbert. Con respecto al arreglo buffer-amplificador, se procura que la resistencia que usa el amplificador sea de un ancho mayor ya que debe pasar a través de ella una corriente mayor.

TABLA VII
DIMENSIONES DE MULTIPLICADOR DE ALTA FRECUENCIA

Transistor	$W(\mu m)$	$L(\mu m)$	Multiplicidad
M_A, M_B	12.75	1.5	8
M_C, M_D	12.75	3.6	4
M_E, M_F	10.5	2.85	6
M_{I+}, M_{I-}	15.9	2.7	1
M_1, M_2	10.5	2.7	12
M_3, M_4	10.5	1.05	6
M_5, M_6	6	3	18
M_7, M_8, M_9, M_{10}	6.45	2.25	8
M_{11}, M_{12}	12.75	3.6	4
M_{13}, M_{14}	12.75	0.6	4
M_{15}, M_{16}	10.5	2.25	16
M_{B1}, M_{B2}	7.2	1.5	2
M_{A1}, M_{A2}	13.35	0.6	10

3.3 Simulación de esquemático

El multiplicador simulado trabaja con salida en corriente, por lo que las mediciones se hacen con base a la corriente de salida. Los voltajes de polarización son los siguientes: $V_{BP1} = 2.2V$, $V_{BP2} = 0.9V$, $V_{BN1} = 1.15V$, $V_{BN2} = 0.9V$ tomados desde V_{SS}.

3.3.1 Simulación DC

Fig.3.8 muestra el resultado de un barrido en DC de V_c de $-80\ mV$ a $80\ mV$ para un valor de V_{Ti} de $-80\ mV$ a $80\ mV$ con pasos de $40\ mV$. Se observa un rango de entrada de aproximadamente $\pm 80mV$ y rango de salida de aproximadamente $15\ mV$. Fig.3.9 muestra un barrido de V_{Ti} de $-500\ mV$ a $500\ mV$ para un valor de V_C de $-150\ mV$ a $150\ mV$ con pasos de $50\ mV$. Se observa un rango de entrada de aproximadamente $\pm 500mV$ y rango de salida de aproximadamente $\pm 120\ mV$.

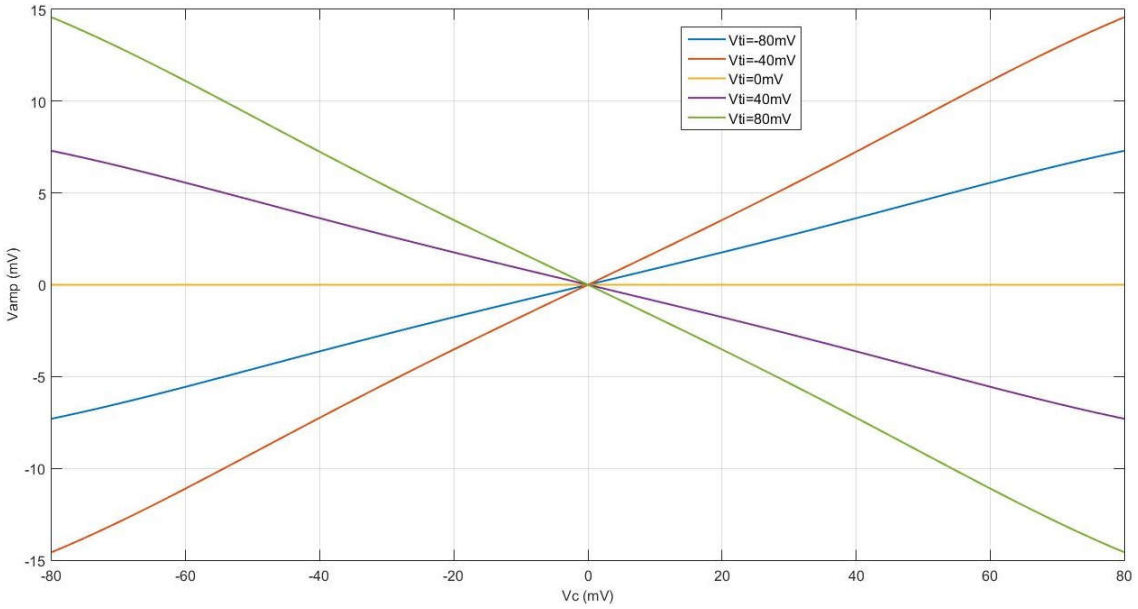


Figura 3.8 Respuesta en AC de multiplicador de alta frecuencia barriendo $\boldsymbol{V_c}$

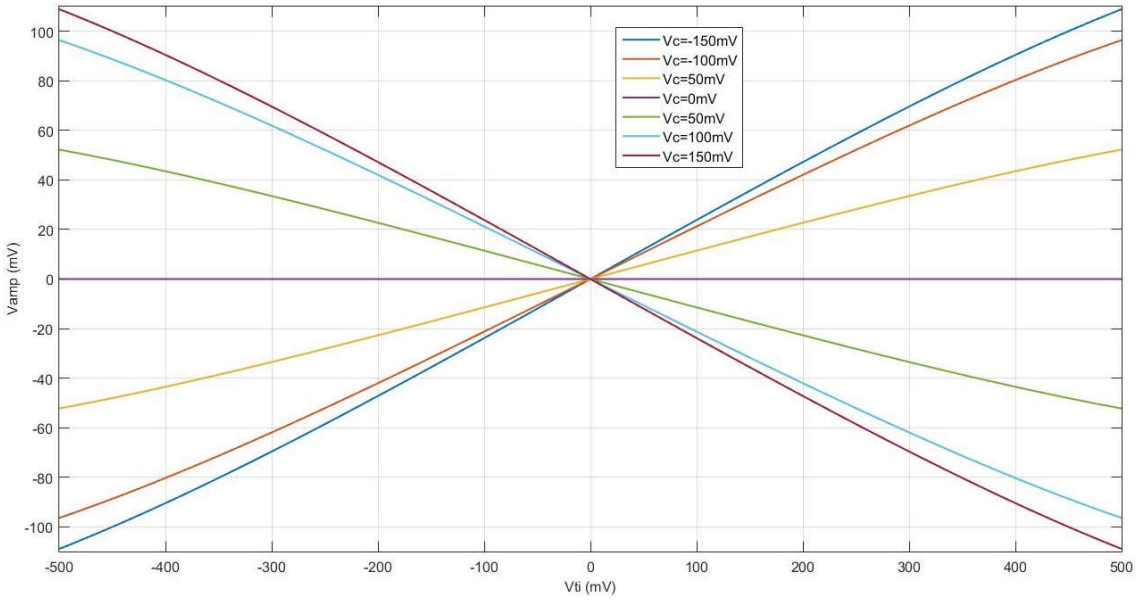


Figura 3.9 Respuesta en AC de multiplicador de alta frecuencia barriendo $\boldsymbol{V_{Ti}}$

3.3.2 Simulación AC

La Figura 3.10 muestra la respuesta en frecuencia de V_{out} haciendo un barrido de V_c desde $40\ mV$ a $200\ mV$ en pasos de $40\ mV$. El ancho de banda del sistema simulado alcanza hasta $50\ MHz$ con una carga capacitiva de $1\ pF$ y una ganancia de hasta $-5\ dB$. El barrido de V_{Ti} en AC en la Figura 3.11 presenta un ancho de banda de hasta $21.03\ MHz$ y una ganancia de hasta $-7.29\ dB$. Las ganancias y frecuencias en $-3\ dB$ para cada barrido se muestran en la Tabla VIII para V_c y Tabla IX para V_{Ti}.

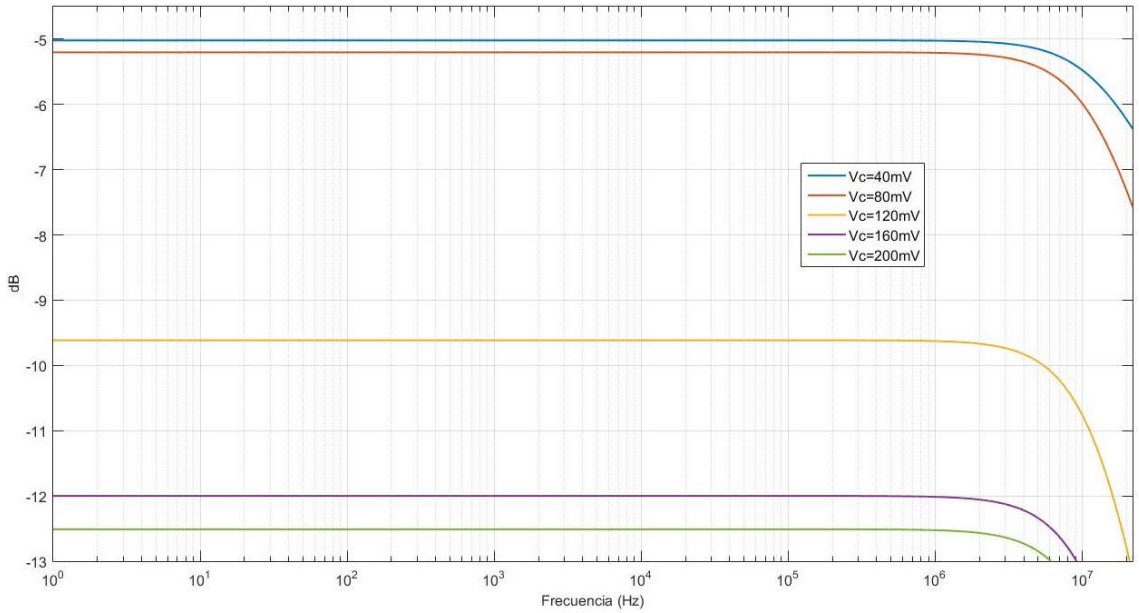


Figura 3.10 Respuesta en AC de multiplicador de alta frecuencia barriendo $\boldsymbol{V_c}$

TABLA VIII
RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR DE ALTA FRECUENCIA BARRIENDO Vc

V_x	Av	f_c
$40\ mV$	$-5\ dB$	$50\ MHz$
$80\ mV$	$-5.2\ dB$	$27.57\ MHz$
$120\ mV$	$-9.61\ dB$	$19.16\ MHz$
$160\ mV$	$-12\ dB$	$19.24\ MHz$
$200\ mV$	$-12.51\ dB$	$19.64\ MHz$

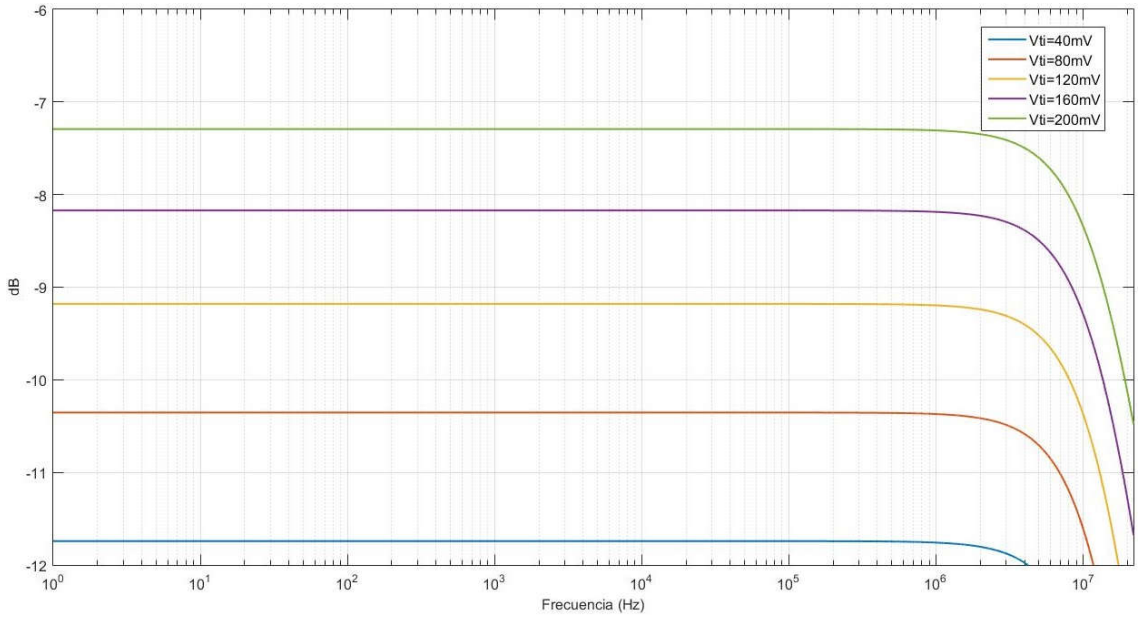


Figura 3.11 Respuesta en AC de multiplicador de alta frecuencia barriendo $\boldsymbol{V_{ti}}$

TABLA IX

RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR DE ALTA FRECUENCIA BARRIENDO Vti

V_x	Av	f_c
$40\ mV$	$-11.74\ dB$	$16.82\ MHz$
$80\ mV$	$-10.35\ dB$	$17.34\ MHz$
$120\ mV$	$-9.18\ dB$	$18.23\ MHz$
$160\ mV$	$-8.17\ dB$	$19.46\ MHz$
$200\ mV$	$-7.29dB$	$21.03\ MHz$

El multiplicador no presenta una ampliación de la señal sino una atenuación. Una atenuación de alrededor de $-10\ dB$ es un rango aceptable de atenuación. En el caso de V_c la respuesta con menor atenuación es también la que presenta un mayor ancho de banda, por la que se podría darle prioridad como la entrada de señal de alta frecuencia.

3.3.3 Simulación transitoria

Fig.3.12 muestra el resultado de una simulación transitoria donde V_c genera una señal diferencial de $10\ MHz$ y V_{Ti} una señal de $500\ kHz$. V_c presenta una amplitud de $100\ mV$ y V_{Ti} una amplitud de $200\ mV$. Fig.3.13 muestra el resultado de una simulación en donde la frecuencias de V_c es ahora $500\ kHz$ y V_{Ti} $10\ MHz$. Se ven los cruces por cero en 1µs, 2µs y 3µs.

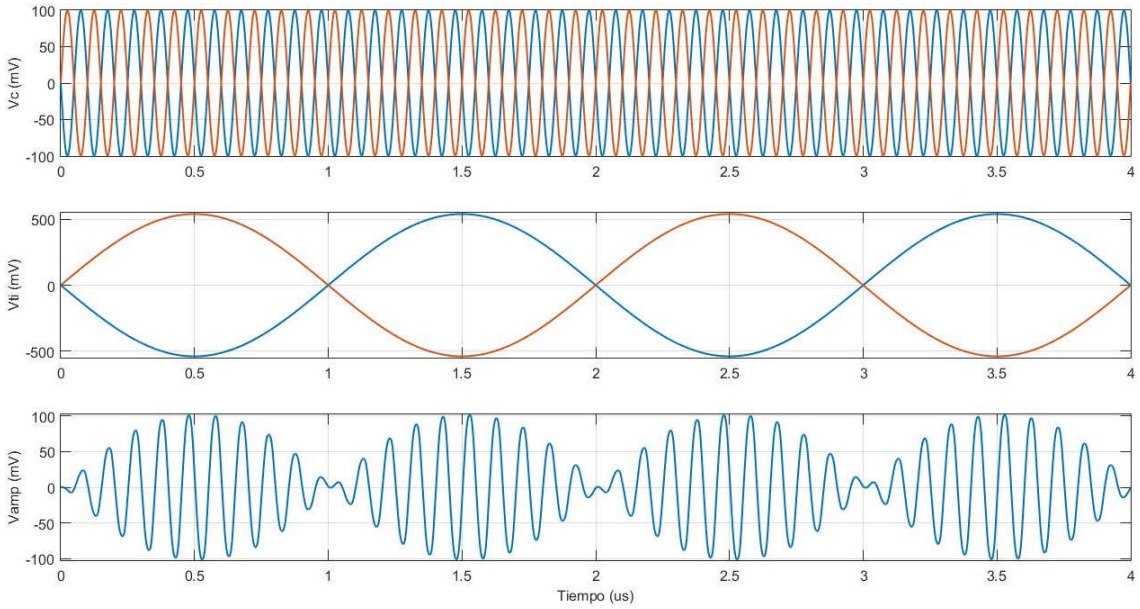


Figura 3.12 Respuesta transitoria de multiplicador de alta frecuencia

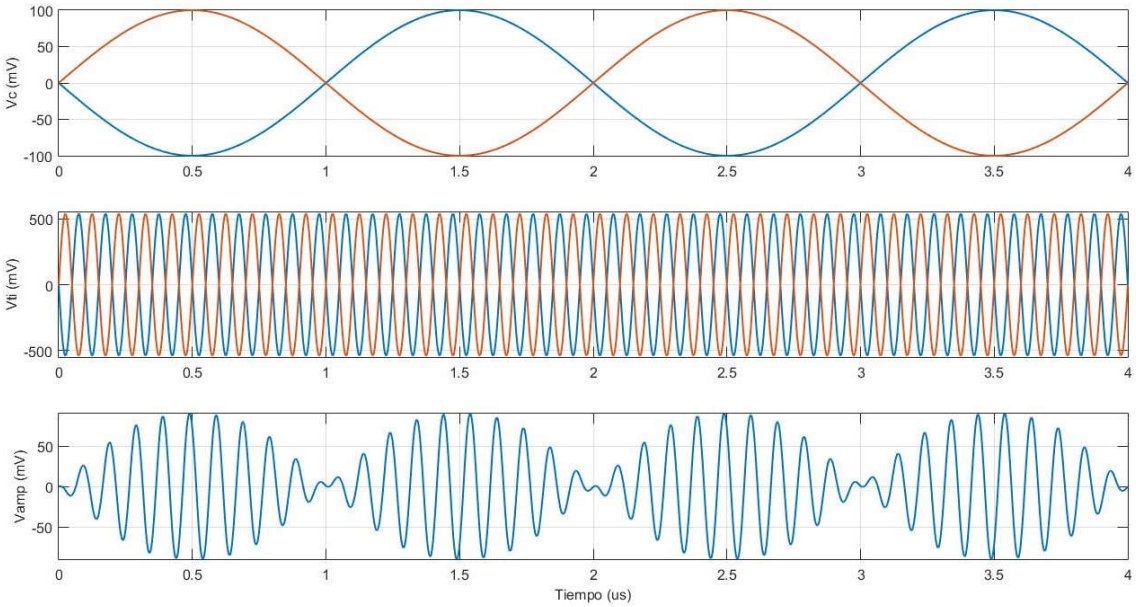


Figura 3.13 Respuesta transitoria de multiplicador de alta frecuencia

3.4 Diseño de Layout

Debido a que la salida del multiplicador era muy pequeña, se implementó un seguidor de voltaje seguido de un amplificador para que la señal pudiera medirse sin ser distorsionada por capacitancias parásitas. Se diseñó el buffer para poder soportar corrientes de hasta 1mA, requiriendo que los cables de conexión fueran de mayor grosor. Las dimensiones del layout son de 338.25x187.05u.

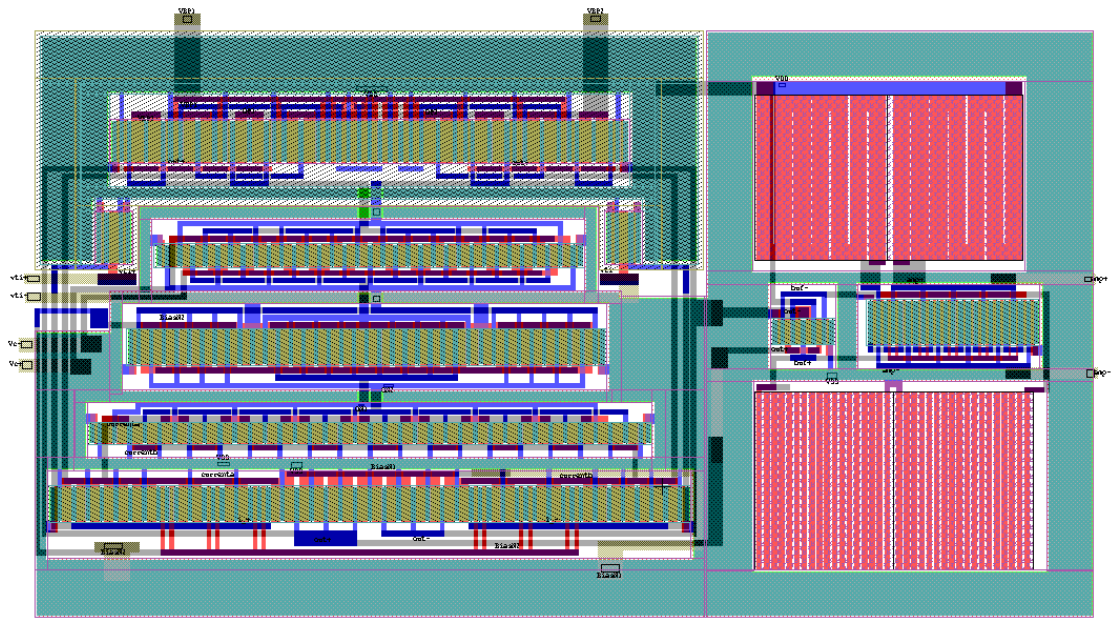


Figura 3.14 Layout de multiplicador alta frecuencia

Capítulo 4

4. Multiplicador de transconductancia

4.1 Marco teórico

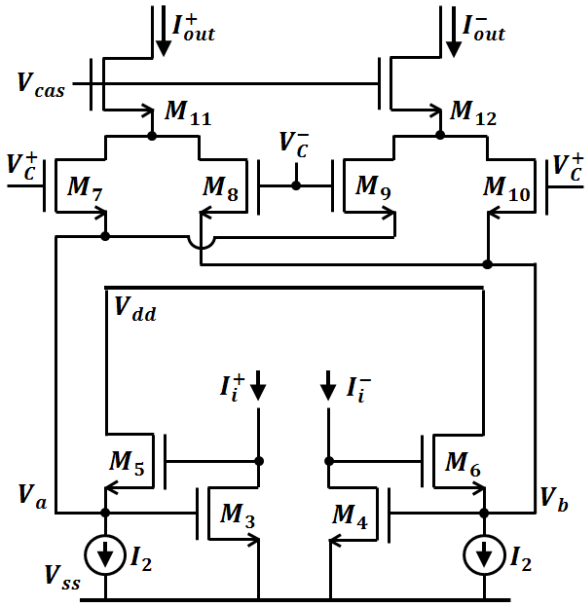


Figura 4.1 Esquemático de multiplicador de corriente

El multiplicador en Fig.4.1 es un multiplicador de corriente cuyo funcionamiento se basa en el principio de ley de cuadrados. Se aplican las señales de corriente I_i^+ e I_i^- a los seguidores de fuente, donde son convertidas a las señales de voltaje V_a y V_b. Estos nodos tienen una baja impedancia de $R_{a,b} = \frac{1}{g_m}\frac{1}{g_m r_o}$, donde g_m y r_o son la transconductancia y resistencia de salida de M_5 y M_6.

V_a y V_b son aplicados a los pares cruzados formados por M_7-M_8 y M_9-M_{10}. Las corrientes de drenaje de estos transistores son dadas por (4.1), (4.2), (4.3) y (4.4) y la salida por (4.5).

$$Id_{M7} = k_p \frac{W}{L}(V_C^+ - V_a - V_{TH})^2 \tag{4.1}$$

$$Id_{M8} = k_p \frac{W}{L}(V_C^- - V_b - V_{TH})^2 \tag{4.2}$$

$$Id_{M9} = k_p \frac{W}{L}(V_C^- - V_a - V_{TH})^2 \tag{4.3}$$

$$Id_{M10} = k_p \frac{W}{L}(V_C^+ - V_b - V_{TH})^2 \tag{4.4}$$

$$I_{out} = I_{out}^+ - I_{out}^- = (Id_{M7} + Id_{M8}) - (Id_{M9} + Id_{M10}) = 2k_p \frac{W}{L}(V_C^+ - V_C^-)(V_a - V_b) \tag{4.5}$$

Dado que I_i^+ e I_i^- son señales complementarias (4.6) y (4.7) la corriente diferencial es (4.8)

$$V_a - V_b \cong \sqrt{\frac{K}{2I}}[I_i^+ - I_i^-] \tag{4.6}$$

$$K = \sqrt{\frac{1}{k_p W/L}} \tag{4.7}$$

$$I_{out} \approx k_p \frac{W}{L}\frac{K}{I}(V_C^+ - V_C^-)(I_i^+ - I_i^-) \tag{4.8}$$

Los transistores M_{11} y M_{12} reducen la fluctuación de voltaje en los drenajes de M_7-M_{10}.

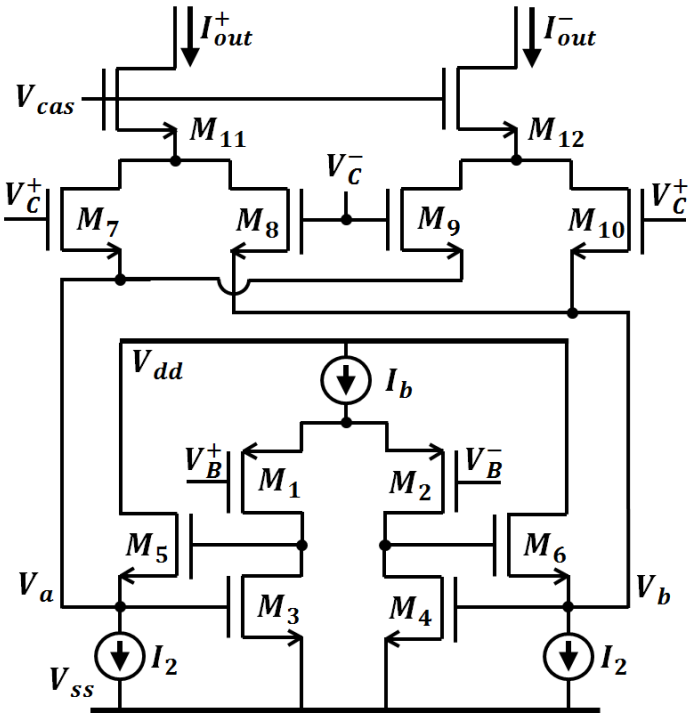


Figura 4.2 Esquemático de multiplicador de transconductancia

Se muestra ahora en Fig.4.2 el mismo multiplicador modificado para ser un multiplicador de transconductancia. Las señales de coriente I_i^+ e I_i^- son ahora implementadas a través de las señales de voltaje V_b^+ y V_b^- aplicadas a los nuevos transistores M_1 y M_2. La diferencia entre V_a y V_b es ahora (4.9), donde M es una constante dada por (4.10).

$$V_a - V_b = M(V_B^+ - V_B^-) \tag{4.9}$$

$$M = \sqrt{\frac{k_p(W/L)_{M1,M2}}{k_n(W/L)_{M3,M4}}} \tag{4.10}$$

La corriente de salida es ahora (4.11).

$$I_{out} = 2Mk_n\left(\frac{W}{L}\right)(V_C^+ - V_C^-)(V_B^+ - V_B^-) \tag{4.11}$$

Donde k_p y k_n son los parámetros de transconductancia del par diferencial de transistores y los transistores de carga.

Es con base a este segundo diseño que se genera el primer multiplicador que se trabaja en esta tesis.

4.2 Proceso de diseño

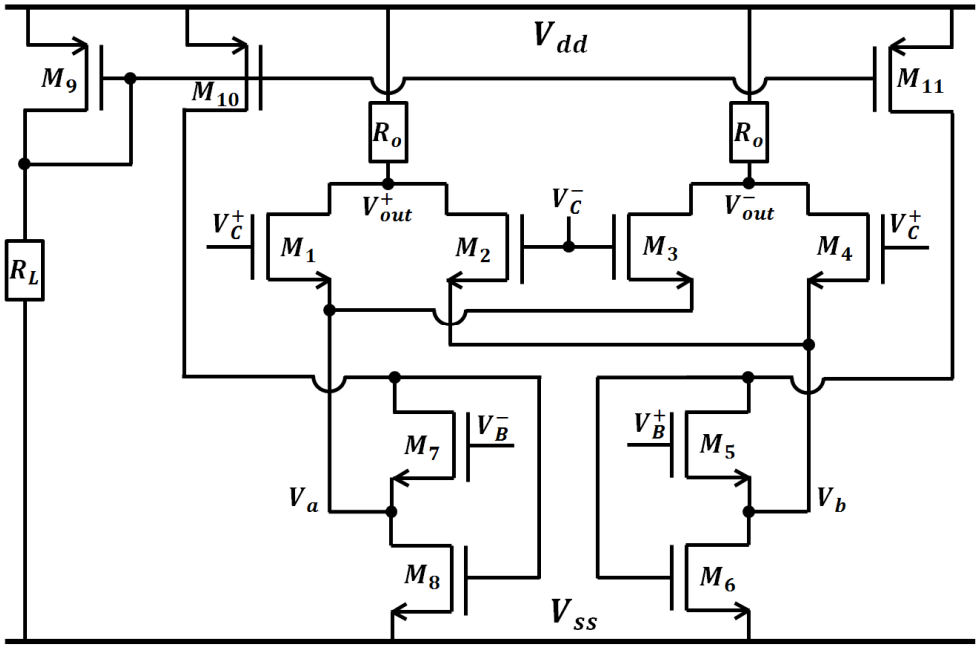


Figura 4.3 Diagrama de multiplicador de transconductancia

Se muestra en Fig.4.3 el diseño final. El esquema inferior es reemplazado por un FVF (Flipped Voltage Follower) en donde V_b^+ y V_b^- son ahora inyectados a transistores NMOS, las fuentes de corriente I_2 no son necesarias en este nuevo esquema y la corriente de polarización antes proporcionada por I_b es ahora generada a través del espejo de corriente formado por los transistores M_9, M_{10} y M_{11} pudiendose modificar la corriente proporcionada por medio de R_L. Los pares cruzados permanecen iguales pero los transistores de carga son reemplazados por resistencias de carga R_o.

El FVF permite que los nodos V_a y V_b continúen teniendo una baja impedancia de $R_{a,b} = \frac{1}{g_{m5,7} g_{m6,8} r_{o5,7}}$. Tomando en cuenta que los transistores M_5 y M_7 son ahora NMOS en lugar de PMOS la corriente de salida es ahora (4.12).

$$I_{out} = 2k_n \left(\frac{W}{L}\right)(V_C^+ - V_C^-)(V_B^+ - V_B^-) \tag{4.12}$$

Las dimensiones de los transistores se muestran en la Tabla X. Las resistencias R_o tienen un valor de 32.5kΩ con la resistencia de polarización R_L tomando un valor de 33kΩ para una corriente de 50µA.

TABLA X
DIMENSIONES DE MULTIPLICADOR DE TRANSCONDUCTANCIA

Transistor	$W(\mu m)$	$L(\mu m)$	Multiplicidad
M_1, M_2, M_3, M_4	6.3	2.1	2
M_5, M_7	8.25	3	4
M_6, M_8	7.35	3	4
M_9, M_{10}, M_{11}	11.85	3.9	2

Se muestra en la siguiente sección los resultados de una serie de simulaciones realizadas al circuito. Se describen simulaciones DC, AC y transitorias.

4.3 Resultados de Simulación

El circuito fue simulado en HSpice con tecnología CMOS AMI de 0.5µm con un voltaje de alimentación de ±1.65V y una corriente de polarización de 50µA para los FVF.

4.2.1 Simulación DC

Fig.4.4 muestra el resultado de un barrido en DC de V_c con una corriente de polarización I_d de $50\mu A$ de $-100\,mV$ a $100\,mV$ para un valor de V_b de $-100\,mV$ a $100\,mV$ con pasos de $50\,mV$. Fig.4.5 muestra un barrido de V_b de $-100\,mV$ a $100\,mV$ para un valor de V_c de $-100\,mV$ a $100\,mV$ con pasos de $50\,mV$. Se observa un rango de entrada de aproximadamente $100mV$ y rango de salida de aproximadamente $650\,mV$.

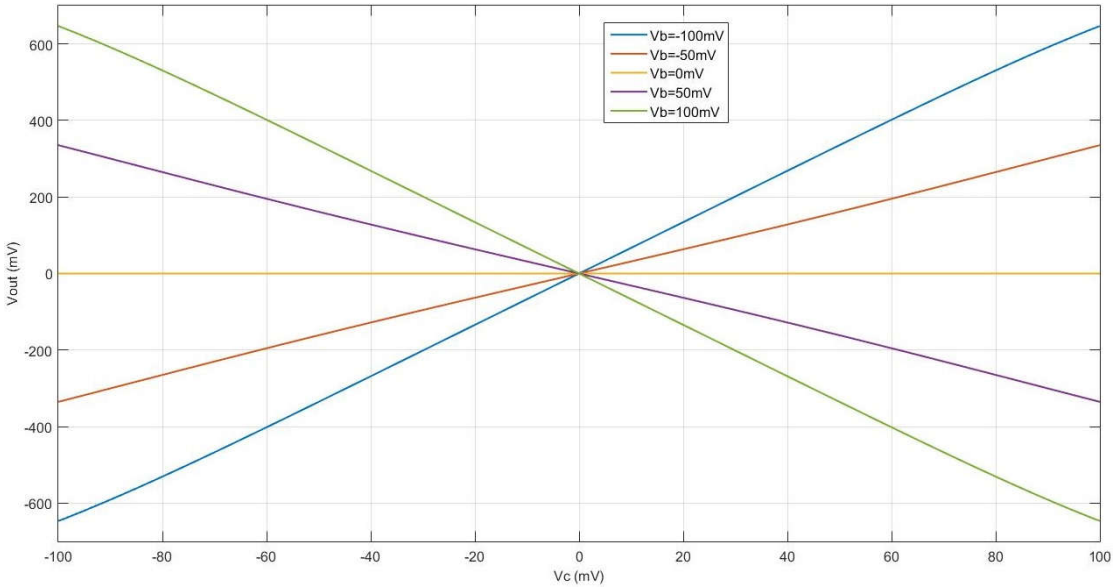


Figura 4.4 Respuesta en AC de multiplicador de transconductancia barriendo V_c

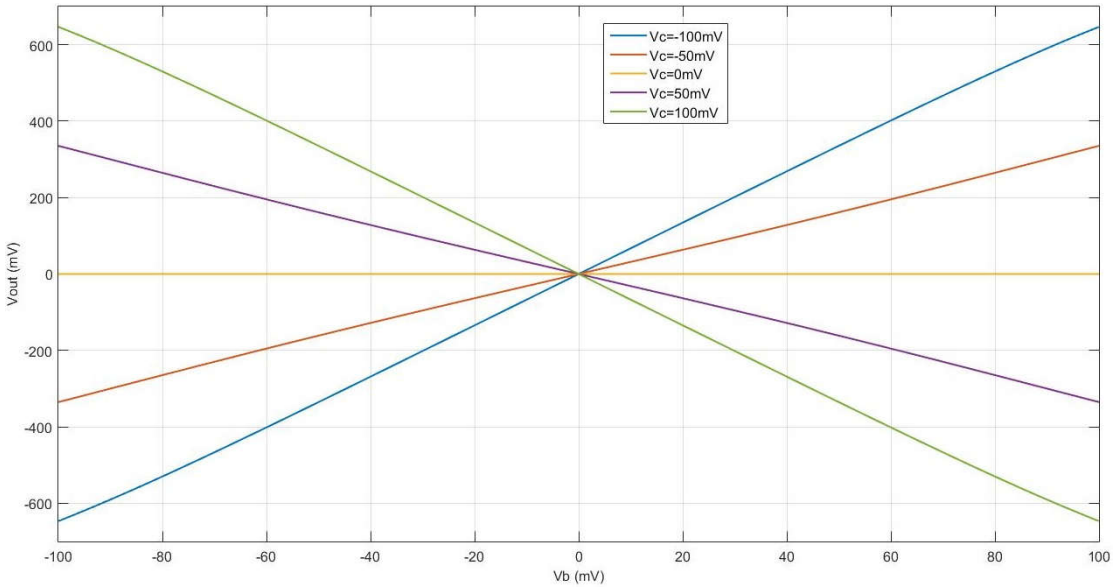


Figura 4.5 Respuesta en AC de multiplicador de transconductancia barriendo $\boldsymbol{V_b}$

4.2.2 Simulación AC

Fig.4.6 muestra la respuesta en frecuencia de V_{out} haciendo un barrido de V_c desde $-80\ mV$ a $80\ mV$ en pasos de $40\ mV$. El ancho de banda del sistema simulado va de $252\ kHz$ hasta $292\ kHz$ con una carga capacitiva de $20\ pF$ y una ganancia de hasta $21\ dB$. El barrido en AC en Fig.4.7 presenta un ancho de banda de $263\ kHz$ a $294\ kHz$ y una ganancia similar al barrido anterior. Las ganancias y frecuencias en $-3\ dB$ y $0\ dB$ para cada barrido se muestran en la Tabla XI para V_c y la Tabla XII para V_b.

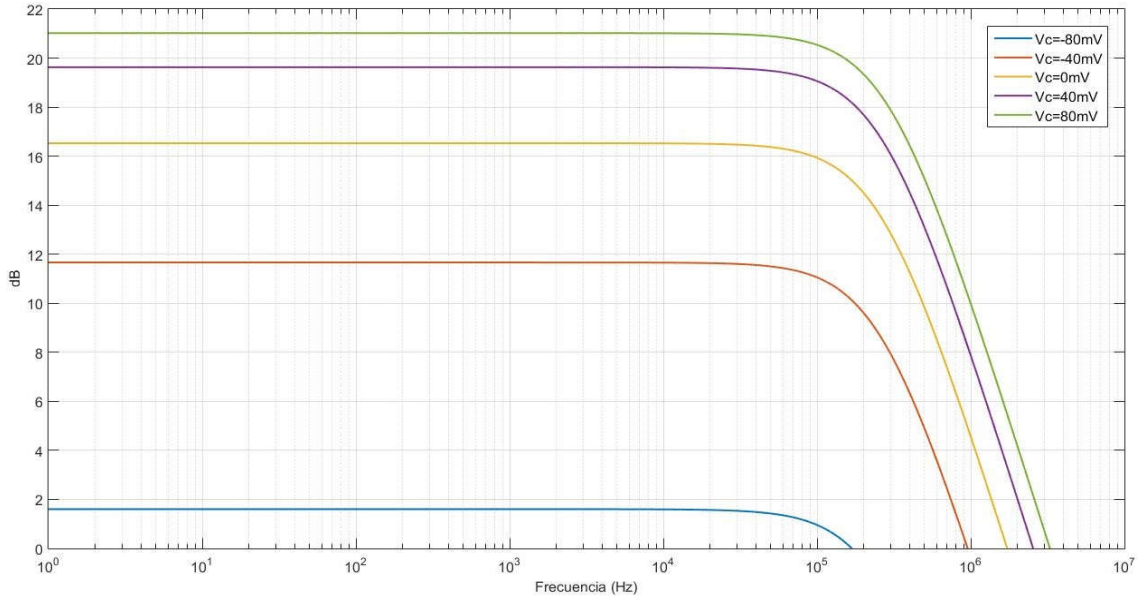


Figura 4.6 Respuesta en AC de multiplicador de transconductancia barriendo $\boldsymbol{V_c}$

TABLA XI

RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR DE TRANSCONDUCTANCIA BARRIENDO Vc

V_C	Av	f_c	f_0
$-80\ mV$	$1.6\ dB$	$252\ kHz$	$168\ kHz$
$-40\ mV$	$11.6\ dB$	$257\ kHz$	$954\ kHz$
$0\ mV$	$16.5\ dB$	$260\ kHz$	$1.7\ MHz$
$40\ mV$	$19.6\ dB$	$267\ kHz$	$2.5\ MHz$
$80\ mV$	$21\ dB$	$292\ kHz$	$3.2\ MHz$

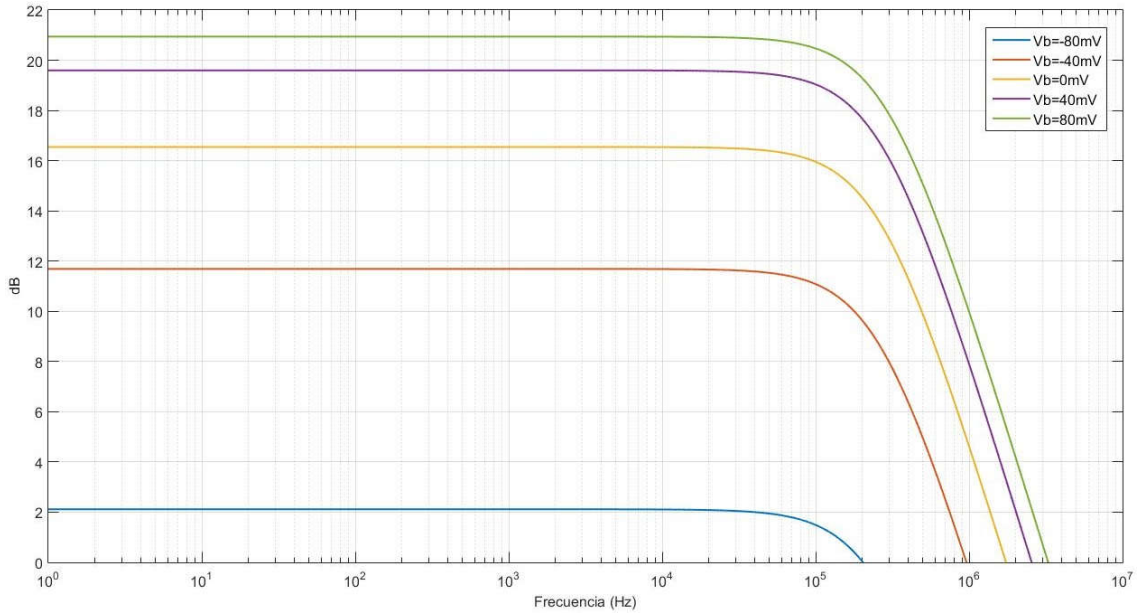


Figura 4.7 Respuesta en AC de multiplicador de transconductancia barriendo $\boldsymbol{V_b}$

TABLA XII

RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR DE TRANSCONDUCTANCIA BARRIENDO Vb

V_B	Av	f_c	f_0
$-80\ mV$	$2.11\ dB$	$263\ kHz$	$209\ kHz$
$-40\ mV$	$11.6\ dB$	$270\ kHz$	$961\ kHz$
$0\ mV$	$16.5\ dB$	$261\ kHz$	$1.7\ MHz$
$40\ mV$	$19.5\ dB$	$269\ kHz$	$2.5\ MHz$
$80\ mV$	$20.9\ dB$	$294\ kHz$	$3.2\ MHz$

El ancho de banda presenta pocos cambios a diferentes amplitudes de la señal, por lo que la mejor respuesta puede seleccionarse de acuerdo a la aplicación deseada.

4.2.3 Simulación transitoria

Fig.4.8 muestra el resultado de una simulación transitoria donde V_c genera una señal diferencial de 250 kHz y V_b una señal de 20 kHz. Ambas señales tienen una amplitud de 100 mV. Fig.4.9 muestra el resultado de una simulación en donde la frecuencias de V_c es ahora 20 kHz y V_b 250 kHz. Se ven los cruces por cero en 25µs, 50µs y 75µs.

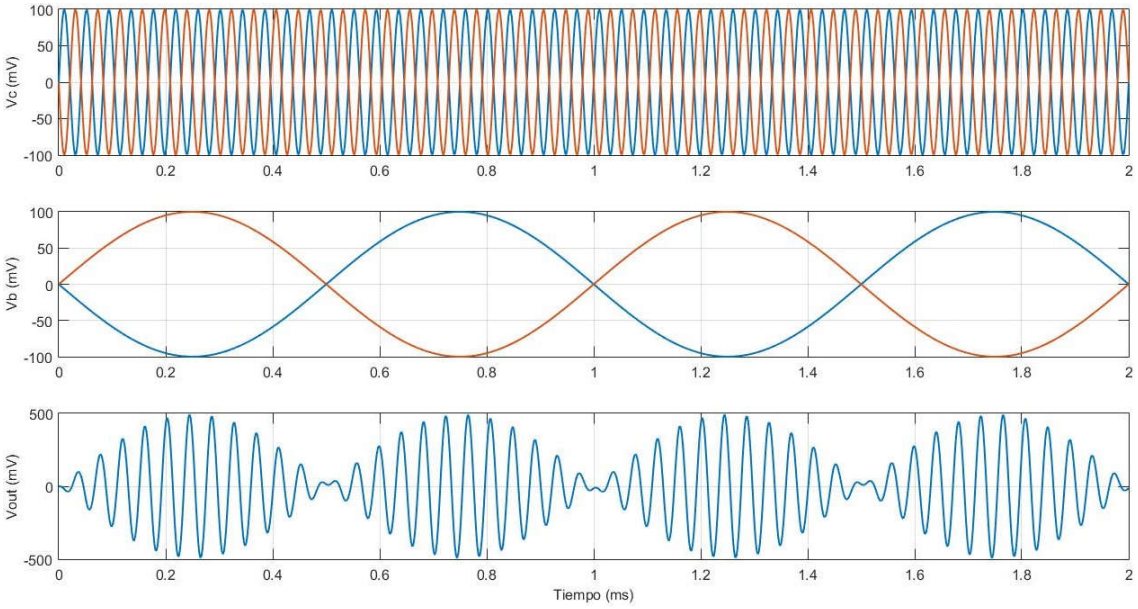


Figura 4.8 Respuesta transitoria de multiplicador de transconductancia

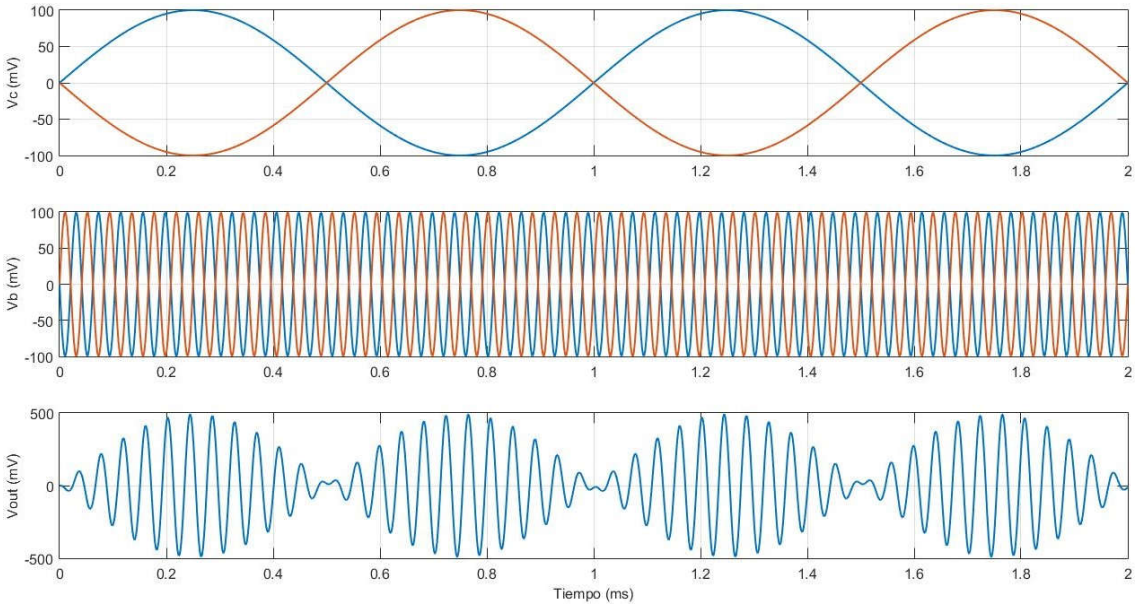


Figura 4.9 Respuesta transitoria de multiplicador de transconductancia

4.3 Diseño de Layout

Se diseñaron las resistencias de carga como internas, tomando éstas la mayor parte del layout como se muestra a continuación. La resistencia de polarización fue tomada como externa, agregando para ella un pin de conexión. Las dimensiones del circuito son de 800.1x106.6.

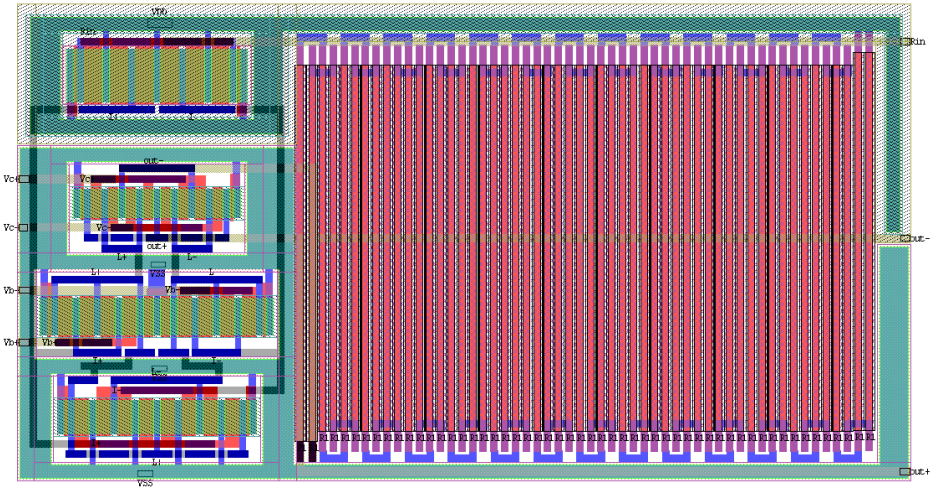


Figura 4.10 Layout de multiplicador de transconductancia

4.4 Caracterización

4.4.1 Caracterización DC

Se muestran los resultados de la caracterización DC del multiplicador. Debido a que solo es posible realizar una medición a la vez se hicieron múltiples mediciones las cuales luego fueron agrupadas en una sola imagen por medio de Matlab. Se realiza un barrido de $\pm 200mV$ para V_b y V_c presentando un rango de entrada de $\pm 200mV$ y un rango de salida de $\pm 600mV$.

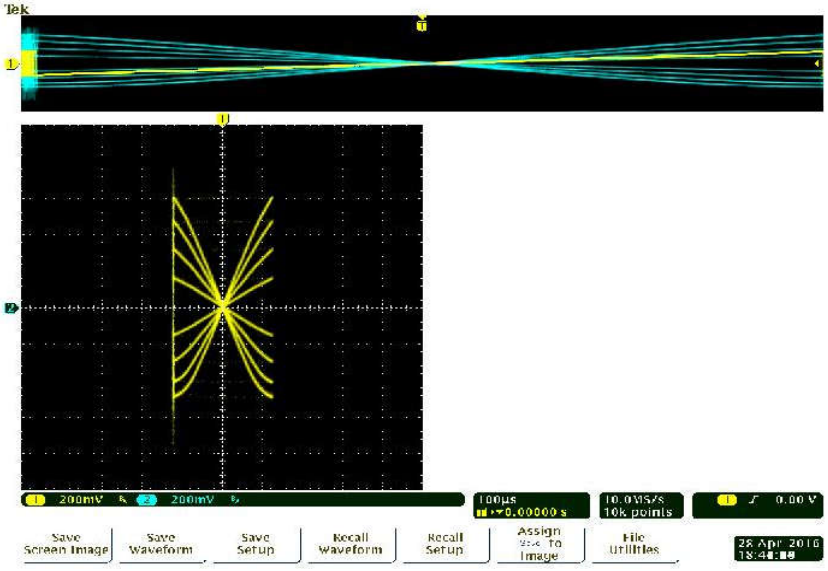


Figura 4.11 Respuesta en DC de multiplicador de transconductancia

4.4.2 Caracterización AC

Se muestran los resultados de la caracterización AC del multiplicador. La Figura 4.12 muestra los resultados para un barrido de V_c presentando un ancho de banda de 45 kHz para una ganancia de 16 dB. La Figura 4.13 presenta los resultados para un barrido de V_b presentando un ancho de banda de 39 kHz para una ganancia de 15.8 dB.

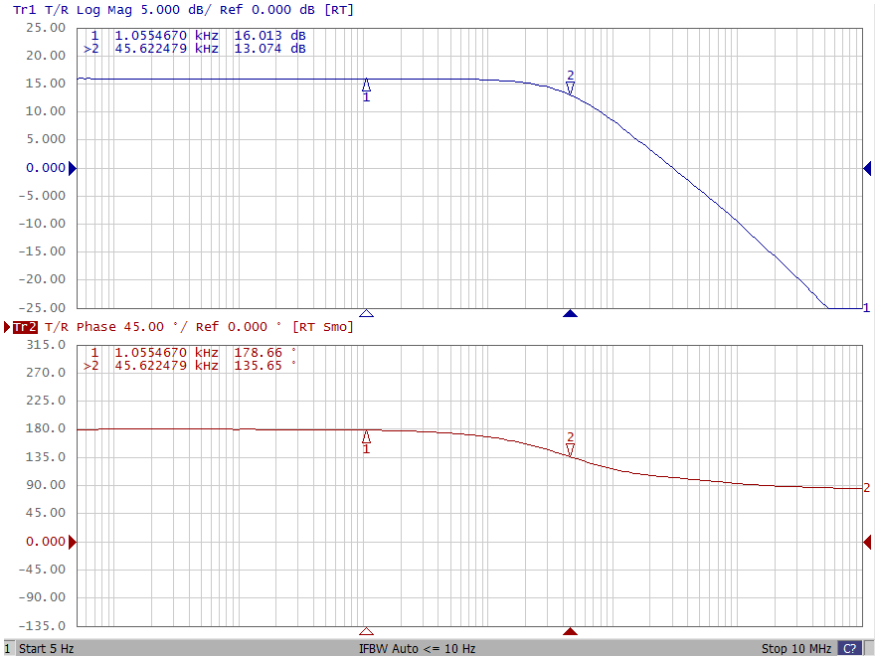


Figura 4.12 Respuesta en AC de multiplicador de transconductancia barriendo V_C

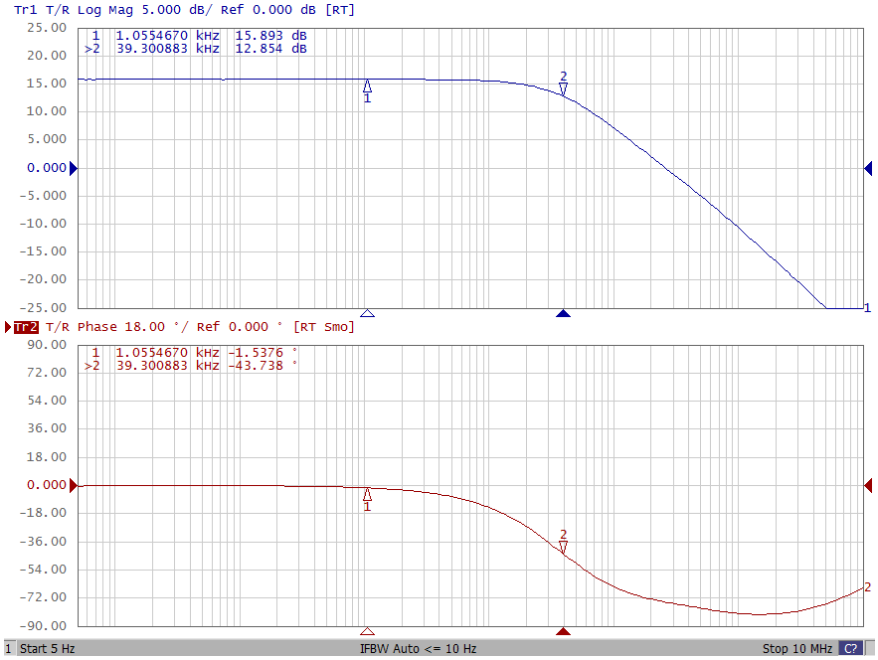


Figura 4.13 Respuesta en AC de multiplicador de transconductancia barriendo V_b

4.4.3 Caracterización Transitoria

Se presenta el resultado de una caracterización transitoria del multiplicador para una amplitud de $\pm 250mV$ para V_b y V_c a una frecuencia de 10 kHz y 1 kHz respectivamente resultando en una salida de aproximadamente $\pm 650mV$.

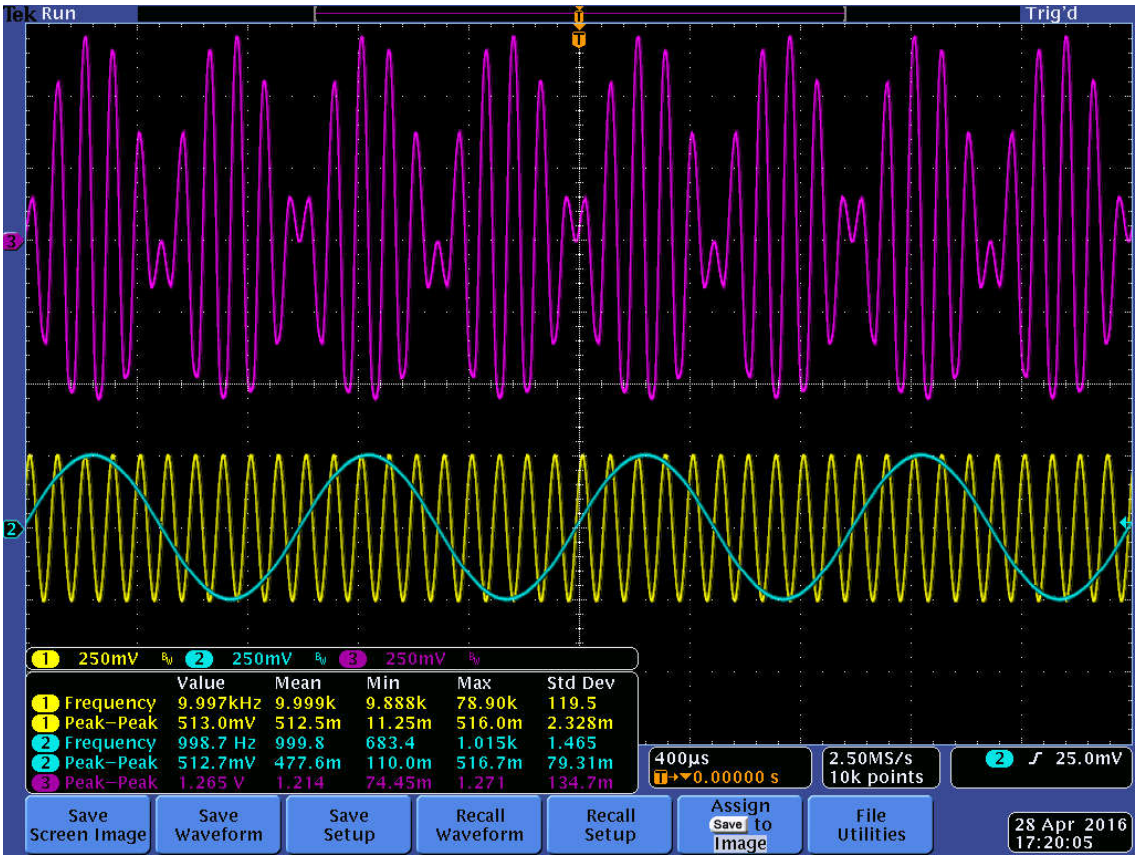


Figura 4.14 Caracterización de respuesta transitoria de multiplicador de transconductancia

Capítulo 5

Multiplicador con resistencias

5.1 Marco teórico

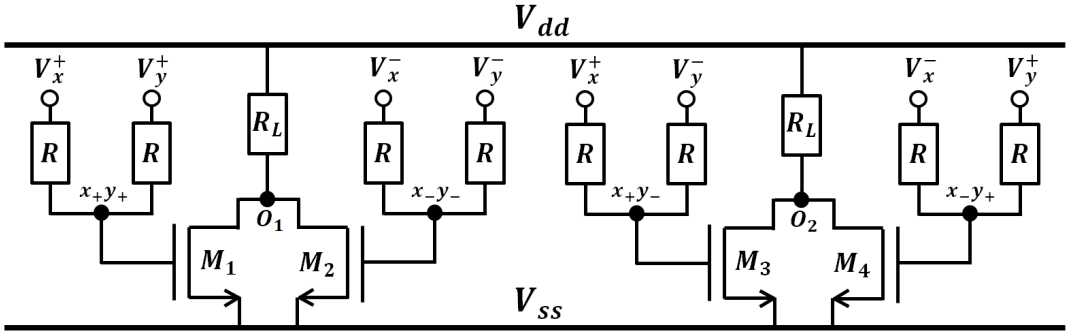


Figura 5.1 Diagrama de multiplicador con resistencias

El multiplicador que se muestra en Fig.5.1 se basa en el multiplicador con entrada por compuerta usando sumadores de voltaje en Fig1.11. El sumador hace la función de un divisor de voltaje en donde los voltajes a las entradas de las resistencias son las señales de entrada diferenciales.

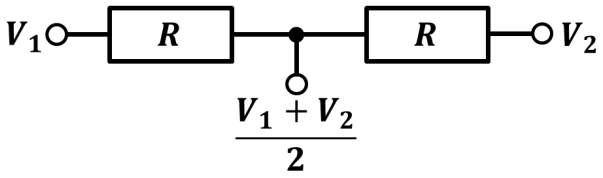


Figura 5.2 Divisor de voltaje

La ecuación que rige el funcionamiento de un divisor de voltaje es (5.1)

$$V_{div} = \frac{1}{2}(V_1 + V_2) \tag{5.1}$$

Por medio de esto se puede saber el voltaje en los nodos x_+y_+,x_-y_-, x_+y_- y x_-y_+, los cuales entran a las compuertas de los transistores M_1, M_2, M_3 y M_4 que forman el multiplicador. Sustituyendo V_1 y V_2 por las señales correspondientes a los multiplicadores, la señal de entrada en cada compuerta es descrito por (5.2), (5.3), (5.4) y (5.5).

$$V_{x_+y_+} = \frac{1}{2}(V_x + V_y) \tag{5.2}$$

$$V_{x_-y_-} = \frac{1}{2}(-V_x - V_y) \tag{5.3}$$

$$V_{x_+y_-} = \frac{1}{2}(V_x - V_y) \tag{5.4}$$

$$V_{x_-y_+} = \frac{1}{2}(-V_x + V_y) \tag{5.5}$$

Recordando la ecuación de corriente del transistor MOS:

$$I_d = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}\left[V_{gs} - V_T\right]^2$$

Siendo V_{gs} el voltaje en los nodos de compuerta representados por las ecuaciones anteriores y sustituyéndolos en la ecuación de corriente, la corriente de drenaje en cada transistor puede expresarse como (5.6), (5.7), (5.8) y (5.9), donde $K = \mu_o C_{ox} W/L$.

$$I_{DM1} = \tfrac{1}{2}K\left[\tfrac{1}{2}\left(V_x + V_y\right) - V_T\right]^2 = \tfrac{1}{8}K\left[V_x^2 + V_y^2 + 4V_T^2 + 2V_xV_y - 4V_xV_T - 4V_yV_T\right] \quad (5.6)$$

$$I_{DM2} = \tfrac{1}{2}K\left[\tfrac{1}{2}\left(-V_x - V_y\right) - V_T\right]^2 = \tfrac{1}{8}K\left[V_x^2 + V_y^2 + 4V_T^2 + 2V_xV_y + 4V_xV_T + 4V_yV_T\right] \quad (5.7)$$

$$I_{DM3} = \tfrac{1}{2}K\left[\tfrac{1}{2}\left(V_x - V_y\right) - V_T\right]^2 = \tfrac{1}{8}K\left[V_x^2 + V_y^2 + 4V_T^2 - 2V_xV_y - 4V_xV_T + 4V_yV_T\right] \quad (5.8)$$

$$I_{DM4} = \tfrac{1}{2}K\left[\tfrac{1}{2}\left(-V_x + V_y\right) - V_T\right]^2 = \tfrac{1}{8}K\left[V_x^2 + V_y^2 + 4V_T^2 - 2V_xV_y + 4V_xV_T - 4V_yV_T\right] \quad (5.9)$$

Se hace ahora una suma de corrientes para cada salida diferencial. La corriente de salida en el nodo O_1 es compuesto por la suma de corrientes de I_{DM1} e I_{DM2} y la corriente en O_2 por la suma de I_{DM3} e I_{DM4}. Las corrientes diferenciales resultantes (5.10) y (5.11) son entonces restadas. Ya eliminadas las señales no deseadas la corriente de salida I_o es dada por (5.12).

$$I_{O1} = I_{DM1} + I_{DM2} = \tfrac{1}{4}K\left[V_x^2 + V_y^2 + 4V_T^2 + 2V_xV_y\right] \quad (5.10)$$

$$I_{O2} = I_{DM3} + I_{DM4} = \tfrac{1}{4}K\left[V_x^2 + V_y^2 + 4V_T^2 - 2V_xV_y\right] \quad (5.11)$$

$$I_o = I_{O1} - I_{O2} = Kxy \quad (5.12)$$

Dejando con esto una multiplicación dependiente únicamente de las señales de entrada y las constantes del proceso de diseño.

5.2 Dimensionamiento

Los cuatro transistores tuvieron dimensiones de $^{18}/_{1.2}\,\mu m$ con multiplicidad de 4. Las resistencias internas tienen un valor de 1.76kΩ mientras que las resistencias de carga usadas fueron de 16.5kΩ. Debido al diseño del transistor es posible aparear los cuatro transistores en una sola tira. Se aparea también cada par de resistencias que entran a la compuerta de su respectivo transistor formando en total cuatro bloques compuestos por dos resistencias.

.

5.3 Resultados de Simulación en Saturación

El circuito fue simulado en HSpice con tecnología CMOS AMI de 0.5µm con un voltaje de alimentación de ±1.65V y una corriente de bias de 50µA para los cuatro transistores por medio de las resistencias de carga con valor de 16.5kΩ. Dada la simetría del circuito se realiza un análisis de V_x asumiendo que un barrido de V_y tendrá resultados idénticos.

Se realiza también una serie de simulaciones en donde los transistores ahora operan en la región de subumbral.

5.3.1 Simulación DC

Se realiza un barrido en DC de V_x con una corriente de polarización I_d de $50\mu A$ de $-100mV$ a $100mV$ para un valor de V_y de $-100mV$ a $100mV$ con pasos de $50mV$. Se observa un rango de entrada de aproximadamente $100mV$ y rango de salida de aproximadamente $1V$.

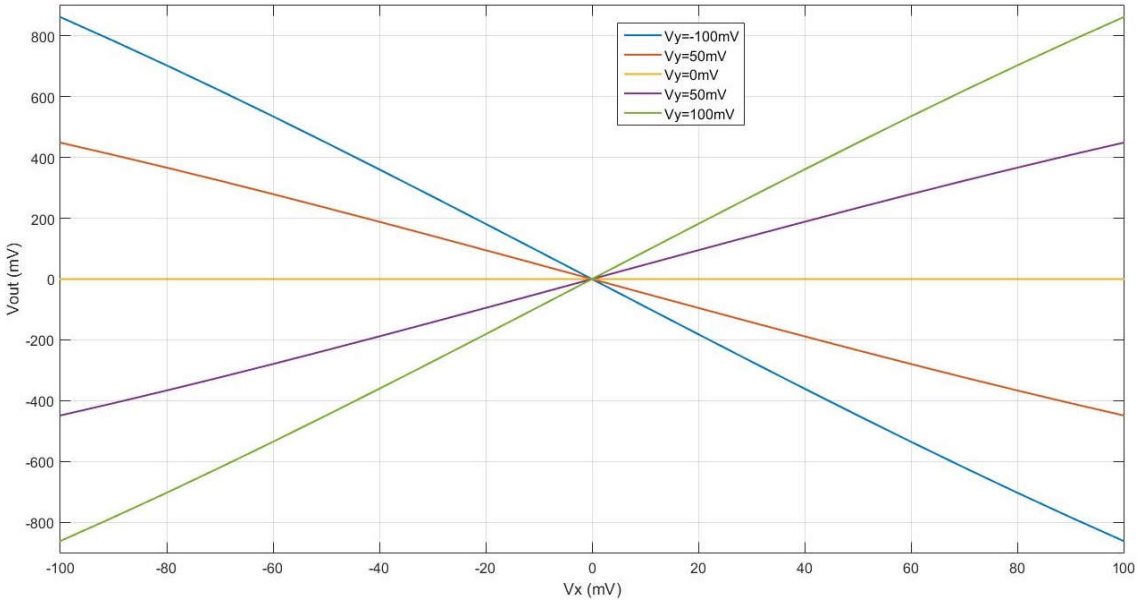


Figura 5.3 Respuesta DC de multiplicador con resistencias

5.3.2 Simulación AC

Fig. 5.4 muestra la respuesta en frecuencia de V_{out} haciendo un barrido de V_x desde $-80mV$ a $80mV$ en pasos de $40mV$. El ancho de banda del sistema simulado va de $520kHz$ a $636kHz$ con una carga capacitiva de $1pF$ con una ganancia de hasta $25.4\ dB$. Las ganancias y frecuencias para cada valor de V_x se muestran en la Tabla XIII.

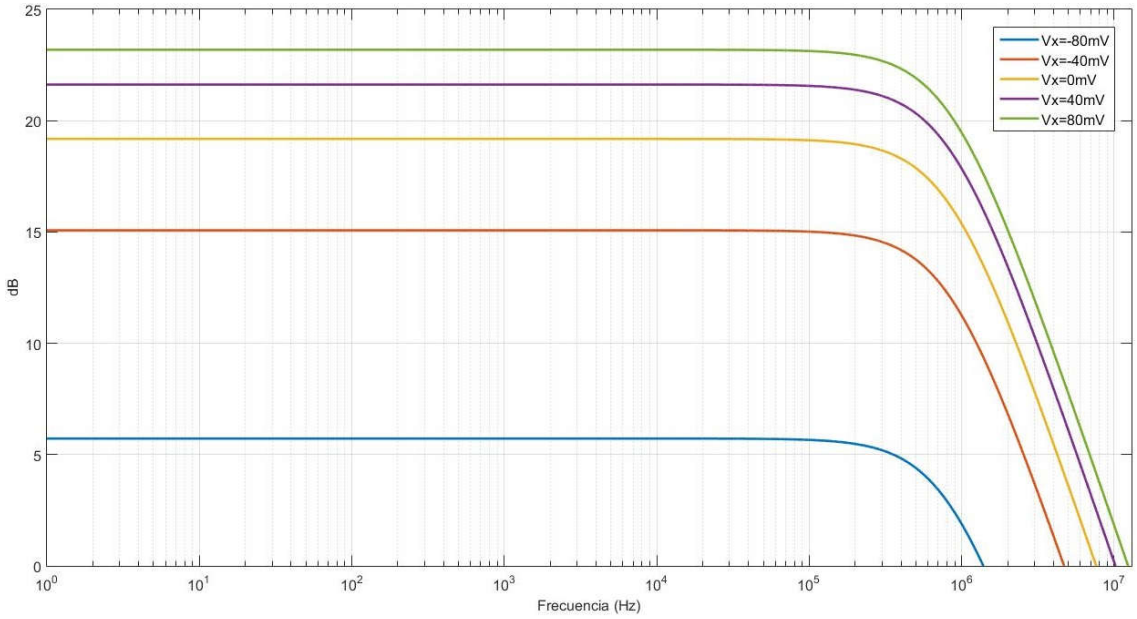


Figura 5.4 Respuesta AC de multiplicador con resistencias

TABLA XIII
RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR CON RESISTENCIAS OPERANDO EN SATURACIÓN

V_x	Av	f_c	f_0
$-80\ mV$	$5.7\ dB$	$840\ kHz$	$1.38\ MHz$
$-40\ mV$	$15\ dB$	$840\ kHz$	$4.69\ MHz$
$0\ mV$	$19.18\ dB$	$845\ kHz$	$7.63\ MHz$
$40\ mV$	$21.62\ dB$	$850\ kHz$	$10.19\ MHz$
$80\ mV$	$23.18\ dB$	$856\ kHz$	$12.34\ MHz$

5.3.3 Simulación Transitoria

Fig.5.4 muestra el resultado de una simulación transitoria donde V_x genera una señal diferencial de $800kHz$ y V_y una señal de $40kHz$. Ambas señales presentan un voltaje de offset de $-850mV$. Puede verse el cruce por cero en µs.

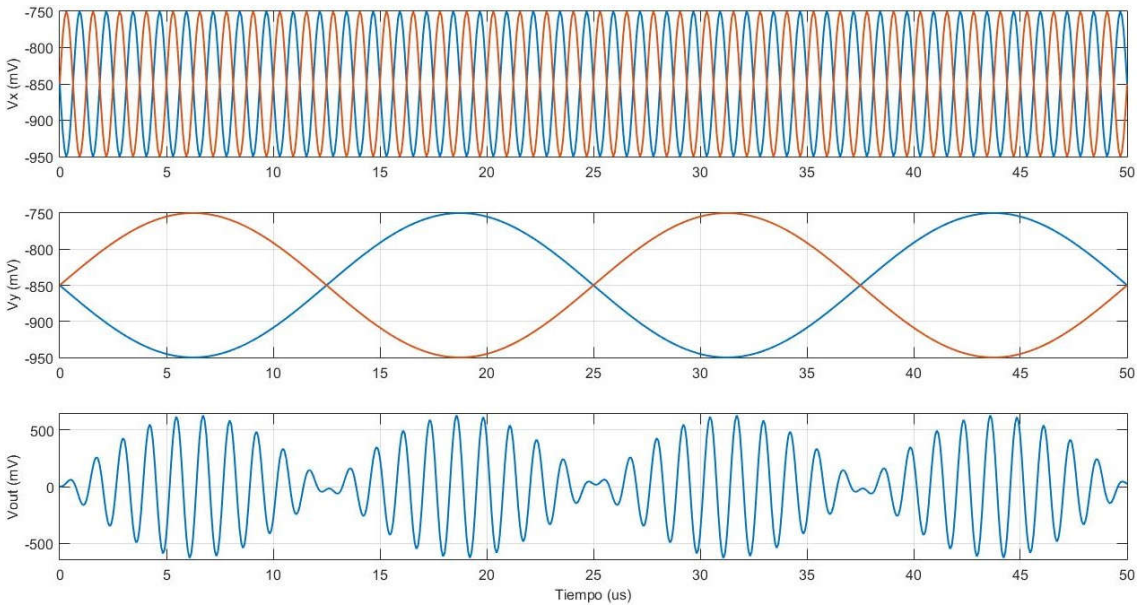


Figura 5.5 Respuesta transitoria de multiplicador con resistencias

5.4 Resultados de simulación en subumbral

Para poder determinar el funcionamiento del circuito fue necesario recopilar una tabla de datos con el objeto de determinar las resistencias de carga necesarias para obtener una señal. La Tabla XIV muestra estos datos. En base a esto se determinó que la operación del circuito se realizaría con un offset de $-1.15\ V$ para ambas señales y resistencias de carga con valor de $1\ M\Omega$.

TABLA XIV
PARÁMETROS DE TRANSISTORES DE MULTIPLICADOR CON RESISTENCIAS OPERANDO EN SUBUMBRAL

Vgs	gm	ro	Av	gds	Id	LogI
0.1	1.971E-10	1.14E+12	2.253E+02	8.75E-13	8.15E-12	-222
0.2	2.206E-09	1.02E+11	2.252E+02	9.80E-12	9.14E-11	-201
0.3	2.445E-08	9.19E+09	2.246E+02	1.09E-10	1.02E-09	-180
0.4	2.629E-07	8.48E+08	2.230E+02	1.18E-09	1.11E-08	-159
0.5	2.605.E-06	8.42E+07	2.193.E+02	1.19E-08	1.14E-07	-139
0.6	2.261E-05	9.72E+06	2.197E+02	1.03E-07	1.05E-06	-120

5.4.1 Simulación DC

Se realiza un barrido en DC de V_x desde $-80mV$ a $80mV$ para un valor de V_y de $-80mV$ a $80mV$ con pasos de $40mV$. Se observa un rango de entrada de aproximadamente $75mV$ y rango de salida de aproximadamente $430mV$.

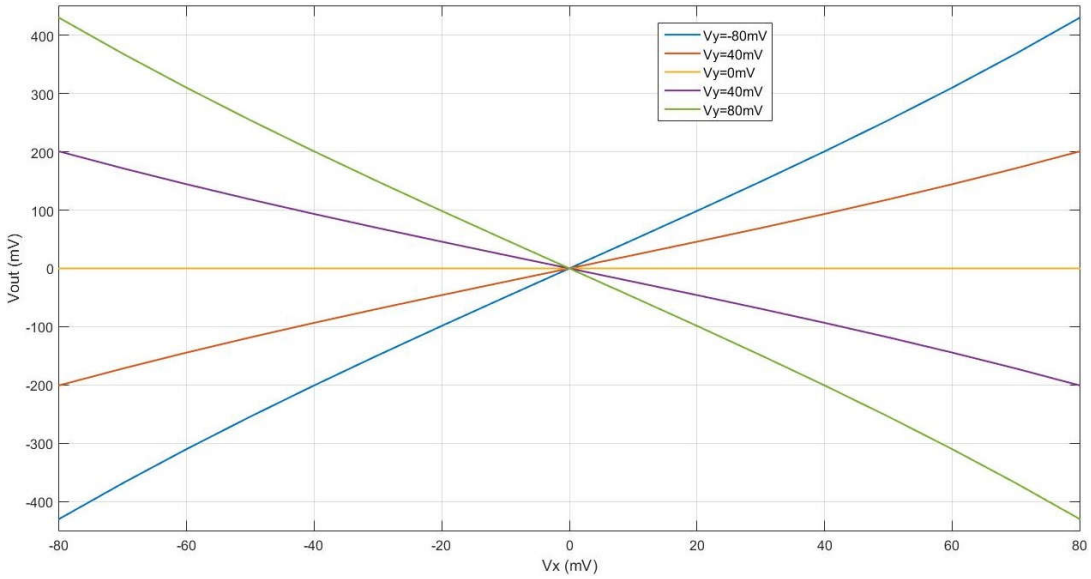


Figura 5.6 Respuesta DC de multiplicador con resistencias

5.4.2 Simulación AC

Fig. 5.7 muestra la respuesta en frecuencia de V_{out} haciendo un barrido de V_x desde $-80mV$ a $80mV$ en pasos de $40mV$. El ancho de banda del sistema simulado va de $146\ kHz$ a $154\ kHz$ con una carga capacitiva de $1pF$ con una ganancia de hasta $23.76\ dB$. Las ganancias y frecuencias para cada valor de V_x se muestran en la Tabla XV.

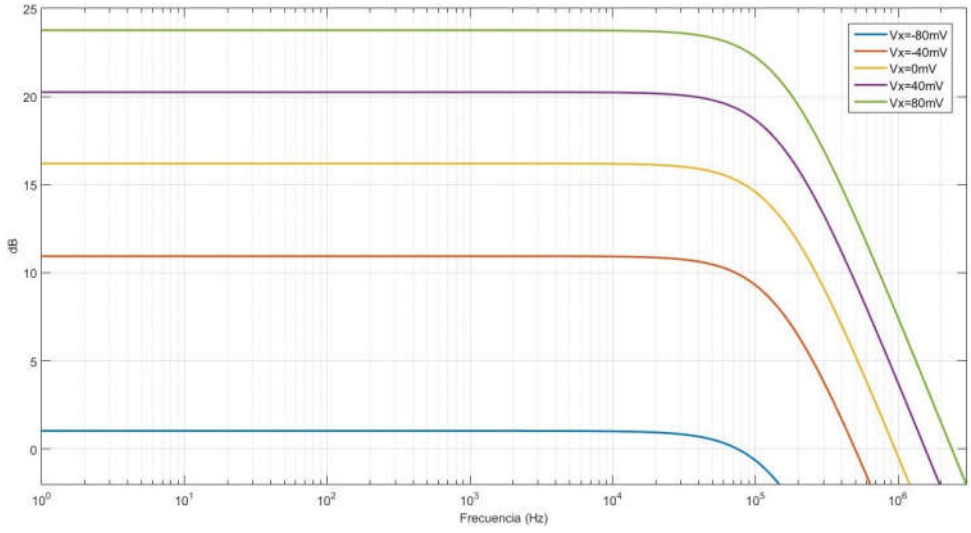


Figura 5.7 Respuesta AC de multiplicador con resistencias

TABLA XV

RESULTADO DE SIMULACIÓN AC DE MULTIPLICADOR CON RESISTENCIAS OPERANDO EN SUBUMBRAL

V_x	Av	f_c	f_0
$-80\ mV$	$1.02\ dB$	$146\ kHz$	$74\ kHz$
$-40\ mV$	$10.94\ dB$	$147\ kHz$	$497\ kHz$
$0\ mV$	$16.19\ dB$	$148\ kHz$	$948\ kHz$
$40\ mV$	$20.24\ dB$	$151\ kHz$	$1.54\ MHz$
$80\ mV$	$23.76\ dB$	$154\ kHz$	$2.37\ MHz$

5.4.3 Simulación Transitoria

Fig.5.8 muestra el resultado de una simulación transitoria donde V_x genera una señal diferencial de $100kHz$ y V_y una señal de $5kHz$. Ambas señales presentan un voltaje de offset de $-1.15V$.

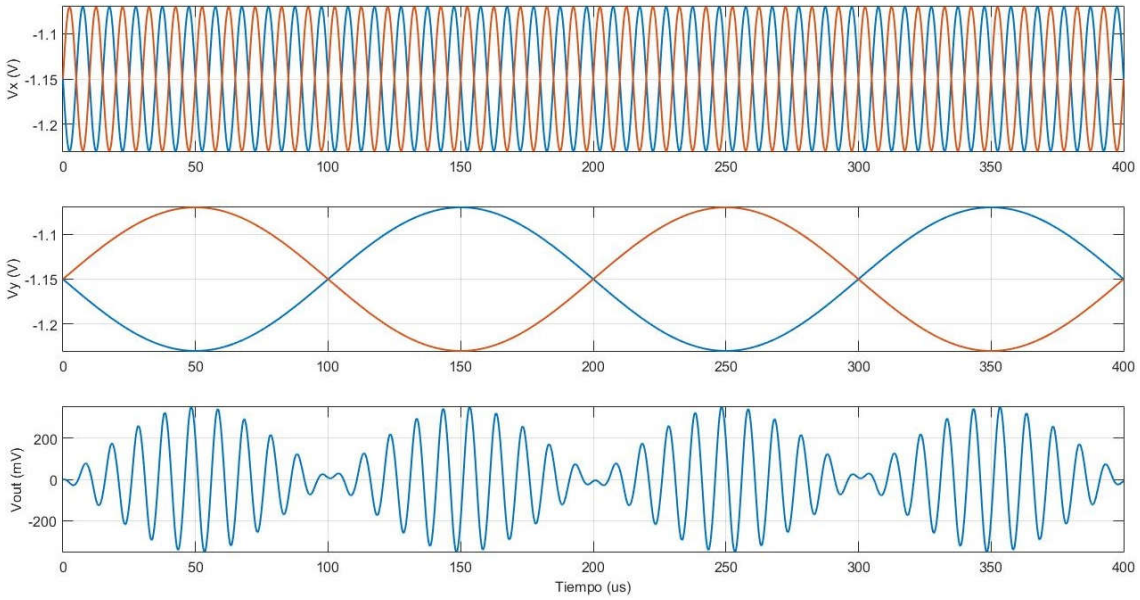


Figura 5.8 Respuesta transitoria de multiplicador con resistencias en región subumbral

5.5 Diseño de Layout

El valor de las resistencias no es altamente relevante al circuito y fue seleccionado para que fuera menos afectado por variaciones de proceso. El circuito posee un área activa de 435 x787µm.

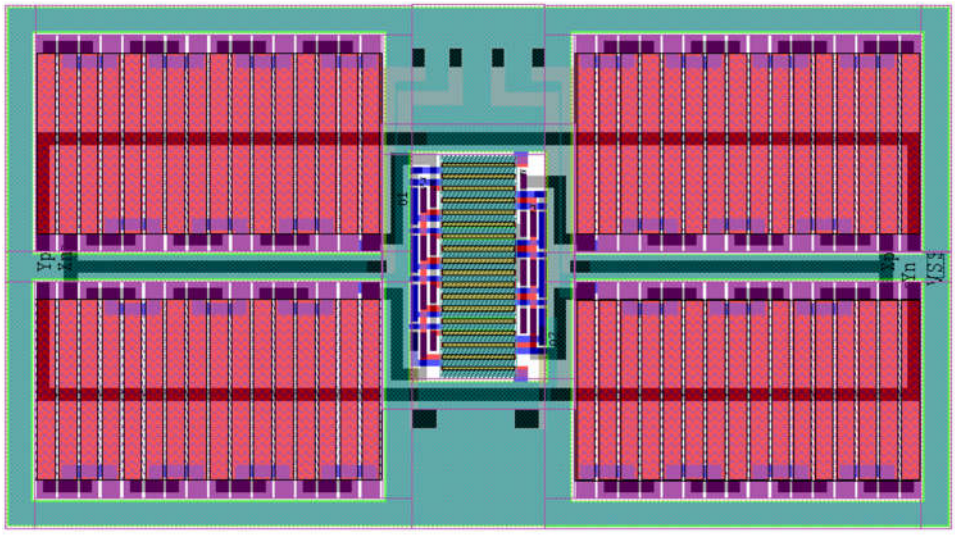


Figura 5.9 Layout de multiplicador con resistencias

5.6 Caracterización

Se muestran los resultados de la caracterización transitoria del multiplicador para una señal de entrada de $\pm 5mV$ a 100 Hz y 1 kHz resultando en una salida de $\pm 50mV$.

Figura 5.10 Caracterización de respuesta transitoria de multiplicador con resistencias

Capítulo 6

Conclusiones y trabajo futuro

En este trabajo se presenta el diseño y caracterización a nivel esquemático de 4 multiplicadores analógicos de 4 cuadrantes para un proceso de 0.5µm usando el software Tanner y HSpice. El primer multiplicador utiliza la técnica bulk-driven y está planeado para aplicaciones de baja potencia mientras que el segundo multiplicador se enfoca a aplicaciones de alta frecuencia. El tercer diseño es un multiplicador compacto con parámetros balanceados que posee un rango dinámico comparable con los anteriores. Finalmente el cuarto multiplicadores es el más simple de todos ya que consiste de únicamente 4 transistores y algunos resistores. Presenta una buena linealidad y puede operar tanto en la región en subumbral como en la región de saturación.

La Tabla XVI presenta una compilación de los resultados simulados de los multiplicadores presentados en este trabajo de tesis incluyendo variaciones en diseño y modo de operación.

TABLA XVI
COMPARACIÓN DE MULTIPLICADORES

No.	Área	Consumo de potencia	Ancho de banda	Rango dinámico (entrada)	Rango dinámico (salida)	Distorsión a ¼ RD 10% BW
1a	$179.4x141.75\ \mu$	468 µW	702 kHz	$\pm 160\ mV$	$\pm 750\ mV$	0.02%
1b	$179.4x141.75\ \mu$	509 µW	3.38 MHz	$\pm 100\ mV$	$200\ mV$	0.17%
2	$338.25x187.5\ \mu$	$3.7\ mW$	$50\ MHz$	$\pm 500\ mV$	$\pm 120\ mV$	0.22%
3	$200.1x106.65\ \mu$	760 µW	$294\ kHz$	$\pm 100\ mV$	$\pm 650\ mV$	0.31%
4a	$236.1x130.5\ \mu$	649 µW	$856\ kHz$	$\pm 100\ mV$	$\pm 850\ mV$	0.11%
4b	$236.1x130.5\ \mu$	34 µW	$154\ kHz$	$\pm 80\ mV$	$\pm 430\ mV$	0.16%

Cada uno de los diseños cumplió con los requisitos que se buscaba de ellos. El multiplicador de alta frecuencia tiene el mayor ancho de banda aunque pudieran hacerse mejoras a su ganancia, el multiplicador bulk-driven presenta bajo consumo de potencia y el multiplicador de transconductancia presenta baja distorsión. El multiplicador de resistencias en particular presentó un rendimiento superior al esperado considerando la simplicidad de su diseño y de la realización del layout. Cabe explorar si sería posible reducir su área activa reduciendo el tamaño de las resistencias.

Se diseñó el patrón geométrico de todos los multiplicadores y fueron enviados a fabricación. Se realizaron las mediciones de multiplicador tipo bulk-driven y del multiplicador 4 presentando características aceptables de acuerdo a las esperadas por las simulaciones a nivel esquemático.

Como trabajo futuro resta realizar la caracterización de los dos multiplicadores restantes y la escritura de los artículos para su publicación.

Referencias

[1] Analog Systems, “Nonlinear Circuits Handbook”, 2a Edición, 1974

[2] R. J. Baker, “CMOS Circuit Design, Layout and Simulation”, IEEE, John Wiley & Sons, 2008

[3] F. Maloberti, “Analog Design for CMOS VLSI Systems”, Boston, Kluwer Academic Publishers, 2001

[4] A. Tijare and P. Dakhole, "CMOS current mode analog multiplier," 2016 International Conference on Signal and Information Processing (IConSIP), Vishnupuri, 2016, pp. 1-5.

[5] D. Baxevanakis and P. P. Sotiriadis, "A 1.8V CMOS chopper four-quadrant analog multiplier," 2017 6th International Conference on Modern Circuits and Systems Technologies (MOCAST), Thessaloniki, 2017, pp. 1-4.

[6] W. Machowski, S. Kuta, J. Jasielski and W. Kołodziejski, "Quarter-square analog four-quadrant multiplier based on CMOS invertes and using low voltage high speed control circuits," Proceedings of the 17th International Conference Mixed Design of Integrated Circuits and Systems - MIXDES 2010, Warsaw, 2010, pp. 333-336.

[7] L. P. Thakare and S. Tembhurne, "Implementation of Amplitude Modulation and Demodulation Using Analog Multiplier for 2.4GHz to 2.5GHz," 2012 Fifth International Conference on Emerging Trends in Engineering and Technology, Himeji, 2012, pp. 325-329.

[8] C. Wang *et al*., "0.34-THz Wireless Link Based on High-Order Modulation for Future Wireless Local Area Network Applications," in *IEEE Transactions on Terahertz Science and Technology*, vol. 4, no. 1, pp. 75-85, Jan. 2014.

[9] B. Youssefi, M. Mirhassani and J. Wu, "Efficient mixed-signal synapse multipliers for multi-layer feed-forward neural networks," *2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Abu Dhabi, 2016, pp. 1-4.

[10] V. Mrazek, S. S. Sarwar, L. Sekanina, Z. Vasicek and K. Roy, "Design of power-efficient approximate multipliers for approximate artificial neural networks," *2016 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, Austin, TX, 2016, pp. 1-7.

[11] Prerna and V. Niranjan, "Analog multiplier using DTMOS-CCII suitable for biomedical application," International Conference on Computing, Communication & Automation, Noida, 2015, pp. 1353-1357.

[12] B. Gilbert, "A precise four-quadrant multiplier with subnanosecond response," in *IEEE Journal of Solid-State Circuits*, vol. 3, no. 4, pp. 365-373, Dec. 1968.

[13] B. Gilbert, "A high-performance monolithic multiplier using active feedback," in *IEEE Journal of Solid-State Circuits*, vol. 9, no. 6, pp. 364-373, Dec. 1974.

[14] J. Silva-Martìnez and E. Sànchez-Sinencio, "Analogue OTA multiplier without input voltage swing restrictions, and temperature-compensated," in *Electronics Letters*, vol. 22, no. 11, pp. 599-600, May 22 1986.

[15] E. Sanchez-Sinencio, J. Ramirez-Angulo, B. Linares-Barranco and A. Rodriguez-Vazquez, "Operational transconductance amplifier-based nonlinear function syntheses” in *IEEE Journal of Solid-State Circuits*, vol. 24, no. 6, pp. 1576-1586, Dec 1989.

[16] J. N. Babanezhad and G. C. Temes, "A 20-V four-quadrant CMOS analog multiplier," in *IEEE Journal of Solid-State Circuits*, vol. 20, no. 6, pp. 1158-1168, Dec. 1985.

[17] Sanchez-Sinencio, Edgar, “CMOS Transconductance Multipliers: A Tutorial”. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 45, No.3, December 1998

[18] J. Ramirez-Angulo, S. Thoutam, A. López-Martin, R. G. Carvajal, “Low-Voltage CMOS Analog Four Quadrant Multiplier Based On Flipped Voltage Followers”, 2004, IEEE

[19] Mateus Ardila Juan Carlos, “Diseño de bloques funcionales en modo corriente para un filtro adaptivo” 2010 INAOE.

Dr. Víctor Rodolfo González Díaz

Asesor Interno

Dr. José Miguel Rocha Pérez

Asesor Externo