



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE
PUEBLA

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA

ANÁLISIS DE LAS CORRIENTES DE FUGA EN
TRANSISTORES MOS

T E S I S

QUE PARA OBTENER EL TÍTULO DE:

LIC. EN INGENIERÍA EN MECATRÓNICA

P R E S E N T A :

JASSIEL CANO MUÑOZ

Director de Tesis

DR. VÍCTOR RODOLFO GONZÁLEZ DÍAZ

ASESOR:

DR. CESAR AUGUSTO ARRIAGA ARRIAGA



CIUDAD UNIVERSITARIA, PUEBLA PUEBLA, 2021

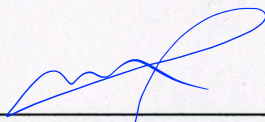
10 de Diciembre de 2021
Puebla de Zaragoza, Pue.

Asunto: Carta de Conformidad.

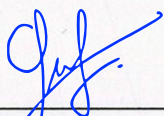
Jurado Revisor
Facultad de Ciencias de la Electrónica
Benemérita Universidad Autónoma de Puebla

Presente,

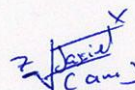
El que suscribe, **Jassiel Cano Muñoz** con matrícula **200612052** perteneciente al programa Licenciatura en Ingeniería en Mecatrónica, anexa las firmas de conformidad de los asesores para la presentación del **Examen Profesional** concerniente a este trabajo titulado **Análisis de Corrientes de Fuga en Transistores MOS**.



Dr. Víctor Rodolfo
González Díaz
Asesor



Dr. César Augusto
Arriaga Arriaga
Asesor



Jassiel
Cano Muñoz
Tesisista

Dedicatoria ...

A mis padres y mi hermano,
Que supieron ser los primeros
y mejores maestros que
pudiese haber tenido.

Agradecimientos

A la Benemérita Universidad Autónoma de Puebla

Que tanto como institución como sus individuos desempeñan tan loable función: La educación

A mis asesores

El Dr. Víctor y el Dr. César, cuya dedicación, paciencia y empeño fueron indispensables para la realización de este trabajo.

A mis sinodales

El Dr. J. M. Muñoz Pacheco, el Dr. R. C. Ambrosio Lázaro y el Mtro. J. F. Portillo Robledo, cuyo trabajo es primordial para mi superación académica.

A todos los maestros que he tenido

Pues su trabajo, de una u otra forma, me ha traído aquí.

A mi familia y amigos

Que han sabido aguantar al autor con tanto amor y cariño.

Resumen

El presente trabajo se dedica al estudio de los diversos mecanismos de la corriente de fuga y su impacto en el desempeño de los CMOS.

Las pérdidas de potencia en la tecnología CMOS han cobrado un papel tan importante que corren el riesgo de convertirse en un óbice para diversas implementaciones de esta tecnología. Un entendimiento más profundo de su naturaleza y como se relaciona con diversas características intrínsecas al CMOS y su fabricación se hace necesario en camino a limitar su impacto.

Desde la descripción de los diferentes mecanismos que influyen en la corriente de Fuga, hasta su impacto en dispositivos CMOS, este trabajo se vale tanto de literatura específica en estos tópicos como en los resultados obtenidos por fiables herramientas de diseño y simulación.

Para el análisis de la corriente de fuga, ésta se planteó en dispositivos primordiales de la tecnología CMOS: el inversor digital y el Oscilador de Anillo. El primero es piedra angular de múltiples aplicaciones y su estudio está encaminado al entendimiento del impacto de la corriente de fuga en dispositivos más complejos. El oscilador de anillo, que también es usado en innumerables aplicaciones, ofrece figuras de mérito a analizar: la velocidad de operación y las pérdidas de potencia, cuya relación con parámetros propios del dispositivo son tratadas en las conclusiones de este escrito.

Índice general

| | |
|--|------------|
| Agradecimientos | III |
| Resumen | IV |
| 1. Una introducción al CMOS | 1 |
| 1.1. Panorama histórico. | 1 |
| 1.2. Aplicaciones Modernas. | 2 |
| 1.3. Simbología del MOSFET | 3 |
| 1.4. Operación del MOSFET | 4 |
| 1.4.1. Acumulación. | 5 |
| 1.4.2. Agotamiento | 6 |
| 1.4.3. Inversión Débil | 7 |
| 1.4.4. Inversión Fuerte. | 8 |
| 1.5. Voltaje de Encendido. | 9 |
| 1.6. Justificación. | 13 |
| 1.7. Objetivos | 14 |
| 1.8. Organización de la tesis. | 14 |
| 2. Corriente de Fuga en transistores MOS | 16 |
| 2.1. Corriente de subumbral | 16 |
| 2.2. Corriente de Fuga por Tuneleo | 18 |
| 2.3. Corriente de Fuga en el Drenador inducida por la Compuerta (GIDL) | 19 |

| | |
|--|-----------|
| 2.4. Corriente de Fuga en la Unión del Drenador con Sustrato en polarización Inversa | 20 |
| 2.5. Amortiguamiento de la Barrera de Potencial inducida por el Drenador (DIBL) | 24 |
| 2.6. Efecto de Cuerpo | 25 |
| 2.7. Sumario de la Corriente de Fuga | 28 |
| 3. Impacto de la corriente de fuga en sistemas digitales. | 30 |
| 3.1. Simulación de Circuitos. | 30 |
| 3.2. El Inversor Digital. | 31 |
| 3.2.1. Esquemas y simbología | 31 |
| 3.2.2. Funcionamiento básico | 32 |
| 3.3. Oscilador de Anillo. | 37 |
| 4. Caracterización de los mecanismos de corriente de fuga en dispositivos MOS. | 44 |
| 4.1. Resumen de los mecanismos de fuga. | 44 |
| 4.2. La corriente de Fuga en Compuerta | 47 |
| 4.3. Corriente Riel a Riel | 48 |
| 5. Conclusiones. | 52 |
| 5.1. Epílogo. | 56 |
| 5.2. Trabajo Futuro | 57 |

Índice de figuras

| | |
|--|----|
| 1.1. Sección transversal del CMOS y sus terminales compuerta (gate o G), cuerpo (bulk o B), fuente (source o S) y drenador (drain o D) [1] . . . | 2 |
| 1.2. Simbología del CMOS: NMOS a la izquierda, PMOS a la derecha.[13] | 4 |
| 1.3. Diagrama de Bandas de Energía y vista transversal de un NMOS en Acumulación[14] | 6 |
| 1.4. Diagrama de bandas de energía y vista transversal de un NMOS en empobrecimiento[14] | 7 |
| 1.5. Diagrama de Bandas de Energía y vista transversal de un NMOS en Inversión Fuerte[14] | 8 |
| 2.1. Relación exponencial entre I_d y V_g | 17 |
| 2.2. Diagrama de bandas para un capacitor MOS. [20] | 18 |
| 2.3. GIDL[25] | 20 |
| 2.4. Corriente de Fuga en la Unión Drenado-Pozo Polarizada en Inversa [23] | 21 |
| 2.5. Diagrama de bandas del tuneleo banda a banda (BTBT) [24]. | 21 |
| 2.6. Funciones de onda de un electrón antes y después de atravesar una barrera rectangular [15] | 23 |
| 2.7. Corrimiento del voltaje de encendido correspondiente al aumento del voltaje en el sustrato (V_{SB}) | 26 |
| 2.8. Relación entre el voltaje entre fuente y sustrato y la corriente de fuga | 27 |
| 2.9. Acercamiento de la curva de la figura 2.7 | 27 |
| 3.1. Esquemático (izquierda) y símbolo lógico de un inversor digital (derecha).[31] | 32 |

| | |
|---|----|
| 3.2. Inversor digital cuando se considera el MOS como un switch cuando la entra tiene un valor alto (izquierda) y bajo (derecha).[32] | 33 |
| 3.3. Curva característica de transferencia de voltaje (voltage-transfer cha- racteristics o VTC) del inversor digital CMOS. [33] | 34 |
| 3.4. Curva de transferencia de voltaje (negro), el voltaje de entrada (rojo) y la corriente que pasa por la terminal de V_{DD} (azul) en un barrido del voltaje de entrada. | 36 |
| 3.5. Oscilador de anillo de tres etapas. | 36 |
| 3.6. Diagrama de capacitancias que contribuyen a la capacitancia de carga (C_L). [36] | 38 |
| 3.7. Cambio del periodo de oscilación con respecto al ancho del canal. . . | 41 |
| 3.8. Anillo oscilador con medidas (del NMOS) de $w = 6\mu m$ y $l = 60nm$. | 43 |
| 4.1. Corriente en las diferentes terminales de un CMOS. | 45 |
| 4.2. Relación entre las dimensiones del dispositivo y la corriente de subumbral. | 45 |
| 4.3. Corriente de subumbral contra la ancho del canal. | 46 |
| 4.4. Corriente de subumbral contra el largo del MOS | 47 |
| 4.5. Corriente en las terminales del inversor digital a través de un barrido en el voltaje de entrada. (A: entrada; Y: salida) | 48 |
| 4.6. Dependencia de la corriente de riel a riel (I_{DD}) contra el largo del canal. | 49 |
| 4.7. Dependencia de la corriente de riel a riel (I_{DD}) contra el ancho del canal. | 49 |
| 4.8. Dependencia de la corriente de riel a riel (I_{DD}) y la frecuencia de operación contra el largo del canal. | 50 |
| 4.9. Dependencia de la corriente de riel a riel (I_{DD}) y la frecuencia de operación contra el ancho del canal. | 51 |
| 5.1. Superficie creada al realizar simulaciones parametrizadas sobre el largo (l) y ancho (w) del canal contra el periodo de oscilación del anillo. . . | 53 |
| 5.2. Superficie creada al realizar simulaciones parametrizadas sobre el largo (l) y ancho (w) del canal contra la corriente de fuga en la terminal de V_{DD} del primer PMOS. | 54 |

| | |
|--|----|
| 5.3. Superficies de la corriente de fuga (azul) y periodo (rojo, sin representación en el eje Z a escala). Es observable las tendencias de crecimiento contrarias. | 55 |
| 5.4. La relación de geometría contra la corriente riel a riel y el periodo de oscilación. | 55 |

Capítulo 1

Una introducción al CMOS

1.1. Panorama histórico.

CMOS es un acrónimo que hace referencia al diseño y fabricación de dispositivos de campo en forma complementaria (Complementary MetalOxideSemiconductor). En otras palabras, hace uso de ambas tecnologías de los MOSFET: los transistores tipo N y los tipo P, en el mismo proceso de diseño y fabricación para usos y ventajas variables. Esta implementación combinada tiene como objetivo la creación de compuertas lógicas, base de la tecnología de las computadoras personales (y otros dispositivos personales) y el internet como lo entendemos en el presente.

El concepto del CMOS fue desarrollado por Frank Maorios de la compañía Fairchild Semiconductor pero fue la empresa RCA la que tuvo un mayor impacto en el proceso comercial del CMOS, incluso llegando a la escala de $10^3 - 10^4$ transistores (Large Scale Integration o LSI). Al principio, esta tecnología comprendía una menor velocidad comparada con otras así como graves problemas de fabricación: para integrar ambas tecnologías (NMOS y PMOS) en un solo proceso se aumentan el número de mascarillas y, por ende, los pasos en la litografía. Dichos problemas se solucionarían con avances en la investigación de materiales durante la década de 1980.

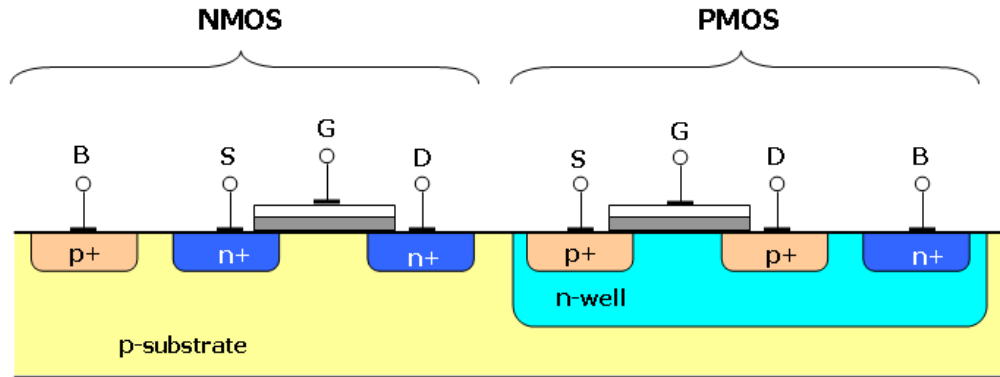


Figura 1.1: Sección transversal del CMOS y sus terminales compuerta (gate o G), cuerpo (bulk o B), fuente (source o S) y drenador (drain o D) [1]

Aún con dichas desventajas al principio, el tecnología CMOS se abrió paso debido a una importante característica: el bajo consumo de potencia. Esto se debe a que el consumo de potencia en esta tecnología se producía, mayormente, cuando existe un cambio en el estado lógico del transistor. En otras palabras, es el consumo en estado dinámico era el que tenía un mayor peso.

En la actualidad, la creciente exigencia al rendimiento de equipos de comunicación instantánea, cómputo y demás aplicaciones electrónicas donde destaca el uso del CMOS, han producido que la tecnología de fabricación del mismo se acerque a los límites físicos actuales. Con esta reducción de dimensiones, la densidad de dispositivos por unidad de área han aumentado de forma sustancial y con ello el consumo de potencia estático.

1.2. Aplicaciones Modernas.

Debido a las exigencias de la modernidad, las aplicaciones tecnológicas deben ser cada vez más rápidas y pequeñas. Desde celulares y laptops, incluyendo usos en biomedicina, zootecnia y exploración espacial, donde múltiples etapas de recolección y análisis de datos pueden llegar a ser escalados en un solo chip con un área de algunos centímetros cuadrados.

Los CMOS son usados como biosensores [3] o micro sondas [4] en el área del diagnóstico médico, ya que los arreglos compactos de la tecnología permiten un uso eficiente en este ámbito, además de ofrecer una barrera física entre el proceso de sentido y el manejo de datos que se deriva de éste [5]. Para el monitoreo en tiempo real de niveles de glucosa o de arritmias cardiacas; así como la administración automatizada de medicamentos en micro dosis [6].

En el área de la exploración, tanto en ambientes poco colaborativos como para fines médicos, sistemas que no solo consuman poca potencia, sino que además puedan cosechar de forma eficiente la poca energía de sus alrededores, llegando así a una independencia energética de sus desarrolladores. Ya sea que esta energía se presente de forma térmica [7] (como calor generador por el cuerpo humano [8]) o en vibraciones mecánicas (como la maquinaria pesada dentro de una fábrica [9]). Diferentes subtipos de CMOS, incluso híbridos de tecnología JFET-CMOS, son usados en la seguridad industrial como detectores de radiación de amplio espectro [10]. En los terrenos de la informática, la presencia del transistor CMOS es ineludible, desde el uso inherente de su lógica, como el desarrollo de tecnologías de fabricación que disminuyan el consumo de potencia.

1.3. Simbología del MOSFET

Como manera de introducción al tema en particular del siguiente trabajo, se llevará a cabo un resumen sobre la operación del transistor Complementario de Efecto de Campo Metal-Óxido-Semiconductor (o CMOS para abreviar). En la figura 1.2 muestra como se definen los voltajes, corrientes y terminales en los MOSFET. Cuando el sustrato está conectado a tierra y el pozo a V_{DD} , se usan los modelos simplificados de la parte inferior. Es importante no olvidar que el MOSFET es un dispositivo de cuatro terminales y que las terminales específicas de drenador (drain o D) y fuente (source o S) pueden usarse de forma intercambiable.

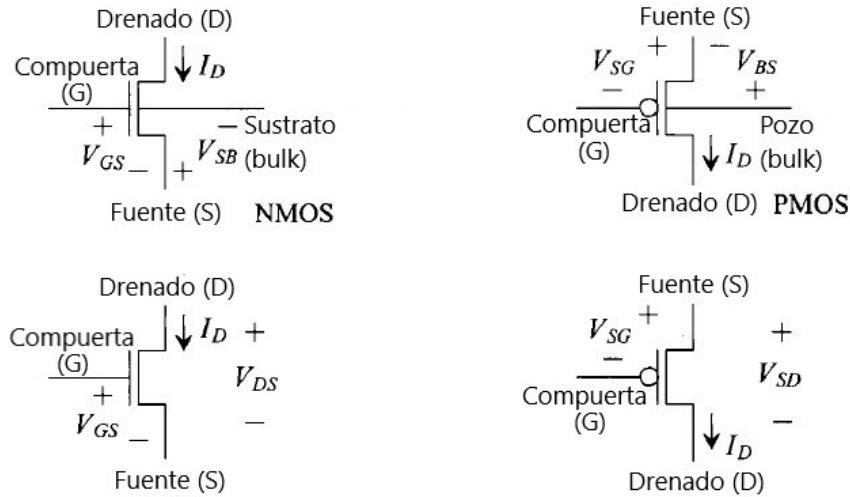


Figura 1.2: Simbología del CMOS: NMOS a la izquierda, PMOS a la derecha.[13]

Nótese, de igual forma, que si se usa la nomenclatura de la figura 1.2 todos los voltajes y las corrientes son positivas. Por ejemplo, si se enuncia “el voltaje V_{SG} ” se sobre entiende que se habla de un PMOS. Además, las corrientes fluyen de forma descendente en el símbolo: para el NMOS la corriente va del drenador, ya que esta se encuentra en la parte superior, a fuente, que se encuentra en la parte inferior; y para el PMOS es de forma inversa ya que los dispositivos son complementarios.

1.4. Operación del MOSFET

A continuación, se explicará de forma resumida la operación del CMOS por medio del NMOS solamente (debido a que los dispositivos NMOS Y PMOS son complementarios, no existe la necesidad de profundizar en ambos), centrándose en las capacitancias que se presentan en las regiones de acumulación, empobrecimiento (o inversión débil) e inversión fuerte.

1.4.1. Acumulación.

Cuando el voltaje de compuerta es menor a cero ($V_{GS} < 0$), los huecos móviles que se encuentran en el sustrato son atraídos (o acumulados) debajo del óxido de la compuerta. Esta región se ve afectada por un traslape de las áreas de la compuerta con las de las terminales drenador y fuente (L_{dif}), respectivamente, afectando al ancho efectivo del canal (L_{ef}) de la siguiente forma:

$$L_{ef} = L - 2L_{dif} \quad (1.1)$$

donde L es el ancho total del canal. Este cambio en el ancho efectivo del canal conlleva a un cambio en la capacitancia entre la compuerta y el sustrato que viene dado por:

$$C_{GB} = \frac{\varepsilon_{ox}}{t_{ox}} \cdot (L - 2L_{dif}) \cdot W = C'_{ox} \cdot L_{ef} \cdot W \quad (1.2)$$

donde W es el ancho total. Estas capacitancias pueden denotarse como C_{GS} y C_{GD} para las regiones de traslape entre compuerta y las terminales de fuente y drenado, respectivamente.

$$C_{GB} = \frac{\varepsilon_{ox}}{t_{ox}} \cdot L \cdot W - \frac{\varepsilon_{ox}}{t_{ox}} 2L_{dif} \cdot W = C_{ox} - C_{GD} - C_{GS} \quad (1.3)$$

De lo anterior podemos interpretar que la capacitancia total entre la Compuerta y la tierra es la suma de las capacitancias de la Compuerta y el sustrato, la de compuerta y el Drenado, y la compuerta y la Fuente. Nótese que para arquitecturas anteriores (del orden de micrómetros) la diferencia del largo efectivo del canal (y por lo tanto el de la capacitancia) podía considerarse despreciable, pero no así en dispositivos más actuales.

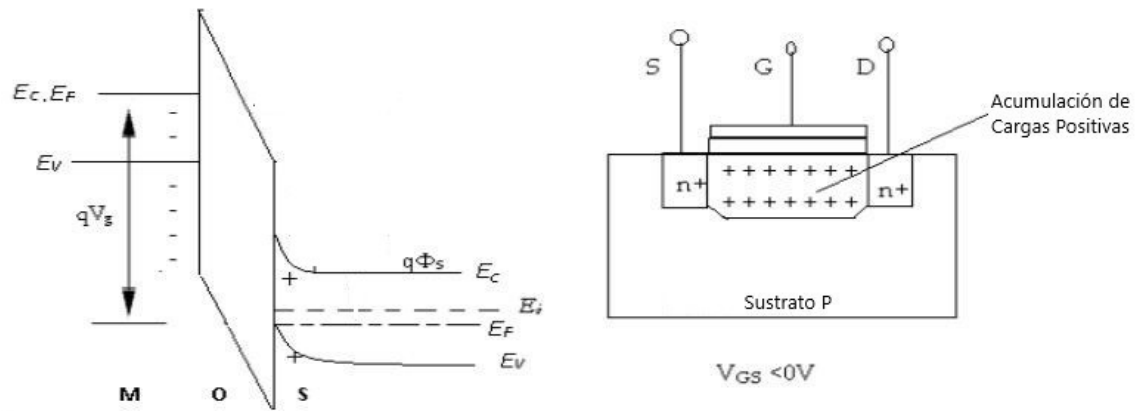


Figura 1.3: Diagrama de Bandas de Energía y vista transversal de un NMOS en Acumulación[14]

1.4.2. Agotamiento

Si se considera el caso donde el voltaje en la compuerta no es suficientemente negativo para atraer un gran número de huecos hacia el óxido de la compuerta ni lo suficientemente positivo para atraer un gran número de electrones a la misma región, o lo que es lo mismo: la cantidad de portadores de carga en dicha región es escasa; se dice que se opera en la región de agotamiento o empobrecimiento.

Si se parte desde un voltaje de compuerta negativo y este se aumenta poco a poco, los huecos que se encuentran debajo del óxido de la compuerta serán repelidos. Entre más aumente dicho voltaje, más huecos se moverán dejando a su vez iones inmóviles que contribuyen con carga negativa. Esta carga produce una capacitancia de agotamiento que se encuentra en serie con la capacitancia entre la compuerta y el sustrato (C_{GB})

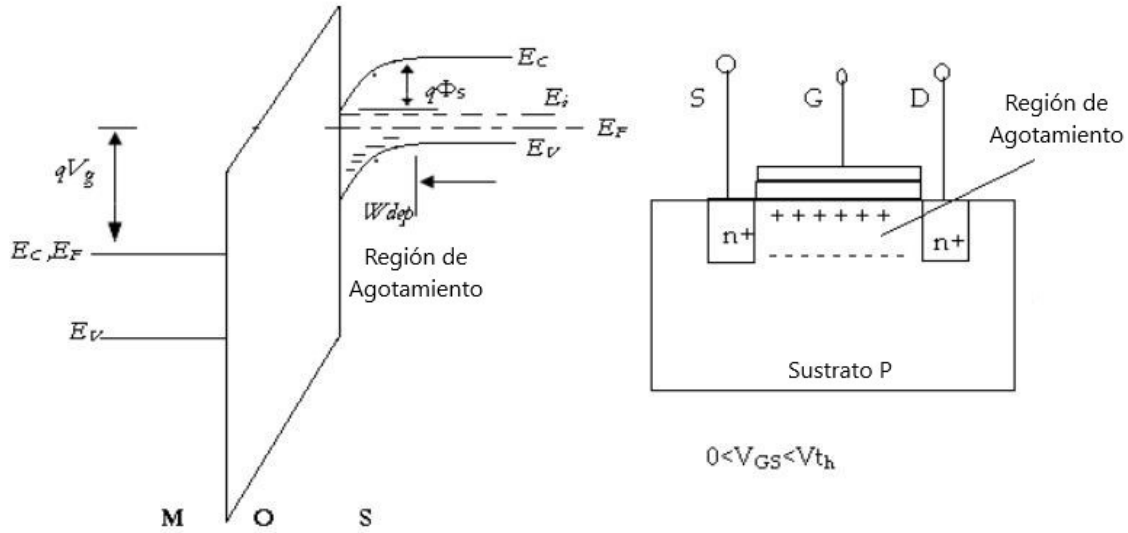


Figura 1.4: Diagrama de bandas de energía y vista transversal de un NMOS en empobrecimiento[14]

1.4.3. Inversión Débil

Para los modelos más condensados del MOSFET, cuando el voltaje de compuerta a sustrato es menor al necesario para que el transistor esté encendido ($V_{GS} < V_{th}$) no se observará transporte de carga entre las terminales de drenador y fuente. En la realidad, sí existe corriente aunque suele ser de varios órdenes de magnitud menor a la que se vería en el caso de inversión fuerte, por ende, suele referirse a este caso como inversión débil.

En el caso de inversión débil, la relación de la relación entre la corriente en el canal y el voltaje V_{GB} se vuelve exponencial:

$$I_{DS} = I_S \frac{W}{L} e^{-\frac{V_{GB}}{V_T}} \left(e^{-\frac{V_{SB}}{V_T}} - e^{-\frac{V_{DB}}{V_T}} + \frac{V_{DS}}{V_A} \right) \quad (1.4)$$

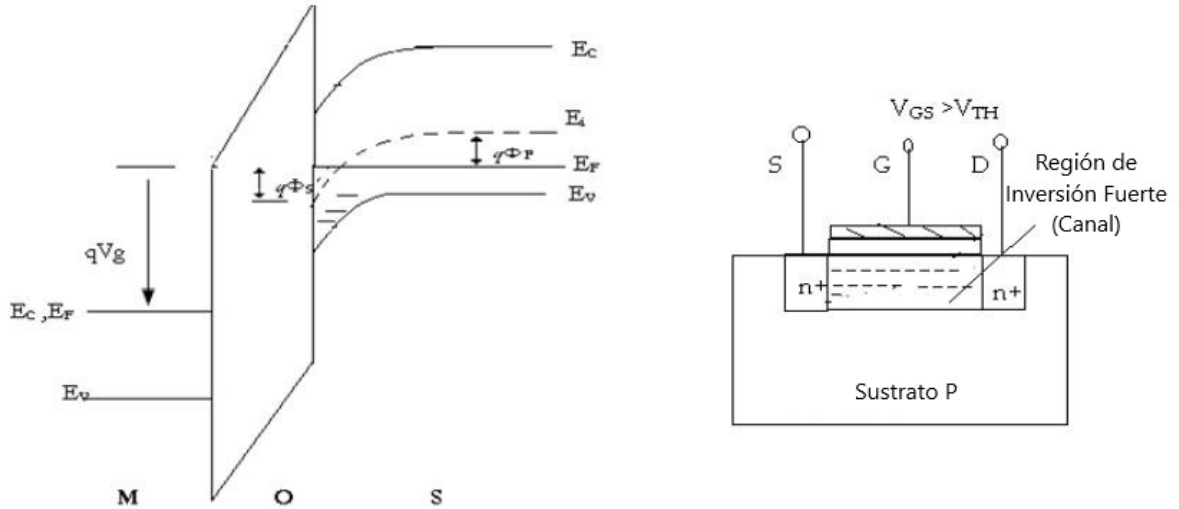


Figura 1.5: Diagrama de Bandas de Energía y vista transversal de un NMOS en Inversión Fuerte[14]

Donde:

- I_{DS} Corriente en el canal
- I_S, V_A Corriente característica y Voltage Early (parámetros del transistor)
- W, L Ancho y largo del dispositivo
- V_T Voltaje térmico

1.4.4. Inversión Fuerte.

Si el voltaje de compuerta sigue aumentándose hasta ser mucho mayor que el valor de encendido del NMOS, ($V_{GS} \gg V_{THN}$) se atraerán un gran número de electrones hacia la capa debajo del óxido, por lo que dicha capa puede considerarse del tipo n en vez del tipo p, o sea, es una capa de inversión.

1.5. Voltaje de Encendido.

Para iniciar con el análisis del voltaje de encendido (threshold voltage o V_{th}) del CMOS hay que fijarse en el corazón del mismo: El capacitor MOS (Metal-Óxide-Semiconductor) o MIS (Metal-Insulator-Semiconductor) dependiendo de la tecnología de fabricación.

El material de la placa superior de dicho capacitor puede ser de diferentes materiales, como silicio policristalino (poly) con diferentes grados de dopaje de portadores de carga con el fin de cambiar su conducción, o simplemente de un metal como aluminio, tungsteno o titanio. La placa inferior del capacitor es cumplida por el semiconductor en turno: silicio o germanio (en algunos casos, una combinación de ambos).

Como aislante, el óxido de silicio tiene un uso mucho más amplio debido a la facilidad de producción del mismo, el alto grado de la interfase semiconductor-aislante por ser del mismo material (silicio y óxido de silicio). Denotaremos el grosor del óxido (oxide thickness) como t_{ox} . La permitividad relativa del óxido de silicio es de aproximadamente 3.9:

$$\begin{aligned}\epsilon &= \epsilon_r \cdot \epsilon_0 \\ \epsilon_{SiO_2} &= 3.9 \cdot \epsilon_0\end{aligned}\tag{1.5}$$

Donde:

- ϵ_r Permitividad dieléctrica relativa
- ϵ_0 Permitividad dieléctrica del vacío ($8.8541878176 \times 10^{-12} \frac{C^2}{N \cdot m^2}$)

La permitividad dieléctrica es una propiedad de los materiales que, entre otras cualidades, nos dice que tan "polarizable" es dicho material. En el caso de los dieléctricos usados en la tecnología CMOS, a mayor permitividad dieléctrica, mayor será la capacitancia del aislante, lo que lleva a una mayor carga en las terminales del capacitor cuando se aplica cierto voltaje ($C = \frac{Q}{V}$).

Así, la capacitancia del capacitor MOS viene dada por:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (1.6)$$

El voltaje que se aplica en la compuerta penetra a través del óxido y crea una concentración de carga (efecto de campo).

$$V_G = V_{ox} + \phi_S \quad (1.7)$$

V_{ox} es el voltaje en el óxido, mientras que ϕ_S es el potencial de superficie, esto es, el potencial en la frontera óxido-semiconductor. Dicho potencial crea una densidad de carga superficial Q_S [C/cm^2].

Si consideramos un semiconductor del tipo P, al aplicar valores de voltaje positivo en la compuerta, este potencial de superficie es bajo y pocos portadores de carga negativa (electrones) se mueven hacia la frontera Óxido-Semiconductor. Estos portadores de carga negativa ionizan a los aceptores del semiconductor P integrándoles en sus estructuras (de ahí el nombre de "aceptor") y crea una región de pocos portadores de carga libres: la zona de agotamiento (que se trata a mayor profundidad en la subsección "Agotamiento"[1.4.2]). La densidad de carga de dichos portadores de carga negativa viene dado por:

$$Q_B = -\sqrt{2q\epsilon_{Si}N_a\phi_S} \left[\frac{C}{cm^2}\right] \quad (1.8)$$

Donde:

- Q_B Densidad de carga en el sustrato
- q Carga del electrón ($1.6 \times 10^{-19} C$)
- ϵ_{Si} Permitividad del silicio ($11.8 \cdot \epsilon_0$)
- N_a Densidad de aceptores dopantes en el sustrato

El voltaje necesario para obtener esta carga se puede obtener de la relación $V = \frac{Q}{C}$:

$$V_{ox} = \frac{|Q_B|}{C_{ox}} = \frac{\sqrt{2q\epsilon_{Si}N_a\phi_S}}{C_{ox}} [V] \quad (1.9)$$

Si se aumenta el voltaje de compuerta un poco más, se empezarán a mover aún más electrones a la frontera óxido-semiconductor, lo que conlleva a la creación de una capa de portadores de carga negativos (en contraste a los dopantes tipo P del sustrato) lo que lleva al nombre de dicha capa: la capa de inversión. El potencial de superficie necesario para que dicha capa se genere viene dado por:

$$\phi_S = 2|\phi_F| = 2\left(\frac{kT}{q}\right)\ln\left(\frac{N_a}{n_i}\right) [V] \quad (1.10)$$

Donde:

ϕ_F Nivel de Fermi

k Constante de Boltzmann ($1.380649 \times 10^{-23} \frac{J}{K}$)

T Temperatura en K

q Carga del electrón ($1.6 \times 10^{-19} C$)

ϵ_{Si} Permitividad del silicio ($11.8 \cdot \epsilon_0$)

N_a Densidad de aceptores dopantes en el sustrato

n_i Densidad intrínseca del sustrato ($1.45 \times 10^{10} \frac{1}{cm^3}$)

El nivel de Fermi (ϕ_F) es el nivel energético en el que un electrón tiene la misma probabilidad de existir en la banda de valencia que en la de conducción. A $\left(\frac{kT}{q}\right)$ se le llama voltaje térmico (que es, aproximadamente 0.026V considerando una temperatura ambiente $T=300K$).

Así, si sumamos el voltaje a través del óxido y el potencial de superficie necesario para crear la capa de inversión (ecuaciones 1.9 y 1.10):

$$V_{th}^{ideal} = \phi_S + V_{ox} = 2|\phi_F| + \frac{\sqrt{2q\epsilon_{Si}N_a\phi_S}}{C_{ox}} \quad (1.11)$$

Que es considerado como el voltaje de encendido ideal, ya que este voltaje parte de que el óxido de compuerta se comporta como un aislante perfecto. Debido al proceso de fabricación, radicales alcalinos pueden quedar atrapados en el óxido (o enlaces imperfectos Si-O si el óxido de Silicio es usado como aislante), lo que aumenta la posibilidad de corrientes parásitas o de fuga. Dependiendo del fabricante, los procesos pueden someterse a diferentes atmósferas de gases, como el cloro, con la finalidad de minorizar el impacto de dichos iones en el aislante.

Como material de compuerta, muchas veces se usa silicio policristalino (poly) altamente dopado o metales como el titanio o tungsteno; la función de trabajo de dichos materiales de compuerta y la del Semiconductor no son iguales. Tomando en cuenta esta diferencia de trabajo ($\phi_{m,s}$) así como las cargas interfaciales en la frontera óxido-semiconductor (Q_f) y las que se encuentran dentro de aislante (Q_{ox}), se deberá aplicar un voltaje llamado "voltaje de banda plana" (flatband voltage o V_{FB}):

$$V_{FB} = (\phi_m - \phi_s) - \left(\frac{Q_f + Q_{ox}}{C_{ox}}\right) \quad (1.12)$$

Agregando dicho voltaje, obtenemos el valor de encendido del transistor MOS [12]:

$$V_{th} = V_{FB} + \phi_S + V_{ox} = \phi_{m,s} - \left(\frac{Q_f + Q_{ox}}{C_{ox}}\right) + 2|\phi_F| + \frac{\sqrt{2q\epsilon_{Si}N_a\phi_S}}{C_{ox}} \quad (1.13)$$

Para el caso de los transistores que se usarán en las simulaciones posteriores de este trabajo, el valor del voltaje de encendido es de aproximadamente los 380 mV para los NMOS y -150 mV para los PMOS.

1.6. Justificación.

Una de las ventajas de la tecnología CMOS contra otras tecnologías de semiconductores es la baja potencia de operación. Las pérdidas de potencia se pueden separar en dos tipos: dinámicas y estáticas. Al principio, la parte dinámica era predominante y por lo tanto los esfuerzos se enfocaron en la misma. Sin embargo, mientras el CMOS se adentra cada vez más en las escalas sub micrométricas la parte estática de la pérdida de potencia cobra más importancia y puede convertirse en un parámetro limitante en el futuro del diseño de microprocesadores, tal como lo señaló Andrew Grove en la Reunión Internacional de Dispositivos Electrónicos (International Electron Devices Meeting) del año 2002 [16], refiriéndose a la corriente de fuga en estos dispositivos.

Éstas pérdidas de potencia pueden, también, deberse a situaciones dinámicas como la carga y descarga de la compuerta en los transistores. Esta pérdida se relaciona con el cuadrado del voltaje de alimentación[17].

Sin embargo, como ya se señaló, debido al escalamiento progresivo, las dimensiones de las estructuras conllevan a efectos parásitos que a su vez significan corrientes de fuga. La relevancia de estas corrientes de fuga se vuelve mayor con el escalamiento, así como con el número y tipo de estructuras presentes en los dispositivos (también dependientes del escalamiento).

1.7. Objetivos

General:

- Describir la relación entre la corriente de fuga debida a efectos estáticos y la física del transistor MOS.

Particulares:

1. Comprender la naturaleza de la corriente de fuga en dispositivos de estado sólido.
2. Describir el impacto de dichos efectos en la corriente de fuga de un transistor MOS.
3. Identificar un modelo disponible de los efectos de la corriente de fuga en circuitos integrados.
4. Aplicación de los conceptos de corriente de fuga en el diseño de un oscilador con celdas de retardo.

1.8. Organización de la tesis.

Para iniciar este trabajo, se presenta una pequeña introducción a la tecnología CMOS. Desde sus inicios, hasta la cita de algunas aplicaciones modernas. Se explica a groso modo las regiones de operación del NMOS, así como un cálculo austero del valor de voltaje de encendido. Esto con el fin de poseer la información necesaria para abordar el tema principal del trabajo: La corriente de fuga.

Variados y complejos son los mecanismos que influyen en la corriente de fuga en los transistores CMOS, así como lo es su impacto en el desempeño del mismo. Una breve descripción de cada uno estos mecanismos se ofrece al lector. Se analiza, mediante la simulación en Cadence Virtuoso, el impacto de dichos mecanismos en el desempeño del CMOS mediante curvas corriente-voltaje (IV) de diferentes dispositivos.

El impacto de la corriente de fuga se lleva a un dimensión más cotidiana al analizarle en dos dispositivos fundamentales en la tecnología actual: el inversor digital y el oscilador de anillo.

El inversor digital juega un papel vital debido a su extenso uso y su relativa simplicidad al analizarse. Se ofrece una idea de las pérdidas de potencia que se deben a mecanismos de la corriente de fuga. En el oscilador de anillo, se evalúan dos parámetros importantes de éste: las pérdidas de potencia y la velocidad del dispositivo.

Para finalizar, en las conclusiones se ofrece un discernimiento de la relación de las dimensiones del dispositivo con los parámetros antes mencionados, así como sugerencias al diseñador de CI.

Capítulo 2

Corriente de Fuga en transistores

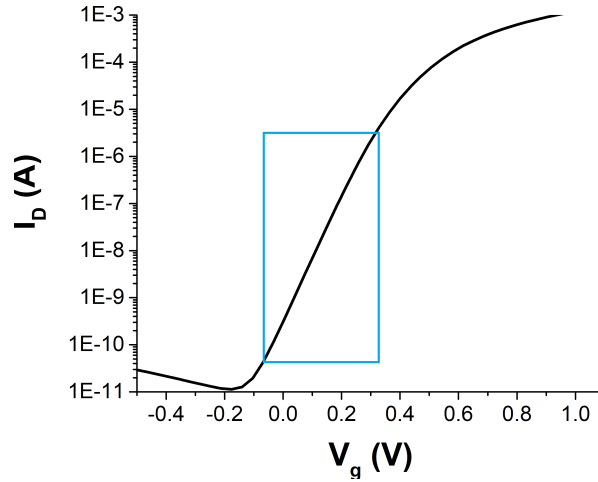
MOS

Como ya se mencionó en capítulos anteriores, el impacto de la parte estática en las pérdidas de potencia está cobrando una importancia mayor mientras se adentra más en las escalas submicrométricas en los procesos de diseño y fabricación modernos.

Un análisis de los diferentes elementos que influyen en el consumo de potencia estático se presenta, centrándose en las corrientes de fuga. A continuación, se enuncian los tipos más predominantes de corrientes de fuga en dispositivos CMOS [18]:

2.1. Corriente de subumbral

La corriente de fuga de subumbral o de inversión débil se lleva a cabo entre las terminales de drenador y fuente cuando el voltaje de compuerta es menor al voltaje de encendido ($V_G < V_{th}$). En esta zona de trabajo, no debería fluir corriente alguna en el canal de forma ideal. Aún así, debido a que la cantidad de portadores de carga minoritarios en el canal es muy escasa (mas no es nula) y al voltaje existente entre drenador y fuente, se presenta un flujo de portadores. [19]

Figura 2.1: Relación exponencial entre I_d y V_g

Debido al largo del canal, el campo eléctrico longitudinal a través del mismo puede considerarse bajo. Así, con el número de portadores de carga móviles escasos y un campo eléctrico longitudinal bajo, la componente de corriente por deriva puede considerarse bajo, en cambio, la componente de corriente por difusión toma el lugar de mecanismo de transporte de carga dominante. Lo anterior en contraste a la zona de inversión fuerte en la que la corriente por deriva es el mecanismo dominante. [20]

La relación exponencial entre el voltaje aplicado en la compuerta y la corriente en la terminal de drenador (la corriente de subumbral) puede apreciarse en la figura 2.1 como una línea recta en la sección remarcada; así como en la expresión siguiente:

$$I_{SUB} = K_1 \frac{W}{L} e^{\frac{-V_{th}}{nV_T}} \left[1 - e^{\frac{-V_{DD}}{V_T}} \right] \quad [21] \quad (2.1)$$

Donde:

I_{SUB} Corriente de fuga de subumbral

K_1, n Valores experimentales

W, L Ancho y largo del dispositivo

V_{DD} Voltaje de alimentación en drenador

V_T Voltaje térmico

V_{th} Voltaje de umbral

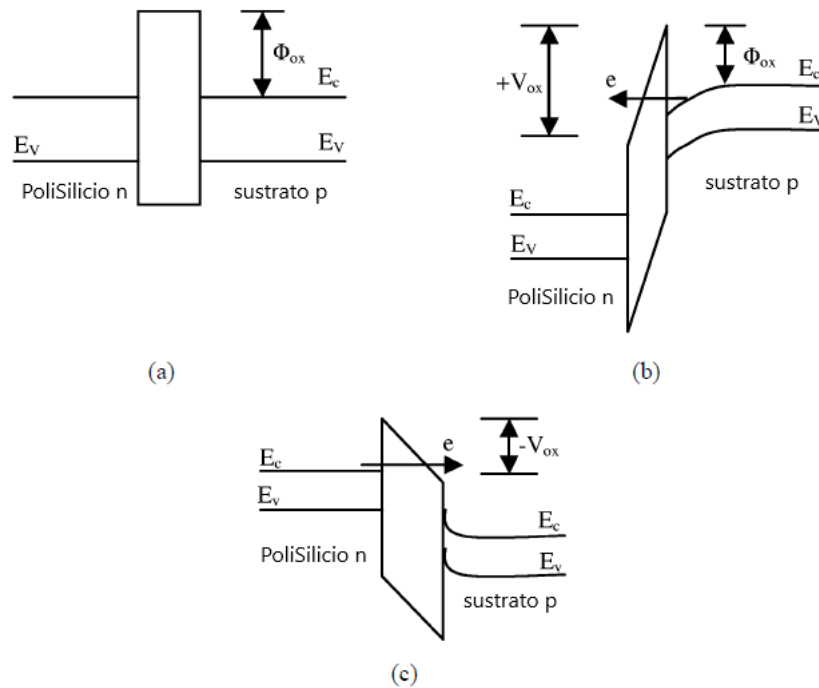


Figura 2.2: Diagrama de bandas para un capacitor MOS. [20]

2.2. Corriente de Fuga por Tuneleo

La reducción sistemática del grosor del óxido de compuerta resulta en un aumento en el campo eléctrico a través del mismo. Ambos fenómenos conllevan al tuneleo de electrones desde el sustrato hacia la compuerta. Con fines de simplificación, se considera un capacitor MOS con una compuerta de polisilicio tipo N altamente dopada y un sustrato tipo P. Un diagrama de las bandas de energía en condiciones de banda plana se muestra en la figura 2.2.a. Φ_{ox} es el alto de la barrera energética para los electrones en la barrera entre el sustrato y el óxido. Cuando se aplica una polarización positiva, el diagrama de bandas cambia como se muestra en la figura 2.2.b. Debido al poco grosor del óxido, que resulta en una anchura pequeña de la barrera de potencial, los electrones en la superficie fuertemente invertida pueden tunelear hacia y a través del óxido. Por otro lado, si una polarización negativa es aplicada sobre del dispositivo, los electrones en el polisilicio N pueden, de forma análoga, tunelear hacia y a través del óxido produciendo, así, la corriente de fuga en la compuerta.

2.3. Corriente de Fuga en el Drenador inducida por la Compuerta (GIDL)

La corriente de fuga en el drenador inducida por la compuerta (gate-induced drain leakage o GIDL) se debe a la presencia de efectos de campos eléctricos muy grandes en la frontera del drenador. Cuando la compuerta se polariza para formar una capa de acumulación en la superficie del silicio (Sección 1.4.1), la frontera del drenador con el silicio (el traslape con la compuerta) se encuentra a un potencial semejante al de la región p. Debido a la acumulación de huecos, esta región se comporta como una región p más dopada que el propio sustrato lo que a su vez causa que la región de agotamiento sea más estrecha cerca de la superficie del silicio (como se muestra en el fig. 2.3.b).

El estrechamiento de la región de agotamiento cerca de la superficie del silicio conlleva al acumulamiento de campo eléctrico en dicha región y esto, a su vez, a efectos de campos eléctricos muy altos. Si la polarización negativa es muy grande (con la compuerta en voltaje negativo y el drenador en V_{DD} , por ejemplo) la región n del drenador que se encuentre justo debajo de la compuerta puede llegar a agotamiento o, incluso, a inversión (fig. 2.3.c), lo que resulta en efectos de campo aún mayores (como tuneleo banda a banda). Los portadores de carga que son creados en esta región son arrastrados hacia el sustrato completando el camino para la corriente de fuga. En los CMOS esta corriente de fuga contribuye al consumo estacionario de potencia [26] .

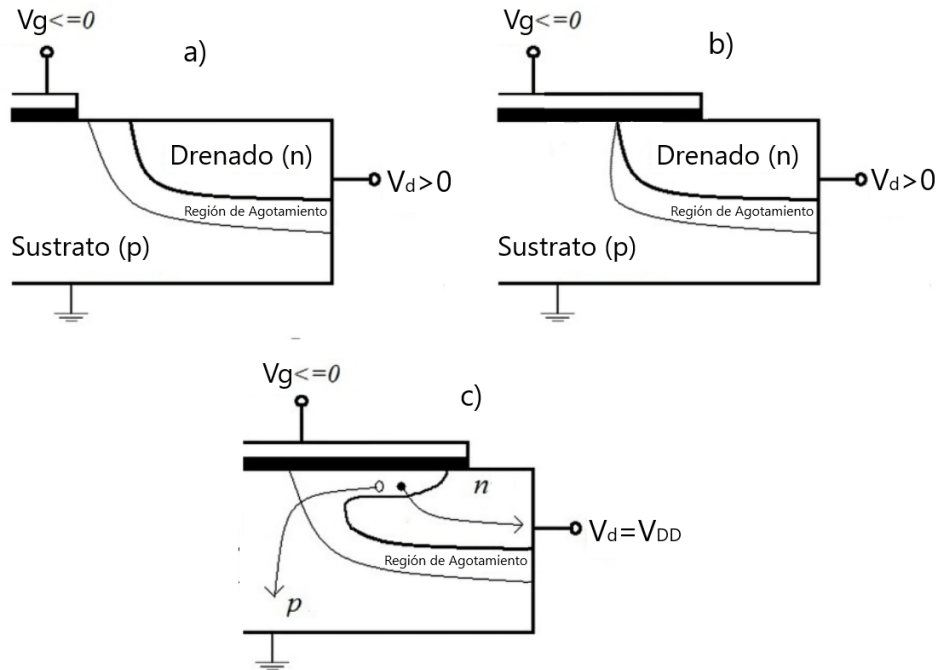


Figura 2.3: GIDL[25]

2.4. Corriente de Fuga en la Unión del Drenador con Sustrato en polarización Inversa

En la figura 2.4 se puede observar la unión PN que se forma entre la terminal de drenador y el pozo, misma que se encuentra, por lo general, polarizada en inversa generando una corriente de fuga. Dicha corriente de fuga tiene dos factores principales: difusión/deriva de portadores de carga minoritarios cerca de la frontera de la región de empobrecimiento; generación de pares electrón-hueco en la región de empobrecimiento de la unión PN. Además, debido al traslape existente entre la compuerta y dicha unión PN, puede existir corriente de fuga adicional [22]

La corriente de fuga en la unión PN polarizada inversamente es función del área de la unión y del dopado: Si ambas regiones (p y n) están altamente dopadas, como es el caso de los MOSFETs modernos para mejorar el manejo de efectos de canal corto, el tuneleo banda a banda (BTBT, por sus siglas en inglés) es el mecanismo dominante.

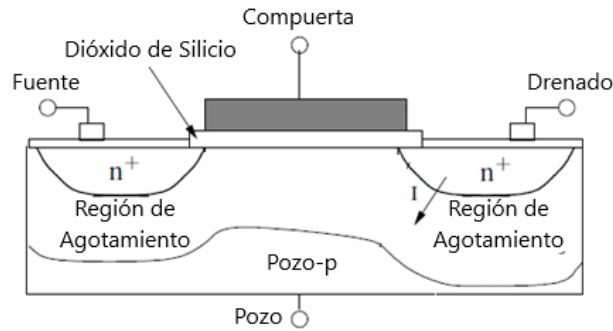


Figura 2.4: Corriente de Fuga en la Unión Drenado-Pozo Polarizada en Inversa [23]

Dicho tuneleo banda a banda se presenta cuando campos eléctricos muy fuertes (superiores a $10^6 V/cm$) son aplicados en la unión PN polarizada en inversa ocasionando el flujo de electrones desde la banda de valencia de la región P hacia la banda de conducción de la región N.

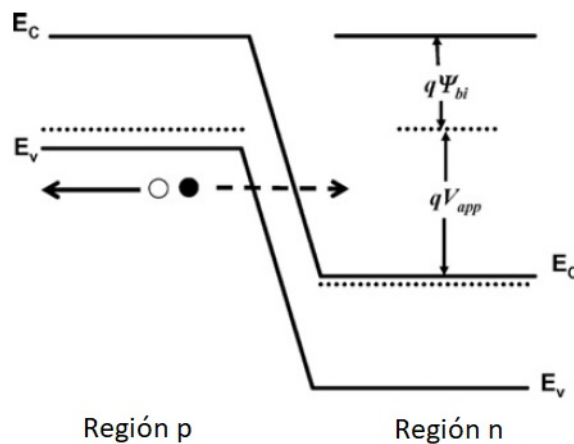


Figura 2.5: Diagrama de bandas del tuneleo banda a banda (BTBT) [24].

En la figura 2.5 puede verse que para llevarse a cabo el tuneleo, el voltaje total (el aplicado más el auto inducido) en la unión PN debe ser igual o mayor a la diferencia de energía en las bandas de las regiones. La densidad de corriente por tuneleo banda a banda está dada por:

$$J_{b-b} = A \frac{\xi V_{app}}{E_g^{1/2}} \exp\left[-B \frac{E_g^{3/2}}{\xi}\right] \quad (2.2)$$

$$A = \frac{\sqrt{2m^*} q^3}{4\pi^3 \hbar^2}, B = \frac{4\sqrt{2m^*}}{3q\hbar}$$

Donde:

m^* Masa efectiva del electrón

E_g Diferencia energética de las bandas

V_{app} Voltaje aplicado

ξ Campo eléctrico en la unión

q Carga del electrón

\hbar Constante de Planck por $\frac{1}{2\pi}$

Para óxidos de compuerta con grosor del orden de nanómetros (o incluso menores en procesos más modernos), el tuneleo hacia y a través del óxido puede tener efectos importantes en las corrientes de fuga. El tuneleo directo y el tuneleo Fowler-Nordheim son los procesos predominantes en este tipo de transmisión de portadores.

El tuneleo directo es un efecto cuántico: según la mecánica clásica, los portadores de carga están completamente confinados en los pozos energéticos. Solo los electrones con energía mayor a los de las paredes de dichos pozos pueden escapar de ellos. En contraste, en la mecánica cuántica, un electrón puede ser representados por su función de onda. Esta función de onda no cesa abruptamente en la pared del pozo con energía finita y puede penetrar hacia o a través de dicha barrera (fig.2.6)

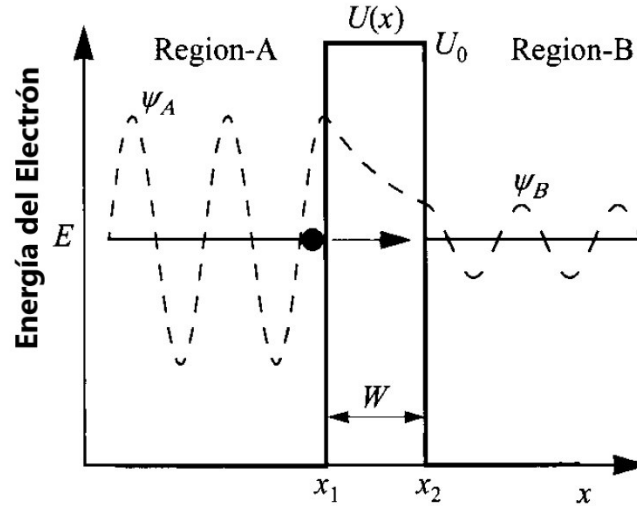


Figura 2.6: Funciones de onda de un electrón antes y después de atravesar una barrera rectangular [15]

Así, la probabilidad de que un electrón tunelee a través de una barrera con potencial finito mayor a la del propio electrón jamás será cero. Para obtener dicha probabilidad, la función de onda ψ debe ser resulta mediante la ecuación de Schrödinger:

$$\frac{d^2\psi}{dx^2} + \frac{2m^*}{\hbar} [E - U(x)]\psi = 0 \quad (2.3)$$

Cabe hacer hincapié en que el grosor del óxido de compuerta es de tan solo 2.6 nm. Para este tipo de grosores, el tuneleo Fowler-Nordheim puede no ser el efecto dominante en el transporte de carga, y llega a dar paso al tuneleo directo. Entre los principales mecanismos de tuneleo se encuentran:

- Tuneleo de electrones en la banda de conducción (electron tunneling in the conduction band o ECB).
- Tuneleo de electrones en la banda de valencia (electron tunneling in the valence band o EVB).
- Tuneleo de huecos en la banda de valencia (hole tunneling in the valence band o HVB).

La magnitud de la corriente de fuga en compuerta (I_G) por tuneleo directo aumenta de forma exponencialmente inversa al grosor del óxido de compuerta. De hecho, para óxidos relativamente delgados, entre los 2 y 3 nm (como los usados en los cálculos anteriores), usando un voltaje en compuerta de $V_G = 1V$, la corriente de fuga en Compuerta aumenta diez veces por cada decremento de 2 Å. Cabe señalar, de igual manera, que, por lo general, la corriente de fuga en compuerta es un orden de magnitud superior en transistores del tipo PMOS que en los del tipo NMOS con un grosor del óxido de compuerta y voltaje de alimentación idénticos cuando se usa óxido de silicio (SiO_2).

Dado que la tendencia del largo del canal en transistores y su voltaje de alimentación son escalados, el óxido de compuerta también debe ser reducido para que la compuerta siga manteniendo el control en el canal. Como ya se mencionó, esto contraería un aumento exponencial en la corriente de fuga en compuerta.

Como tendencia cada vez más aceptada para enfrentar este aumento en la corriente de fuga en compuerta, el uso de dieléctricos de alta K en lugar de SiO_2 como aislante en la compuerta, permitiendo un escalamiento menos agresivo del grosor del aislante de Compuerta sin afectar sustancialmente el voltaje alimentación y el control de la compuerta en el canal.

2.5. Amortiguamiento de la Barrera de Potencial inducida por el Drenador (DIBL)

En los dispositivos de canal largo, la fuente y el drenador están separados lo suficiente como para que las regiones de empobrecimiento de cada una afecten de forma sustancial a la otra. Así, el voltaje de encendido del transistor es virtualmente independiente del largo del canal y del voltaje aplicado en el drenador.

Para estos casos, la barrera de potencial que existe de fuente a drenador está controlada por la compuerta y, técnicamente, la polarización del drenador no influye en su amortiguamiento.

En dispositivos de canal corto, el ancho de la región de empobrecimiento en las terminales de drenador y fuente, así como el voltaje entre dichas terminales, tiene un efecto importante en el amortiguamiento de la barrera de potencial. Con el aumento en el voltaje del drenador, el amortiguamiento de la barrera de potencial también aumenta, disminuyendo el voltaje de encendido. Entonces, los electrones pueden sobrepasar dicha barrera afectada y llegar hacia el drenador. La reducción del ancho efectivo del canal también aumenta el DIBL. [28]

2.6. Efecto de Cuerpo

Por lo general, se toma que la terminal de Drenador y la del cuerpo o sustrato están al mismo potencial ($V_{SB} = 0$). Si se aplica un voltaje al sustrato, se puede modificar el valor del voltaje de encendido de acuerdo a la siguiente ecuación [29]:

$$V_{th} = V_{fb} + 2\psi_B + \frac{\sqrt{2\epsilon_{Si}qN_a(2\psi_B + V_{SB})}}{C_{OX}} \quad (2.4)$$

Donde:

V_{fb} Voltaje de banda plana

N_a La concentración de dopantes en el sustrato

$\psi_B = \frac{KT}{q} \ln\left(\frac{N_a}{n_i}\right)$

Tal efecto de corrimiento del voltaje de encendido también puede verse en la fig. 2.7. Este fenómeno también puede entenderse con los diagramas de bandas: al aplicar un voltaje positivo en la terminal del cuerpo (o sea un V_{SB} negativo) las bandas de energía en la sección de la compuerta caen una cantidad igual a qV_{SB} , facilitando así el flujo de portadores a través del canal. Si, por el contrario, se aplica un voltaje negativo en la terminal del cuerpo (o sea un V_{SB} positivo) las bandas de energía en

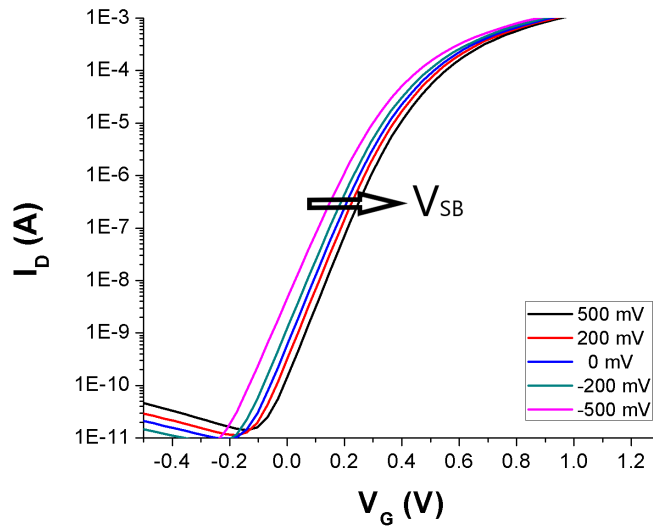


Figura 2.7: Corrimiento del voltaje de encendido correspondiente al aumento del voltaje en el sustrato (V_{SB})

la sección de la compuerta suben una cantidad igual a qV_{SB} , impidiendo el flujo de portadores a través del canal.

La pendiente entre el voltaje de encendido y el voltaje entre sustrato y cuerpo es llamado sensibilidad del sustrato (ec. 2.5). Puede verse que dicha sensibilidad del sustrato es proporcional a la concentración de dopantes.

$$\frac{dV_{th}}{dV_{SB}} = \frac{\sqrt{\frac{\epsilon_{Si}qN_a}{2(2\psi_B + V_{SB})}}}{C_{OX}} \quad (2.5)$$

En la figura 2.9 puede observarse un decremento de la corriente de fuga cuando el transistor está totalmente apagado: aplicando $V_{SB} = 500\text{mv}$ la corriente cae a 156 pA, en contraste a los 660 pA que se obtendrían con $V_{SB} = 0\text{mv}$. Esta relación puede observarse en la gráfica de la figura 2.8.

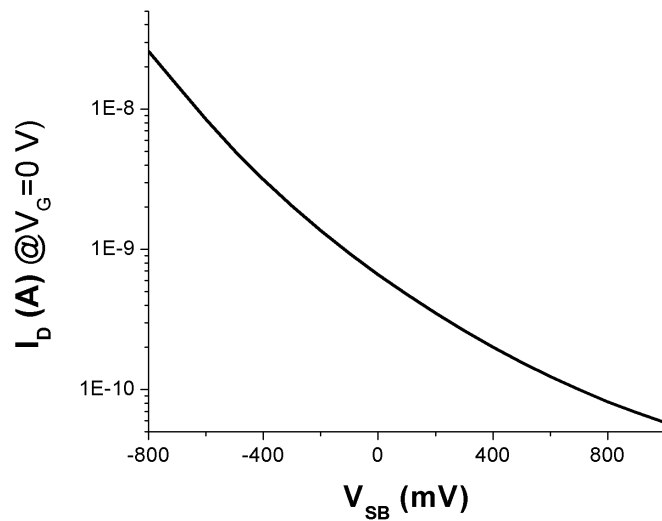


Figura 2.8: Relación entre el voltaje entre fuente y sustrato y la corriente de fuga

Además se nota que al variar el V_{SB} no varía la pendiente de la curva, o sea, no varía la sensibilidad del sustrato a diferencia de otros fenómenos como la diferencia de temperatura.

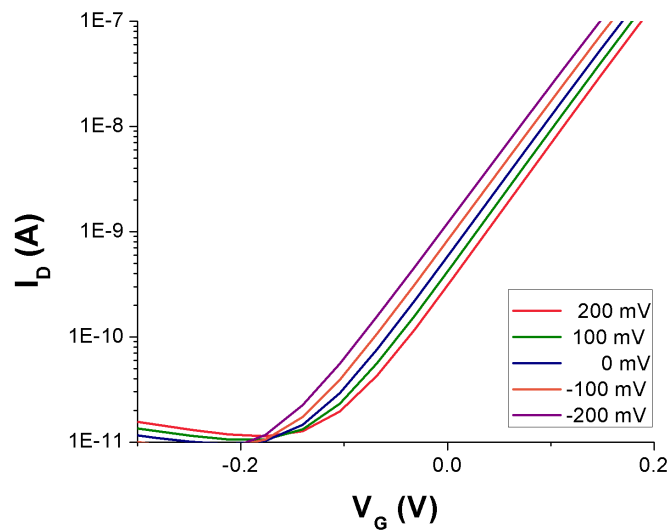


Figura 2.9: Acercamiento de la curva de la figura 2.7

2.7. Sumario de la Corriente de Fuga

Como se ha señalado en el presente capítulo, los defectos en la producción de los dispositivos así como el escalamiento progresivo en las dimensiones de los mismos han provocado que diferentes tipos de corrientes de fuga posean una presencia cada vez más importante en el diseño de los circuitos integrados.

Parte de estos fenómenos tiene una clara dependencia al largo del canal. Como el amortiguamiento de la barrera de potencial inducida por el drenador (drain induced barrier lowering o DIBL), donde el drenador puede actuar como compuerta, polarizando el cuello de botella del canal y encendiendo el dispositivo de forma prematura; la corriente de fuga en la unión del drenador con el sustrato en polarización inversa, que aumenta con el área de traslape entre éstas terminales; o la corriente de subumbral, cuya dependencia a las dimensiones está presente en la ecuación 2.1 de la sección 2.1 y se repetirá a continuación para comodidad:

$$I_{SUB} = K_1 \frac{W}{L} e^{\frac{-V_{th}}{nV_T}} \left[1 - e^{\frac{-V_{DD}}{V_T}} \right] \quad [21] \quad (2.6)$$

Otros efectos tienen dependencia al grosor del óxido de compuerta o los defectos en su producción, como la corriente de fuga por tuneleo. Así como en los procesos de producción en sí, como el aumento de dopantes en la corriente de fuga en la unión del drenador con el sustrato en polarización inversa o en la corriente de fuga en el drenador inducida por la compuerta (GIDL).

Por último, cabe señalar que la región de funcionamiento en la que se encuentra el dispositivo tiene una amplia relevancia en estos fenómenos: La corriente de subumbral, como su nombre lo indica, está presenta en voltajes de compuerta menores a los del voltaje de encendido, con polarización completa entre drenador y fuente; de forma análoga con la corriente de fuga de DIBL; GIDL necesita, también, polarización completa entre drenador y fuente pero tiene mayor impacto con un voltaje nulo en

compuerta, o incluso negativo (para el caso de los NMOS); con voltajes relativamente grandes para los dispositivos, la corriente de fuga por tuneleo en el óxido puede presentarse con mayor impacto, aumentando las pérdidas de potencia estáticas.

Capítulo 3

Impacto de la corriente de fuga en sistemas digitales.

3.1. Simulación de Circuitos.

Los simuladores de circuitos electrónicos usan modelos matemáticos para replicar el comportamiento de los circuitos físicos. Debido a su precisión cada vez mayor son ampliamente usados en universidades para entrenar ingenieros; o en centros de investigación para llevar a cabo estudios preliminares que de otro modo usarían una cantidad de recursos mucho mayor. La simulación de un circuito electrónico tiene un gran impacto en sectores industriales, debido a que es mejor el conocer a priori el comportamiento del circuito a fabricar.

En el presente trabajo, la simulación de circuitos se llevó a cabo en Virtuoso; que es una plataforma de Cadence (una multinacional de software) que incluye el análisis de esquemáticos, modelado de comportamiento, personalización de las capas de fabricación y análisis físico. Se usa tanto para circuitos analógicos, de señales mixtas, de radio frecuencia (RF), entre otros.

Para la simulación de circuitos integrados con precisión, usa paquetes de diseño de proceso autorizados (chartered foundry process design kits (PDK)) que son

desarrollados y probados por ingenieros altamente calificados. Dentro de la lista de Dispositivos soportados en los PDKs de virtuoso se encuentran:

- Capacitores MOS
- Capacitores MIM
- MOS de RF
- Inductores
- Varactores
- NMOS
- PMOS
- Resistencias Difundidas N+ y P+

3.2. El Inversor Digital.

3.2.1. Esquemas y simbología

Como puede observarse en la Fig. 3.1, el inversor consiste de dos Transistores MOS unidos por sus terminales de drenador. En la parte superior, el transistor PMOS está conectado a la fuente de alimentación (V_{DD}) y en la parte inferior, la fuente del transistor NMOS está conectada a tierra (GND). Las compuertas de ambos transistores están conectadas a la entrada del Inversor, "A". Los drenadores de ambos transistores están unidas formando la salida del Inversor, "B".

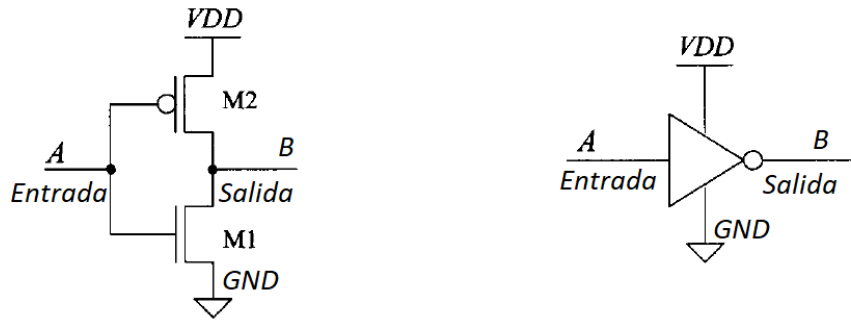


Figura 3.1: Esquemático (izquierda) y símbolo lógico de un inversor digital (derecha).[31]

3.2.2. Funcionamiento básico

Para entender el funcionamiento del Inversor, podemos usar el modelo CMOS del switch. Como su nombre lo indica, los transistores son vistos como switches, con resistencia "en apagado" infinita y en encendido una resistencia finita (R_p o R_n , dependiendo del transistor).

Para iniciar, pensemos que en la terminal de entrada (A) de nuestro inversor tenemos un voltaje de entrada en alto ($V_{in} = V_{DD}$). Con esto, el transistor N (M1) estará encendido, mientras que el transistor P (M2) apagado, lo que lleva a la imagen 3.2 (izquierda), donde el voltaje en la terminal de salida (B) será "baja" (0v, tierra o GND) debido a que existe un camino directo entre esta terminal y tierra ($V_{out} = GND$), a través del transistor N (R_n).

En el otro caso, cuando tenemos un valor de voltaje "bajo" en la terminal de entrada del inversor ($V_{in} = GND$), el transistor PMOS (M2) está encendido y el NMOS (M1), apagado. Esto lleva a la imagen de la figura 3.2 (Derecha), donde existe un camino entre la terminal de salida "B" y el voltaje de alimentación ($V_{out} = V_{DD}$), a través del transistor P (R_p).

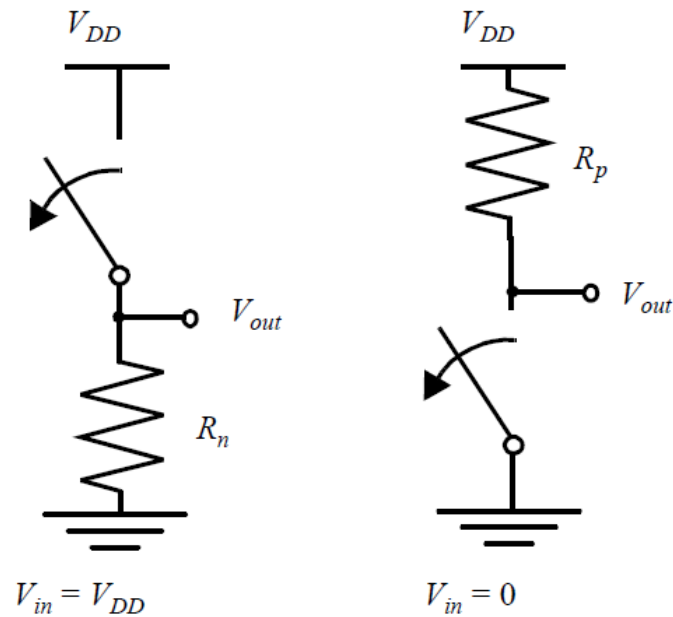


Figura 3.2: Inversor digital cuando se considera el MOS como un switch cuando la entrada tiene un valor alto (izquierda) y bajo (derecha).[32]

Debido a que el valor de voltaje de salida viene desde el voltaje de alimentación (V_{DD}) o tierra (GND), a través de los transistores, el valor de la salida sólo puede ser uno de estos valores, por lo que el Inversor tendrá una importante resistencia hacia el ruido. Además, estos valores no dependen de las dimensiones de los transistor.

La resistencia de entrada del inversor es extremadamente alta debido a que las compuertas de los MOS son buenas aislantes, lo que significa que se pueden colocar muchas compuertas a la salida del inversor sin tener pérdidas importantes de corriente.

Además, debido a que cuando el Inversor permanece en algún estado (estático), no existe un camino entre la alimentación y tierra (debido a que uno de los transistores estará apagado); así, el consumo de potencia es muy bajo.

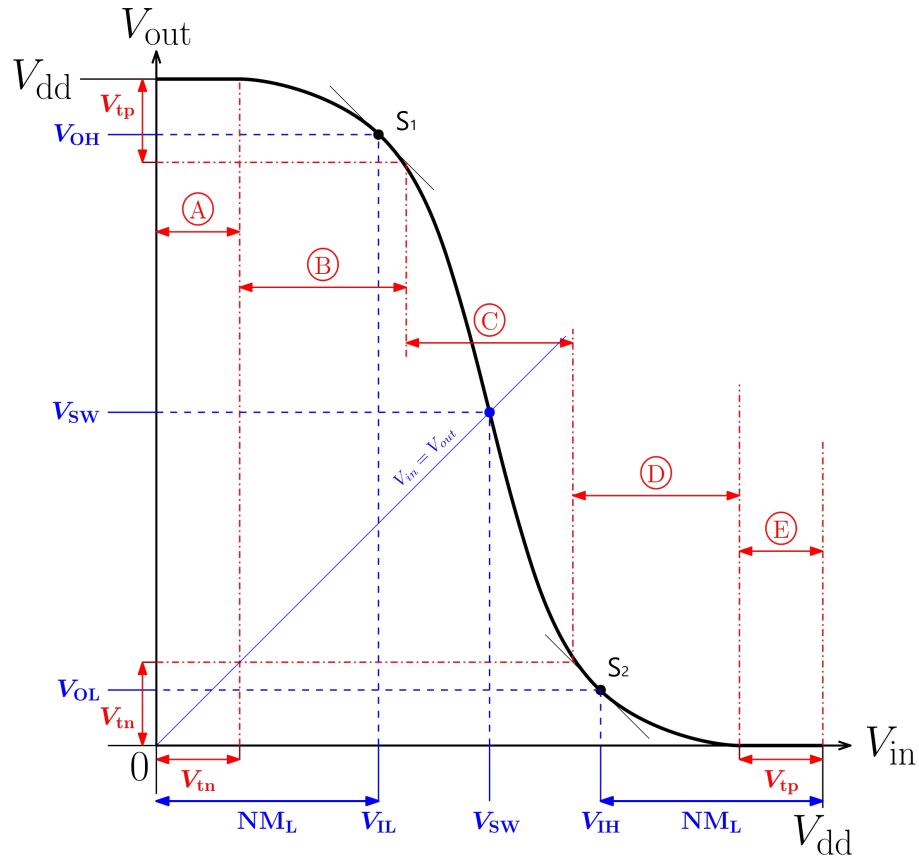


Figura 3.3: Curva característica de transferencia de voltaje (voltage-transfer characteristics o VTC) del inversor digital CMOS. [33]

A continuación, se analiza el inversor digital por medio de una curva de transferencia de voltaje (voltage transfer characteristics o VTC), lo que significa sobreponer las curvas IV del NMOS y del PMOS en un mismo sistema de coordenadas. De este análisis, se puede entender varios puntos de interés de la imagen 3.3.

Primero, podemos identificar los parámetros lógicos de compuerta (en azul en la imagen):

- En el eje de las abscisas:
 - V_{IL} : El valor "bajo" de voltaje de entrada.
 - NM_L : El margen de ruido con el se puede trabajar. Esto es, los valores de voltaje de entrada para los cuales el inversor es considerado como apagado. Su valor se obtiene al sustraer el valor de V_{SS} del valor de V_{IL} .

- V_{SW} El voltaje de conmutación o "switchero", el punto de inflexión de la curva, el punto donde el voltaje de Salida del Inversor digital es igual al de la salida. Gráficamente, es el punto de intersección entre la curva VTC y la curva $V_{in} = V_{out}$
 - V_{IH} El valor "alto" de voltaje de entrada.
 - NM_H El margen de ruido con el que se puede trabajar. Esto es, los valores de voltaje de entrada para los cuales el inversor es considerado como encendido. Su valor se obtiene al sustraer el valor de V_{IH} del valor de V_{DD} .
- En el eje de las ordenadas:
- V_{OL} El valor "bajo" de voltaje de salida.
 - V_{OH} El valor "alto" de voltaje de salida.

En rojo, pueden observarse señalados los valores de encendido de los transistores NMOS (V_{tn}) y PMOS (V_{tp}), así como las regiones de operación de los transistores:

| Región | NMOS | PMOS |
|----------|------------|------------|
| A | Corte | Lineal |
| B | Saturación | Lineal |
| C | Saturación | Saturación |
| D | Lineal | Saturación |
| E | Lineal | Corte |

Como se observa en el tabla anterior, en la región **C**, ambos transistores están en la región de saturación y, como se explicó previamente, existe un camino conductivo entre las terminales de alimentación (V_{DD} y V_{SS}). En la figura 3.4 se puede observar que el mayor valor de corriente que pasa por la terminal de V_{DD} se produce en esta región de trabajo **C**, más específicamente, en el valor de voltaje de conmutación (V_{SW}).

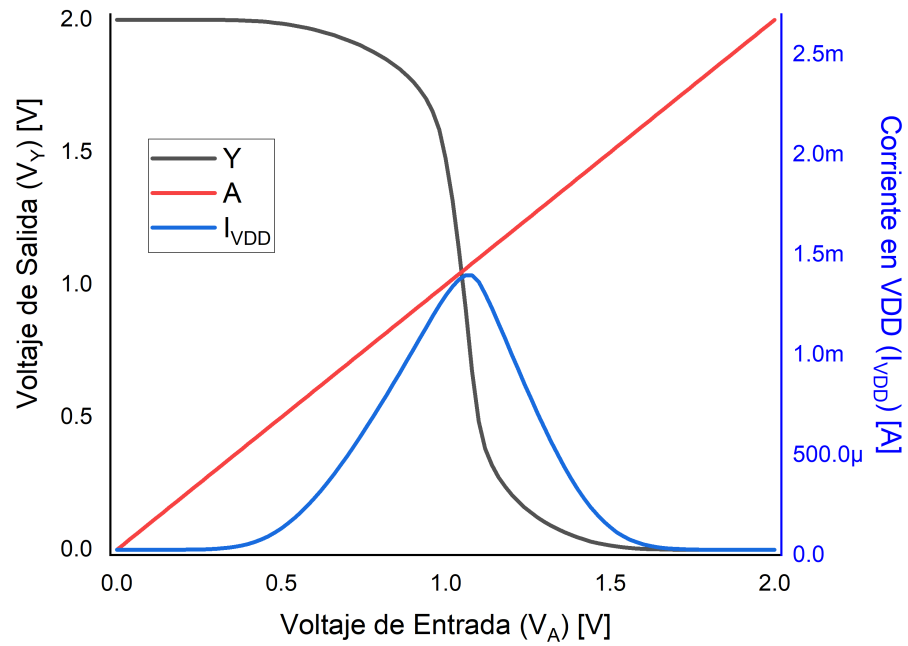


Figura 3.4: Curva de transferencia de voltaje (negro), el voltaje de entrada (rojo) y la corriente que pasa por la terminal de V_{DD} (azul) en un barrido del voltaje de entrada.

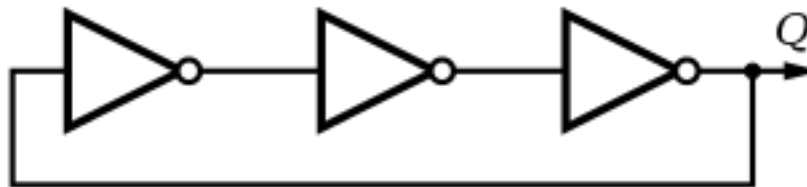


Figura 3.5: Oscilador de anillo de tres etapas.

3.3. Oscilador de Anillo.

Un oscilador de anillo es una combinación de etapas de retraso (inversores digitales) en cascada, en un lazo cerrado. Este tipo de dispositivos son de gran interés en su estudio e implementación, debido a varias de sus características como [34]:

- Puede ser diseñado con cierto grado de libertad sobre el tamaño de los transistores usados.
- El voltaje de operación depende de la tecnología de los CMOS usados, así que puede ser, relativamente, bajo.
- Es capaz de proveer frecuencias de oscilación altas con un consumo de potencia baja.

La frecuencia de oscilación del oscilador de anillo depende del tiempo de propagación (τ_d) de cada inversor y el número de estos. Así, el modo más común para obtener la frecuencia de oscilación de un oscilador de anillo de N inversores es el asumir que cada uno de estos inversores provee un retraso de τ_d . La señal debe viajar dos veces por cada uno de los N inversores para obtener un periodo de oscilación. Así, el periodo es de $2N\tau_d$, resultando en una frecuencia de:

$$f = \frac{1}{2N\tau_d} [35] \quad (3.1)$$

Dicho tiempo de propagación es dependiente de las dimensiones del dispositivo: depende del tiempo en que se carga y descarga la capacitancia de carga (load capacitor o C_L) de ambos transistores. Esto hace pensar en el objetivo de mantener el valor de dicha capacitancia al mínimo para reducir el tiempo de propagación para mejorar así el rendimiento del dispositivo.

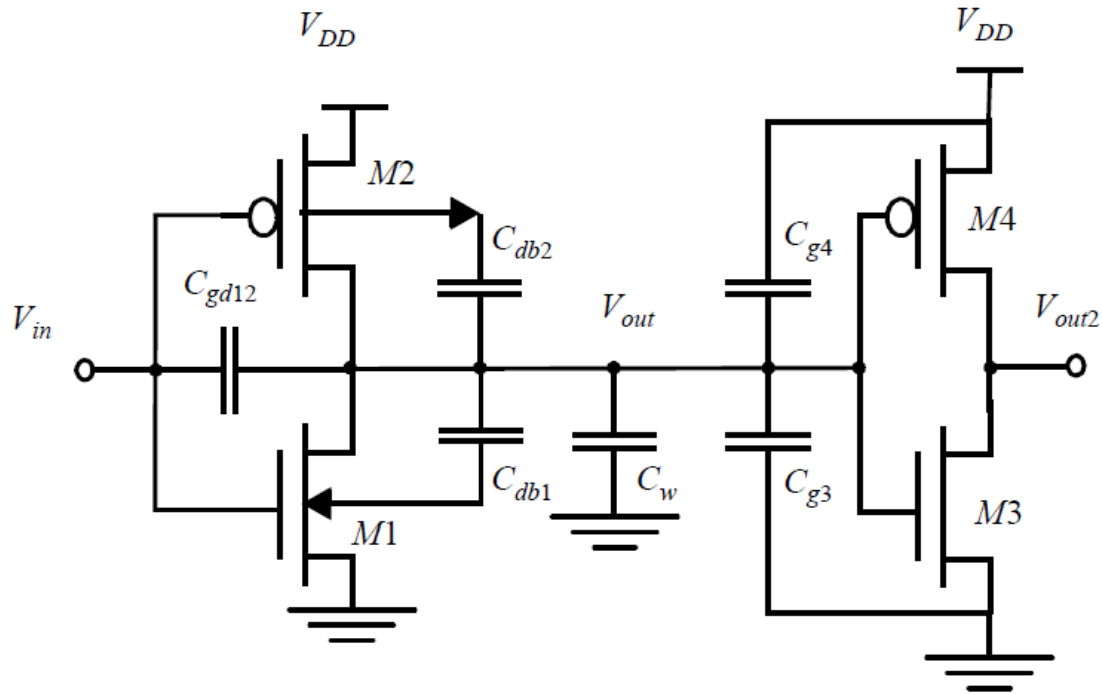


Figura 3.6: Diagrama de capacitancias que contribuyen a la capacitancia de carga (C_L). [36]

Un resumen de las capacitancias que intervienen en la capacitancia de carga se presenta en la figura 3.6. Cabe mencionar que para el análisis de la capacitancia de carga se hace una simplificación muy importante: se toma que todas las capacitancias que intervienen en el fenómeno están aglomeradas en una solo condensador que se encuentra entre V_{out} y GND.

Para el cálculo de las capacitancias de compuerta-drenador (gate-drain capacitance o C_{gd12}), se cambia el capacitor mostrado en la figura 3.6, que está entre V_{in} y las compuertas de M1 y M2, por uno conectado a tierra y V_{DD} . Esto se hace tomando en cuenta el efecto Miller: de forma sobre simplificada, se toma que el primer capacitor, durante los cambios de estados, ve un cambio en sus terminales entre V_{in} y V_{out} , el doble del valor entre V_{DD} y GND, por lo que se reemplaza con un capacitor del doble del valor original.

Las capacitancias de difusión (diffusion capacitances o $C_{db1} - C_{db2}$) se deben a la unión PN polarizada en inversa que se forma entre el drenador y el cuerpo (bulk). Dicha capacitancia no es lineal y es muy difícil de calcular, por lo que se reemplaza por un factor lineal (K_{eqn} y K_{eqsw} para la frontera de la difusión) que contribuya con el mismo cambio de carga en el rango de voltaje de interés [37].

La capacitancia del cable de conexión (C_w) es dependiente del largo y ancho del mismo. Entre más compuertas se conecten a la salida del inversor, mayor será este valor. Además, al aumentar el número de dispositivos conectados a la salida del inversor (fanout), las capacitancias de estos influirán en el cálculo. En el caso del oscilador de anillo, el valor de los dispositivos de entrada (fanin) y el de los de salida (fanout) es el mismo: uno. Lo que simplifica enormemente los datos, aunque no representa, necesariamente, de forma correcta el funcionamiento del inversor en aplicaciones prácticas. Éstas capacitancias de carga, están representadas por M3 y M4 en la figura 3.6 y su valor corresponde al de la capacitancia de compuerta de estos transistores. El cálculo de la capacitancia de carga se resume en la siguiente tabla:

3.3

| Condensador | Expresión |
|-------------|---------------------------------------|
| C_{gd1} | $2CGD0_n W_n$ |
| C_{gd2} | $2CGD0_p W_p$ |
| C_{db1} | $K_{eqn}AD_nCJ + K_{eqsw}PD_nCJSW$ |
| C_{db2} | $K_{eqp}AD_pCJ + K_{eqswp}PD_pCJSW$ |
| C_{g3} | $(CGD0_n + CGS0_n)W_n + C_{ox}W_nL_n$ |
| C_{g4} | $(CGD0_p + CGS0_p)W_p + C_{ox}W_pL_p$ |
| C_w | Calculado geoméricamente |
| C_L | Sumatoria |

Una forma de obtener el tiempo de propagación es integrando la carga y descarga del condensador de carga, como se muestra en la ecuación 3.2, donde i es la corriente de carga y descarga, v es el voltaje en el condensador y v_1 y v_2 son los voltajes inicial y final del intervalo.

$$t_p = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv \quad (3.2)$$

Dado que tanto la capacitancia de carga como la corriente de carga tienen fenómenos no lineales asociados, el cálculo del tiempo de propagación por este método puede llegar a ser desgastante, por lo que se plantea volver al modelo de switches que se abordó en la sección 3.2.2, en el cuál se reemplazan estas funciones con elementos lineales constantes, como se muestra en la ecuación a continuación:

$$t_{phl} = \ln(2)R_{eqN}C_L = 0.69 * R_{eqN}CL[38] \quad (3.3)$$

Donde:

$$R_{eq} = \frac{1}{V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{V(t)}{I_{DSAT}} dV \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \quad (3.4)$$

Con:

$$I_{DSAT} = k' \frac{W}{L} ((V_{DD} - V_T)V_{DSAT} - \frac{V_{DSAT}^2}{2}) \quad (3.5)$$

Estos cálculos toman en cuenta que el voltaje de alimentación es lo suficientemente grande para que el dispositivo opere en saturación, por lo que podemos tomar que $V_{DSAT} = V_{DD}/2$.

k' es conocido como el parámetro de transconductancia de proceso (process transconductance parameter) y es el igual al producto de la movilidad y la capacitancia del óxido:

$$k' = \mu C_{ox} = \frac{\mu \epsilon_{ox}}{t_{ox}} \quad (3.6)$$

Este parámetro se relaciona con el factor de ganancia k_n del dispositivo a través de la relación geométrica del transistor (efectivas, no nominales):

$$k = k' \left(\frac{W}{L} \right) \quad (3.7)$$

Para el trabajo presente, se desea un oscilador de anillo que tenga un periodo de oscilación promedio de 100ps. Para esto, primero se parametriza el largo del canal como el mínimo: 60 nanómetros. Después, se utilizó la herramienta de simulación de circuitos para realizar un barrido del ancho del canal, para obtener el valor que cumpla con las especificaciones previas:

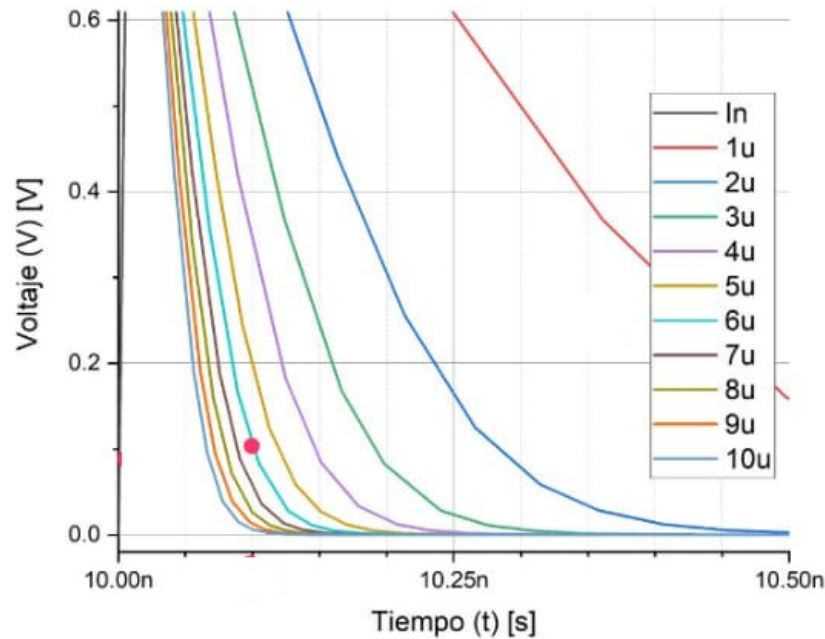


Figura 3.7: Cambio del periodo de oscilación con respecto al ancho del canal.

De la imagen 3.7 podemos observar que el ancho del canal a usar sería de aproximadamente unos $6\mu m$. Además, usando la ecuación 3.5 para los transistores tipo N para obtener la corriente de saturación en el canal:

$$I_{DSAT} = k'_n \frac{W}{L} [(V_{DD} - V_{tn}) * V_{DSAT} - \frac{V_{DSAT}^2}{2}] ; \text{con } V_{DSAT} = \frac{V_{DD}}{2}$$

$$I_{DSAT} = (342 \frac{\mu A}{V^2}) (\frac{6\mu m}{60nm}) [(1.2V - 0.386V)(0.6V) - \frac{(0.6)^2}{2}]$$

$$I_{DSAT} = 10.547mA$$

De la ecuación 3.4 para calcular la resistencia equivalente del canal:

$$R_{eqN} = \frac{3}{4} \left(\frac{V_{DD}}{I_{DSTAT}} \right)$$

$$R_{eqN} = \frac{3}{4} \left(\frac{1.2V}{10.547mA} \right)$$

$$R_{eqN} = 85.33\Omega$$

Y, así, con la ecuación 3.3, obtenemos el tiempo de propagación para un transistor N:

$$t_p = \ln 2 R_{eqN} C_L$$

$$t_p = (0.69)(85.33\Omega)(250fF)$$

$$t_p = 14.719ps$$

Con este resultado, obtenemos un periodo de oscilación cercano a los 100ps propuesto a priori, como se muestra a continuación con la ecuación 3.1:

$$T_d = 2Nt_p$$

$$T_d = (2)(3)(14.719ps)$$

$$T_d = 88.314ps$$

Este valor se probó a través de Virtuoso, simulando un oscilador de anillo usando dichas medidas para los transistores, como se muestra en la figura 3.8.

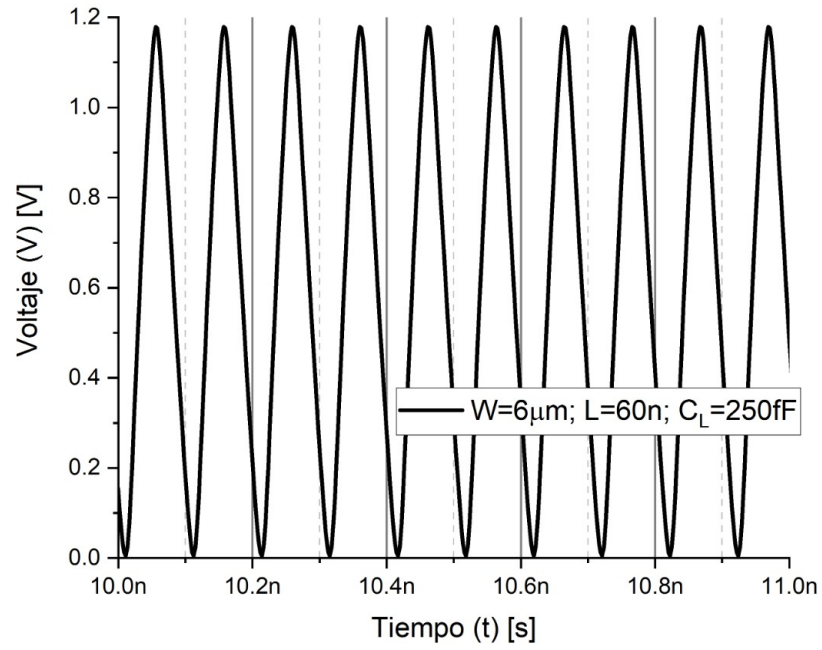


Figura 3.8: Anillo oscilador con medidas (del NMOS) de $w = 6\mu m$ y $l = 60nm$

Capítulo 4

Caracterización de los mecanismos de corriente de fuga en dispositivos MOS.

4.1. Resumen de los mecanismos de fuga.

Los datos de la figura 4.1 son datos extraídos de una simulación efectuada en Cadence Virtuoso sobre un transistor de 65nm, con un voltaje de compuerta de $V_g = 0v$ y un barrido lineal de voltaje entre las terminas de drenador y fuente. Como se puede observar, la corriente de fuga en el drenador es varios órdenes de magnitud superior a la de la compuerta. Dado que el mayor contribuyente para la corriente de fuga en el drenador es la corriente de fuga de subumbral, y el de la compuerta es la corriente de fuga por compuerta, podríamos llegar a la conclusión de que el impacto de la primera es mucho mayor para este tipo de transistores.

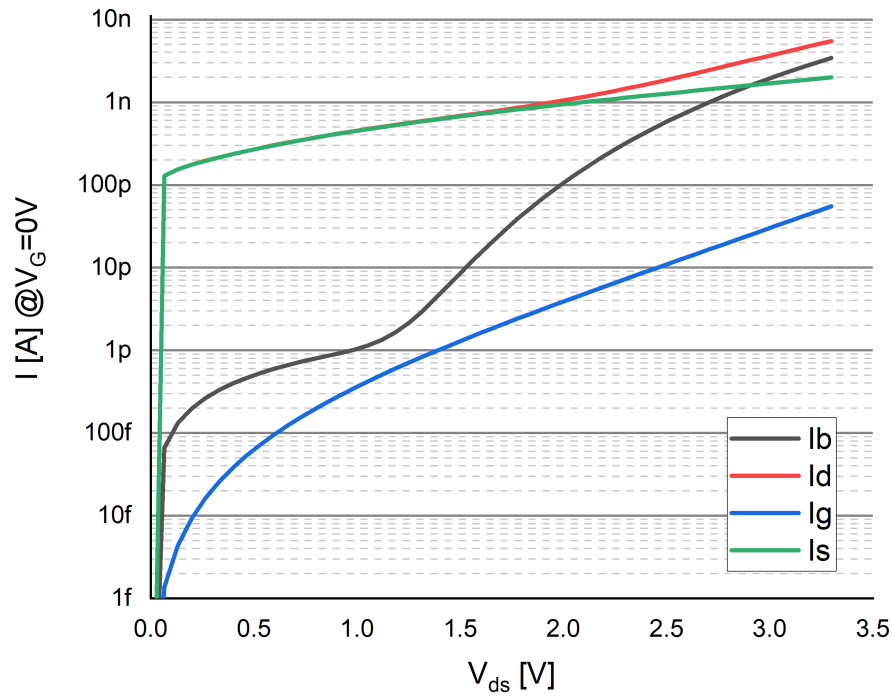


Figura 4.1: Corriente en las diferentes terminales de un CMOS.

Más aún, para este tipo de transistores, podemos extrapolar la dependencia de la corriente de fuga de subumbral con las dimensiones físicas del transistor mismo:

| Ids [Vds=2V] | | Largo (L) | | | |
|--------------|----|-----------|----------|----------|----------|
| | | 60n | 180n | 300n | 420n |
| Ancho (W) | 2μ | 71.92 nF | 253.3 pF | 185.1 pF | 168.0 pf |
| | 4μ | 179.8 nF | 553.9 pF | 392.3 pF | 353.3 pF |
| | 6μ | 295.8 nF | 870.5 pF | 610.3 pF | 546.8 pF |
| | 8μ | 414.9 nF | 1.193 nF | 831.3 pF | 743.3 pF |

Figura 4.2: Relación entre las dimensiones del dispositivo y la corriente de subumbral.

$$I_{SUB} = K_1 \frac{W}{L} e^{\frac{-V_{th}}{nV_T}} \left[1 - e^{\frac{-V_{DD}}{V_T}} \right] \quad [21] \quad (4.1)$$

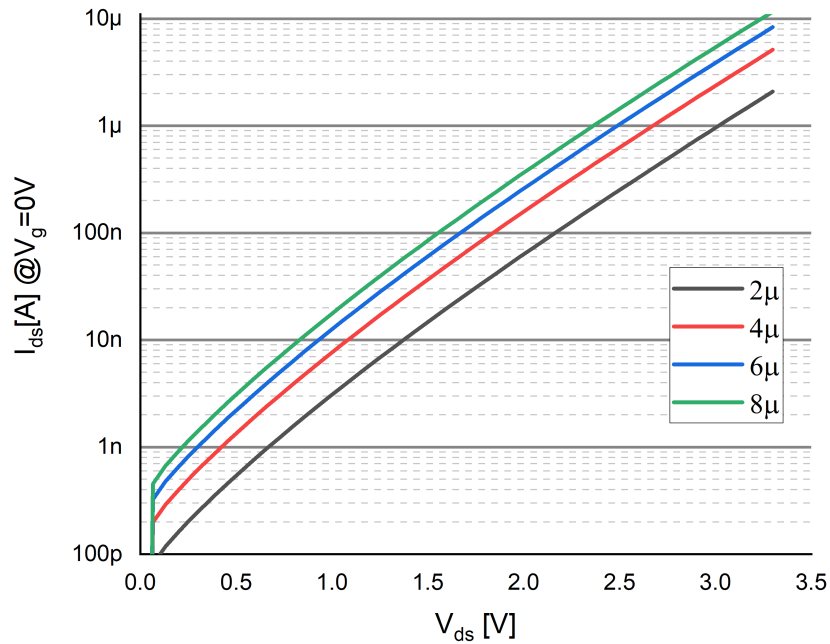


Figura 4.3: Corriente de subumbral contra la ancho del canal.

De la ecuación de la corriente de subumbral (que se mencionó en la sección 2.1), observamos que la corriente de subumbral tiene una dependencia directa con la anchura del transistor e inversamente proporcional con el largo del mismo. Además, claro, de la dependencia exponencial del voltaje de encendido, el cual también tiene una dependencia con las dimensiones ya mencionadas.

Este tipo de relaciones pueden hacerse más visibles cuando se piensa en el canal del transistor:

- Con el aumento de la anchura del canal, habría mayor espacio para que los portadores de carga crucen de la Fuente hacia el Drenador (para nMOS)
- Con el aumento del largo del canal, la distancia que separa las terminales aumenta, lo que conlleva a un menor campo entre las terminales; con menor campo, se tiene una menor movilidad, lo que produce menor corriente. [30]

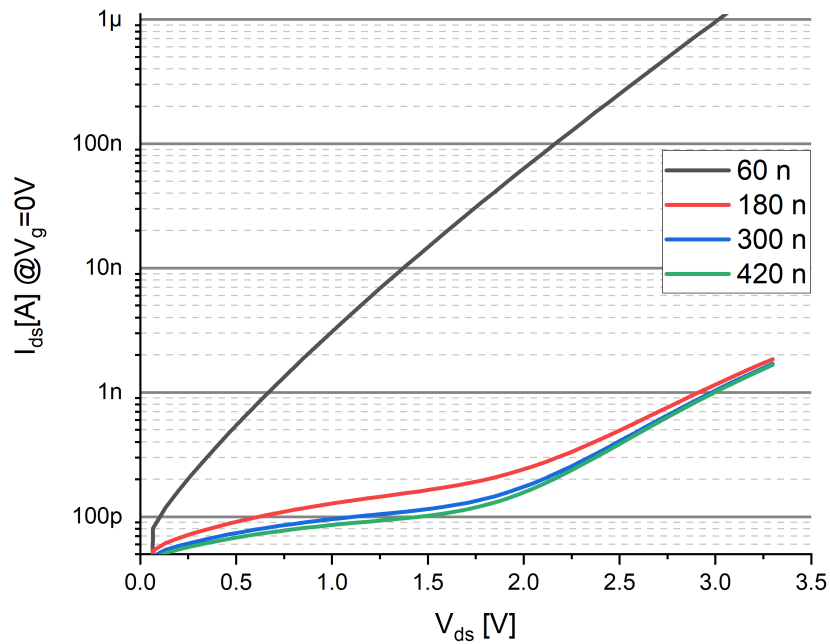


Figura 4.4: Corriente de subumbral contra el largo del MOS

4.2. La corriente de Fuga en Compuerta

La corriente de fuga en compuerta también tiene presencia notable en el inversor digital. En la figura 4.5 se puede observar que después de un valor de voltaje de entrada en el inversor digital (que es el voltaje en las compuertas del mismo) cerca de los 1.9 V , la corriente que pasa a través de la entrada (terminal A) es mayor que la de la terminal de V_{DD} , es decir, que la corriente de fuga en compuerta es superior a la corriente de fuga de riel a riel en el inversor digital. Cabe mencionar que el valor de alimentación recomendado por el fabricante de los transistores de esta tecnología llega a los 1.2 V ; menor que el de la simulación de la figura, pero aún notable cuando se toma en cuenta el número de transistores involucrados en los chips.

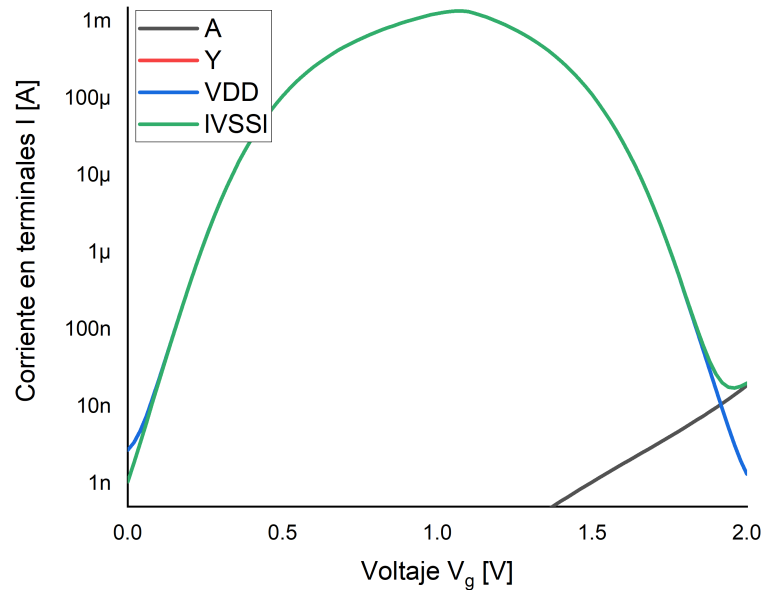


Figura 4.5: Corriente en las terminales del inversor digital a través de un barrido en el voltaje de entrada. (A: entrada; Y: salida)

4.3. Corriente Riel a Riel

En la figura 4.6 se puede observar una dependencia inversamente proporcional entre el largo del canal del transistor y la corriente riel a riel del inversor digital. Esto se debe principalmente a fenómenos relacionados con la corriente que puede transportar el canal, lo que a su vez, es dependiente de las dimensiones del mismo, como se expone en las ecuaciones 1.4 y 2.1.

De forma contraria, con el aumento del ancho del canal, los portadores de carga presencian menor resistencia por el canal para atravesarlo. Con esto, aumentando la corriente riel a riel, como se observa en la figura 4.7.

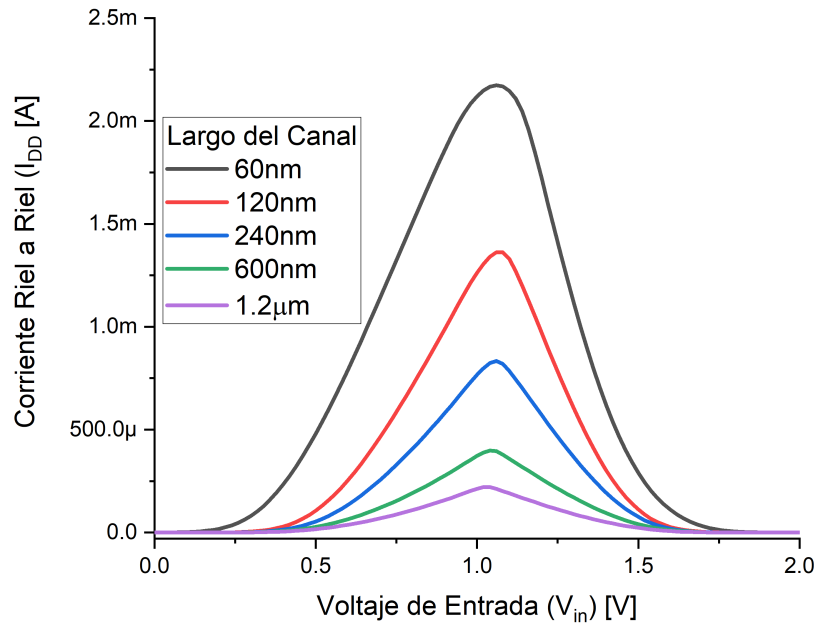


Figura 4.6: Dependencia de la corriente de riel a riel (I_{DD}) contra el largo del canal.

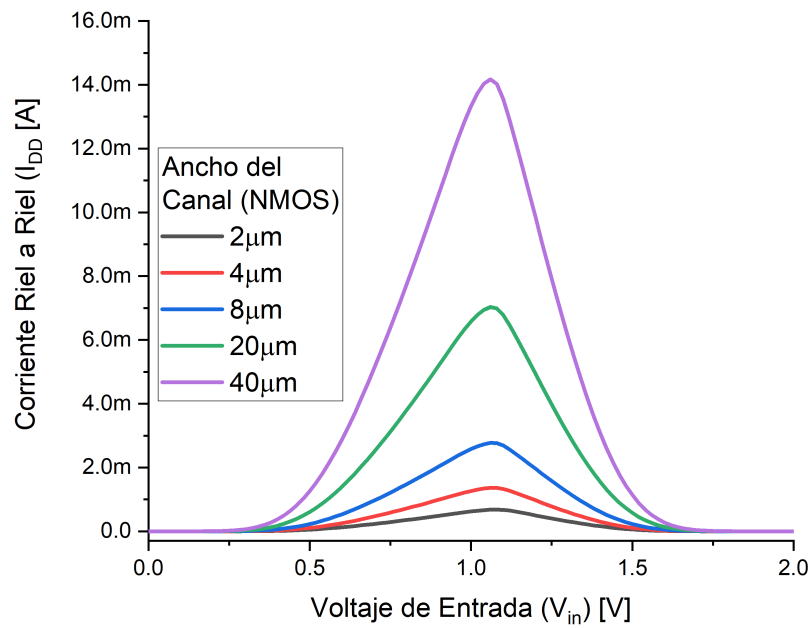


Figura 4.7: Dependencia de la corriente de riel a riel (I_{DD}) contra el ancho del canal.

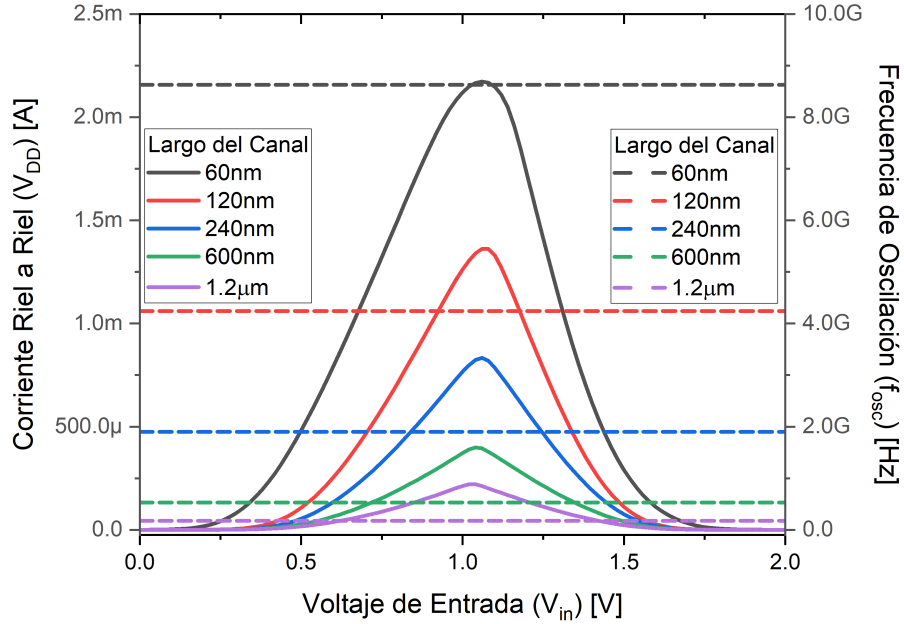


Figura 4.8: Dependencia de la corriente de riel a riel (I_{DD}) y la frecuencia de operación contra el largo del canal.

De forma análoga, en las figuras 4.8 y 4.9 se muestra la dependencia de la frecuencia de operación del oscilador de anillo contra las dimensiones del dispositivo.

Para un mayor entendimiento de estas gráficas habría que tener en cuenta las ecuaciones que relacionan las dimensiones del transistor y el tiempo de propagación. De la ecuación 3.3 sabemos que el tiempo de propagación es directamente proporcional a la resistencia del canal (R_{eq}), esta (por la ecuación 3.4) sabemos que es inversamente proporcional a la corriente de saturación (I_{DSAT}), la cual (por la ecuación 3.5) es directamente proporcional al ancho del canal (W) e inversamente proporcional al largo de éste (l). O sea, el tiempo de propagación es directamente proporcional al largo del canal e inversamente proporcional al ancho de este.

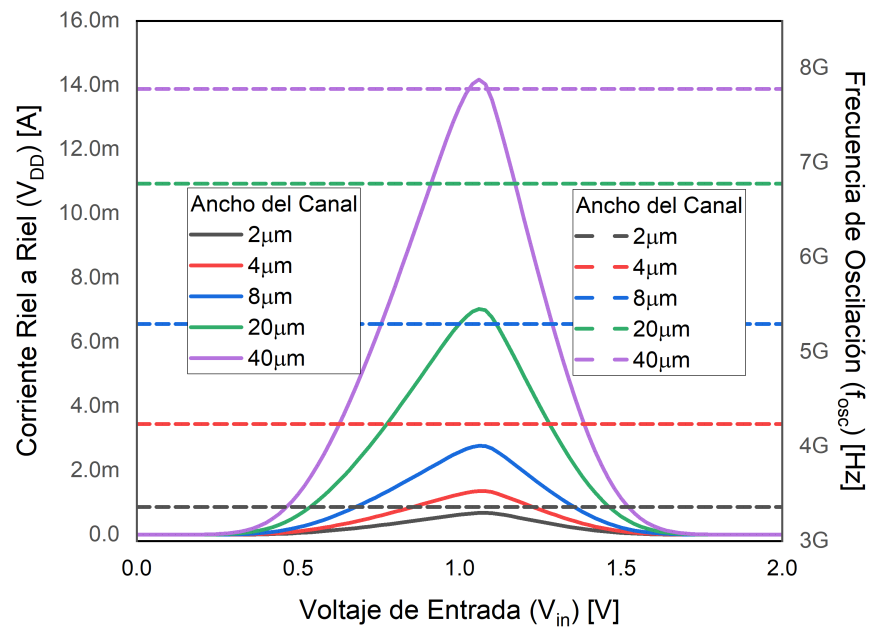


Figura 4.9: Dependencia de la corriente de riel a riel (I_{DD}) y la frecuencia de operación contra el ancho del canal.

Capítulo 5

Conclusiones.

Como se mencionó en los capítulos anteriores, los mecanismos responsables de las diferentes corrientes de fuga son influenciados por las dimensiones del los dispositivos. La corriente de subumbral, que puede considerarse con mayor peso en el rango de voltaje en cuestión, tiene una seria dependencia hacia las dimensiones del dispositivo: directa para el ancho del canal, inversa para el largo (según la ecuación 2.1 que, por comodidad, se repetirá a continuación):

$$I_{SUB} = K_1 \frac{W}{L} e^{\frac{-V_{th}}{nV_T}} \left[1 - e^{\frac{-V_{DD}}{V_T}} \right] \quad [21] \quad (5.1)$$

Por otro lado, de los datos recabados en las simulaciones de este capítulo (imágenes 4.8 y 4.9) y las ecuaciones para obtener el tiempo de propagación en el capítulo anterior (ecuaciones 3.3, 3.4 y 3.5) sabemos que la dependencia del tiempo de retardo (figura de mérito del oscilador de anillo) hacia las dimensiones del transistor son contrarias a la de la corriente de fuga de subumbral.

$$\begin{aligned}
t_p &= (\ln 2) * R_{eq} C_L \\
&= (\ln 2) * \left(\frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \right) C_L \\
&= (\ln 2) \left(\frac{3}{4} \frac{V_{DD}}{k' \frac{W}{l} ((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2})} \right) C_L \\
t_p &= \left(\frac{l}{W} \right) (\ln 2) \left(\frac{3}{4} \frac{V_{DD}}{k' ((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2})} \right) C_L
\end{aligned} \tag{5.2}$$

Estas tendencias son más claras en las figuras 5.1 y 5.2: en la primera se muestra al periodo con una tendencia de crecimiento hacia ($w=0$, $l=1$, $z=1$). Contrario a la segunda imagen donde el incremento en la corriente de fuga va hacia ($w=1$, $l=0$, $z=1$).

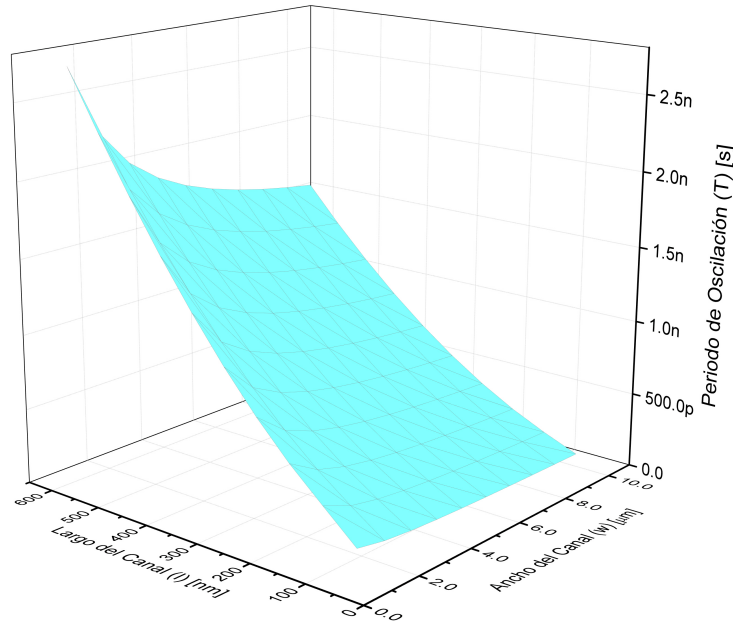


Figura 5.1: Superficie creada al realizar simulaciones parametrizadas sobre el largo (l) y ancho (w) del canal contra el periodo de oscilación del anillo.

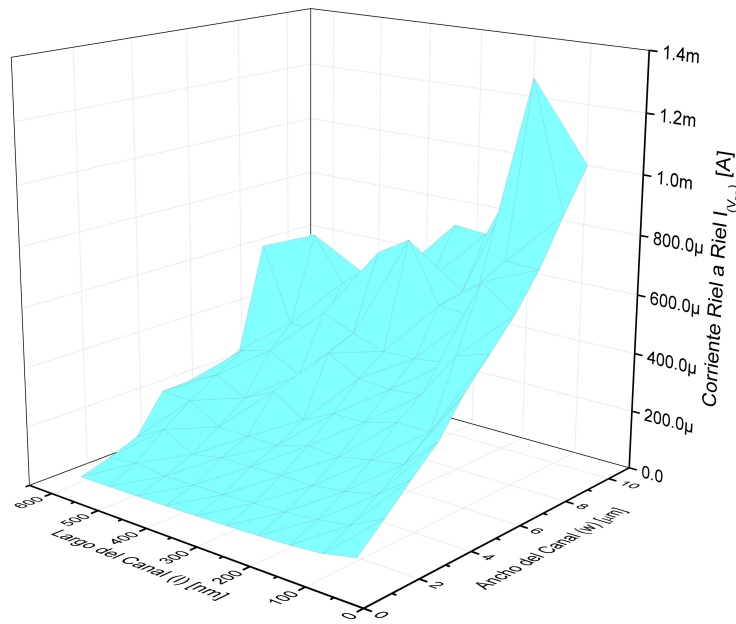


Figura 5.2: Superficie creada al realizar simulaciones parametrizadas sobre el largo (l) y ancho (w) del canal contra la corriente de fuga en la terminal de V_{DD} del primer PMOS.

Es claro el compromiso que el diseñador debe tener en cuenta al tratar con estos dispositivos: reducir el largo del canal podría reducir el gasto de potencia dinámica pero aumentar el tiempo de propagación; lo inverso si se aumenta el ancho del canal. Esto claramente puede observarse al confrontar las superficies de la corriente de fuga contra la del periodo en la figura 5.3. En la figura 5.4, de manera análoga, se muestran las tendencias contrarias de crecimiento. Por último, se puede notar que los dispositivos que cuentan con las misma relación de aspecto (por ejemplo, para $w/l=20$, se pueden tomar $[w=2\mu\text{m}, l=100\text{nm}]$ o $[w=4\mu\text{m}, l=200\text{nm}]$) los valores de corriente y periodo de oscilación no son iguales, sino que escalan conforme al largo del canal.

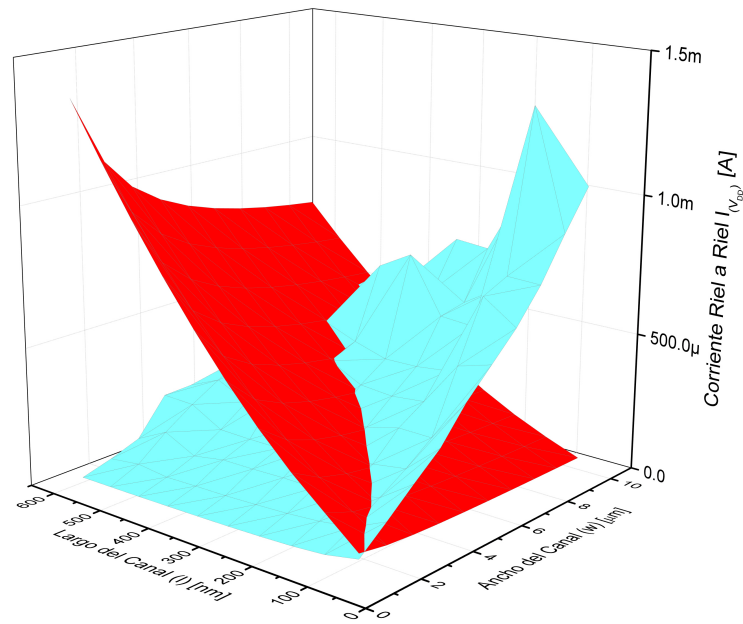


Figura 5.3: Superficies de la corriente de fuga (azul) y periodo (rojo, sin representación en el eje Z a escala). Es observable las tendencias de crecimiento contrarias.

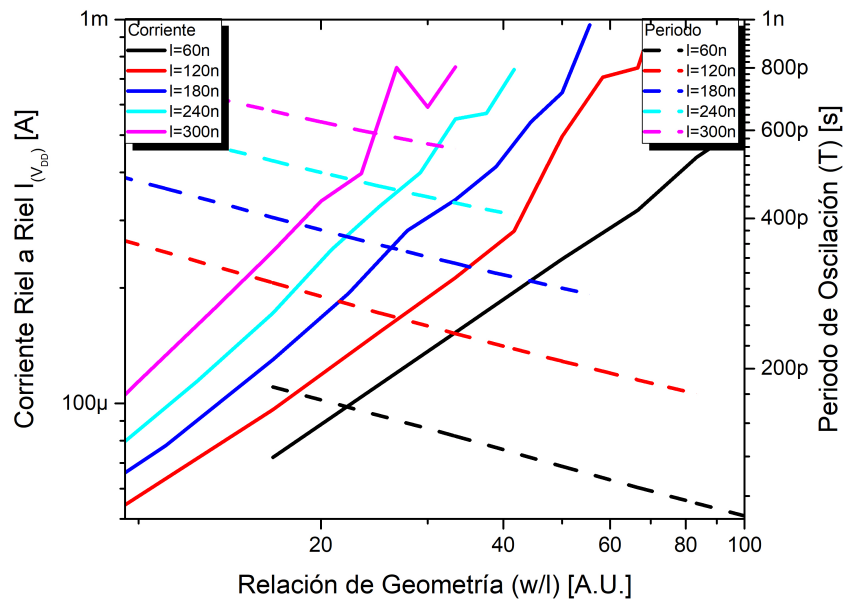


Figura 5.4: La relación de geometría contra la corriente riel a riel y el periodo de oscilación.

5.1. Epílogo.

- La corriente de fuga de subumbral tiene una presencia predominante sobre otros mecanismos de fuga en los dispositivos que se analizaron en el presente trabajo. Aún así, los demás mecanismos presentan un problema que debe ser atendido.
- La corriente de fuga, y por ende el consumo de potencia, tiene una dependencia exponencial con la geometría de los dispositivos.
- El tiempo de propagación del inversor, y por ende su velocidad de operación, tienen una dependencia exponencial hacia la geometría de los dispositivos.
- La velocidad de operación y el consumo de potencia del inversor tienen tendencias de aumento contrarias, dependientes del largo y ancho del canal.
- Las tendencias contrarias en el aumento de dichas figuras de mérito en el Inversor hacen necesario el tener presente el compromiso que guardan al momento de diseñar circuitos integrados.
- El compromiso que debe tener el diseñador o lector en general en mente es altamente dependiente de la aplicación a desarrollar, priorizando la figura de mérito correspondiente.

5.2. Trabajo Futuro

El análisis de los diversos mecanismos que contribuyen a la corriente de fuga en los CMOS es un proceso vasto y complejo, que involucra un entendimiento profundo de diversos fenómenos cuánticos, así como del proceso de fabricación de esta tecnología. Afortunadamente, las herramientas de simulación (como Virtuoso) hacen este trabajo factible mediante el uso de los kits de diseño y el apego de estos a los resultados reales, pues son comprobados por los desarrolladores. Por estas razones, la obtención de modelos que señalen de forma más evidente el impacto de mecanismos de fuga en el funcionamiento de los dispositivos es una tarea alcanzable y deseable.

En las conclusiones de este trabajo, se abordaron características importantes del oscilador de anillo, como la velocidad de operación y el consumo de potencia. Por lo general, estos parámetros están estrechamente relacionados: el tiempo de propagación está determinado por la rapidez para almacenar una cantidad de energía en los transistores (entre más rápido una compuerta almacene dicha energía, mayor será su velocidad de operación y su consumo de potencia). Para una tecnología y topología dadas, el producto del consumo de potencia y el tiempo de propagación, generalmente, es una constante, llamada producto de potencia-retardo (power-delay product o PDP). El análisis de dicho parámetro en el anillo oscilador es ampliamente usado y favorece la comparación de eficiencia entre diferentes topologías y tecnologías del CMOS.

Por otro lado, se puede considerar como trabajo futuro la descripción de fenómenos que eluden al autor en este momento, como los involucrados en el aumento de la corriente de fuga y el periodo de oscilación en dispositivos que guardan la misma relación de aspecto (ancho entre largo del canal), ilustrados en la figura 5.4. Pues a primera vista, si la relación geométrica es equivalente, los valores de estas figuras de mérito deberían tener el mismo valor.

Bibliografía

- [1] *CMOS*
Reza Mirhosseini.
[en.wikipedia.org/wiki/CMOS#/media/File : Cmos_impurity_profile.PNG](https://en.wikipedia.org/wiki/CMOS#/media/File:Cmos_impurity_profile.PNG)
- [2] *Nanowatt Logic Using Field-Effect Metal. Oxide Semiconductor Triodes*
F. M. Wanlass; C.T. Sah.
Solid-State Circuits Conference. Digest of Technical Papers. 1963 IEEE International VI. pp. 32 y 33. 1963.
1.2
- [3] *Noise limits of CMOS current interfaces for biosensors: A review*
M. Crescentini, M. Bennati, M. Carminati, and M. Tartagni
IEEE Transactions on Biomedical Circuits and Systems, vol. 8, no. 2, pp.278–292.
2014
- [4] *Revealing neuronal function through microelectrode array recordings*
M. E. J. Obien, K. Deligkaris, T. Bullmann, D. J. Bakkum, U. Frey.
Frontiers in Neuroscience, vol. 8, no. 423, pp. 1–30. 2015
- [5] *A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip*
Zou X, Xu X, Yao L, Lian Y.
IEEE Journal of Solid-State Circuits (Volume: 44, Issue: 4.2009
- [6] *The Rise of Consumer Health Wearables: Promises and Barriers*
L. Piwek, D. A. Ellis, S. Andrews, A. Joinson
PLOS Med. 2016

- [7] *Efficient Power Management Circuit: Thermal Energy Harvesting to Above-IC Microbattery Energy Storage*
H. Lhermet, C. Condemine, M. Plissonnier. R. Salot, P. Audebert, M. Rosset.
ISSCC, SESSION 3, TD: EMERGING DEVICES AND CIRCUITS 311. 2017
- [8] *Thermoelectric Converters of Human Warmth for Self-Powered Wireless Sensor Nodes*
V. Leonov, T. Torfs, P. Fiorini, C. Van Hoof
IEEE SENSORS JOURNAL, VOL. 7, NO. 5. 2007
- [9] *ENERGY seA VENGING FOR WIRELESS SENSOR NETWORKS with Special Focus on Vibrations*
S. Roundy, P. K. Wright, J. M. Rabaey
SPRINGER SCIENCE+BUSINESS MEDIA, LLC, pp 21-30. 2004.
- [10] *Short channel, CMOS-compatible JFET in low noise applications.*
W. Buttler, G. Lutz, G. Cesura, P. F. Manfredi, V. Speziali, A. Tomasini.
Nuclear Instruments and Methods in Physics Research A326. 1993.
- [11] *Design and analysis of 10 nm T-gate enhancement-mode MOS-HEMT for high power microwave applications*
T. Zineeddine, Z. Hamaizia, Z. Messai
Journal of Science: Advanced Materials and Devices. 2019
1.4V *olta jede Encendido*
- [12] *CMOS Logic Cirtcuit Design*
J.P. Uyemura Kluwer Academic Publishers. 2002. *F*
- [13] *CMOS Circuit Design, Layout and Simulation.*
R. Jacob Baker.
IEEE Series on Microelectronics Systems. 2010.
- [14] *Draw and explain energy band diagram of MOS capacitor in accumulation, depletion and inversion layer.*

Sayalibagwe

[www.ques10.com/p/4582/draw – and – explain – energy – band – diagram – of – mos – capa – 1/](http://www.ques10.com/p/4582/draw-and-explain-energy-band-diagram-of-mos-capa-1/)

[15] *Physics of Semiconductor Devices.*

S. M.Sze, K.K. Ng

Wiley-Interscience. A John Wiley & Sons, Inc. Publication. pp 47-49.

[16] *Grove Calls Leakage Chip Designers' Top Problem*

R.Wilson and D. Lammers

EE Times, 13 December 2002.

[17] *CMOS Power Consumption and Cpd Calculation*

A. Sarwar.

Texas Instruments. June 1997.

[18] *Leakage Currents: Sources and Solutions for Low-Power CMOS VLSI*

M. Martínez.

Lamar University. May 2007.

[19] *Analysis and Design of Digital Integrated Circuits: In Deep Submicron Technology*

D.A. Hodges, H.G. Jackson, R.A. Saleh.

McGraw-Hill Companies, Inc., N.Y., pp. 235-237, 2004

[20] *Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits.*

K. Roy, S. Mukhopadhyay, H. Mahmoodi-Meimand.

Proceedings of the IEEE, Vol. 91. 2003.

[21] *Design of High-performance Microprocessor Circuits*

A. Chandrakasan, W. Bowhill, and F. Fox.

Wiley-IEEE Press. pp. 47-57. 2001.

- [22] *Semiconductor Device Fundamentals*
R. Pierret.
Addison-Wesley. pp. 235.
- [23] *Diode Switch: A Novel Technique for Mitigation of Leakage Power in DSM Technologies.*
U. Panwar, H. Vishnoi.
International Journal of Computer Applications. 2017
- [24] *First Integreation of MOSFET band-to-band Tunneling Current in BSIM4*
F. Ramundo, P. Nenzi, M. Olivieri
Sapienza University of Rome, Italy. 2011
- [25] *MOSFET GIDL Current Variation with Impurity Doping Concentration - A Novel Theoretical Approach.*
A. San, J. Das
IEEE ElectronDevice Letters, Vol. 38, no. 5. 2017
- [26] *Low Power CMOS VLSI Circuit Design*
K. Roy, S. Prasad.
A Wiley Interscience Publication. Chap. 2.2.4 pp. 28
- [27] *Effect of Temperature Variation on Gate Tunneling Currents in Nanoscale MOS-FETs*
G. Joshi, D. N. Singh, S. Thangjam.
IEEE Conference on Nanotechnology. 2008.
- [28] *Intrinsic Leakage in Deep Submicron CMOS ICs- Measurement-Based Test Solutions.*
A. Keshavarzi, K. Roy, C. F. Hawkins.
IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 8, no. 6. 2000

- [29] *CMOS Circuit Design, Layout, and Simulation*
R. Jacob Baker.
John Wiley & Sons, Inc. Chap. 6. 2010
- [30] *Physics of Semiconductor Devices*
J. Colinge, C. A. Colinge
KLUWER ACADEMIC PUBLISHERS. Cap 2. pp.50-56
- [31] *CMOS Circuit Design, Layout, and Simulation.*
R. J. Baker
IEEE Series on Microelectronic Systems. Wiley. Cap. 11, pp. 331.
- [32] *Digital Integrated Circuits. A Design Perspective.*
J. M. Rabaey
Prentice Hall Electronics and VLSI Series. Cap. 5, pp. 178.
- [33] *Static CMOS Inverter VTC*
Dan White.
Wikimedia Commons.
[https://commons.wikimedia.org/wiki/File:Static_CMOS_inverter_VTC.
svg](https://commons.wikimedia.org/wiki/File:Static_CMOS_inverter_VTC.svg)
- [34] *Ring Oscillators: Characteristics and Applications.*
M. K. Mandal, B. C. Sarkar
Indian Journal of Pure & Applied Physics
Vol. 48, February 2010, pp. 136-145.
- [35] *An Analytical Equation for the Oscillating Frequency of High-Frequency Ring Oscillators.*
S. Docking.
IEEE Journal of Solid-State Circuits
Vol. 39, No. 3, March 2004.

[36] *Digital Integrated Circuits. A Design Perspective.*

J. M. Rabaey

Prentice Haal Electronics and VLSI Series. Cap. 5, pp. 190.

[37] *Digital Integrated Circuits. A Design Perspective.*

J. M. Rabaey

Prentice Haal Electronics and VLSI Series. Cap. 5, pp. 191-192.

[38] *Digital Integrated Circuits. A Design Perspective.*

J. M. Rabaey

Prentice Haal Electronics and VLSI Series. Cap. 5, pp. 195-196.