



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

**FACULTAD DE CIENCIAS DE LA ELECTRÓNICA
MAESTRÍA EN INGENIERÍA ELECTRÓNICA, OPCIÓN
INSTRUMENTACIÓN ELECTRÓNICA**

**Tesis para obtener el grado de
MAESTRO EN INGENIERÍA ELECTRÓNICA**

**“SEGUIDOR INTEGRADO DE PUNTO DE MÁXIMA POTENCIA
PARA UN CIRCUITO DE COSECHA DE ENERGÍA”**

Presenta:

Lic. Sergio Romero Camacho*

Asesores:

Dr. Víctor Rodolfo González Díaz

Dr. Roberto Carlos Ambrosio Lázaro

*Becario CONACYT

Puebla, Pue., Diciembre 2017

Resumen

El presente trabajo de tesis aborda el diseño y caracterización de un circuito Seguidor de Punto de Máxima Potencia (abreviado como MPPT por sus siglas en inglés *Maximum Power Point Tracker*) para aplicaciones de celdas solares, el cual es un bloque electrónico destinado a mantener a dicha celdas operando en su punto de máxima potencia. Tal tarea es fundamental en sistemas de cosecha de energía donde se precisa extraer la mayor cantidad de energía de la fuente y ser aplicada en alguna carga pasiva o activa. Algunas de las características convencionales que debe cumplir un MPPT es mantener una alta eficiencia de seguimiento del punto de máxima potencia, consumir baja potencia y ser autosustentable junto con el resto del sistema cosechador de energía. El cumplimiento de tales características dependen del algoritmo empleado, la arquitectura del circuito y la tecnología de circuitos integrados utilizada. Ante ello, se presenta la propuesta de diseño de un MPPT en un circuito de aplicación específica (ASIC). Lo anterior pretende aportar beneficios tanto a los sistemas cosechadores de energía como a las aplicaciones derivadas de estos últimos, por ejemplo las redes de sensores inalámbricos, dispositivos portátiles y drones. Se exponen los algoritmos estándar de seguimiento de máxima potencia y los modelos de MPPT más relevantes y recientes en los últimos 5 años. Posteriormente se explican los procedimientos en el diseño del MPPT propuesto y se analizan los resultados alcanzados. Finalmente se exponen las conclusiones y el trabajo a futuro.

Índice general

1. Introducción	1
1.1. Objetivos	4
1.2. Justificación	5
1.3. Organización de la tesis	7
2. Seguidores de punto de máxima potencia	8
2.1. Algoritmo de Perturbación y Observación	8
2.2. P&O con tamaño de perturbación variable	13
2.3. P&O con aproximación parabólica	15
2.4. Método de la conductancia incrementada	17
2.5. MPPT por medición de parámetros de salida	19
2.6. Eficiencia en los MPPT	21
2.7. Comparativa de algoritmos MPPT	23
2.8. Resumen	25
3. Implementación de un seguidor de punto de máxima potencia	26
3.1. Modelo base de MPPT basado en eventos	26
3.2. Modelo de celda solar en lenguaje VerilogA	30
3.3. Propuesta de MPPT a nivel comportamental	39
3.4. Diseño del convertidor DC/DC boost	44
3.5. Resumen	49
4. MPPT: diseño a nivel transistor y patrón geométrico	50
4.1. Tecnología CMOS 65nm	50
4.2. Asignación de puertos y nomenclatura de materiales en layout	51
4.3. Interruptor analógico	54
4.4. Celdas digitales	57
4.5. Capacitores integrados	59
4.6. Detector de pendiente positiva	60
4.7. Retenedor-atenuador	68
4.8. Detector de descenso límite	71

4.9. Detector de potencia cero	75
4.10. Integrador	77
4.11. Memoria de estado	81
4.12. Espejo de corriente y referencias de voltaje	82
4.13. Layout del circuito MPPT	85
4.14. Resumen	88
5. Análisis de resultados	89
5.1. Resultados de la Prueba 1	89
5.2. Resultados de la Prueba 2	92
5.3. Resultados de la Prueba 3	93
5.4. Resultados de la Prueba 4	96
5.5. Resultados de la Prueba 5	98
5.6. Comparación con otros modelos	107
5.7. Resumen	109
6. Conclusiones y trabajo a futuro	110

Índice de figuras

1.1. Diagrama a bloques de un circuito de cosecha de energía.	1
1.2. Curvas características de Potencia, Corriente vs Voltaje de una celda fotovoltaica.	2
1.3. Periodo de reemplazo en Smartphone [8].	6
2.1. Arquitectura de un circuito MPPT P&O [1].	9
2.2. Diagrama de flujo del algoritmo P&O [1].	10
2.3. Secuencia de seguimiento del punto de máxima potencia empleando el algoritmo P&O [1].	11
2.4. Respuesta transitoria de la potencia y el voltaje de la fuente de energía [1].	12
2.5. Comportamiento del punto de operación para alcanzar el MPP usando un algoritmo de perturbación variable [1].	14
2.6. Aproximación parabólica de la curva Potencia vs Voltaje a la original [1]. .	15
2.7. Diagrama de flujo del algoritmo INC.	18
2.8. Arquitectura del método TEODI [1].	19
2.9. Posibles casos de los puntos de operación en el TEODI [1].	20
2.10. Aproximación parabólica de la curva P-V para calcular η_{MPP} [1].	21
2.11. Potencia de la fuente en estado estable.	22
2.12. Comparativa de algoritmos MPPT, parte 1.	23
2.13. Comparativa de algoritmos MPPT, parte 2.	24
3.1. Arquitectura del seguidor de punto de máxima potencia basado en eventos [20].	27
3.2. Curvas características de Potencia vs Voltaje de una celda fotovoltaica. . .	28
3.3. Curva característica de la corriente de una celda solar para fines de aproximación numérica.	30
3.4. Primera aproximación del modelo de celda solar.	32
3.5. Segunda aproximación del modelo de celda solar.	33
3.6. Aproximación final del modelo de celda solar.	33
3.7. Símbolo y conexión del modelo de celda solar en VerilogA.	37

3.8. Diagrama de conexiones de la celda solar, el sensor de potencia y el convertidor DC/DC boost, junto al MPPT.	39
3.9. Diagrama de conexiones de MPPT propuesto.	40
3.10. Circuito equivalente del convertidor DC/DC boost cuando el switch de control se encuentra cerrado.	44
3.11. Circuito equivalente del convertidor DC/DC boost cuando el switch de control se encuentra cerrado.	45
3.12. Voltaje de salida del convertidor DC/DC boost para valores de R_1 desde 0Ω a $1.2k\Omega$	46
4.1. Diagrama de puertos del circuito MPPT.	51
4.2. Configuración interna del MPPT a nivel transistor.	52
4.3. Arquitectura del interruptor analógico.	54
4.4. Layout del interruptor analógico.	55
4.5. Resistencia del interruptor analógico en función del voltaje en una de sus terminales. La respuesta es tomando el modelo de parásitas.	56
4.6. Layout de las celdas digitales empleadas.	58
4.7. Layout de un arreglo de capacitores integrados para conformar uno de $10.15pF$	59
4.8. Circuito detector de pendiente positiva	60
4.9. Arquitectura del amplificador operacional para el circuito derivador.	61
4.10. Layout del amplificador operacional para el detector de pendiente positiva.	62
4.11. Layout del resistor para el detector de pendiente positiva.	63
4.12. Respuesta en frecuencia del amplificador operacional en configuración de derivador, bajo el modelo de parásitas.	64
4.13. Arquitectura del comparador para el bloque detector de pendiente positiva.	65
4.14. Layout del comparador para el detector de pendiente positiva.	66
4.15. Respuesta en DC del comparador para el detector de pendiente positiva, cuando $V_{ip} = 600mV$	67
4.16. Circuito retenedor-atenuador.	68
4.17. Layout del capacitor de placas metálicas, de valor $51.16pF$	70
4.18. Circuito detector de descenso límite.	71
4.19. Arquitectura del comparador para el detector de descenso límite.	72
4.20. Layout del comparador para el detector de descenso límite.	73
4.21. Respuesta en DC del comparador para el detector de descenso límite.	74
4.22. Arquitectura del detector de potencia cero.	75
4.23. Respuesta en DC del comparador para el detector de potencia cero.	76
4.24. Arquitectura del integrador.	77
4.25. Arquitectura del comparador empleado para el integrador.	78

4.26. Layout del comparador para el integrador.	79
4.27. Repuesta en DC del comparador para el integrador.	80
4.28. Arquitectura del integrador.	81
4.29. Arquitectura de espejo de corriente.	82
4.30. Arquitectura de circuito generador de referencias de voltaje.	83
4.31. Layout del espejo de corriente y referencias de voltaje.	84
4.32. Layout del circuito MPPT.	85
4.33. Ubicación de circuitos activos, interruptores y celdas digitales del circuito MPPT.	86
5.1. Comparación de corriente en función del voltaje, entre una celda real y el modelo en VerilogA.	90
5.2. Comparación de potencia en función del voltaje, entre una celda real y el modelo en VerilogA.	90
5.3. Error absoluto de potencia entre la celda real y la aproximación.	91
5.4. Curvas de Corriente vs Voltaje del modelo de celda solar en VerilogA, para diferentes niveles de irradiación.	92
5.5. Curvas de Potencia vs Voltaje del modelo de celda solar en VerilogA, para diferentes niveles de irradiación	92
5.6. Respuesta transitoria del voltaje en la salida del convertidor DC/DC boost., para diferentes niveles de irradiación.	93
5.7. Voltajes máximos alcanzados por el convertidor de potencia DC/DC boost, para diferentes niveles de irradiación, en un tiempo de 20ms.	94
5.8. Ganancias de voltaje obtenidas por el convertidor de potencia DC/DC boost, para diferentes niveles de irradiación, en un tiempo de 20ms.	95
5.9. Respuesta en el tiempo de la potencia entregada por la celda solar al ser controlada por el MPPT propuesto, con $irr = \{0.1, 1\}$ y un periodo de 150 μ s.	96
5.10. Ampliación en el tiempo de las divergencias del punto de operación de la celda, ante los cambios abruptos en el factor de irradiación.	97
5.11. Respuesta transitoria de la potencia de celda solar con el MPPT propuesto, para una irradiación de 1kW/m ²	98
5.12. Respuesta transitoria de la potencia de celda solar con el MPPT propuesto, para una irradiación de 800W/m ²	98
5.13. Respuesta transitoria de la potencia de celda solar con el MPPT propuesto, para una irradiación de 600W/m ²	99
5.14. Respuesta transitoria del bloque retenedor-atenuador en sus tres modelos, para una irradiación de 1kW/m ²	100
5.15. Respuesta transitoria del bloque retenedor-atenuador en sus tres modelos, para una irradiación de 600W/m ²	100

5.16. Respuesta transitoria de las señales del circuito anti-divergencia, para una irradiación de $1kW/m^2$.	102
5.17. Respuesta transitoria del circuito derivador en el detector de pendiente positiva, para una irradiación de $1kW/m^2$.	103
5.18. Respuesta transitoria del circuito derivador en el detector de pendiente positiva, para una irradiación de $600W/m^2$.	104
5.19. Respuesta transitoria del comparador en el detector de pendiente positiva, para una irradiación de $1kW/m^2$.	105
5.20. Respuesta transitoria del comparador en el detector de pendiente positiva, para una irradiación de $600W/m^2$.	105
5.21. Eficiencia de seguimiento de los 3 modelos de MPPT, para diferentes niveles de irradiación.	106
5.22. Comparación de eficiencias de seguimiento del modelo propuesto y el modelo base, ambos a nivel comportamental.	108

Índice de tablas

3.1. Valores para los parámetros del MPPT	43
3.2. Dimensiones del convertidor DC/DC boost.	47
4.1. Parámetros físicos del proceso tecnológico CMOS 65nm	50
4.2. Nomenclatura de materiales en layout.	53
4.3. Dimensiones para los transistores del interruptor analógico.	55
4.4. Retardos de propagación de las celdas digitales empleadas.	57
4.5. Dimensiones para los transistores del amplificador operacional.	61
4.6. Dimensiones de transistores para el comparador del bloque detector de pendiente positiva.	65
4.7. Ancho de canal para los transistores del comparador CM2.	73
4.8. Dimensiones para los transistores del comparador para el detector de pen- diente positiva.	79
4.9. Dimensiones para los transistores del circuito generador de referencias de voltaje.	84
4.10. Área empleada por los circuitos y componentes dentro del circuito MPPT .	87
5.1. Comparativo del circuito MPPT propuesto con algunos de los prototipos más citados en la literatura.	107

Capítulo 1

Introducción

Los circuitos de cosecha de energía son sistemas autosustentables capaces de recolectar, procesar, almacenar y aplicar las pequeñas cantidades de energía libres en el medio ambiente. Dichos sistemas se componen generalmente por 4 etapas: el recolector, el control, el almacenado y la aplicación. A continuación se muestra un diagrama general a bloques de un circuito de cosecha de energía.

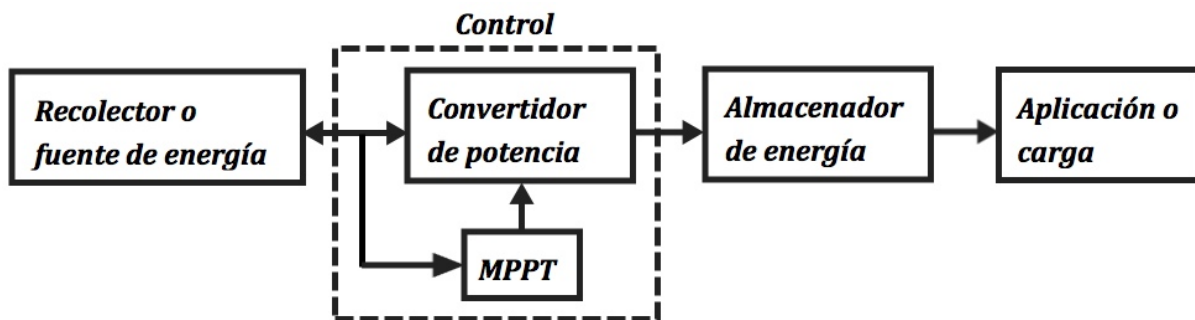


Figura 1.1: Diagrama a bloques de un circuito de cosecha de energía.

Con base en la figura anterior, el recolector o fuente capta las pequeñas cantidades de energía por medio de algún transductor, el control entrega al almacenado y a la aplicación la potencia necesaria extraída de la máxima entregada por la fuente, el almacenado acumula la energía otorgada por el control para su uso posterior, sobre todo cuando no se dispone temporalmente de la energía primaria. La aplicación es la carga pasiva o activa que empleará la energía cosechada. De los bloques mencionados, la etapa de control es de suma importancia, pues de ella depende en gran parte la mayor transferencia de energía de la fuente al almacenado/aplicación y la autosustentabilidad del circuito, sin necesidad de baterías auxiliares. En esta etapa, destaca el Seguidor de Punto de Máxima Potencia, abreviado como MPPT (*Maximum Power Point Tracker*).

El MPPT es un circuito electrónico cuyo objetivo es detectar y mantener el punto de operación donde la fuente entregue la máxima potencia posible en el momento, abreviado como MPP (*Maximum Power Point*). Para lograrlo, el MPPT lee la potencia entregada por la fuente y mediante un algoritmo aplica una señal de control a un convertidor de potencia, donde este último sintoniza sus niveles de voltaje y corriente para emitir una perturbación definida a la fuente y trasladar su punto de operación al MPP [1]. En el área de energía solar y para ilustrar este concepto, en la Fig. 1.2 se muestran las curvas características de una celda fotovoltaica y la ubicación del MPP en cada caso.

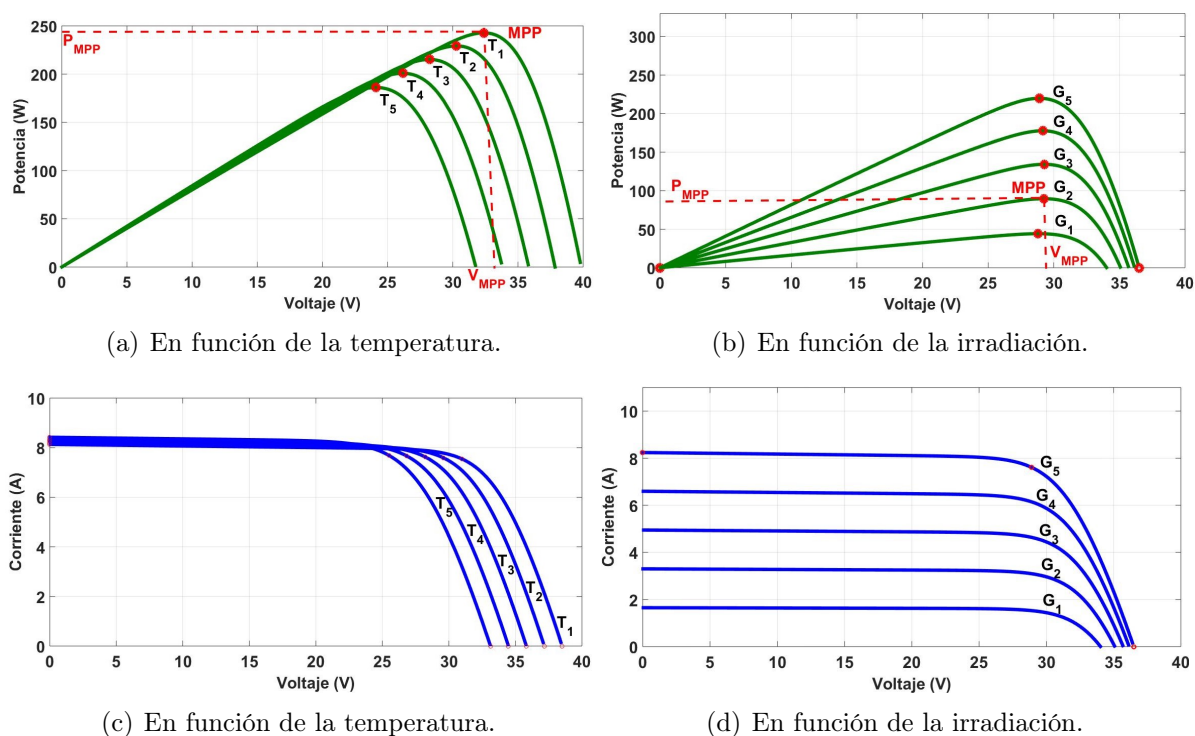


Figura 1.2: Curvas características de Potencia, Corriente vs Voltaje de una celda fotovoltaica.

En la Fig. 1.2, cada curva corresponde a un valor de temperatura o irradiación específico, donde $T_i < T_{i+1}$ y $G_i < G_{i+1}$. Los puntos en las curvas de Potencia vs Voltaje muestran el MPP en cada caso, asociando a cada uno el par ordenado (V_{MPP}, P_{MPP}) . Debido a las perturbaciones del medio ambiente, como los cambios de temperatura e irradiación, la curva de Potencia vs Voltaje no es fija y cambiará continuamente a lo largo del tiempo, por lo tanto también lo hará el MPP. Si el punto de operación no coincide con el de máxima potencia, entonces se extraerá una baja cantidad de energía de la celda. Debido a tal fenómeno, un MPPT es necesario.

Existen diferentes algoritmos de MPPT cuya implementación física depende de la eficiencia requerida y los recursos disponibles. Pueden desarrollarse en forma analógica o digital con microcontroladores, procesadores digitales de señales o FPGA. Sin embargo, el

MPPT y el resto del sistema de cosecha de energía deben ser alimentados únicamente por la energía recolectada. Así, el circuito MPPT debe contener sólo los componentes necesarios a fin de evitar tanto un mayor y rápido consumo de potencia así como una reducción de la eficiencia. Existen implementaciones registradas, como las [2-4], donde incorporan una batería auxiliar, lo cual aumenta el tamaño del sistema y puede convertirse en un inconveniente para aplicaciones portátiles comerciales o en el monitoreo de variables climatológicas. De tal modo, se requiere de un circuito MPPT que consuma la menor energía posible y habilite al convertidor de potencia para alcanzar altos niveles de eficiencia.

El presente trabajo de tesis pretende satisfacer dicha necesidad con el diseño y caracterización de un circuito integrado MPPT en ASIC, de bajo consumo de potencia y con una mejora en la eficiencia, procurando la integración del menor número de componentes.

1.1. Objetivos

General

Diseñar y caracterizar un MPPT en un circuito integrado de aplicación específica (ASIC), de bajo consumo de potencia y con una mejora en la eficiencia de la energía transferida del recolector a la aplicación.

Específicos

1. Determinar la propuesta de MPPT a implementar a partir del análisis del estado del arte.
2. Diseñar el circuito esquemático MPPT propuesto, con la plataforma de desarrollo Cadence® Virtuoso.
3. Generar el patrón geométrico del MPPT para su fabricación, usando Cadence® Virtuoso.
4. Caracterizar el MPPT con pruebas estadísticas post layout.

1.2. Justificación

La importancia del MPPT en un sistema electrónico, sea este último para la investigación o para uso comercial, consiste en otorgarle una mayor autonomía energética, puesto que hay mayor energía disponible en la celda solar al operar en su punto de máxima potencia, de cuya localización se encarga el MPPT propuesto. Tal energía adicional puede ser almacenada y disponerse en momentos donde el nivel de irradiación solar sea baja. Así mismo, la autonomía energética se verá demostrada en un mayor tiempo de operación del circuito, comparado con aquellos con baterías. En el campo de la investigación, se facilitarán los estudios ambientales en zonas de alto riesgo al utilizar sensores con transmisión inalámbrica de datos. Este beneficio se maximiza cuando se ocupan protocolos de comunicación de bajo consumo de potencia, como lo es el *ZigBee* [5]. De este modo, el uso de baterías se vuelve innecesario o al menos sus cambios constantes y evita el traslado recurrente a las zonas de difícil acceso. El uso de sensores autónomos es importante para el monitoreo de variables climatológicas, físicas o químicas, ya sea en puntos fijos o montados sobre vehículos aéreos no tripulados. Estos últimos son actualmente muy utilizados en estudios de terrenos, detección de plagas, rastreo de personas en emergencia, entre muchos otros. Alguno incorporan en sus estructura paneles solares para su funcionamiento autónomo. En este punto, la necesidad de estos vehículos es gestionar apropiadamente la potencia entregada por los paneles solares, lo cual puede ser cubierto por un circuito MPPT [6] como el propuesto en este trabajo.

En el campo de los dispositivos portátiles como Smartphones, tabletas electrónicas y cámaras fotográficas, se pretende prolongar los tiempos de vida de sus baterías. Esto a su vez reducirá la cantidad de estas últimas que son desechadas al medio ambiente, muchas de ellas sin pasar por un proceso de reciclaje. De acuerdo a datos de la Comisión Federal de Telecomunicaciones, México ha alcanzado la cifra de 62.5 millones de *smartphones* [7], es decir la misma cantidad en baterías, a lo cual se suman más cada año con la adquisición de nuevos equipos por parte de un porcentaje del total de 62.5 millones. La Fig. 1.3 muestra los resultados de un estudio en 2014 referente al periodo de reemplazo en Smartphones, efectuado por la firma de consultoría CIU *The Competitive Intelligence Unit*. Con base en [8], considerando únicamente los usuarios que cambian su Smartphone cada año, representan alrededor de 15.6 millones, los usuarios de cada 2 años agregan 14.3 millones. Al suponer un periodo de 2 años transcurridos ambos grupos suman 45.5 millones, es decir 72.8 % de los 62.5 millones de usuarios totales. Lo anterior es una estimación para formar una idea elemental de la acumulación de baterías por año.

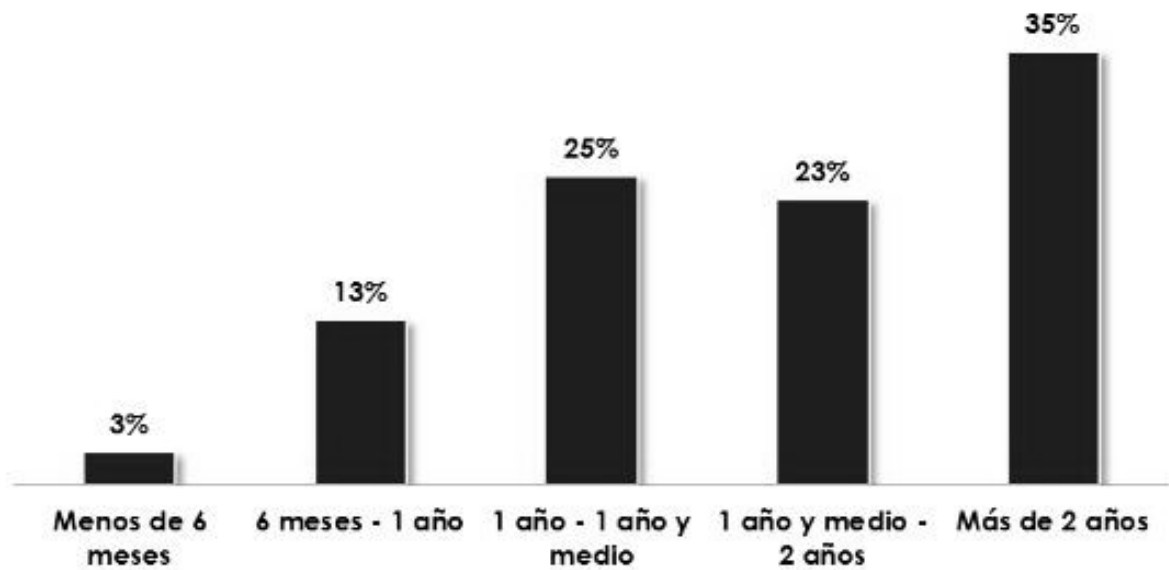


Figura 1.3: Periodo de reemplazo en Smartphone [8].

Respecto al desarrollo de sistemas de cosecha de energía en México, son escasos los sistemas patentados o conocidos en aplicaciones que lo requieren. Se tiene registrado un modelo capaz de captar energía de diferentes tipos [9], aunque su construcción es con componentes discretos. Algunos otros, como un cosechador de energía mecánica a partir de los pasos, son sistemas completamente prácticos, portables y ergonómicos. Sin embargo, como lo manifiestan los autores, requieren mejorar su eficiencia. Las circunstancias anteriores justifican el desarrollo de circuitos gestores de energía, como el propuesto en el presente trabajo. A su vez, el MPPT a nivel integrado ofrece ciertas ventajas respecto a los de nivel discreto, como son la eliminación del ruido, velocidad y diseño a la medida.

1.3. Organización de la tesis

El presente avance de tesis consta de 6 capítulos. En el primero se exponen los antecedentes, el planteamiento del problema, los objetivos y la justificación. El Capítulo 2 contiene los fundamentos de los MPPT, los algoritmos más empleados y algunos de los modelos más relevantes. En el Capítulo 3 se muestra la implementación del MPPT propuesto a nivel comportamiento. El Capítulo 4 abarca el diseño a nivel transistor y el patrón geométrico del MPPT. Los resultados y las conclusiones se presentan en los Capítulos 5 y 6, respectivamente.

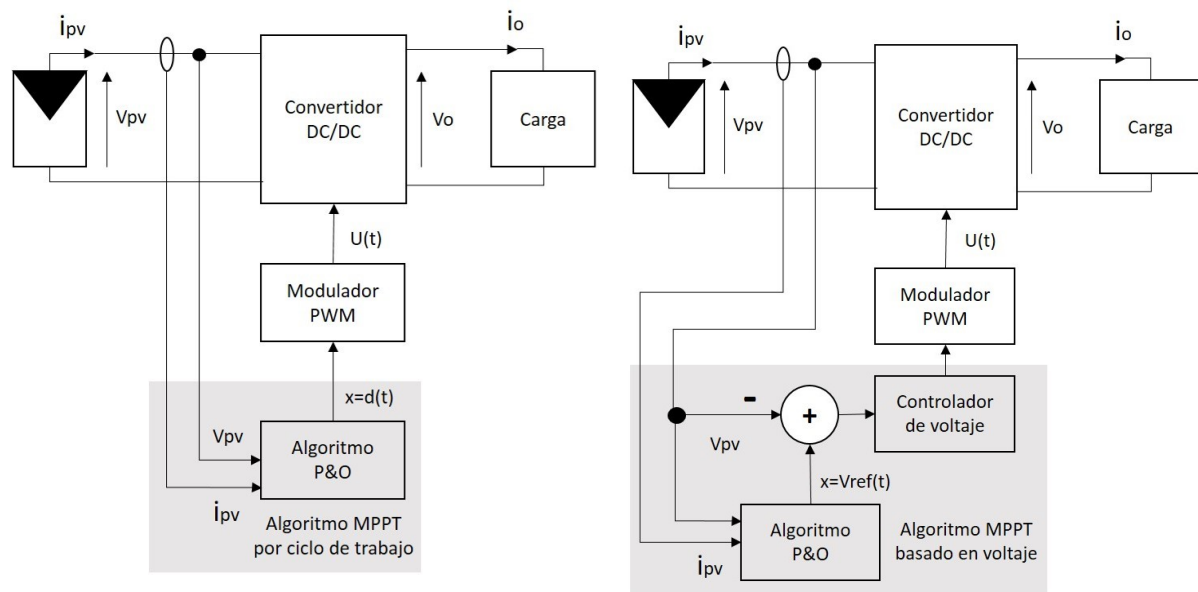
Capítulo 2

Seguidores de punto de máxima potencia

En el Capítulo 1 se expuso la definición de un seguidor de punto de máxima potencia y su aplicación en un circuito de cosecha de energía, con el objetivo de hacer operar a éste último en su punto de operación de máxima potencia. Se explicó la importancia de un MPPT para extraer y administrar de manera óptima la energía recolectada, así como volver al circuito cosechador autosustentable. Adicionalmente, se planteó la necesidad de diseñar circuitos MPPT de bajo consumo de potencia y con altos niveles de eficiencia. Finalmente, se declararon los objetivos para satisfacer dicha necesidad y se justificó el trabajo para resolver situaciones reales en el campo de vehículos aéreos no tripulados, red de sensores inalámbricos y aplicaciones portátiles, así también para mejorar prototipos existentes en México. Para lograr el MPPT planteado, se requieren conocer las técnicas más empleadas y los parámetros de diseño más importantes. Por tal motivo, el presente capítulo expone el marco teórico sobre los seguidores de punto de máxima potencia, incluyendo los algoritmos convencionales, las variables importantes en el diseño y el estado del arte de los modelos MPPT más relevantes en los últimos 5 años.

2.1. Algoritmo de Perturbación y Observación

Es el algoritmo más elemental para el seguimiento del MPP, conocido como P&O (*Perturb and Observe*). Consiste en medir la potencia actual entregada por la fuente de energía, compararla con el valor medido en un tiempo anterior y en función de ello generar un determinado aumento o reducción en la señal de control. Dicha señal de control cambia las condiciones de operación de un convertidor de potencia para aplicar una perturbación de tamaño definido a la fuente. Con ello, se logra que gradualmente la fuente opere en su punto de máxima potencia. La arquitectura del algoritmo P&O presenta dos variantes, como se expone en la siguiente figura.



(a) Control por ciclo de trabajo.

(b) Control por referencia de voltaje.

Figura 2.1: Arquitectura de un circuito MPPT P&O [1].

Con base en la Fig. 2.1, en el circuito a), el módulo P&O actúa directamente sobre el ciclo de trabajo del convertidor de potencia. En el caso de b), establece una señal de referencia la cual se compara con el voltaje de la fuente de energía. El error generado por esta comparación es procesado por un controlador de voltaje y este finalmente aplica la señal de control respectiva al PWM. La implementación b) aísla en mayor grado el módulo P&O. En ambos casos, $U(t)$ es la señal de conmutación del convertidor de potencia, x es la variable perturbada (puede ser el ciclo de trabajo o la referencia de voltaje), V_{pv} e I_{pv} son las mediciones de voltaje y corriente en las terminales de la fuente de energía, respectivamente.

A continuación se expone el algoritmo P&O en un diagrama de flujo.

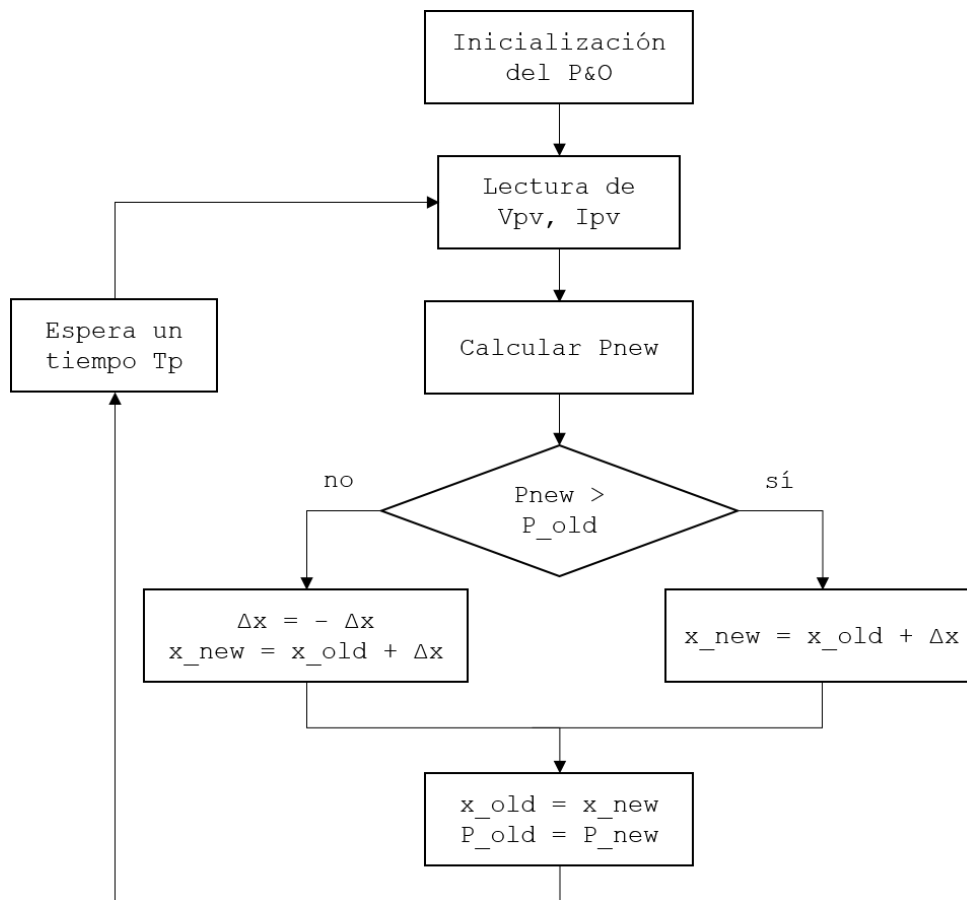


Figura 2.2: Diagrama de flujo del algoritmo P&O [1].

Así, el sistema calcula el valor de la potencia entregada por la fuente en el momento presente, denotada como P_{new} a partir de las variables V_{pv} e I_{pv} . Una vez realizado el cálculo, el resultado se compara con el valor de la potencia en un tiempo anterior, el cual es P_{old} . Si la potencia nueva es mayor a la anterior suma una perturbación Δx al valor actual de la variable perturbada o señal de control generada por el MPPT, x_{old} . El valor de x_{new} y la potencia actual de la fuente son almacenados y pasan a ser los valores pasados, x_{old} y P_{old} respectivamente. En un tiempo posterior, P_{old} se comparará con la nueva lectura de potencia de la fuente y x_{old} será el valor al cual se sume o sustraiga Δx . Después de ejecutar el proceso anterior, el sistema espera un tiempo T_p para repetir el procedimiento.

La siguiente figura ilustra el efecto del procedimiento anterior sobre el punto de operación de la fuente, a través de la curva característica de Potencia vs Voltaje (P-V) de una celda fotovoltaica.

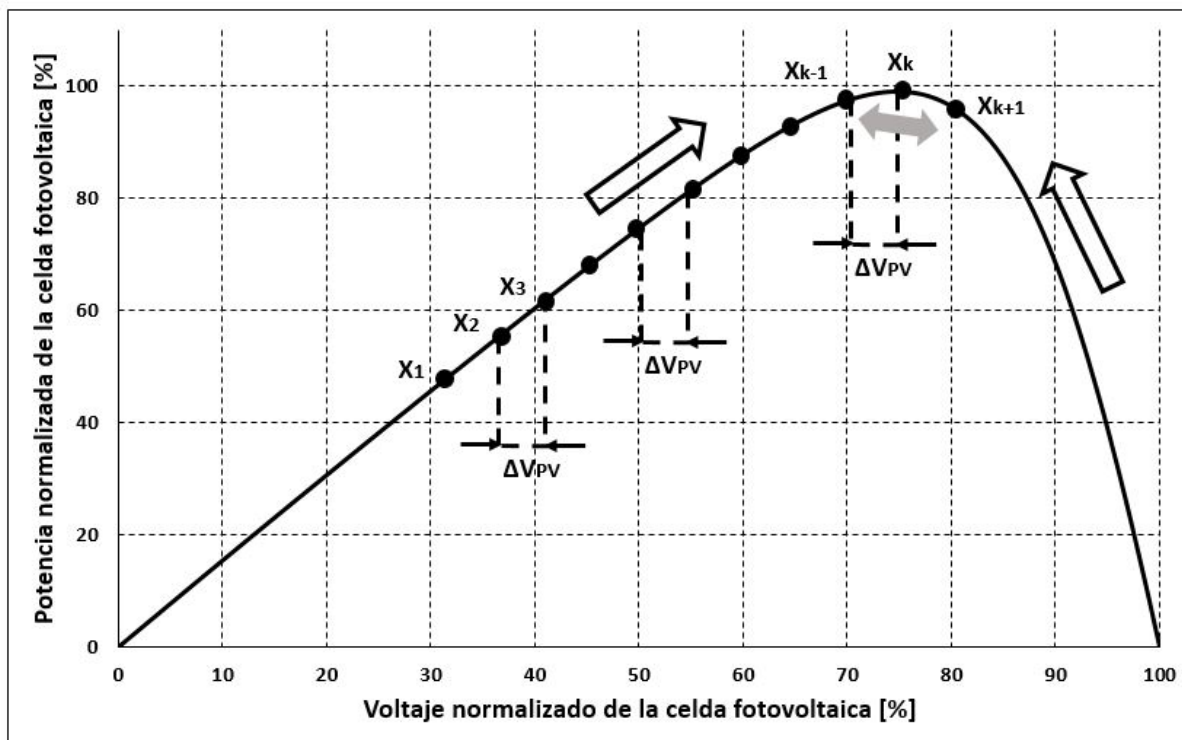


Figura 2.3: Secuencia de seguimiento del punto de máxima potencia empleando el algoritmo P&O [1].

En la Fig. 2.3 se observan los puntos de operación en diferentes momentos en el tiempo discreto. En la gráfica, cada X_k es el valor de la variable perturbada asociado a un momento en el tiempo y a un punto de operación. Se parte de $K = 1$, por lo tanto el valor de la variable perturbada es X_1 . Al pasar un periodo T_p el MPPT lee el valor actual de potencia y lo compara con el valor anterior leído. Como en este caso $P_{new} > P_{old}$ entonces se aplica un aumento Δx al valor de x , es decir $x_{new} = x_{old} + \Delta x$. Lo anterior repercute en el PWM, donde éste genera a su vez $U(t)$ para cambiar el ciclo de trabajo del convertidor de potencia. El convertidor de potencia finalmente aplica una perturbación de voltaje a la fuente, de valor ΔV_{PV} . De acuerdo a la curva característica, un aumento en voltaje generará un desplazamiento del punto de operación hacia la derecha, traducido en un aumento de la potencia máxima posible entregada por la fuente. Si el procedimiento continua de esta forma, el punto de operación se aproximará al MPP. Cuando llega al punto X_{k+1} , de acuerdo al algoritmo anterior, suma un Δx de signo negativo a x_{old} para hacer retroceder el punto de operación, traducido en una reducción del voltaje de la fuente, hasta alcanzar el MPP. En el siguiente periodo T_p , como $P_{new} > P_{old}$ se sumará el valor de la perturbación anterior sin cambiar el signo, sin embargo, como en el periodo pasado el signo fue

negativo, entonces reducirá el voltaje de la fuente y el punto de operación retrocederá a la izquierda hasta X_{k-1} . Una vez llegado a esta condición, el punto de operación oscilará entre las posiciones X_{k-1} y X_{k+1} . Al desprestigiar las variaciones de irradiación y temperatura, el tiempo de una oscilación del punto de operación entre X_{k-1} y X_{k+1} es de $4T_p$ [9].

Para este algoritmo, se cuenta con un conjunto de ecuaciones de diseño. La primera es referente al valor de la variable perturbada, dada por:

$$x_{((k+1)T_p)} = x_{(kT_p)} \pm \Delta x = x_{(kT_p)} + (x_{(kT_p)} - x_{((k-1)T_p)}) \text{sign}(P_{(kT_p)} - P_{((k-1)T_p)}) \quad (2.1)$$

donde x es la variable perturbada y sign es la función signo de la comparación de la potencia actual con la pasada. En el caso más elemental Δx es fijo, sin embargo en diseños más sofisticados, este puede variar de acuerdo a las condiciones de operación.

A continuación se expone la respuesta transitoria de la potencia y el voltaje en la fuente, cuando esta última cambia en ΔV_{PV} en forma de escalón.

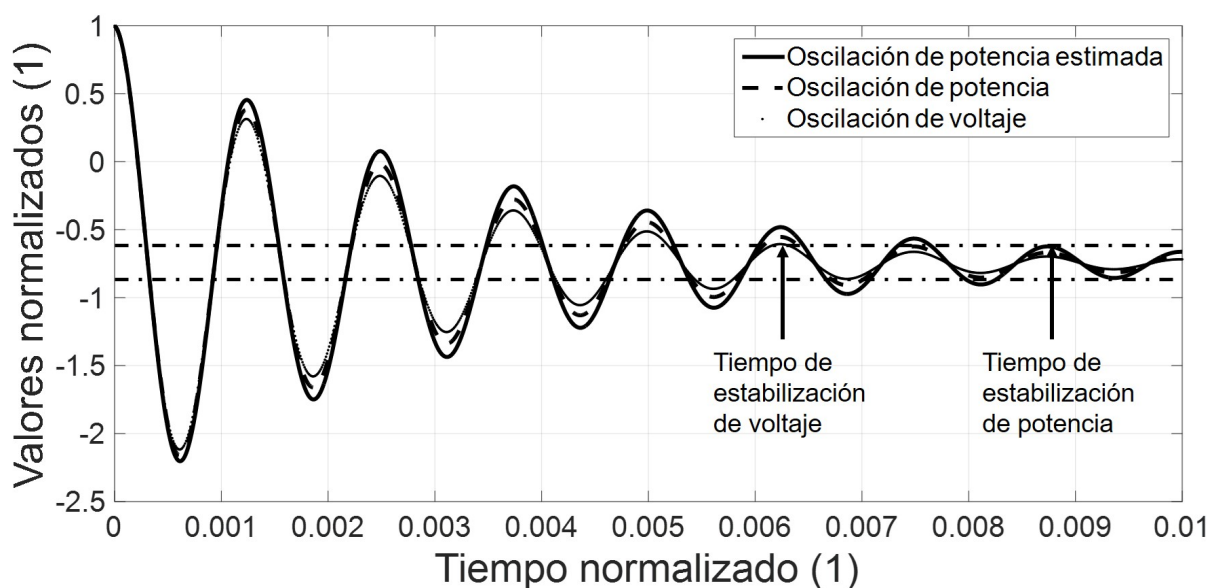


Figura 2.4: Respuesta transitoria de la potencia y el voltaje de la fuente de energía [1].

Como se puede observar en la Fig. 2.4, después de ocurrir un cambio en la potencia y en el voltaje de la fuente, existe un tiempo de estabilización de ambas señales, denotado como T_ε , el cual comprende desde el inicio del cambio de potencia hasta cuando esta última es confinada en los límites $\Delta P_0 \pm \Delta P_0 \varepsilon$, es decir cuando las oscilaciones comienzan a amortiguarse dentro de las líneas punteadas horizontales. Este fenómeno es importante considerarlo para elegir el apropiado T_p y Δx . Para ello, se realiza un análisis en pequeña señal del MPPT en estado estable, es decir durante el lapso T_p . Para ello, el análisis se

realiza alrededor del MPP, donde las variaciones de corriente y voltaje en la celda son pequeñas.

La desigualdad que establece el periodo de muestreo se define como :

$$T_p \geq T_\varepsilon = -\frac{1}{\zeta\omega_n} \text{Ln}\left(\frac{\varepsilon}{2}\right) \quad (2.2)$$

Por lo tanto, T_p debe ser mayor a T_ε para permitir a la potencia de la fuente estabilizarse antes de aplicar un nuevo cambio y evitar comportamientos inestables.

El tamaño de la perturbación Δx también se define con una desigualdad, definida como:

$$\Delta x \geq \frac{1}{G_0} \sqrt{\frac{V_{MPP} K_{ph} |G| T_p}{HV_{MPP} + \frac{1}{R_{MPP}}}} = \Delta x_{min} \quad (2.3)$$

donde G_0 es la ganancia en DC del sistema, K_{ph} es una constante del material de la fuente, H está dada por:

$$H = -\frac{1}{2} \frac{d^2 i_{PV}}{d^2 V_{PV}} \Big|_{MPP} \quad (2.4)$$

donde la variable R_{MPP} es la resistencia de la fuente.

2.2. P&O con tamaño de perturbación variable

Este algoritmo en esencia es similar al P&O, pues se deriva de él, la diferencia consiste en el tamaño de paso, el cual varía y se adapta conforme el punto de operación se acerca al MPP. La ecuación que rige lo anterior es la siguiente:

$$d_{((k+1)T_p)} = d_{(kT_p)} \pm \Delta d = d_{(kT_p)} \pm N \frac{|P_{(kT_p)} - P_{((k-1)T_p)}|}{|V_{PV(kT_p)} - V_{PV((k-1)T_p)}|} \quad (2.5)$$

donde N es un factor de escalamiento para regular el tamaño de la perturbación y d es la variable que controla el ciclo de trabajo del convertidor, asumiendo una arquitectura como la mostrada en la Fig. 2.1. Si la variable perturbada x controla directamente el ciclo de trabajo del convertidor de potencia, denotado como d , entonces la expresión

$|V_{PV(kT_p)} - V_{PV((k-1)T_p)}|$ puede representarse en términos de d [11] de la forma:

$$d_{((k+1)T_p)} = d_{(kT_p)} \pm \Delta d = d_{(kT_p)} \pm N \frac{|P_{(kT_p)} - P_{((k-1)T_p)}|}{|d_{(kT_p)} - d_{((k-1)T_p)}|} \quad (2.6)$$

La siguiente gráfica de Potencia vs Voltaje expone el comportamiento de tal algoritmo en el tiempo discreto.

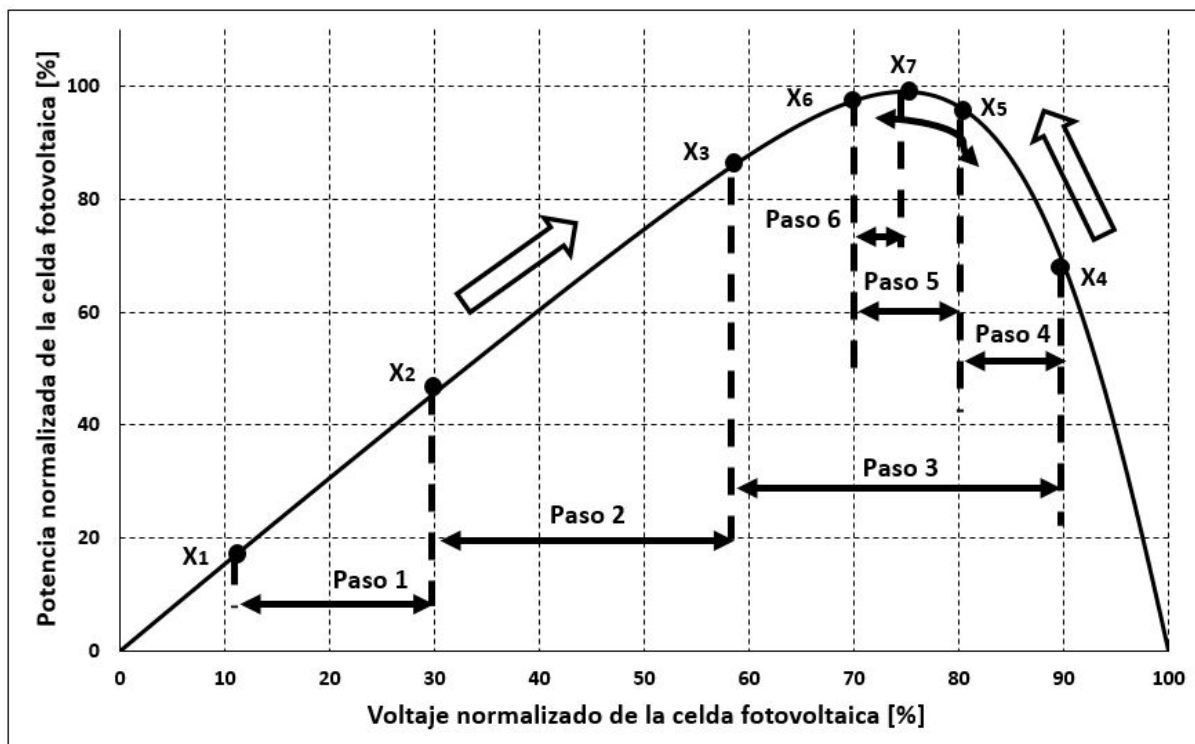


Figura 2.5: Comportamiento del punto de operación para alcanzar el MPP usando un algoritmo de perturbación variable [1].

Sin embargo, es preciso indicar un tamaño de perturbación máximo, el cual está dado por:

$$N \frac{|\Delta P_{max}|}{|\Delta V_{max}|} < \Delta d_{max} \quad (2.7)$$

donde Δd_{max} es el tamaño de cambio máximo en el ciclo de trabajo. La expresión [2.7] asegura la convergencia del algoritmo.

2.3. P&O con aproximación parabólica

Este método está basado en el algoritmo original de P&O, con la variante de asumir una correspondencia parabólica entre los valores de potencia y voltaje de la fuente. Para ello, calcula 3 puntos de operación de la fuente y con ellos estima la curva característica, aprovechando la simetría de la parábola [12]. La siguiente figura muestra la estimación de la aproximación parabólica respecto a la forma original.

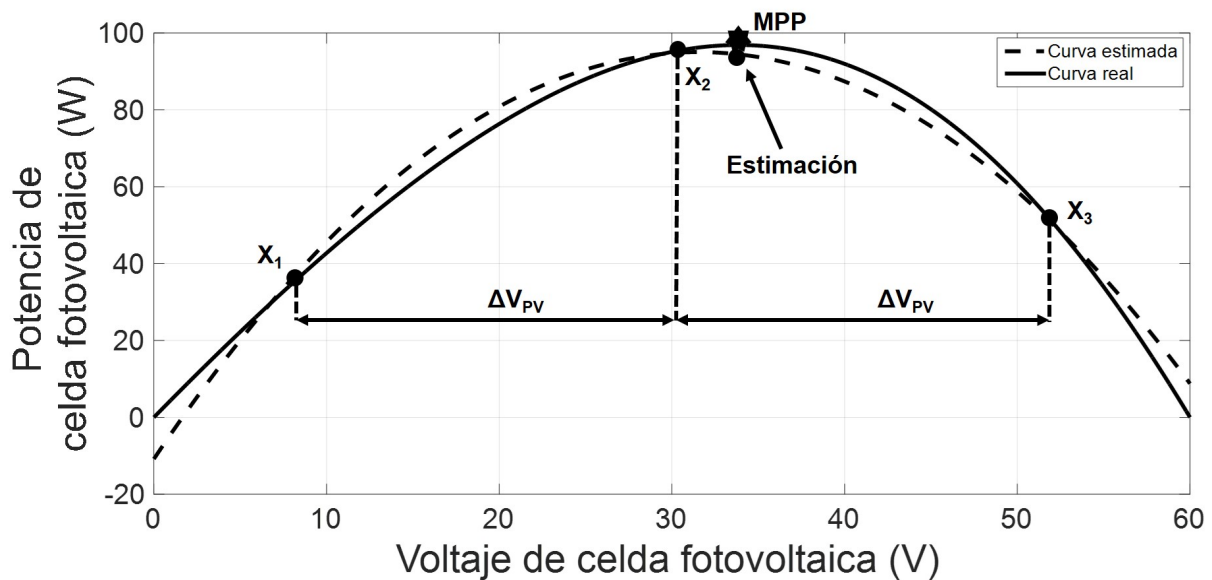


Figura 2.6: Aproximación parabólica de la curva Potencia vs Voltaje a la original [1].

Con base en la Fig. 2.6 el MPP se ubica en el vértice de la parábola. Se necesita que dos puntos de operación (X_2 y X_3) se encuentren en los extremos del MPP, uno por cada lado, mientras el tercero (X_1) debe ubicarse en la parte izquierda, en un voltaje inferior. Al inicio del proceso de estimación, el paso de voltaje ΔV_{PV} es fijo para transitar de X_1 a X_2 y de X_2 a X_3 . Una vez ejecutado el proceso anterior, el MPPT cuenta con la información necesaria para calcular la ecuación de la parábola y con ello determinar el vértice o MPP.

La ecuación de la relación parabólica Potencia vs Voltaje se define como:

$$p_{PV} = \alpha v_{PV}^2 + \beta v_{PV} + \gamma \quad (2.8)$$

Para encontrar la expresión particular de la ecuación [2.8](#), se necesita hallar el valor de los coeficientes α , β y γ . Al obtener los tres puntos de operación:

$$X_1 = (v_1, p_1) \quad (2.9)$$

$$X_2 = (v_2, p_2) \quad (2.10)$$

$$X_3 = (v_3, p_3) \quad (2.11)$$

Es posible determinar el valor de dichos coeficientes al resolver el siguiente sistema de ecuaciones 3x3, definido como:

$$p_1 = \alpha v_1^2 + \beta v_1 + \gamma \quad (2.12)$$

$$p_2 = \alpha v_2^2 + \beta v_2 + \gamma \quad (2.13)$$

$$p_3 = \alpha v_3^2 + \beta v_3 + \gamma \quad (2.14)$$

Finalmente, se calcula el MPP determinando la posición del vértice (v_{peak}, p_{peak}) de la forma:

$$(v_{peak}, p_{peak}) = \left(-\frac{\beta}{2\alpha}, \gamma - \frac{\beta^2}{4\alpha}\right) \quad (2.15)$$

El valor de ΔV_{PV} en el siguiente periodo T_p partiendo del punto de operación X_3 adapta su magnitud tal que sea alcanzado el MPP en un solo instante. Si v_3 es el voltaje en la fuente correspondiente al punto X_3 , entonces lo anterior se expresa como:

$$p_{PV}(v_3 + \Delta V_{parab}) = P_{MPP} \quad (2.16)$$

De la ecuación [2.16](#) y de la Fig. [2.5](#) se observa cómo el algoritmo alcanza el MPP en tres pasos, es decir $3T_p$.

2.4. Método de la conductancia incrementada

El método de conductancia incrementada INC (*INcremental Conductance*) se basa en la condición ocurrida en el MPP, la cual es:

$$\frac{dP}{dV} = \frac{d(VI)}{dV} = 0 \quad (2.17)$$

Para fines prácticos, la relación anterior se ha desarrollado en términos de diferencias, resultando en:

$$\frac{I_k}{V_k} = -\frac{I_k - I_{k-1}}{V_k - V_{k-1}} \quad (2.18)$$

donde k y $k - 1$ representan dos muestras consecutivas en el tiempo discreto. En realidad, la ecuación [2.18](#) solo puede ser una aproximación, donde las diferencias $I_k - I_{k-1}$ y $V_k - V_{k-1}$ son mínimas.

Una aproximación más realista de la ecuación [2.18](#) es la siguiente:

$$\frac{1}{V} \frac{dP}{dV} = \frac{I}{V} + \frac{dI}{dV} = G + dG \quad (2.19)$$

donde G es la conductancia y dG es la conductancia incrementada. La expresión anterior indica en qué extremo de la curva respecto al MPP se encuentra la potencia actual. Así, si $G + dG > 0$ entonces el punto de operación se ubica en el lado izquierdo y si $G + dG < 0$ entonces se ubica en el lado derecho.

A continuación se expone el diagrama de flujo referente al algoritmo INC.

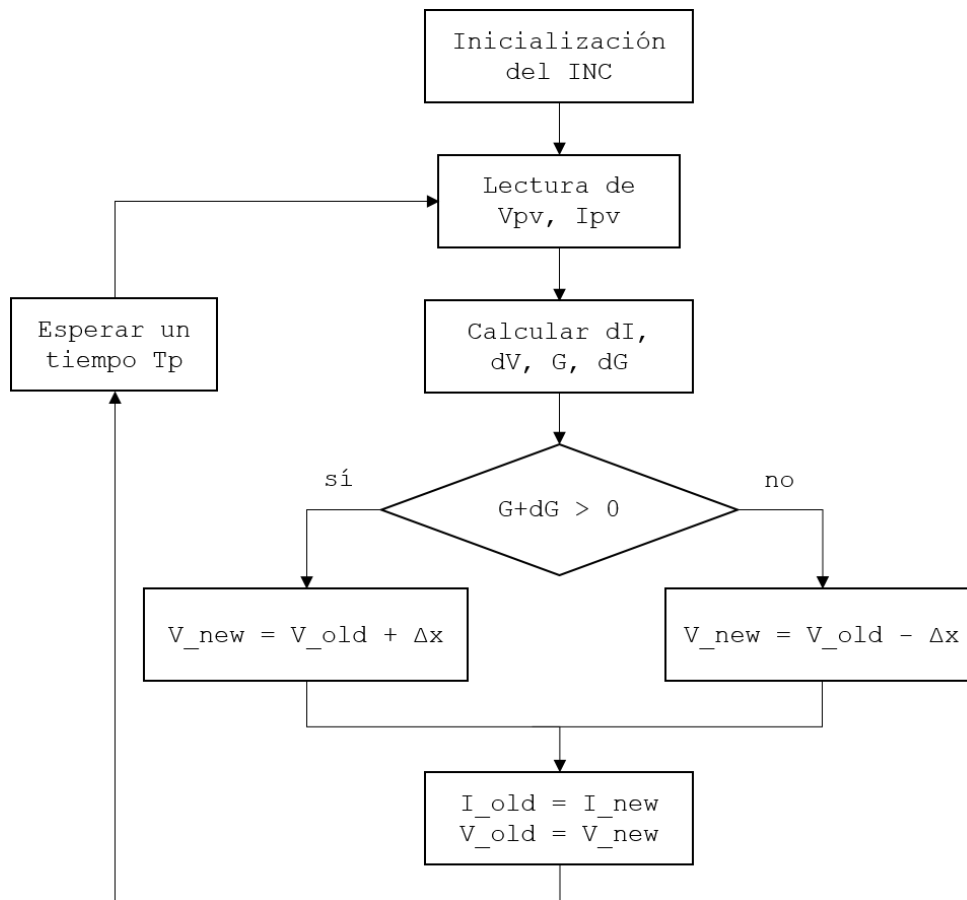


Figura 2.7: Diagrama de flujo del algoritmo INC.

El algoritmo de la Fig. 2.7 es similar al P&O, con la diferencia de ejecutar más cálculos. Otra diferencia notable es su capacidad de conocer el extremo de la curva en la cual se encuentra operando la fuente, junto con el tamaño de paso ΔV_{PV} cuya magnitud se reduce o aumenta según dP/dV .

La perturbación en voltaje sobre la fuente se expresa como:

$$V_{PV}^{k+1} = V_{PV}^k + \text{sign}(G + dG)\Delta V \quad (2.20)$$

En caso de que el MPPT controle el ciclo de trabajo del convertidor de manera directa, la expresión que define el tamaño de la perturbación sobre la señal de control es:

$$\Delta D = \pm N \left| \frac{dP}{dV} \right| \quad (2.21)$$

Donde N es un coeficiente para controlar el tamaño de la perturbación.

2.5. MPPT por medición de parámetros de salida

A diferencia de los algoritmos P&O y sus variantes, así como del INC, el método presente mide la salida del convertidor de potencia, procesa la información y aplica una acción de control sobre el convertidor mismo. Existe un algoritmo específico basado en tal principio, llamado TEODI, referente a la técnica basada en la ecualización de los puntos de operación de salida en correspondencia al desplazamiento forzado en los puntos de operación de entrada de dos fuentes idénticas (*Technique based on the Equalization of the Output operating points in correspondence of the forced Displacement of the Input operating points*) [13–15]. Esto significa que el algoritmo requiere usar dos fuentes de la misma naturaleza y dos convertidores de potencia, como se muestra en la siguiente figura.

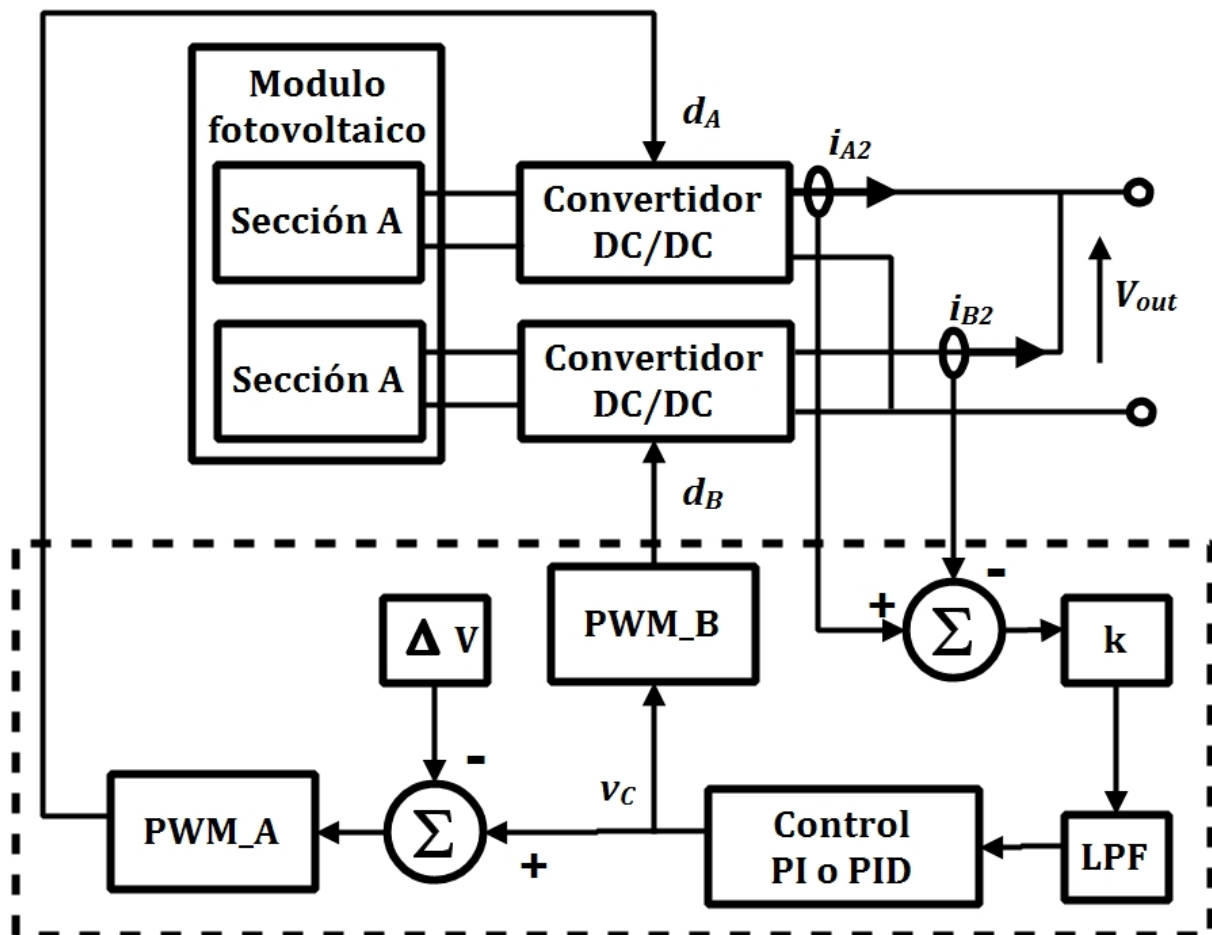


Figura 2.8: Arquitectura del método TEODI [1].

De acuerdo a la Fig. 2.8, los convertidores de potencia son conectados en serie y únicamente se realiza la medición de las corrientes en cada rama. De esta manera se elimina la medición del voltaje y hay un ahorro de componentes y costos. Además no requiere la operación de la multiplicación.

El funcionamiento del TEODI consiste en seguir y dirigir los puntos de operación de ambas fuentes de energía hacia el MPP. Para ubicar las posiciones laterales de los puntos de operación con respecto al MPP se calcula la diferencia de potencias entre tales puntos. Para dicho cálculo, se esperan tres casos, los cuales se muestran a continuación.

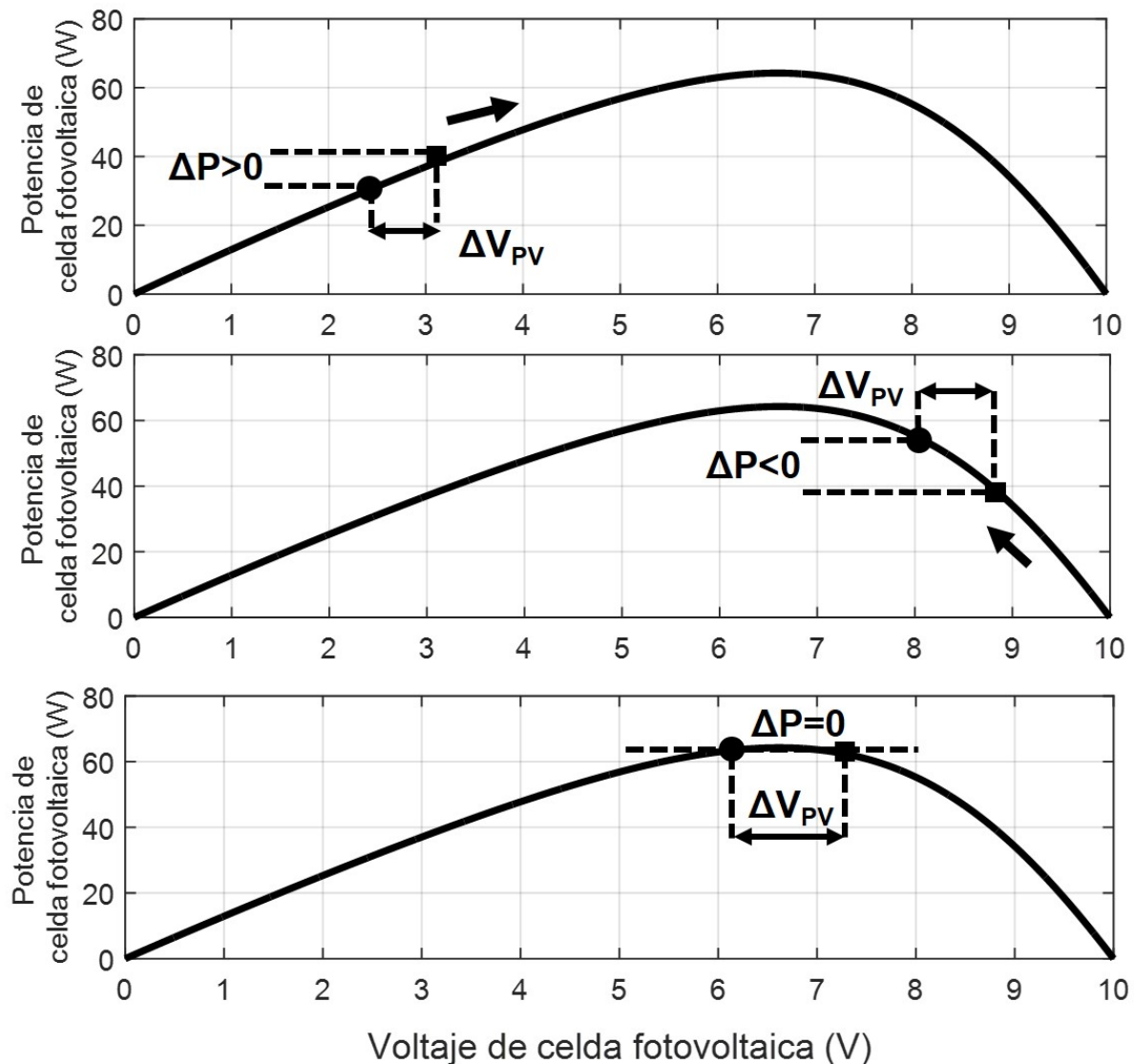


Figura 2.9: Posibles casos de los puntos de operación en el TEODI [1].

De la Fig. 2.9, el marcador cuadrado corresponde a la sección A y el marcador circular a la sección B. La variable ΔP es la diferencia de potencias entre los puntos de operación, de tal forma que el signo de esta indica si las fuentes operan en lado izquierdo o derecho de la gráfica. La condición de MPP se da cuando $\Delta P = 0$, es decir los puntos de operación de ambas fuentes coinciden. Como se aprecia en la Fig. 2.8, el sistema calcula la diferencia de corrientes $i_{A2} - i_{B2}$ multiplicada por un factor K , cuyo resultado es ingresado a un filtro pasabajos para eliminar ruido de alta frecuencia. A su vez, el resultado del filtro es ingresado a un controlador PI o PID para aplicar las acciones de control sobre ambos

módulos PWM. De manera similar a los métodos P&O e INC, existe un tamaño de perturbación Δd generada a través de los módulos PWM, cuyo tamaño define la diferencia en voltaje de ambos puntos de operación. Una directriz de diseño indica que al ser Δd más pequeña, más pequeña es la diferencia entre los puntos de operación y de estos hacia el MPP. Como consecuencia, la eficiencia del MPPT aumenta.

2.6. Eficiencia en los MPPT

La eficiencia para el caso de los MPPT se define como:

$$\eta_{MPPT} = \frac{\int_{t_1}^{t_2} P(t) dt}{\int_{t_1}^{t_2} P_{MPP}(t) dt} \quad (2.22)$$

La eficiencia es unitaria si el punto de operación se mantiene en el MPP durante el intervalo de tiempo entre t_1 y t_2 . Una aproximación de la fórmula se obtiene suponiendo que la curva característica P-V es parabólica, como se muestra en la siguiente figura.

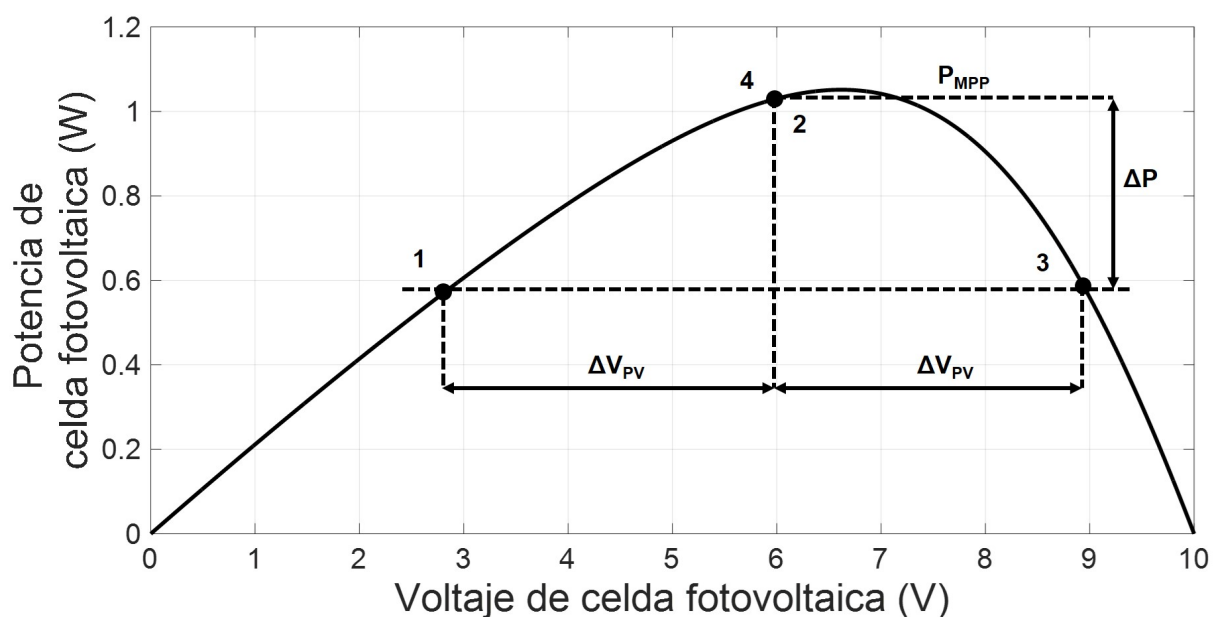


Figura 2.10: Aproximación parabólica de la curva P-V para calcular η_{MPPT} [1].

Para tal desarrollo, se asume que la aproximación toma tres puntos de operación, uno siendo el MPP y los dos restantes en extremos opuestos, cada uno al mismo valor de potencia. Si la potencia de la fuente oscila entre los puntos de operación 1,2 y 3, el comportamiento de la potencia en el tiempo es como se muestra enseguida.

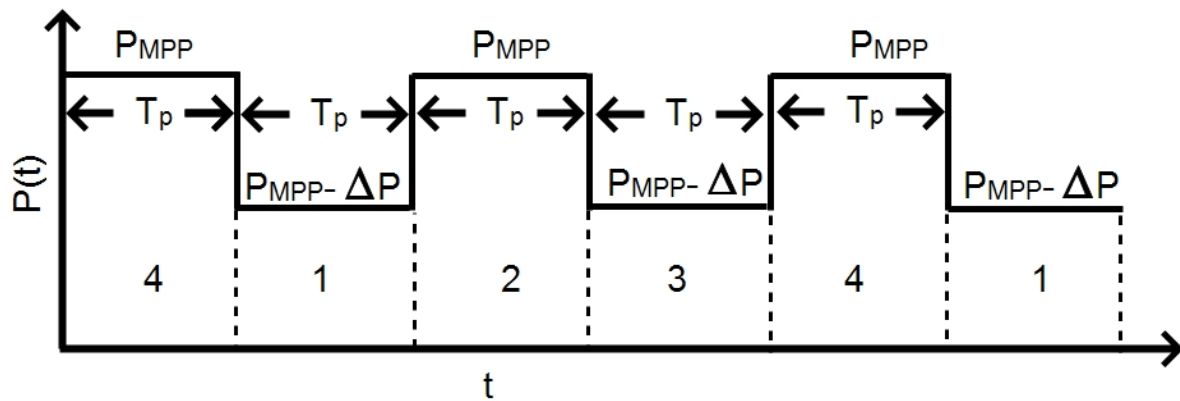


Figura 2.11: Potencia de la fuente en estado estable.

Con base en la Fig. 2.11, el periodo de la señal es $4T_p$, de lo cual se deduce la expresión de η_{MPP} dada por:

$$\eta_{MPPT} = 1 - \frac{\Delta P}{2P_{MPP}} \quad (2.23)$$

De la ecuación anterior se observa que el mejor nivel de eficiencia ocurre cuando la potencia en estado estable oscila entre tres puntos de operación, situación ofrecida por la aproximación parabólica.

2.7. Comparativa de algoritmos MPPT

La siguiente tabla contiene una comparación entre algunos de los algoritmos MPPT más destacados.

Algoritmo	Depende de la fuente [18]	Analógico/Digital [18]	Funcionamiento	Parámetros considerados	Ventajas	Desventajas
Observación y Perturbación (P&O)	NO	Ambas	Cada periodo T_p mide la potencia actual P_{NEW} y la compara con una lectura pasada P_{OLD} ; si $P_{NEW} > P_{OLD}$ se suma una perturbación constante Δx , si $P_{NEW} < P_{OLD}$ se suma una perturbación $-\Delta x$.	Tamaño de perturbación constante Δx . Tiempo de muestreo T_p . Eficiencia η_{MPPT} .	Procesamiento con recursos mínimos. Implementación analógica o digital.	Genera oscilaciones después de cada cambio en la potencia, lo cual representa pérdidas de energía. Vulnerable a errores ante cambios abruptos de las condiciones atmosféricas [17].
P&O con tamaño de perturbación variable	NO	Ambas	Similar al P&O, con la diferencia en el tamaño de paso Δx , el cual es variable y se reduce al acercarse al MPP.	Función de perturbación variable Δx . Valor máximo de la perturbación Δd_{MAX} . Tiempo de muestreo T_p . Eficiencia η_{MPPT} .	Mayor rapidez para alcanzar el MPP. Menores pérdidas de potencia en cada cambio, al reducirse Δx [1].	El sistema puede divergir si la función del tamaño de perturbación sobrepasa un valor máximo Δd_{MAX} [1].
P&O con aproximación parabólica	NO	Ambas	Asume la curva de P-V como una correspondencia parabólica, obtiene 3 puntos de operación de la fuente en cuestión y con ellos calcula el vértice de la parábola, equivalente al MPP.	Tamaño de voltaje de perturbación ΔV_{PV} . Valor máximo de la perturbación ΔV_{PV} . Eficiencia η_{MPPT} .	Alcance del MPP en $3T_p$, es decir en tres cambios de la potencia. Menores pérdidas de potencia al reducir el número de perturbaciones.	No alcanza realmente el MPP, estima un punto de operación cercano al MPP. Genera errores si los 3 puntos de operación no se encuentran igualmente espaciados en voltaje ΔV_{PV} [1].
Método de la Conductancia Incrementada (INC)	NO	Digital	Considera el hecho de que $dP/dV = 0$ en el MPP. Se compara el incremento de conductancia con la conductancia instantánea para aumentar o disminuir el voltaje en la fuente V_{PV} [16].	Tamaño de la perturbación ΔD . Constante de proporcionalidad N . Eficiencia η_{MPPT} .	Reducción de las oscilaciones alrededor del MPP. Reducción de pérdidas de potencia en estado estable [1].	Requiere mayor capacidad de procesamiento de datos. Genera errores antes cambios de irradiación si la constante de proporcionalidad no es definida apropiadamente.
Medición de parámetros de salida (TEODI)	NO	Analógica	Mide la potencia en la salida de dos convertidores de potencia a partir de las lecturas de voltaje. Utiliza por lo tanto dos fuentes de energía de la misma naturaleza, ubica los puntos de operación de cada fuente y los hace tender al MPP [13-15].	Constante de proporcionalidad k . Parámetros del controlador PID. Tamaño de la perturbación ΔV_{PV} . Eficiencia η_{MPPT} .	Solo requiere medir un tipo de variable eléctrica, como voltaje o corriente. Ahorro de componentes para monitorear potencia.	Necesita dos fuentes de energía de la misma naturaleza. Mayor procesamiento de datos, requiere un controlador PID.
Método del voltaje de circuito abierto	SI	Ambas	Asume el MPP cercano al V_{OC} en un 76%. Mantiene a la fuente trabajando en un voltaje $0.76V_{OC}$ [18]	Voltaje de circuito abierto V_{OC} . Eficiencia η_{MPPT} .	Solo requiere medir el V_{OC} . No precisa el uso de un DSP o microcontrolador [18].	Realmente no alcanza el MPP, solo estima su posición. Si el error del MPP real con el estimado es considerable, entonces existen pérdidas de potencia.

Figura 2.12: Comparativa de algoritmos MPPT, parte 1.

Algoritmo	Depende de la fuente [18]	Analogico o/ Digital [18]	Funcionamiento	Parámetros considerados	Ventajas	Desventajas
Método del circuito abierto fraccional	SI	Ambas	Estima una relación lineal entre el voltaje de máxima potencia V_{MPP} y el voltaje de circuito abierto V_{OC} . Utiliza una fuente auxiliar o piloto [18].	Voltaje de circuito abierto V_{OC} . Constante de proporcionalidad K_f . Eficiencia η_{MPPT} .	Solo requiere medir el V_{OC} . No precisa el uso de un DSP o microcontrolador [18].	Realmente no alcanza el MPP, solo estima su posición. Si el error del MPP real con el estimado es considerable, entonces existen pérdidas de potencia
Método de la temperatura	SI	Ambas	Considera la variación principal de V_{OC} con el cambio de temperatura, la variación de la corriente de corto circuito I_{SC} con la irradiación y su constancia con la temperatura. Utiliza las lecturas de temperatura e irradiación en una ecuación para estimar el voltaje de MPP [18].	Voltaje de circuito abierto V_{OC} . Constante de proporcionalidad K_f . Eficiencia η_{MPPT} .	Mejor estimación del MPP respecto al método del circuito abierto.	Solo estima el MPP, sin ser el real. Requiere sensores extras para medir temperatura e irradiación.
Método de impulsos de corriente de corto	SI	Ambas	Alcanza el MPPT cuando se consigue la corriente óptima I_{OP} , donde esta última considera una relación directamente proporcional a la corriente de corto circuito I_{SC} [18].	Corriente de corto circuito I_{SC} . Constante de proporcionalidad K_f . Eficiencia η_{MPPT} .	Solo requiere medir la corriente de corto circuito I_{SC} , ahorrando componentes sensores. No precisa de mayor procesamiento de datos [18].	Realmente no alcanza el MPP, solo estima su posición. Existen problemas para medir la I_{SC} , requiere un interruptor adicional
Método por red neuronal [17]	NO	Digital	Se basa en la teoría de redes neuronales. Lee los valores de V_{OC} , I_{SC} y datos atmosféricos como irradiación y temperatura	Capa oculta Eficiencia η_{MPPT}	Evita el diseño de un algoritmo programado para alcanzar el MPP Es tolerante a fallos.	Requiere entrenamiento periódico debido a los cambios de la fuente con el paso del tiempo.
Método por lógica difusa [17]	NO	Digital	Calcula el error y la diferencia del error de la potencia. Con base en ello, se asigna una salida generalmente expresada en PWM.	Asignación de niveles. Error E y diferencia de error ΔE . Tabla de búsqueda (Look Up Table) Eficiencia η_{MPPT}	Las oscilaciones en cada transición de perturbación son mínimas. Mayor rapidez para converger al MPP	El cálculo del error depende mucho del diseñador.
Método PFM (Pulse Frequency Modulation) [19]	NO	Ambos	Emplea un capacitor el cual al cargarse a un voltaje activa un convertidor de potencia para transferir la energía acumulada. Cuando se alcanza un nivel inferior de voltaje el convertidor de potencia deja de operar y permite al capacitor cargarse de nuevo, posteriormente el proceso se repite.	Capacitor de entrada C_{IN} . Tiempo de carga y descarga del capacitor T_{CHARGE} , T_{DISCH} . Voltaje de umbral V_H . Voltaje de operación V_M . Eficiencia η_{MPPT}	Utiliza componentes de bajo consumo de potencia. La eficiencia aumenta con la disminución de la temperatura. No requiere mayor procesamiento de datos.	Utiliza un integrador que puede alterar su nivel de offset. Emplea un inductor que puede ser de dimensiones mayores
Método basado en eventos [20]	NO	Ambos	Se basa en un control disparado por eventos. El punto de operación es trasladado al MPP y cuando lo alcanza y desciende de él hasta un cierto valor, el control conmuta el sentido de desplazamiento del punto de operación en la curva de Potencia-Voltaje. Así, la potencia se mantiene oscilando alrededor del MPP.	Rango de oscilación alrededor del MPP. Constantes de tiempo del convertidor DC/DC. Eficiencia η_{MPPT} .	Ahorro de recursos electrónicos. No precisa de una señal de reloj predefinida. Independiente al tipo de celda solar. Implementación analógica en su mayor parte.	Es vulnerable a perturbaciones abruptas en la irradiación. Carece de un control para deshabilitar el sistema si no hay energía suficiente en el medio.

Figura 2.13: Comparativa de algoritmos MPPT, parte 2.

De la tabla anterior, algunos algoritmos detectan realmente el MPP (*true MPPT*) por medio de la lectura de la potencia actual y otros estiman el MPP solo en base a parámetros no relacionados directamente con la potencia o a datos experimentales. Dentro de los *true MPPT* se encuentran los algoritmos P&O y sus variantes, INC, TEODI, lógica difusa, por red neuronal, basado en PFM y basado en eventos. En todos los algoritmos anteriores se maneja un tamaño de perturbación, el cual puede ser constante o variable a las condiciones del entorno. Aunque en algunos de estos algoritmos existen pérdidas de potencia en cada transición de paso, estas pueden minimizarse con el cálculo apropiado de sus parámetros de diseño. Los métodos poseedores de esta ventaja son el INC, por red neuronal y por lógica difusa. Por otro lado, es de resaltar los métodos implementados con pocos componentes y de bajo consumo de potencia, como son los de voltaje de circuito abierto, de corriente de corto, basados en PFM y basados en eventos. Este último destaca además por ser un *true MPPT* y emplear componentes analógicos en gran parte para su implementación.

2.8. Resumen

Para el seguimiento de punto de máxima potencia, existen múltiples algoritmos genéricos y arquitecturas para lograrlo. En general, existen aquellos que aproximan el punto de operación al MPP basados en un conocimiento empírico de la celda solar. Como ejemplos se encuentran los de voltaje de circuito abierto, por temperatura y por corriente de corto. Por otra parte, están los algoritmos que realmente aproximan el punto de operación al MPP. En esta última categoría se encuentran los algoritmos P&O de paso fijo, P&O de paso variable, P&O con aproximación parabólica, método de la conductancia incrementada y por medición de parámetros de salida. Algunos de ellos requieren una implementación basada en un dispositivo programable como un microcontrolador o FPGA. Otros, en cambio, pueden requerir únicamente circuitos analógicos. La eficiencia de seguimiento, definida como el cociente entre las integrales de la potencia de la celda y la del MPP, es una medida muy importante para evaluar la funcionalidad de un MPPT.

Capítulo 3

Implementación de un seguidor de punto de máxima potencia

En el Capítulo 2 se expuso el marco teórico y el estado del arte sobre los seguidores de punto de máxima potencia (MPPT). Al final del mismo, se elaboró una tabla comparativa con las técnicas más relevantes y algunos de sus modelos representativos más destacados. Para el cumplimiento del objetivo general del presente trabajo, que consiste en diseñar un MPPT de bajo consumo de potencia, se resaltaron aquellos modelos cuya características fueran: poseer una arquitectura de bajo consumo de recursos físicos, no precisar de una señal de reloj predefinida, emplear circuitos analógicos en mayor proporción y alcanzar altos niveles de eficiencia de seguimiento del MPP. Así, el modelo con un mejor cumplimiento de las características buscadas fue el [20], a partir del cual se partió de su algoritmo de operación para el diseño de una propuesta de MPPT cuyo alcance, además del bajo consumo de potencia y el alto nivel de eficiencia, sea mantener la convergencia hacia el MPP ante perturbaciones abruptas en el entorno. El presente capítulo expone los procedimientos seguidos para el diseño de la propuesta de MPPT a nivel comportamiento, junto con las pruebas aplicadas para su validación.

3.1. Modelo base de MPPT basado en eventos

El trabajo presentado en [20] consiste en un seguidor de punto de máxima potencia aplicado en una celda solar de 65V y 2A. El algoritmo se basa en un control disparado por eventos cuya arquitectura emplea únicamente tres módulos analógicos y uno digital, los cuales son: un amplificador operacional para el detector de potencia pico, un comparador para la detección del descenso límite de la potencia, un circuito sensor de potencia y un flip-flop D como único elemento digital.

A continuación se muestra la arquitectura del MPPT publicado en [20].

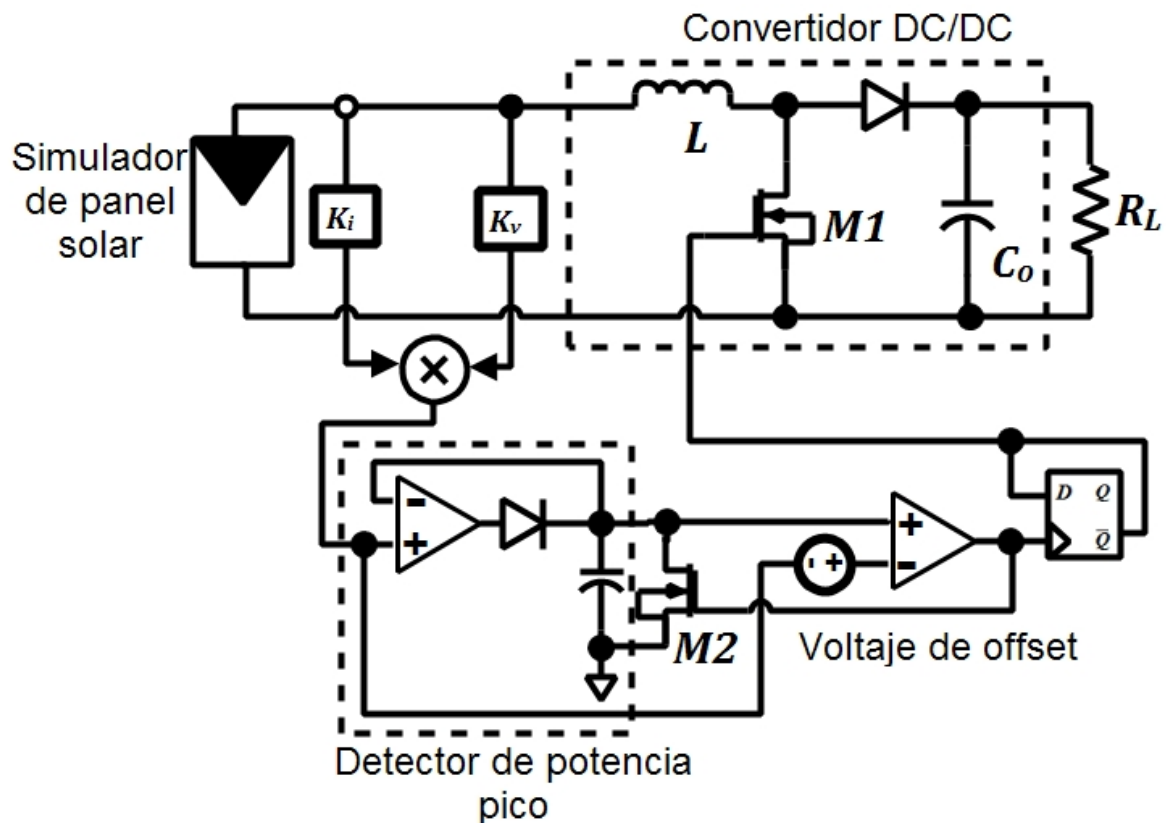


Figura 3.1: Arquitectura del seguidor de punto de máxima potencia basado en eventos [20].

El sistema de la Fig. 3.1 no precisa de una señal de reloj predefinida al no retener el valor de la potencia ni aplicar acciones de control en periodos definidos. Estas acciones acontecen al cumplirse un par de eventos: el alcance del MPP y el descenso del MPP dentro de un rango establecido. Los estados de operación del modelo base de MPPT se presentan en la siguiente figura.

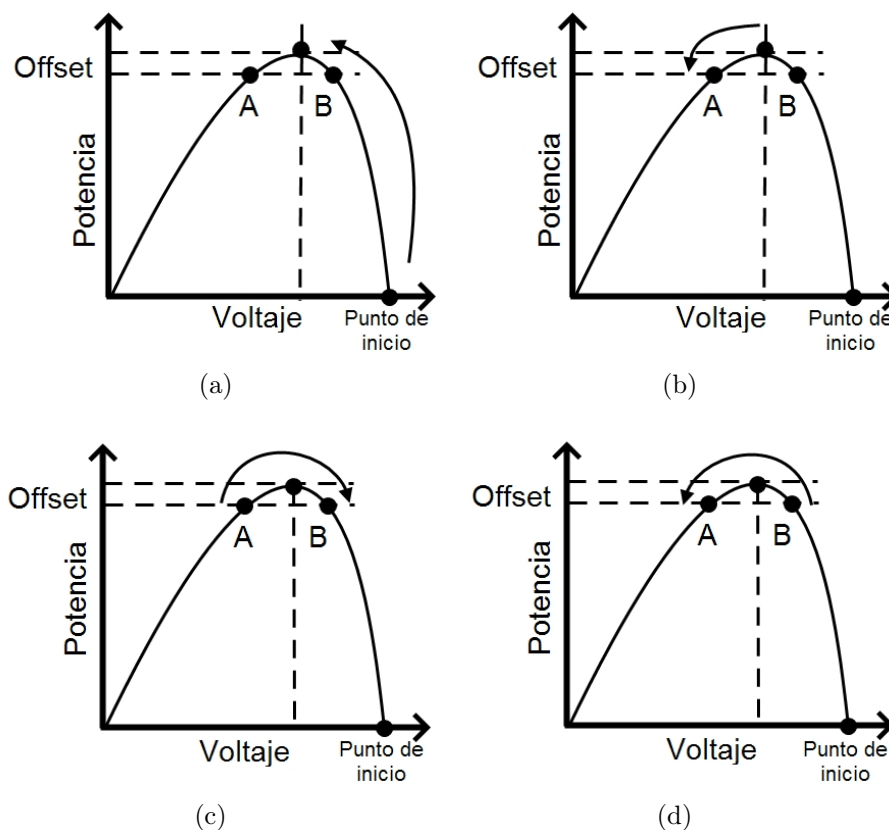


Figura 3.2: Curvas características de Potencia vs Voltaje de una celda fotovoltaica.

El algoritmo del MPPT de la Fig. 3.1, en conjunto con las gráficas auxiliares de la Fig. 3.2, es el siguiente:

1. Al inicio, los transistores M1 y M2 que fungen como switches se encuentran apagados, por lo tanto el voltaje y la corriente de la celda solar son aproximadamente igual al voltaje de circuito abierto V_{OC} y $0A$, respectivamente. En consecuencia, el punto de operación se encuentra en el extremo derecho (punto de inicio) de la curva característica Potencia-Voltaje, como se muestra en la Fig. 3.2a.
2. Cuando el circuito MPPT es energizado, el switch M1 se enciende, por lo tanto el voltaje y la corriente de la celda solar tienden gradualmente a $0V$ y a la corriente de corto circuito I_{SC} , respectivamente. Con ello, el punto de operación se desplaza del punto de inicio hacia el MPP en sentido derecha-izquierda, como lo indica la flecha en la Fig. 3.2a.
3. Cuando el punto de operación alcanza el MPP e inmediatamente desciende de él, el detector de potencia pico retiene el valor máximo. La potencia continúa reduciendo su valor dentro de un rango denominado *Offset* definido por una fuente de voltaje de DC, tal como se presenta en la Fig. 3.2b.

4. Cuando el punto de operación rebasa en forma descendente el rango de *Offset*, el comparador que antecede al flip-flop D detecta tal evento y emite un 1 lógico. Lo anterior origina dos acciones:
 - a) Encender el interruptor M2 para descargar el capacitor del detector de potencia pico y reiniciarlo para una nueva lectura de máxima potencia.
 - b) Cambiar el estado lógico del flip-flop D para conmutar el estado del switch M1. Con ello, el voltaje y la corriente de la celda solar vuelven a tender hacia V_{OC} y 0A, respectivamente.

Inmediatamente después de cumplirse el par de acciones anteriores, el punto de operación cambia su sentido de desplazamiento el cual es ahora de izquierda a derecha, en dirección al MPP, como lo muestra la Fig. 3.2c. Como la potencia actual con el voltaje de *Offset* vuelve a ser mayor a la retenida, el comparador emite un 0 lógico y vuelve a apagar el switch M2. El flip-flop D no cambia su estado, pues solo es disparado por flancos de subida en su puerto de reloj.

5. Cuando el punto de operación alcanza el MPP y vuelve a descender dentro del rango de *Offset*, nuevamente el detector de potencia pico retiene el valor máximo y el comparador emite un 1 lógico en el momento que la potencia rebasa dicho rango, como lo muestra la Fig. 3.2d. Al concluir lo anterior, los pasos 4a y 4b se repiten, con la diferencia de conmutar el estado lógico del flip-flop D y del interruptor M1 por su opuesto en el momento del evento. Así, vuelve a cambiar el sentido de desplazamiento del punto de operación y el algoritmo se repite desde el paso 1.

De este modo, el punto de operación oscilará alrededor del MPP dentro de un cierto rango, definido por el parámetro *Offset*.

Las pruebas de validación de la propuesta de MPPT se desarrollaron en el software de diseño Cadence® Virtuoso. Sin embargo, tal plataforma de diseño no cuenta con un módulo genérico de celda solar para fines de simulación. Ante ello y antes de iniciar las pruebas, se implementó un módulo de celda solar en lenguaje VerilogA capaz de aproximar el comportamiento de una celda solar real. Los procedimientos para su creación se expone en la siguiente sección.

3.2. Modelo de celda solar en lenguaje VerilogA

Dado a los alcances del presente trabajo y con el propósito de contar con un módulo comportamental de celda solar para aplicar las pruebas al MPPT propuesto, el presente trabajo no aborda a mayor escala el modelado de una celda solar. Dicho modelo propuesto consiste en una aproximación de la corriente empleando una función tangente hiperbólica basada en un modelo limitador de corriente del software *Matlab* 2015. La razón de emplear tal función es debida a la semejanza de su curva con la variación de la corriente respecto al voltaje. A continuación se vuelve a mostrar la curva característica de Corriente-Voltaje de una celda solar.

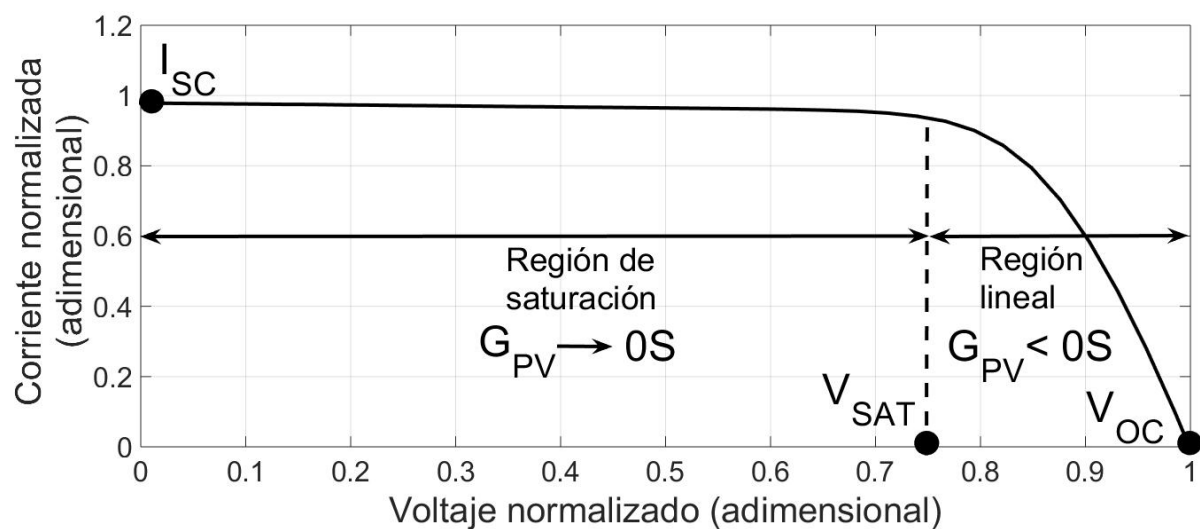


Figura 3.3: Curva característica de la corriente de una celda solar para fines de aproximación numérica.

El comportamiento de la corriente de celda solar, de acuerdo a la Fig. 3.3, puede verse como la unión de dos regiones de operación, las cuales son:

- Región de saturación: la conductancia G_{PV} tiende a ser $0S$ y se ubica entre $0V$ y V_{SAT} .
- Región lineal: la conductancia G_{PV} es negativa y tiende a ser constante. Se ubicada entre V_{SAT} y V_{OC} , donde V_{SAT} es el límite entre ambas regiones.

Como se mencionó al inicio de la presente sección, el modelo propuesto de celda solar se basa en la ecuación del módulo limitador de corriente (*Current Limiter*), perteneciente al software *Matlab* 2015. La expresión matemática de tal módulo es:

$$i = iLim \cdot \tanh\left(4\frac{v}{vLim}\right) + gLim \cdot v \quad (3.1)$$

donde:

- i es la corriente a limitar.
- $iLim$ es la corriente máxima permitida o corriente de saturación.
- v es la diferencia de potencial entre las terminales del módulo.
- $vLim$ es la diferencia de potencial a partir de la cual el módulo comienza a limitar la corriente.
- $gLim$ es la conductancia en la región de saturación.

Al analizar la ecuación [3.1](#) se halló una equivalencia entre los parámetros de la ecuación con los de una celda solar, cuya relación es la siguiente:

- $i \equiv I_{PV}$
- $iLim \equiv I_{SC}$
- $gLim \equiv G_{PV}$ (en la región de saturación)
- $vLim \equiv V_{SAT}$

A diferencia del modelo convencional de celda solar [\[1\]](#) formado por una fuente de corriente, un diodo y resistores, se propuso uno formado por una fuente de voltaje y de corriente controlada por voltaje. El razonamiento para deducir tal modelo es el siguiente:

1. Dado que una celda solar puede proporcionar un máximo voltaje denominado V_{OC} , entonces dicha celda puede ser modelada en una primera aproximación por una fuente de voltaje DC de valor V_{OC} y una resistencia interna R_{in} cercana a 0Ω , como se muestra en la siguiente figura.

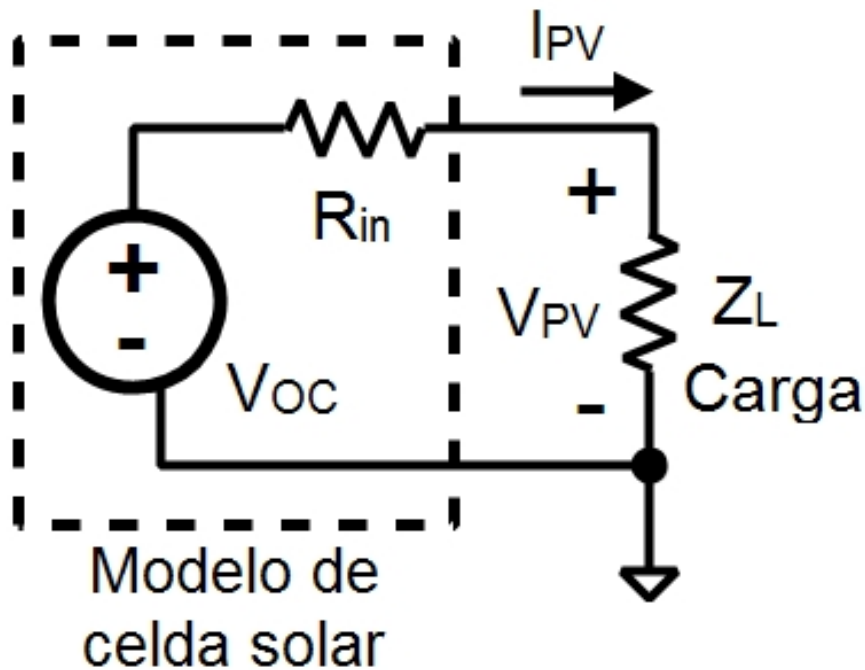


Figura 3.4: Primera aproximación del modelo de celda solar.

De acuerdo a la Fig. 3.4, si la carga de valor Z_L tiende a infinito (circuito abierto) entonces el valor de V_{PV} es igual a V_{OC} e I_{PV} es cero. Lo anterior concuerda con la corriente de una celda real. Sin embargo, cuando Z_L tiende a 0Ω entonces V_{PV} tiende a cero y la carga demanda mayor corriente de la celda. Así, I_{PV} aumenta sin restricciones. Lo anterior no concuerda con el comportamiento de una celda real, pues la corriente tiene un máximo permitido que es I_{SC} .

2. Ante tal situación, se observa la necesidad de incorporar un bloque limitador de corriente cuyo objetivo sea permitir el flujo de la misma conforme lo demande la carga hasta llegar a un límite superior en donde la mantendrá en tal valor, sin importar si la carga reduce su impedancia hasta 0Ω . Así, I_{PV} no aumenta sin restricciones y se ajusta mejor al comportamiento real de una celda. A continuación se expone una segunda aproximación incorporando un limitador de corriente.

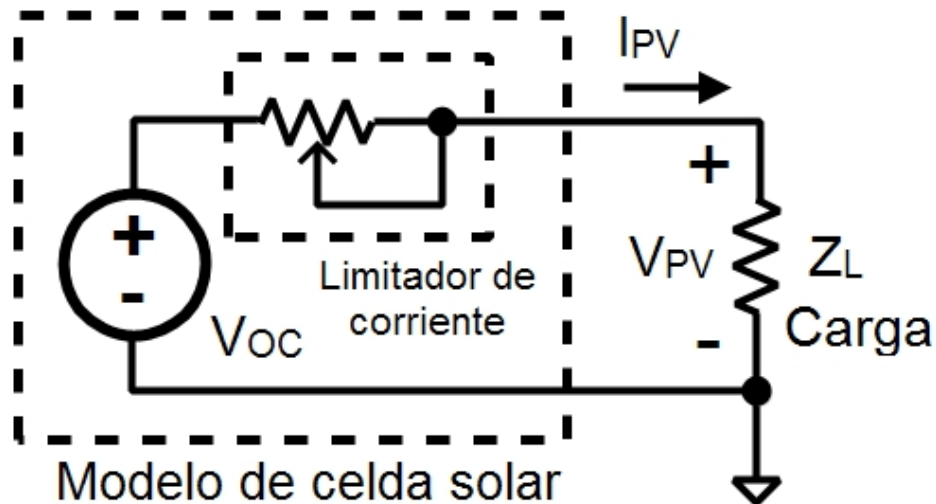


Figura 3.5: Segunda aproximación del modelo de celda solar.

3. El siguiente paso consiste en especificar la arquitectura de dicho limitador de corriente, pudiendo ser un resistor variable o una fuente de corriente controlada por voltaje, donde esta segunda opción es la más conveniente debido que tal fuente puede ser modelada con la ecuación 3.1 del modelo limitador de corriente en *Matlab* 2015. De tal modo, se obtienen la aproximación final del modelo de celda solar, como se muestra a continuación.

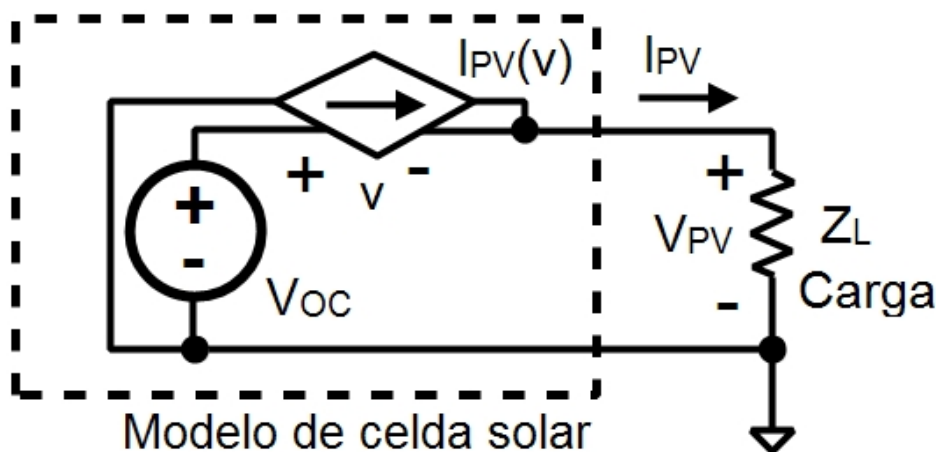


Figura 3.6: Aproximación final del modelo de celda solar.

Con base en la Fig. 3.6, $I_{PV}(v)$ es finalmente la ecuación 3.1, donde $v = V_{OC} - V_{PV}$. Ahora solo resta definir el valor de V_{SAT} en términos de V_{PV} y para ello se procede de la siguiente manera:

1. V_{SAT} es la diferencia de potencial v de la fuente de corriente controlada por voltaje a partir de la cual y para valores menores a él, la corriente comienza a acotarse al

valor I_{SC} . Por lo tanto, dicha diferencia de potencial puede expresarse como:

$$V_{SAT} = V_{OC} - V_{PV(SAT)} \quad (3.2)$$

donde $V_{PV(SAT)}$ es el voltaje de la celda solar (potencial en el nodo que conecta la celda con la carga) que define el límite de la región de saturación y lineal.

2. Al observar con mayor detenimiento la curva Corriente-Voltaje de una celda solar, $V_{PV(SAT)}$ es una fracción de V_{OC} , por lo cual $V_{PV(SAT)}$ puede definirse bajo la siguiente expresión:

$$V_{PV(SAT)} = p_{OC} V_{OC} \quad (3.3)$$

donde p_{OC} es un número entre 0 y 1.

3. Al combinar las ecuaciones [3.2](#) y [3.3](#) se obtiene:

$$V_{SAT} = V_{OC} - p_{OC} V_{OC} \quad (3.4)$$

4. Al factorizar el segundo miembro de la ecuación se llega a la expresión final de V_{SAT} en función de V_{OC} y p_{OC} , la cual es:

$$V_{SAT} = V_{OC}(1 - p_{OC}) \quad (3.5)$$

De este modo, se concluyen las siguientes igualdades:

- $v = V_{OC} - V_{PV}$
- $vLim = V_{SAT} = V_{OC}(1 - p_{OC})$

Con las igualdades anteriores y las equivalencias entre parámetros realizada previamente, se obtiene una ecuación de $I_{PV}(v)$ dada por:

$$I_{PV}(V_{OC} - V_{PV}) = \tanh\left(4\frac{V_{OC} - V_{PV}}{V_{OC}(1 - p_{OC})}\right) + G_{PV}(V_{OC} - V_{PV}) \quad (3.6)$$

Al observar los efectos de la irradiación sobre las curvas de corriente (ver Fig. [1.2d](#)), se observan que estas, en la región de saturación, cambian aproximadamente de manera directamente proporcional y V_{OC} no cambia en gran medida. Lo anterior sugiere la posibilidad de integrar los efectos de irradiación sobre el modelo de celda solar al afectar el parámetro I_{SC} por una variable irr entre 0 y 1. Así, la corriente máxima (I_{MAX}) se

reduce a una fracción de I_{SC} si irr disminuye, simulando un decremento de la irradiación. A la variable irr se le ha denominado *factor de irradiación*. Lo anterior se formula bajo la siguiente expresión:

$$I_{MAX} = irr \cdot I_{SC} \quad (3.7)$$

Para el ajuste del modelo propuesto a los datos experimentales de una celda real, en el argumento de la función tangente hiperbólica de la ecuación 3.8 se ha cambiado la constante 4 por un factor K_t para sintonizarlo según se requiera. Con el desarrollo de las expresiones anteriores, finalmente se obtiene la ecuación oficial de la corriente de celda solar para el modelo propuesto, cuya expresión es:

$$I_{PV}(V_{PV}) = irr \cdot I_{SC} \cdot \tanh \left(K_t \frac{V_{OC} - V_{PV}}{V_{OC}(1 - p_{OC})} \right) + G_{PV}(V_{OC} - V_{PV}) \quad (3.8)$$

Se ha sustituido la dependencia de $I_{PV}(V_{OC} - V_{PV})$ por $I_{PV}(V_{PV})$, debido a que V_{OC} es una constante.

Una vez concluido el desarrollo teórico del modelo de celda solar, este se implementó en un módulo comportamental empleando el lenguaje de descripción VerilogA. La descripción se efectuó en el software de desarrollo Cadence® Virtuoso. El código resultante es el siguiente:

```

`include "constants.vams"
`include "disciplines.vams"

module solar_cell(va,vb,ia,ib,irr);
electrical va,vb,ia,ib,irr;
input va,vb,irr;
output ia,ib;

parameter real isc = 730m;
parameter real oc_per = 0.25;
parameter real glim = 0.001;
parameter real kt = 2;

real vin,vna,vlim,iout,xisc;

analog begin

vin = V(va,vb);
vna = V(va);
xisc = isc*V(irr);
vlim = vna*(1-oc_per);

iout = xisc*tanh(kt*vin/vlim)+glim*vin;

I(ia,ib) <+ iout;

end
endmodule

```

La equivalencia entre los puertos declarados en el código VerilogA y el diagrama de la aproximación final de la celda solar es la siguiente: los puertos *ia* e *ib* son las terminales negativa y positiva de la fuente de corriente controlada por voltaje respectivamente, *va* es el nodo de la fuente de voltaje V_{OC} y *vb* es V_{PV} . El puerto *irr* es el factor de irradiación. La equivalencia entre parámetros es:

- $isc = I_{SC}$
- $oc_per = p_{OC}$
- $glim = G_{PV}$

El símbolo del modelo de celda solar propuesto y su configuración se muestran a continuación.

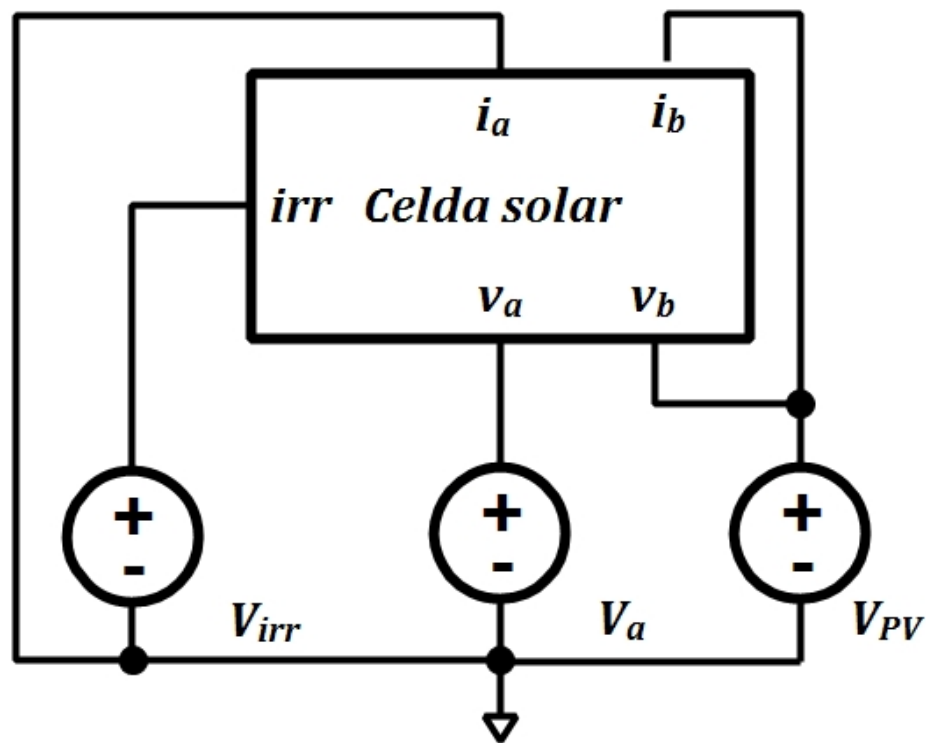


Figura 3.7: Símbolo y conexión del modelo de celda solar en VerilogA.

donde la configuración es la misma mostrada en la Fig. [3.6](#).

Con el modelo de celda solar propuesto, se ajustó para aproximarse a una celda solar real cuyos valores de V_{OC} y I_{SC} son de $600mV$ y $730mA$, respectivamente. La caracterización y los datos extraídos de la celda real fueron realizados y proporcionados por el M.C. Moisés García Juárez y el Dr. Roberto Carlos Ambrosio Lázaro. El reporte de la caracterización puede consultarse en [\[21\]](#).

Las pruebas efectuadas al modelo de celda solar en VerilogA fueron las siguientes:

- **Prueba 1:** Ajuste del modelo de celda solar en VerilogA a los datos extraídos de una celda real con $V_{OC} = 600mV$, $I_{SC} = 730mA$, temperatura de $25^{\circ}C$ y una irradiación de $1kW/m^2$.
- **Prueba 2:** Barrido de voltaje al modelo de celda solar en VerilogA. El valor de los parámetros para la prueba son:
 - $V_{OC} = 3V$
 - $I_{SC} = 50mA$
 - irr de 0.1 a 1, en pasos de 0.1
 - $G_{PV} = 0.001S$
 - $K_t = 2.7$
 - $p_{OC} = 0.001$
 - Barrido de voltaje en V_{PV} de 0 a $3V$

3.3. Propuesta de MPPT a nivel comportamental

Con base en el algoritmo de operación de [20], se propuso una arquitectura de MPPT la cual cambia algunos módulos e incorpora otros adicionales para resolver algunos problemas de convergencia al MPP que se verán más adelante. En primer lugar, se muestra el diagrama general de conexiones de la celda solar, el sensor de potencia, el convertidor DC/DC boost y el MPPT.

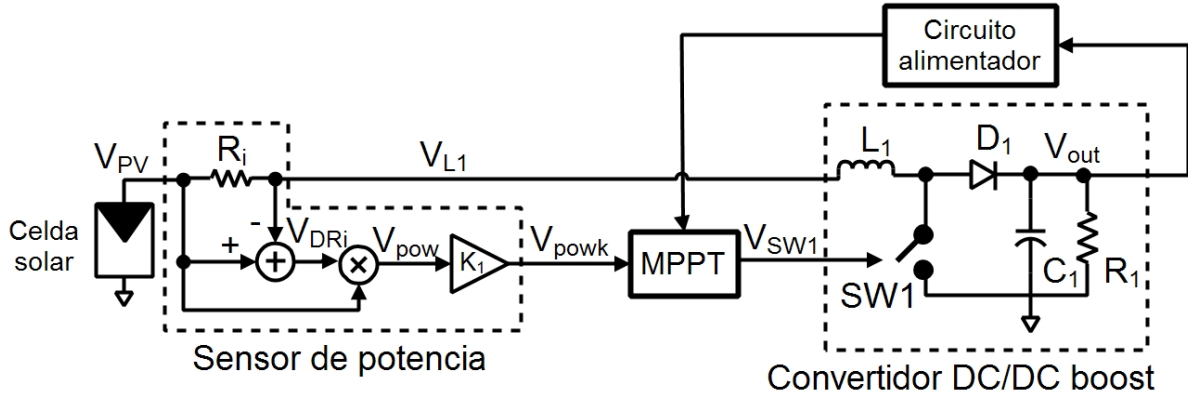


Figura 3.8: Diagrama de conexiones de la celda solar, el sensor de potencia y el convertidor DC/DC boost, junto al MPPT.

Con base en la Fig. 3.8, el sensor de potencia calcula la corriente usando un resistor de 1Ω a partir del cual mide la diferencia de potencial en él y la multiplica por el voltaje de celda solar V_{PV} . El resultado es atenuado por un factor K_1 para acoplar la señal con los niveles de voltaje del MPPT. Así, la ecuación general del cálculo de la potencia atenuada es:

$$P_a = K_1(V_{PV}^2 - V_{L1}V_{PV}) \quad (3.9)$$

donde K_1 es un factor entre 0 y 1. Si $K_1 = 1$, entonces se obtiene la potencia real de la celda. Por lo tanto, la relación entre la potencia real y la atenuada es:

$$P_a = K_1 P_r \quad (3.10)$$

Al ser el MPPT parte de un sistema de cosecha de energía, requiere ser polarizado por una fuente de voltaje. A manera de propuesta, tal fuente de voltaje puede ser implementada por un circuito alimentador, el cual regula el voltaje de salida del convertidor de potencia y emite un nivel de DC constante para polarizar el MPPT. Así, el sistema sigue siendo autosustentable. Aunque el presente trabajo de tesis únicamente abarca el diseño y caracterización del bloque MPPT, se establecen las condiciones para, en un futuro, anexar el posible circuito alimentador.

A continuación se presenta el modelo propuesto de MPPT a nivel comportamental.

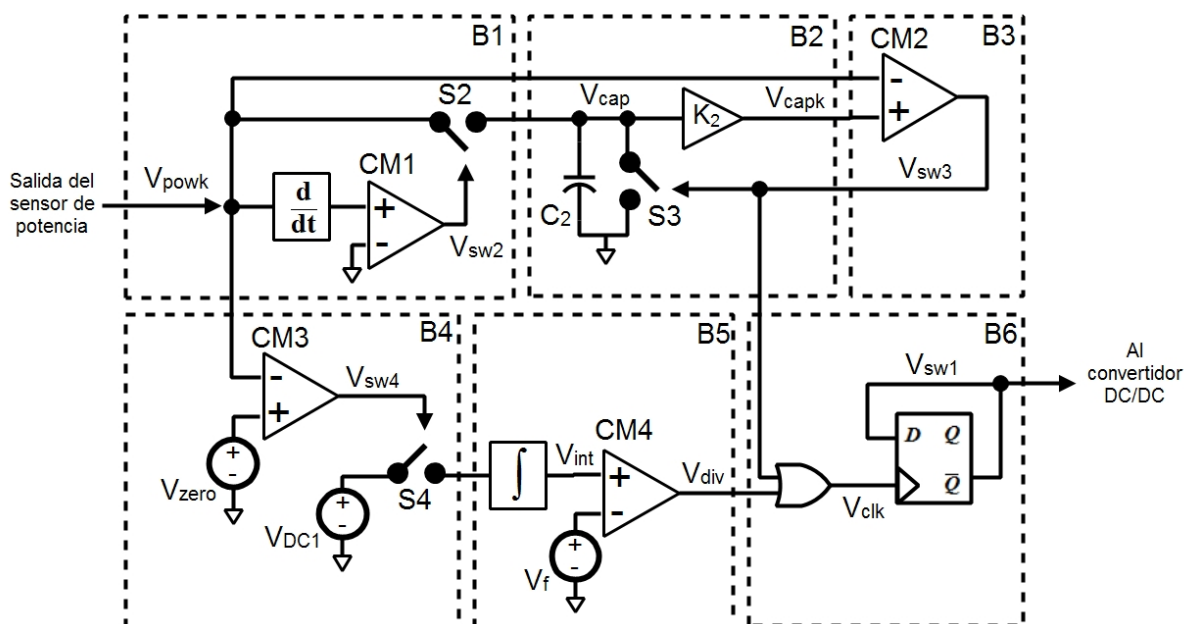


Figura 3.9: Diagrama de conexiones de MPPT propuesto.

Los bloques que conforman el MPPT son los siguientes:

- B1: Detector de pendiente positiva.
- B2: Retenedor-atenuador.
- B3: Detector de descenso límite.
- B4-B5: Circuito anti-divergencia. A su vez:
 - B4: Detector de potencia cero.
 - B5: Integrador.
- B6: Memoria de estado.

A continuación se explica el funcionamiento del MPPT propuesto.

1. En un inicio, se asume que no existe la suficiente energía para alimentar al MPPT, por lo tanto la señal de control del MPPT es 0 lógico. De este modo, el switch 1 del convertidor DC/DC boost se mantiene abierto y el punto de operación de la celda se mantiene en el extremo derecho de su curva de Potencia-Voltaje.
2. Cuando existe la energía necesaria para alimentar al MPPT, el flip-flop D de la memoria de estado cambia a 1 lógico. Lo anterior cierra el switch 1 y con ello desplaza el punto de operación hacia el MPP.

3. Como la variación de la potencia en el tiempo es ascendente antes de alcanzar el MPP, el detector de pendiente positiva emite un 1 lógico ($V_{sw2} = 1$) y cierra el switch 2. Con ello, la señal de la potencia atenuada (V_{powk}) es transmitida al retenedor-atenuador. En este último bloque, el capacitor carga el valor de la potencia atenuada y es nuevamente reducida en un factor K_2 por el modulo atenuador 2 (V_{capk}). En el detector de descenso límite, V_{capk} y la potencia atenuada son comparadas. Como en tal instante la potencia atenuada es mayor, el detector de descenso límite emite un 0 lógico, indicando que no se ha rebasado el límite del descenso de la potencia. Por lo tanto, la memoria de estado permanece sin cambios.
4. Cuando el punto de operación de la celda solar alcanza el MPP e inmediatamente comienza a descender, el detector de pendiente positiva emite un 0 lógico y abre el switch 2, bloqueando el paso de la señal de potencia atenuada hacia el retenedor-atenuador. A su vez, el capacitor del retenedor-atenuador almacena el último valor de la potencia atenuada antes de abrirse el switch 2. Este valor almacenado se reduce en un factor K_2 (V_{capk}) y se compara con el valor de la potencia atenuada, el cual sigue descendiendo. Como V_{capk} es fijo y el de la potencia atenuada continua descendiendo, se dará el momento en que V_{capk} sea mayor a la potencia atenuada. Mientras esto no ocurra, la memoria de estado permanece sin cambios.
5. Cuando la potencia atenuada desciende y rebasa el límite de descenso (cuando es menor a V_{capk}), el detector de descenso límite cambia a 1 lógico. Con ello, la compuerta OR de la memoria de estado emite un 1 lógico y genera un flanco ascendente de reloj al flip-flop D, por lo que la memoria de estado cambia por su valor opuesto y a su vez cambia el estado del convertidor DC/DC boost. Así, el punto de operación regresa de nuevo al MPP pero en sentido de izquierda a derecha. De manera paralela a la emisión del 1 lógico por parte del detector de descenso límite, el switch 3 se cierra y descargará el capacitor para una nueva lectura de potencia. El switch 3 vuelve a abrirse cuando el capacitor se descarga completamente.
6. Los pasos 3,4 y 5 se repiten para cada sentido de desplazamiento del punto de operación.

El algoritmo anterior se cumple cuando el nivel de irradiación es constante. Sin embargo, los cambios abruptos de dicho factor climático pueden generar divergencia del punto de operación, manteniéndolo en potencia cero. La situación anterior ocurre porque el circuito detector de pendiente positiva, por sí mismo, no distingue entre un descenso de potencia en condiciones normales de operación (irradiación constante) y uno por un descenso de la irradiación. Si este último caso ocurre, el punto de operación desciende hacia una curva menor de Potencia-Voltaje. Al hacerlo, también puede aterrizar en el mismo extremo en el que se encontraba en la curva anterior. Sin embargo, el sistema interpreta lo anterior como

si el punto de operación hubiese descendido en la forma tradicional y se encontrase en el extremo opuesto de la curva Potencia-Voltaje a partir de donde surge la perturbación por irradiación. Ante ello, el algoritmo conmuta el estado del convertidor DC/DC boost para volver a desplazar el punto de operación hacia el MPP, pero tal cambio no corresponde a la posición y el sentido de desplazamiento del punto de operación. En consecuencia, este diverge y se estanca en potencia nula. Es entonces cuando el circuito anti-divergencia entra en operación, bajo el siguiente algoritmo:

1. Cuando la potencia es $0W$, el detector de potencia cero emite un 1 lógico y cierra el switch 4 para transmitir un voltaje constante de DC hacia el bloque integrador.
2. Dentro del integrador, el voltaje de DC comienza a integrarse, generando una rampa creciente. La razón de tal señal es ascender hasta un valor de voltaje V_f en un tiempo t_f tal que el comparador 4 detecte cuando la rampa alcance el valor V_f , pues esto implica que se ha transcurrido un tiempo t_f en potencia nula, sin interrupciones.
3. Cuando la señal rampa alcanza el valor V_f en un tiempo t_f , el comparador 4 detecta tal valor y emite un 1 lógico. A su vez, genera que la compuerta OR de la memoria de estado se active en 1 lógico y emita un flanco ascendente en la señal de reloj del flip-flop D. Así, el switch del convertidor DC/DC boost cambia y en consecuencia, el punto de operación de la celda vuelve a desplazarse hacia el MPP.

En resumen, cuando la potencia de la celda solar cae a cero, el circuito anti-divergencia espera un tiempo t_f para verificar si aun la potencia es cero o solo se trata de un pico abrupto de la potencia. Si pasado tal tiempo la potencia sigue siendo nula, cambia el estado de operación del convertidor DC/DC boost y el punto de operación vuelve a converger hacia el MPP. Dicho proceso se verá con mejor claridad en el análisis de resultados.

Las siguientes ecuaciones describen el comportamiento del bloque integrador y de los switches del sistema. El nombre de las señales citadas son las mostradas en los circuitos de las Fig. 3.8 y 3.9.

- Ecuación del detector de pendiente negativa.

$$V_{SW2} = \begin{cases} 1, & \frac{dV_{powk}}{dt} > 0 \\ 0, & \frac{dV_{powk}}{dt} \leq 0 \end{cases} \quad (3.11)$$

- Ecuación del detector de descenso límite.

$$V_{ch} = \begin{cases} 1, & V_{capk} > V_{powk} \\ 0, & V_{capk} \leq V_{powk} \end{cases} \quad (3.12)$$

En términos de la potencia atenuada, V_{capk} se define como:

$$V_{capk} = K_2 V_{powk} \big|_{V_{SW2}=0} \quad (3.13)$$

- Ecuación del detector de potencia cero.

$$V_{SW3} = \begin{cases} 1, & V_{powk} < V_{div} \\ 0, & V_{powk} \geq V_{div} \end{cases} \quad (3.14)$$

donde V_{div} es el voltaje DC de umbral para detectar la divergencia.

- Ecuación del integrador

$$V_f = K_i \int_0^{t_f} V_{DC1} dt \quad (3.15)$$

donde V_f es el voltaje de integración en un tiempo t_f , el cual es el tiempo de espera para aplicar la señal de control anti-divergencia. El parámetro K_i es la constante de integración y V_{DC1} es el voltaje de DC constante a integrarse.

- Ecuación de la constante de integración.

$$K_i = \frac{V_f}{V_{DC1} t_f} \quad (3.16)$$

La expresión anterior resulta de resolver la integral de la ecuación [4.20](#) y despejar K_i .

El valor de algunos parámetros fijos del MPPT a nivel comportamental y del sensor de potencia son los siguientes.

Tabla 3.1: Valores para los parámetros del MPPT

K_2	C_2	V_f	V_{DC}	t_f	K_i	V_{zero}
0.9	1nF	1V	1V	20μs	50mV/μs	100mV

El parámetro K_1 cambia según la potencia de la celda fotovoltaica.

3.4. Diseño del convertidor DC/DC boost

Para la representación en el espacio de estados del convertidor DC/DC boost, este último se ha modelado para cada modo de operación: cuando el switch de control se encuentra abierto y cuando se encuentra cerrado. En tal diseño, se ha idealizado a 0Ω el valor resistivo del switch de control cuando se cierra y del diodo cuando conduce. De manera análoga, se ha idealizado una resistencia infinita para el switch cuando se abre y para el diodo cuando se polariza en inversa. También se ha despreciado el potencial de barrera del diodo.

El circuito equivalente del convertidor DC/DC boost cuando el switch de control se encuentra cerrado es el siguiente:

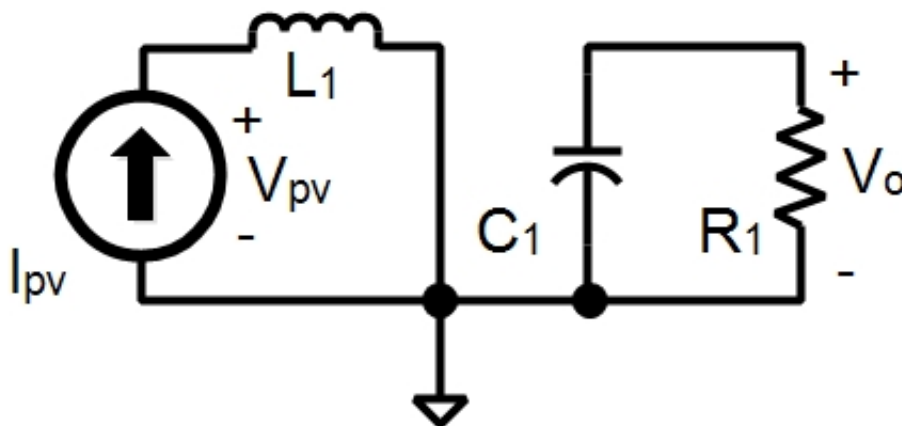


Figura 3.10: Circuito equivalente del convertidor DC/DC boost cuando el switch de control se encuentra cerrado.

En dicho modo de operación, la corriente de la fuente circula únicamente por el inductor, el cual almacena energía. El capacitor C_1 se descarga a través del resistor R_1 . La representación en el espacio de estados correspondiente es:

$$\begin{bmatrix} \hat{i}_{PV} \\ \hat{V}_O \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{R_1 C_1} \end{bmatrix} \begin{bmatrix} i_{PV} \\ V_O \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ 0 \end{bmatrix} V_{PV} \quad (3.17)$$

El circuito equivalente del convertidor DC/DC boost cuando el switch de control se encuentra abierto es el siguiente:

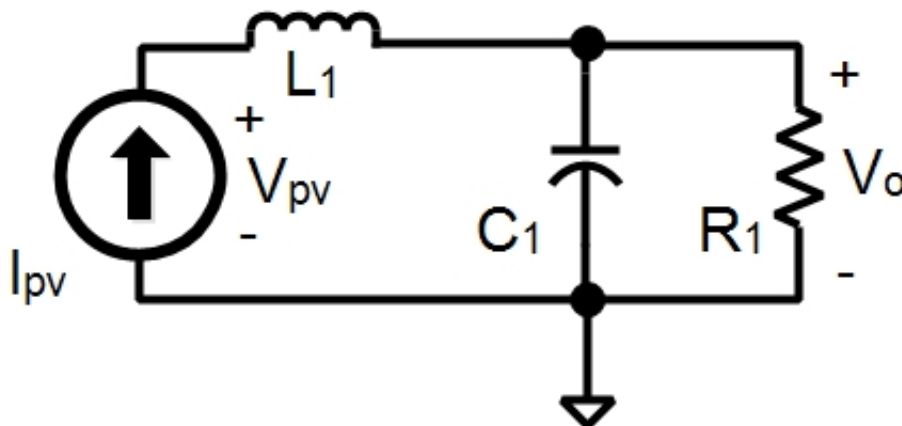


Figura 3.11: Circuito equivalente del convertidor DC/DC boost cuando el switch de control se encuentra cerrado.

En dicho modo, el inductor transfiere la energía almacenada en el ciclo anterior hacia el capacitor C_1 y el resistor R_1 . El voltaje V_O aumenta su valor. La representación en el espacio de estados respectiva es:

$$\begin{bmatrix} \hat{i}_{PV} \\ \hat{V}_O \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L_1} \\ \frac{1}{C_1} & -\frac{1}{R_1 C_1} \end{bmatrix} \begin{bmatrix} i_{PV} \\ V_O \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ 0 \end{bmatrix} V_{PV} \quad (3.18)$$

Para el cálculo del inductor, resistor y capacitor en el convertidor DC/DC boost, se partió de algunas características del modelo de celda solar a emplear. De acuerdo a los resultados de la Prueba 2 (ver Capítulo 5), se asume que el voltaje de punto de máxima potencia es de $1.92V$. Ya que la celda solar operará alrededor del MPP, entonces el voltaje de celda solar rondará en $1.92V$ la mayor parte del tiempo. Por ello, puede considerarse $1.92V$ como voltaje de entrada para el convertidor DC/DC boost.

La ecuación del voltaje de salida del convertidor DC/DC boost, tomando en cuenta la resistencia de inductor, es:

$$V_{out} = \left(\frac{V_s}{1-D} \right) \left(\frac{1}{1 + R_L/R_1 (1-D)^2} \right) \quad (3.19)$$

donde D es el ciclo de trabajo de la señal de control, V_s es el voltaje de entrada del convertidor, R_1 es la resistencia del convertidor y R_L es la resistencia del inductor, donde ésta última es del orden de $m\Omega$. Si la resistencia R_i del sensor de potencia, y conectada en serie

al inductor L_1 es igual a 1Ω , entonces puede asumirse $R_{Li} = R_L$. Como se mencionó antes, el voltaje de entrada del convertidor V_s es el voltaje de máxima potencia de la celda solar. En consecuencia $V_s = 1.92V$ e implica obtener una ganancia de voltaje igual o mayor a 2 en un nivel de irradiación de $1kW/m^2$, tal que $V_{out} \geq 2V_s = 3.84V$. Ésto permite asegurar un voltaje mayor a $1.2V$ con el cual es polarizado el MPPT a nivel transistor y layout, como se ilustra en el capítulo 4. Definida la ganancia, se propone un ciclo de trabajo de 0.5.

Al sustituir los valores anteriores en la ecuación 3.19 y aplicando un barrido de valores para la variable R_1 , se obtiene la siguiente gráfica.

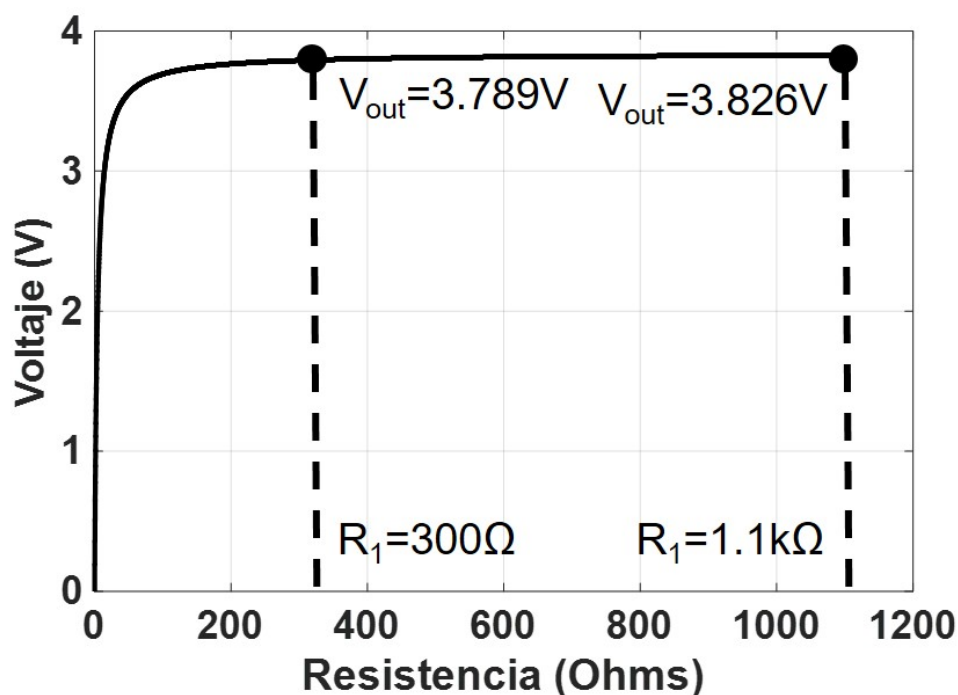


Figura 3.12: Voltaje de salida del convertidor DC/DC boost para valores de R_1 desde 0Ω a $1.2k\Omega$.

La gráfica 3.12 exhibe dos posibles valores de R_1 , pues con ambos $V_{out} > 3.8V$, es decir aproximadamente una ganancia de 2. Para una primera aproximación, se elige $R_1 = 300\Omega$. La ecuación para el cálculo del inductor L_1 es:

$$L_1 = \frac{D(1-D)^2 R_1}{2f_{min}} \quad (3.20)$$

donde f_{min} es la frecuencia mínima de la señal de control del convertidor, cuyo valor se propone en $10kHz$, basado en los rangos de frecuencia comunes en los que operan los convertidores boost. Al sustituir dichas cantidades en 3.20 se tiene $L_1 = 1.87mH$. Para el

cálculo del capacitor C_1 la ecuación respectiva es:

$$C_1 = \frac{D}{R_1 \left(\frac{\Delta V_{out}}{V_{out}} \right) f_{min}} \quad (3.21)$$

donde ΔV_{out} es la amplitud del rizo de voltaje en V_{out} . Para reducir las dimensiones de C_1 , se opta por usar el segundo valor de $R_1 = 1.1k\Omega$. En consecuencia, se obtiene $C_{3.4\mu F}$ cuyo valor se redondea a $4\mu F$.

Finalmente, las dimensiones del convertidor de potencia se muestran en la siguiente tabla.

Tabla 3.2: Dimensiones del convertidor DC/DC boost.

R_1	L_1	C_1	D_1	SW1
$1.1k\Omega$	$1.87mH$	$4\mu F$	Kit de diseño de Cadence	Comportamental

El voltaje de umbral del diodo D_1 es de alrededor de $180mV$. El interruptor comportamental se configuró con una resistencia de 1Ω y $1T\Omega$ en estado de encendido y apagado, respectivamente.

Las pruebas efectuadas a la propuesta de MPPT a nivel comportamental fueron las siguientes:

- **Prueba 3:** Análisis transitorio con las siguientes condiciones del modelo de celda solar:
 - $K_1 = 13.5$
 - $V_{OC} = 3V$
 - $I_{SC} = 50mA$
 - irr de 0.1 a 1, en pasos de 0.1
 - $G_{PV} = 0.001S$
 - $K_t = 2.7$
 - $p_{OC} = 0.001$
 - tiempo de simulación de $20ms$

- **Prueba 4:** Análisis transitorio con las siguientes condiciones del modelo de celda solar:
 - $K_1 = 0.009$
 - $V_{OC} = 65V$
 - $I_{SC} = 2A$
 - irr es una señal cuadrada de 0.1 a 1, con periodo de $150\mu s$, ciclo de trabajo del 50 %. Tal señal simula los cambios de irradiación.
 - $G_{PV} = 0.001S$
 - $K_t = 4$
 - $p_{OC} = 0.76$
 - $K_i = 50K \frac{V}{s}$

3.5. Resumen

A partir de un estudio del marco teórico y del estado del arte sobre los sistemas MPPT, se desarrolló una propuesta de seguidor de punto de máxima potencia cuyo algoritmo se basa en [20] e incorpora nuevos módulos para corregir problemas de convergencia hacia el MPP. El algoritmo fundamental del MPPT se basa en un control disparado por eventos y su implementación conlleva a un ahorro de recursos físicos. La propuesta de MPPT incorpora un circuito anti-divergencia cuyo objetivo es mantener la convergencia del punto de operación de la celda hacia el MPP ante cambios abruptos en la irradiación. El sistema emplea circuitos analógicos en su mayor parte, como comparadores, un integrador y un par de elementos digitales básicos como son la compuerta OR y el flip-flop D. Para aplicar las pruebas necesarias al MPPT propuesto y debido a la ausencia de un modelo de celda solar en la plataforma Cadence® Virtuoso, se implementó uno en lenguaje VerilogA, basado en un limitador de corriente contenido en el software *Matlab2015*, el cual utiliza una función tangente hiperbólica. Dicho modelo propuesto de celda solar incorpora efectos por irradiación y para aproximarse a un modelo real precisa conocer únicamente los parámetros más evidentes, como el voltaje de circuito abierto V_{OC} , la corriente de corto circuito I_{SC} , el porcentaje de saturación p_{OC} y la conductancia en saturación G_{PV} . Lo anterior se demuestra al ajustar el modelo a uno real. Se definieron las pruebas aplicadas a los modelos propuestos de MPPT y celda solar. Finalmente se expone el conjunto de ecuaciones de diseño del MPPT propuesto.

Capítulo 4

MPPT: diseño a nivel transistor y patrón geométrico

En el capítulo anterior se expuso la arquitectura del seguidor de punto de máxima potencia propuesto y su algoritmo de operación, basado en un control disparado por eventos. Así también, se definieron las pruebas efectuadas a nivel comportamental. Una vez finalizada tal validación, se procedió al diseño a nivel transistor de cada uno de los bloques del MPPT. Posteriormente, el proceso culminó con el diseño del patrón geométrico o *layout*, entendiéndose como la ubicación espacial de los componentes y conexiones del circuito MPPT dentro del área de silicio. El presente capítulo describe el funcionamiento y las dimensiones tanto de los circuitos empleados como del sistema en su totalidad, a nivel transistor y layout.

4.1. Tecnología CMOS 65nm

Para el diseño a nivel transistor, se utilizó el proceso tecnológico CMOS 65nm, cuyos parámetros físicos se presentan en la siguiente tabla.

Tabla 4.1: Parámetros físicos del proceso tecnológico CMOS 65nm

Parámetro	Abreviatura	NMOS	PMOS
Voltaje de umbral	$V_{TH(n)}, V_{TH(p)}$	400mV	-400mV
Longitud mínima de canal	L_{min}	60nm	60nm
Longitud máxima de canal	L_{max}	3 μ m	3 μ m
Ancho mínimo de canal	W_{min}	80nm	80nm
Ancho máximo de canal/finger	W_{max}	10 μ m	10 μ m
Transconductancia del proceso	k_n, k_p	330.1nA/V ²	160.85nA/V ²
Espesor de óxido	$t_{ox(n)}, t_{ox(p)}$	2.6nm	2.75nm

La tecnología CMOS $65nm$ favorece el diseño de circuitos integrados de menor consumo de potencia, debido a los bajos niveles de voltaje para polarizar los transistores, siendo el máximo de $1.2V$ tanto para el voltaje de drenaje a fuente (V_{DS}) como para el de compuerta a fuente (V_{GS}). Para el diseño propuesto, los voltajes de riel se fijan en $V_{DD} = 1.2V$ y $V_{SS} = 0V$. En el presente capítulo, la nomenclatura M_k hará referencia al k -ésimo transistor y I_{Dk} a la corriente de drenaje del k -ésimo transistor.

4.2. Asignación de puertos y nomenclatura de materiales en layout

La siguiente figura muestra los puertos eléctricos de entrada, salida y de polarización del circuito MPPT.

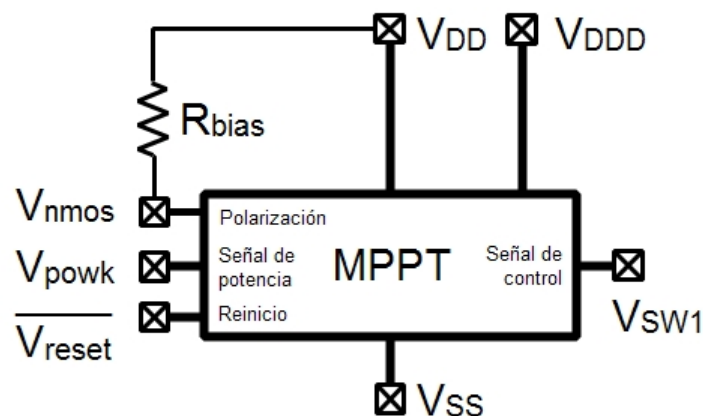


Figura 4.1: Diagrama de puertos del circuito MPPT.

El puerto V_{powk} es la señal de potencia de la celda solar; $\overline{V_{reset}}$ es el puerto de reinicio, activo en bajo. El puerto V_{nmos} es la entrada de la referencia externa para un espejo de corriente interno, a partir del cual se generan copias atenuadas para distintos circuitos como comparadores y un amplificador operacional. La referencia de corriente externa se logra con un resistor variable R_{bias} , para aplicar ajustes finos en el establecimiento de la corriente. Al definirse $I_{bias} = 16\mu A$ y $V_{nmos} = 600mV$, por ley de Ohm, $R_{bias} = 37.5k\Omega$. El puerto V_{SW1} es la señal de salida o control del convertidor de potencia DC/DC boost. La polarización de los bloques analógicos se aplica por el puerto V_{DD} y la de los digitales por el puerto V_{DDD} . Lo anterior con el fin de proteger del ruido analógico a los bloques digitales. En ambos casos, el voltaje aplicado es $1.2V$. El puerto V_{SS} es la tierra general del circuito, de valor $0V$.

La conexión interna de los bloques del MPPT y la asignación de puertos de cada uno se expone a continuación.

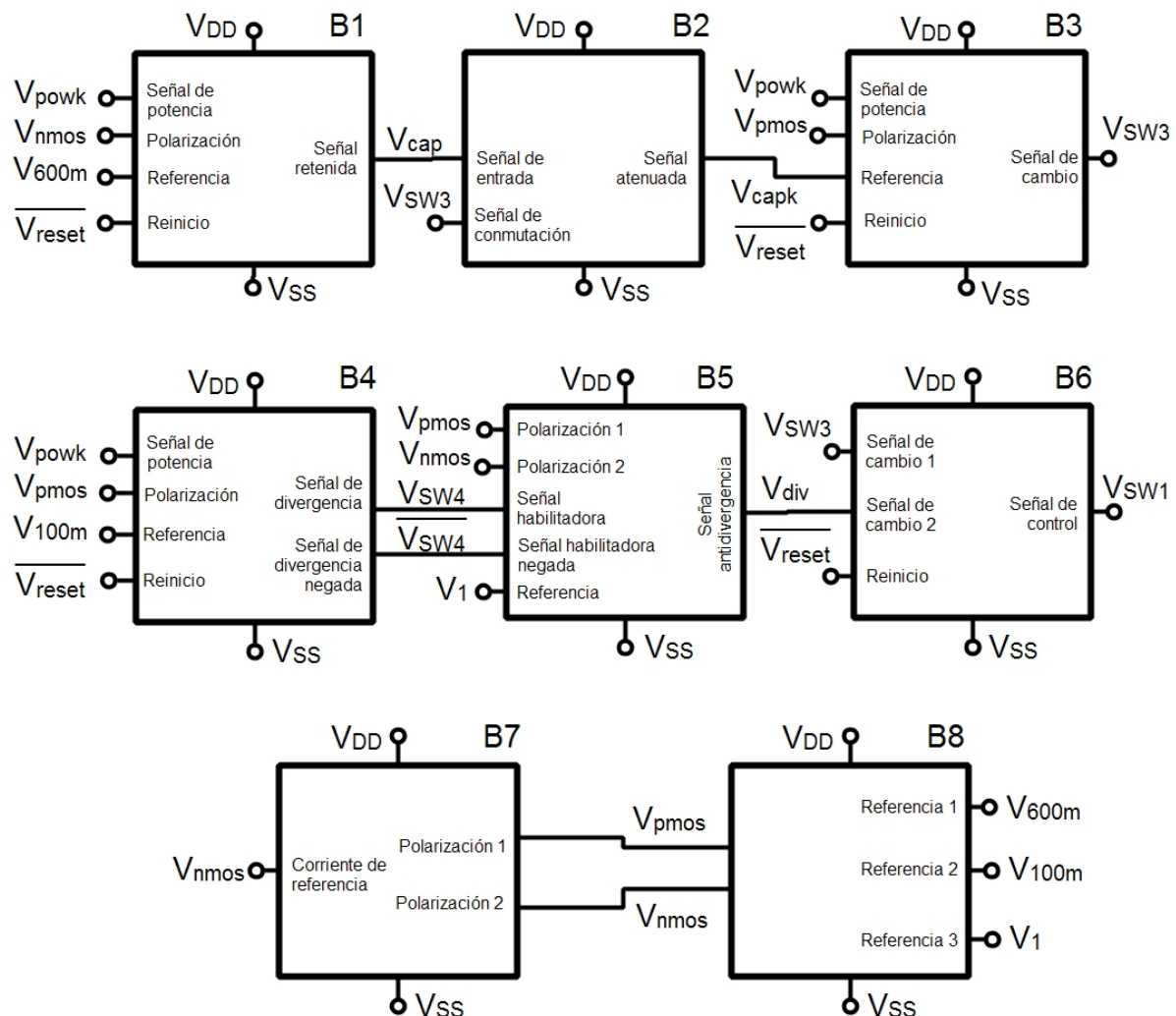

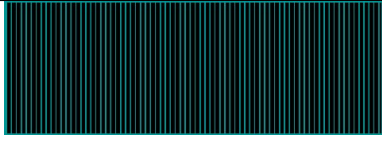

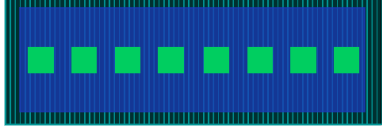
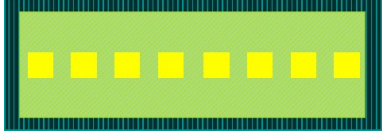




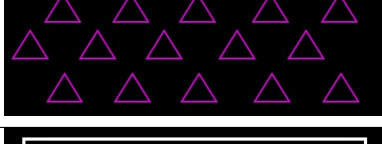
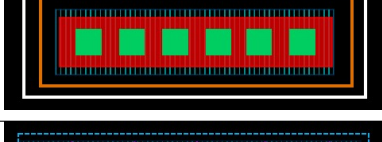
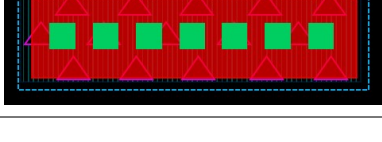


Figura 4.2: Configuración interna del MPPT a nivel transistor.

Acorde a la Fig. 4.2, de B1 a B6 los bloques respectivos son: detector de pendiente positiva, retenedor-atenuador, detector de descenso límite, detector de potencia cero, integrador y memoria de estado. A diferencia de la arquitectura a nivel comportamental, el circuito añade un espejo de corriente (B7) y un generador de referencias de voltaje (B8) para la polarización de los comparadores y el amplificador operacional. Con el fin de interpretar correctamente los layouts de cada componente, la siguiente tabla expone la nomenclatura de colores y texturas correspondiente a los materiales empleados para la construcción física del circuito MPPT. La siguiente subsección describe los componentes comunes en diferentes bloques del MPPT.

Tabla 4.2: Nomenclatura de materiales en layout.

Código	Material
	Polisilicio
	Metal nivel 1
	Metal nivel 2
	Contacto polisilicio-metal nivel 1
	Contacto entre metales nivel 1-2
	Difusión
	Pozo tipo N
	Sustrato tipo P
	Región tipo N fuertemente dopada
	Región tipo P fuertemente dopada
	Contacto para pozo tipo N
	Contacto para sustrato tipo P

4.3. Interruptor analógico

La arquitectura empleada de interruptor analógico es aquella conformada por transistores complementarios, como se expone en la siguiente figura.

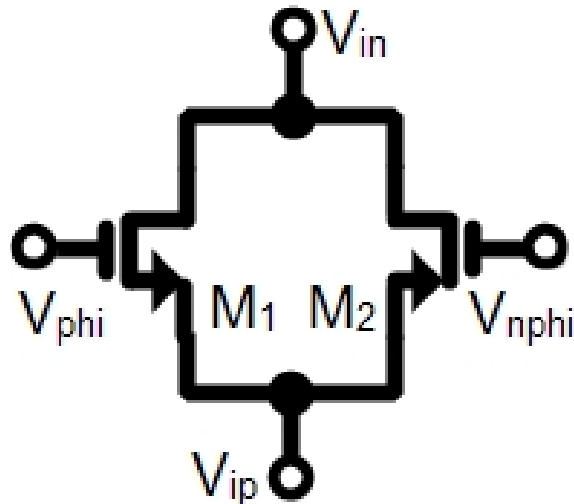


Figura 4.3: Arquitectura del interruptor analógico.

Con base en la Fig. 4.3, el interruptor requiere dos señales digitales complementarias (V_{phi} y V_{nphi}) para encender o apagar los transistores. Las resistencias individuales de cada transistor, en la región lineal, son:

$$R_{on(n)} = \frac{1}{|k_n \frac{W_1}{L_1} (V_{phi} - V_{ip} - V_{TH(n)})|} \quad (4.1)$$

$$R_{on(p)} = \frac{1}{|k_p \frac{W_2}{L_2} (V_{nphi} - V_{ip} - V_{TH(p)})|} \quad (4.2)$$

Con el fin de ensamblar apropiadamente los circuitos en el nivel layout, se fija $L_1 = L_2 = 480nm$. Para el cálculo de W_1 y W_2 , se asume $R_{on(n)} = R_{on(p)}$ y $|V_{phi} - V_{ip} - V_{TH(n)}| \cong |V_{nphi} - V_{ip} - V_{TH(p)}|$. Al despejar W_2 se obtiene:

$$W_2 \cong 2W_1 \quad (4.3)$$

Bajo las consideraciones previas, la resistencia total del interruptor es:

$$R_{on} = \frac{1}{2k_n \frac{W_1}{L_1} |V_{ip}|} \quad (4.4)$$

Con base en el análisis anterior, las dimensiones finales del interruptor se presentan en la siguiente tabla.

Tabla 4.3: Dimensiones para los transistores del interruptor analógico.

W_1	W_2	L_1	L_2
960nm	1.9 μm	480nm	480nm

Para el diseño del patrón geométrico, los transistores fueron divididos en unidades de menor ancho de canal a los calculados y conectados en paralelo, tal que la nueva configuración es equivalente a una sin divisiones. En la literatura, estas unidades son llamadas *fingers*. Dicha división es aplicada en la mayor parte de los transistores de cada componente, donde el objetivo es minimizar la capacitancia por ancho de canal. Así, cada transistor del interruptor analógico fue dividido en 4 fingers. El layout respectivo se expone a continuación.

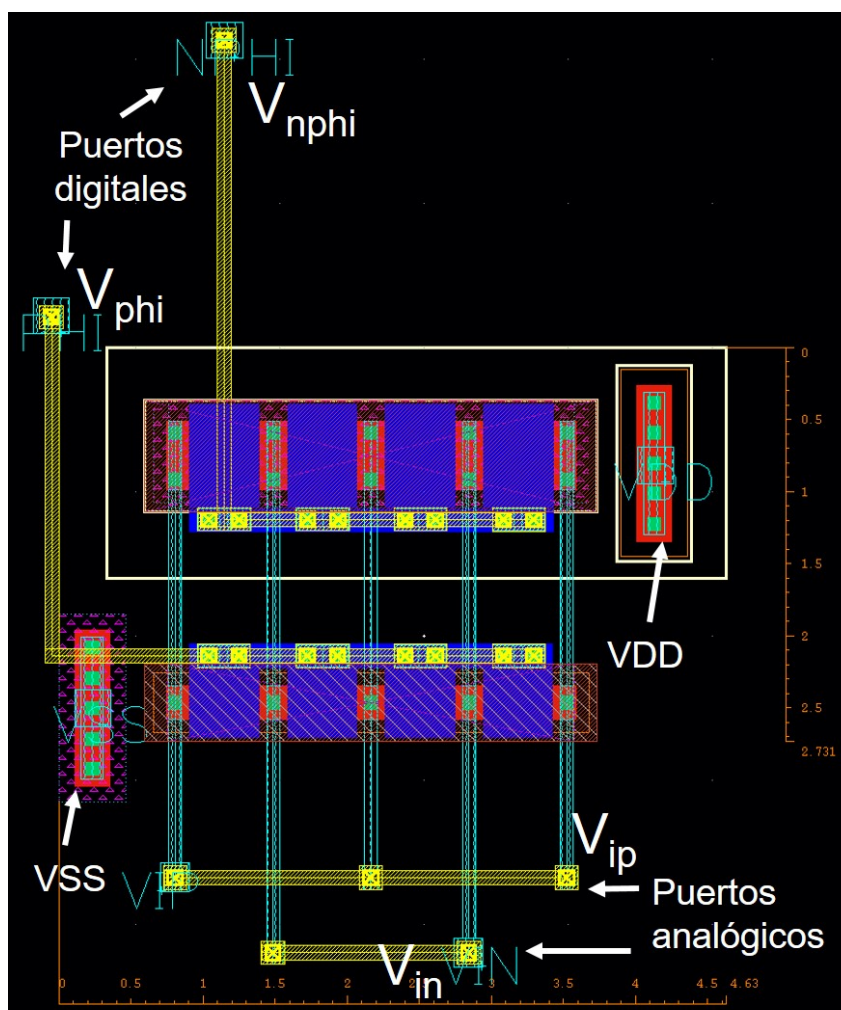


Figura 4.4: Layout del interruptor analógico.

De acuerdo a la Fig. 4.4, los puertos digitales son separados de los analógicos para evitar interferencia por ruido. Con tal configuración espacial, es posible alinear en forma horizontal un banco de interruptores que compartan las mismas señales digitales. Las dimensiones son de $2.73\mu\text{m}$ de alto por $4.63\mu\text{m}$ de ancho. Lo anterior sin considerar las pistas de metal nivel 1 y 2.

Posterior al diseño de un layout, el siguiente paso es la extracción de elementos parásitos, la cual es la obtención del modelo de un circuito tomando en cuenta las resistencias, capacitancias e inductancias parásitas, creadas por la posición de los materiales que lo conforman. La respuesta de un circuito con el modelo de parásitas es el resultado con mayor aproximación al ofrecido por el circuito real. Bajo tales consideraciones, la resistencia del interruptor analógico, en modo encendido y con el modelo de parásitas, se muestra en la siguiente figura.

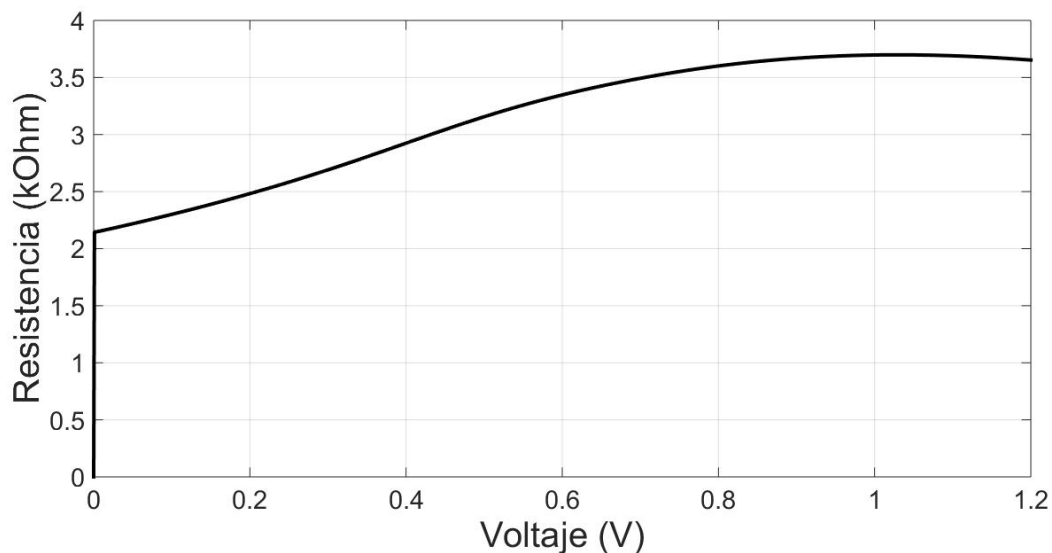


Figura 4.5: Resistencia del interruptor analógico en función del voltaje en una de sus terminales. La respuesta es tomando el modelo de parásitas.

La resistencia del interruptor oscila entre $2.148\text{k}\Omega$ y $3.698\text{k}\Omega$ en un rango de voltaje entre 0 y 1.2V . La resistencia máxima es de $3.698\text{k}\Omega$ asociado a un voltaje de 1.006V . Tales rangos de resistencia son aceptables para la aplicación principal del interruptor, que consiste en un elemento de descarga y retención en el bloque retenedor-atenuador. El cociente W/L para los transistores N y P son de 2 y 3.95 respectivamente. Un cociente mayor a los anteriores provoca fuga de carga en los capacitores, lo que en consecuencia impide una correcta retención de la señal.

4.4. Celdas digitales

Para el presente trabajo y considerando el diseño a nivel layout, se emplearon los componentes digitales mencionados del kit de celdas digitales, perteneciente a Cadence® Virtuoso. Tales componentes emplean un proceso CMOS $65nm$. No obstante, la compañía no muestra los diagramas a nivel transistor de cada uno, únicamente proporciona sus símbolos y patrones geométricos. A pesar de ello, fue posible utilizar tales celdas en simulaciones a nivel transistor. Para lograrlo, se recurrió a un proceso de extracción de elementos parásitos.

Una vez concluida la extracción de las celdas digitales requeridas, se aplicaron pruebas transitorias para conocer los retardos de propagación de alto a bajo (t_{HL}) y de bajo a alto (t_{LH}). Con tales datos, se calculó el retardo de propagación medio (t_d) y la frecuencia máxima (f_{max}), cuyas ecuaciones son:

$$t_d = \frac{t_{LH} + t_{HL}}{2} \quad (4.5)$$

$$f_{max} = \frac{1}{4t_d} \quad (4.6)$$

Los voltajes correspondientes a los valores lógicos son, $1 \equiv 1.2V$ y $0 \equiv 0V$. Los retardos de propagación y la frecuencia máxima de cada celda digital se exponen en la siguiente tabla.

Tabla 4.4: Retardos de propagación de las celdas digitales empleadas.

Celda	Retardo de propagación	Frecuencia máxima
Inversor	$41.12ps$	$6GHz$
OR	$100.75ps$	$2.48GHz$
AND	105.78	$2.36GHz$
flip flop D	$209.32ps$	$1.19GHz$

Los respectivos layouts de las celdas digitales se exponen a continuación.

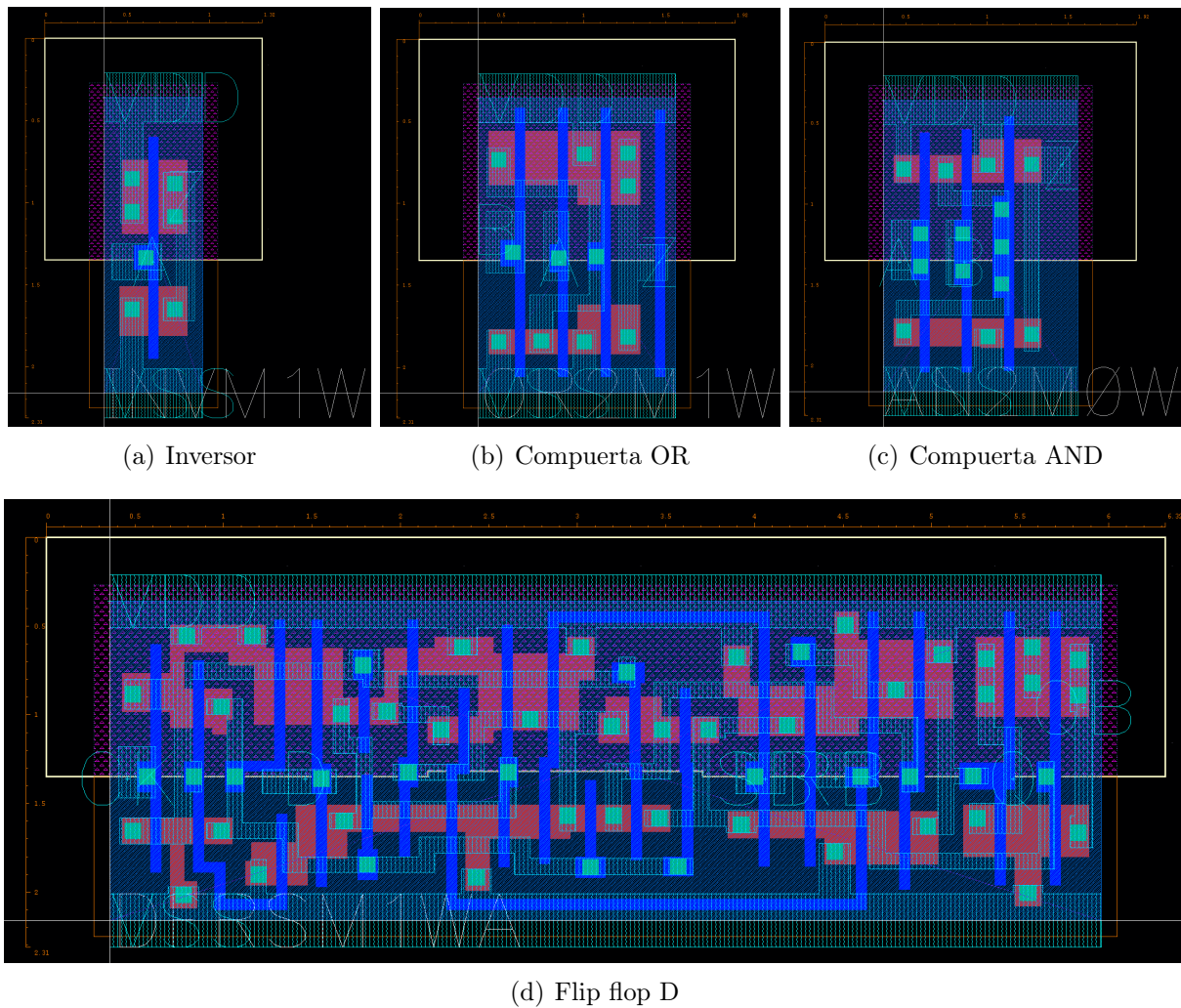


Figura 4.6: Layout de las celdas digitales empleadas.

Los anchos respectivos del inversor, compuerta AND, OR y flip flop D son: $1.32\mu m$, $1.92\mu m$, $1.92\mu m$ y $6.32\mu m$. Todas las celdas digitales poseen el mismo largo, de $2.31\mu m$ para propiciar la alineación horizontal de las mismas.

4.5. Capacitores integrados

Los capacitores integrados son los componentes que consumen mayor área sobre el sustrato debido a la baja densidad superficial de capacitancia, en el orden de $fF/\mu m^2$. No obstante, los capacitores integrados suelen diseñarse en arreglos de unidades de menor valor en paralelo, con el objetivo de distribuir de manera uniforme el área del capacitor sobre el sustrato, por medio de dichas unidades de menor valor. Lo anterior evita el desperdicio de espacios en el circuito. Para el presente trabajo, se empleó una tecnología de capacitores integrados con una densidad superficial de capacitancia de $15.82fF/\mu m^2$, la cual es la mayor entre otros modelos. La siguiente figura muestra el layout de un arreglo de 16 capacitores para conformar uno de $10.15pF$, usando dicha tecnología.

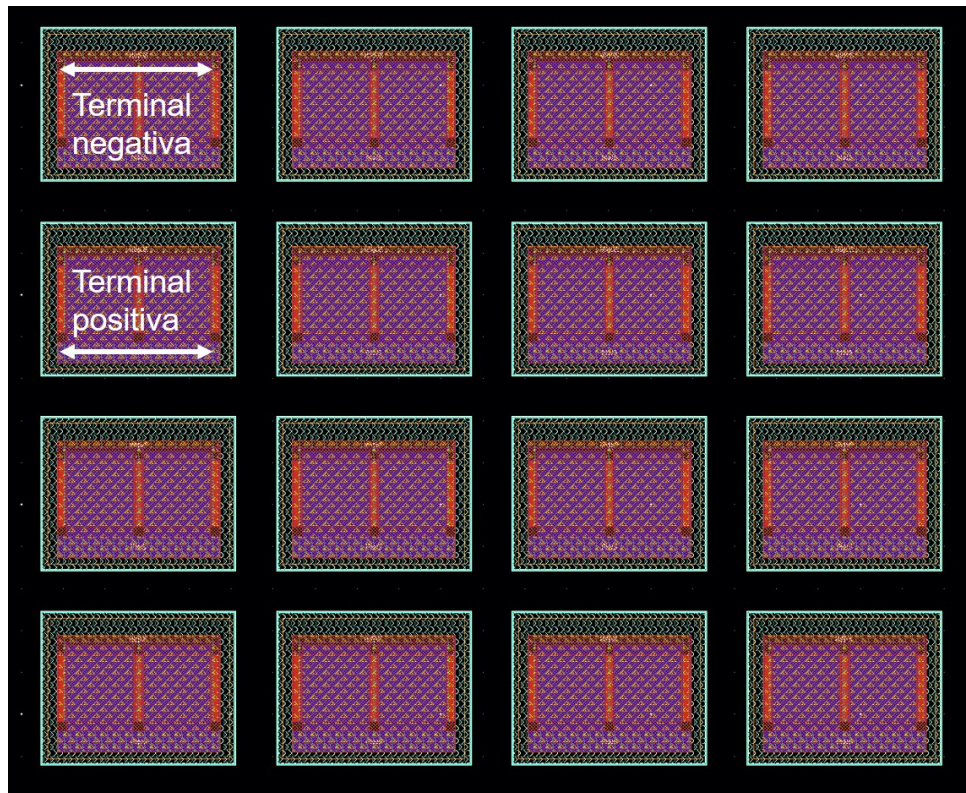


Figura 4.7: Layout de un arreglo de capacitores integrados para conformar uno de $10.15pF$

Acorde a la Fig. [4.7](#), cada unidad es un capacitor de $634.37fF$. A su vez, cada unidad se divide en dos sub-unidades o fingers, conectadas en paralelo. El espacio entre tales unidades es de $1\mu m$ por default.

4.6. Detector de pendiente positiva

El circuito detector de pendiente positiva determina si la potencia de la celda solar se encuentra ascendiendo o descendiendo respecto al tiempo. Lo anterior es indicado por las señales digital 1 y 0, respectivamente. El diagrama de tal bloque se expone enseguida.

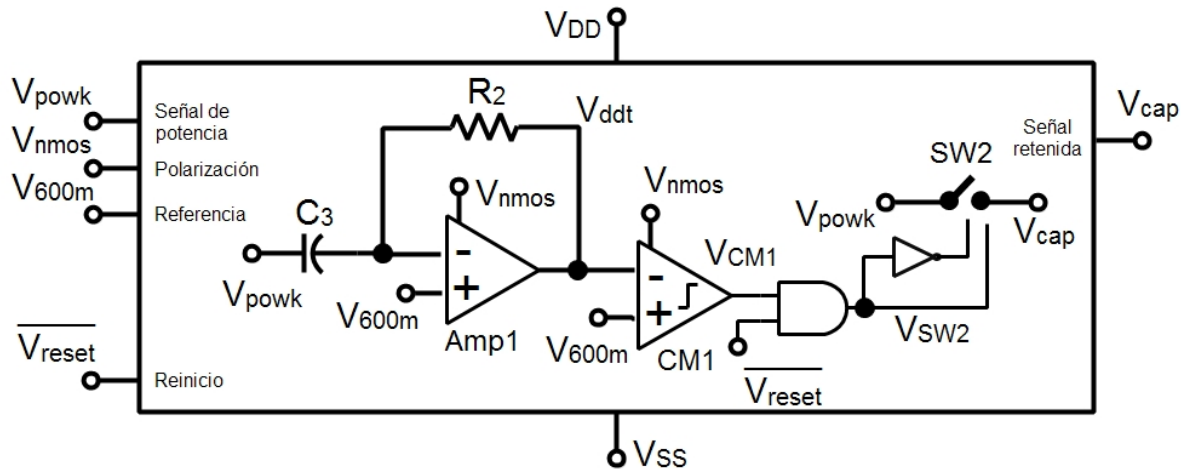


Figura 4.8: Circuito detector de pendiente positiva

El circuito emplea un amplificador operacional (Amp1) en configuración de derivador. La salida del Amp1 es cuantizada por un comparador (CM1) tal que la salida es 1 o 0 si V_{powk} asciende o desciende, respectivamente. Cuando la salida de CM1 es 1 o 0, el interruptor analógico (SW1) se cierra o abre para permitir o bloquear el flujo de V_{powk} hacia el nodo de V_{cap} , según corresponda. Al ser la polarización de 0V a 1.2V, el voltaje común de Amp1 y CM1 es 600mV. La ecuación de salida del derivador está dada por:

$$V_{ddt} = 600mV - \frac{dV_{powk}}{dt} \quad (4.7)$$

Para el diseño del circuito derivador, se parte de la siguiente función de transferencia.

$$H(s) = \frac{1}{2\pi f R_2 C_3} \quad (4.8)$$

Como se mencionó previamente, los capacitores integrados suelen ocupar un área de silicio considerable respecto al resto de los circuitos, aun en el orden de unidades de pF. En consecuencia, se fija C_3 a 10pF. Al definir $H(s) = 1$ en $f = 21.22kHz$, se calcula el valor de $R_2 = 750k\Omega$.

La arquitectura de Amp1 es una etapa de entrada diferencial y salida única o *single ended*, seguida de un amplificador de fuente común, tal como se muestra a continuación.

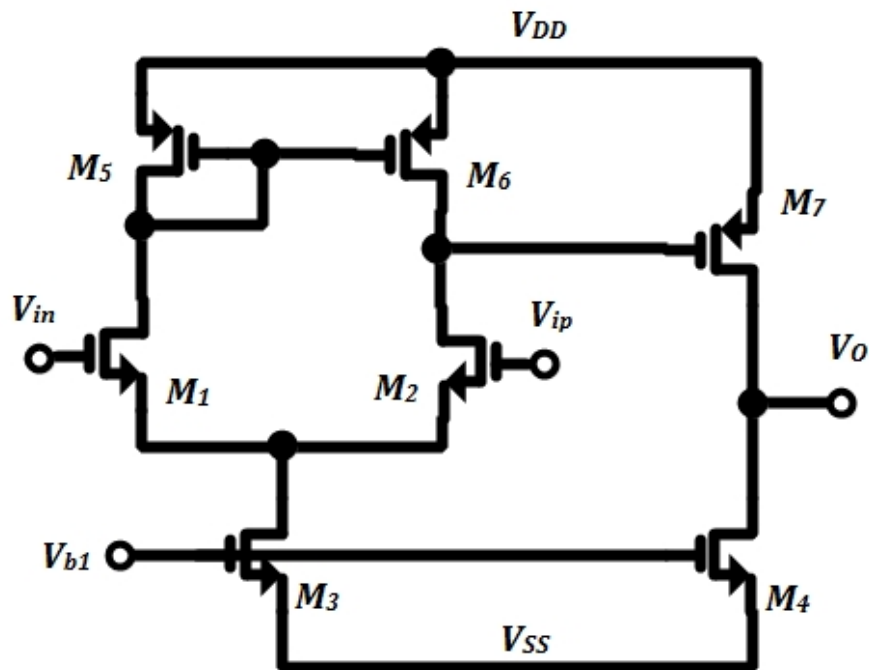


Figura 4.9: Arquitectura del amplificador operacional para el circuito derivador.

La ganancia total en DC del amplificador es el producto de las ganancias individuales de la etapa de salida única y el amplificador de fuente común. Así, lo anterior se expresa como:

$$A_{DC} = -\frac{g_{m(1,2)}r_{o(5,6)}r_{o(1,2)}}{r_{o(5,6)} + r_{o(1,2)}}g_{m7}r_{o(4)} \quad (4.9)$$

donde $g_{m(i,j)}$ y $r_{i,j}$ son la transconductancia y la resistencia de los transistores i, j . Mediante los transistores M_3 y M_4 se definen corrientes de polarización de $10\mu A$ para la etapa de salida única y de $8\mu A$ para el amplificador de fuente común. Por lo tanto, la corriente total es de $18\mu A$. El ancho de canal de los transistores se presenta en la siguiente tabla.

Tabla 4.5: Dimensiones para los transistores del amplificador operacional.

M_1	M_2	M_3	M_4	M_5	M_6	M_7
$600nm$	$600nm$	$600nm$	$600nm$	$1.2\mu m$	$1.2\mu m$	$1.2\mu m$

El largo de todos los transistores es de $480nm$. Todos ellos son divididos en 2 fingers para el correcto acoplamiento espacial entre transistores.

El layout perteneciente al amplificador operacional se muestra en la siguiente figura.

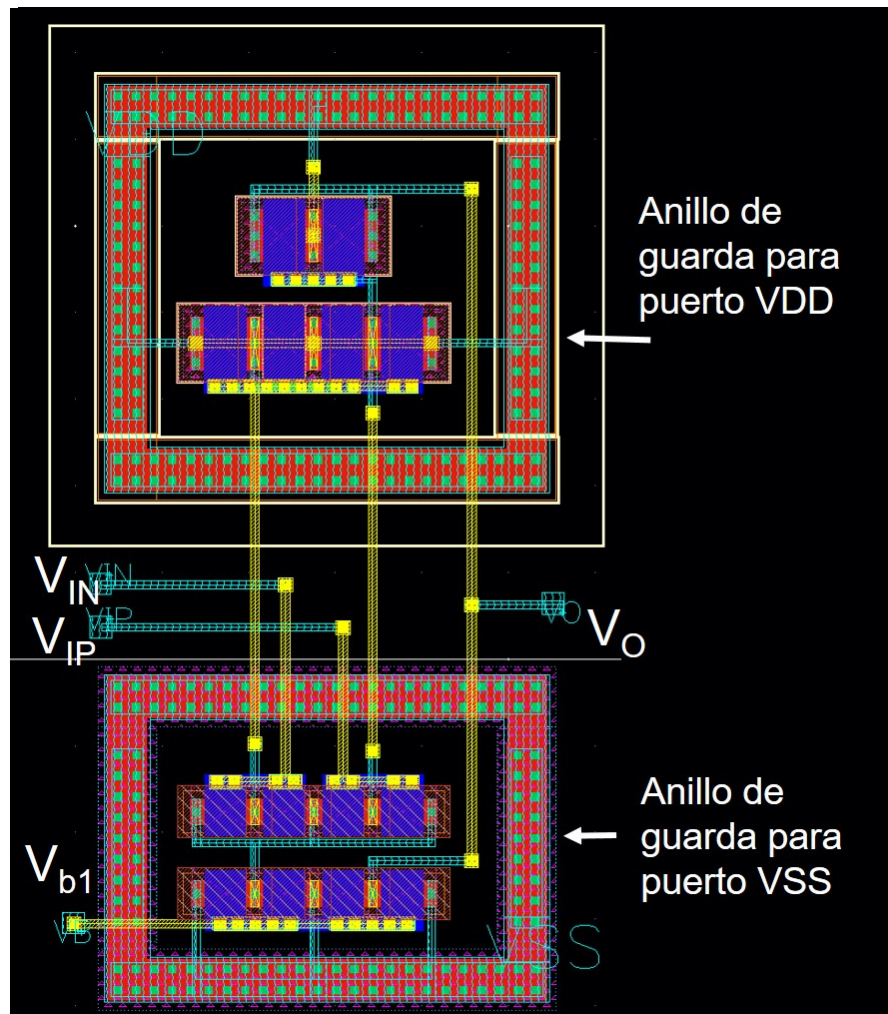


Figura 4.10: Layout del amplificador operacional para el detector de pendiente positiva.

Las terminales de alimentación VDD y VSS se han construido en forma de anillo para reducir los efectos de las capacitancias parásitas, además de ofrecer un espacio de 360° para conectarse con el resto de las terminales comunes. Los transistores PMOS y NMOS se agrupan en la parte superior e inferior, respectivamente. Las compuertas de los transistores son conectadas usando contactos de polisilicio a metal 1 y de metal 1 a metal 2, con el objetivo de reducir las posibles resistencias flotantes, originadas de manera inherente por los mismos contactos. Las dimensiones del amplificador operacional son de $11.34\mu\text{m}$ de alto por $6.4\mu\text{m}$ de ancho. El consumo de potencia es de $21.6\mu\text{W}$.

Al igual que el capacitor integrado, el resistor integrado es conformado por unidades de menor valor llamadas segmentos. Estos pueden conectarse en serie o paralelo según los requerimientos. A continuación se muestra el layout del resistor integrado para el detector de pendiente positiva.

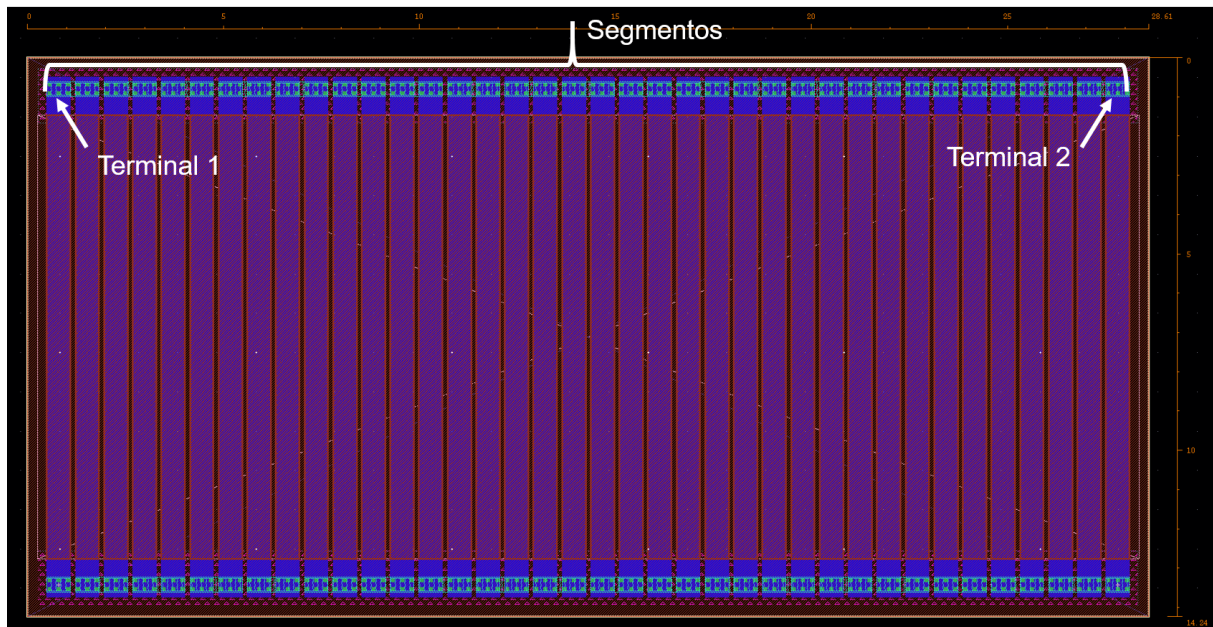


Figura 4.11: Layout del resistor para el detector de pendiente positiva.

El resistor se conforma por 38 segmentos en serie, cada uno con dimensiones de $11.3\mu\text{m}$ de largo por 600nm de ancho. Dicho componente se fabrica sobre un pozo tipo N (contorno blanco en la Fig. 4.11). Las dimensiones totales del resistor son de $14.24\mu\text{m}$ de alto por $28.61\mu\text{m}$ de ancho, cuya área es 6.6 veces menor a la del capacitor integrado C_3 con dimensiones de $30.76\mu\text{m}$ de alto por $87.44\mu\text{m}$ de ancho. El patrón geométrico del capacitor C_3 para la presente etapa se conforma por un arreglo de 16 unidades, cada uno de valor 634.37fF y donde cada unidad se divide en 2 fingers. El layout respectivo se mostrará en el diseño final del circuito MPPT, dado que el arreglo espacial se adapta a la ubicación del resto de los componentes.

La siguiente figura muestra la respuesta en frecuencia del amplificador operacional en configuración de derivador, tomando el modelo de las parásitas.

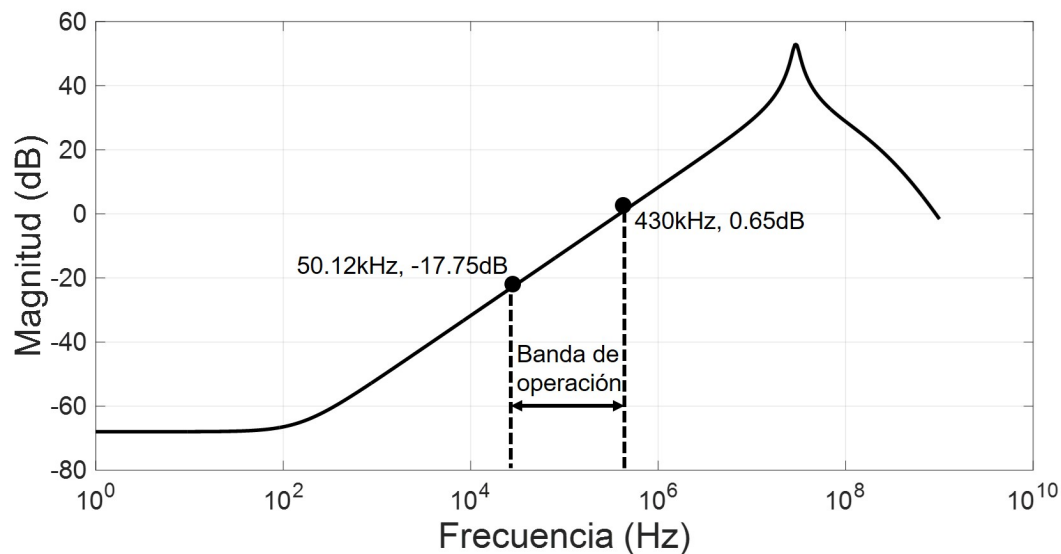


Figura 4.12: Respuesta en frecuencia del amplificador operacional en configuración de derivador, bajo el modelo de parásitas.

Con base en la Fig. 4.12 y en pruebas a nivel comportamental, el rizo de la señal de potencia alrededor del MPP oscila entre 50kHz y 430kHz con un margen de ganancia respectivo de 0.1295 y 1.07, si el rango de irradiación va de $100\text{W}/\text{m}^2$ a $1\text{kW}/\text{m}^2$. La banda de operación tiene un ancho de 380kHz . Con la presente configuración y considerando que la señal del rizo de potencia oscila en un margen del 90% respecto al máximo, se esperan amplitudes alrededor de 100mV y 30mV , teniendo como voltaje común una referencia de 600mV .

Como se mencionó, el comparador CM1 cuantiza la salida del derivador a dos estados lógicos: 1 si la señal es menor a 600mV (potencia en ascenso) y 0 si la señal es mayor a 600mV (potencia en descenso). Lo anterior se expresa como:

$$V_{CM1} = \begin{cases} 1, & V_{dtt} < 600\text{mV} \\ 0, & V_{dtt} \geq 600\text{mV} \end{cases} \quad (4.10)$$

Al asumir $\overline{V_{reset}} = 1$, $V_{SW2} = V_{CM1}$

Debido a que el comparador únicamente necesita comparar respecto a una referencia fija de $600mV$ y la señal a comparar oscila en frecuencias menores a $1MHz$, una arquitectura de un amplificador de salida simple y dos inversores digitales puede cubrir el requerimiento, tal como lo demuestra la Fig. 4.13.

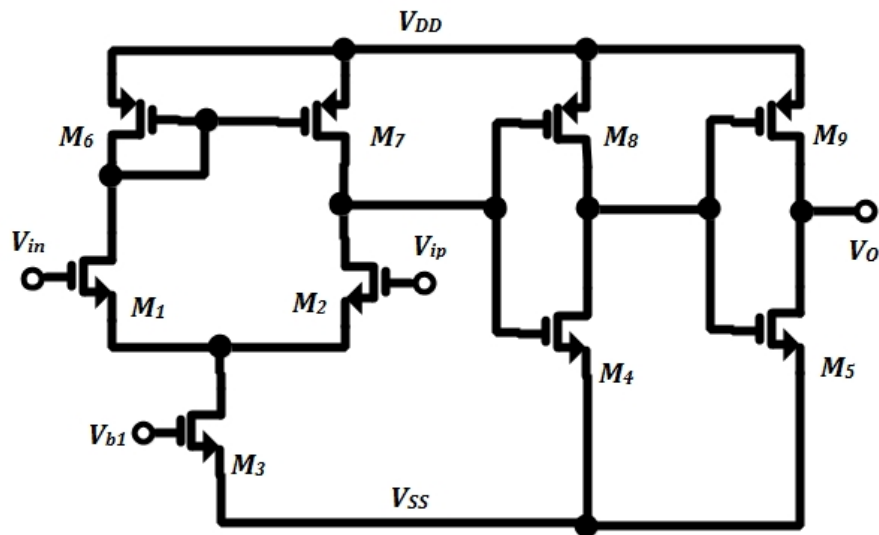


Figura 4.13: Arquitectura del comparador para el bloque detector de pendiente positiva.

Al ser los inversores digitales de las mismas dimensiones, ambos poseen la misma ganancia. Por lo tanto, la ganancia total está dada por:

$$A_{CM1} = \frac{g_{m(1,2)}r_{o(1,2)}r_{o(6,7)}}{r_{o(1,2)} + r_{o(6,7)}} \left(\frac{(g_{mn} + g_{mp})r_{on}r_{op}}{r_{on} + r_{op}} \right)^2 \quad (4.11)$$

donde $g_{mn} = g_{m8} = g_{m9}$ y $g_{mp} = g_{m4} = g_{m5}$. El consumo de corriente por parte del amplificador de salida simple y del par de inversores digitales es de $10\mu A$ para cada uno, bajo la condición $V_{ip} = V_{in} = 600mV$. Por lo tanto, el consumo de potencia es de $24\mu W$. Las dimensiones finales de cada transistor se muestran en la siguiente tabla.

Tabla 4.6: Dimensiones de transistores para el comparador del bloque detector de pendiente positiva.

M_1	M_2	M_3	M_4	M_5	M_6	M_7	M_8	M_9
$600nm$	$600nm$	$600nm$	$600nm$	$600nm$	$1.2\mu m$	$1.2\mu m$	$2.4\mu m$	$2.4\mu m$

De igual manera, el largo de canal de cada transistor es de $480nm$. A excepción de M_8 y M_9 divididos en 4 fingers, el resto de los transistores son conformados por 2 fingers. El layout perteneciente al comparador CM1 se muestra a continuación.

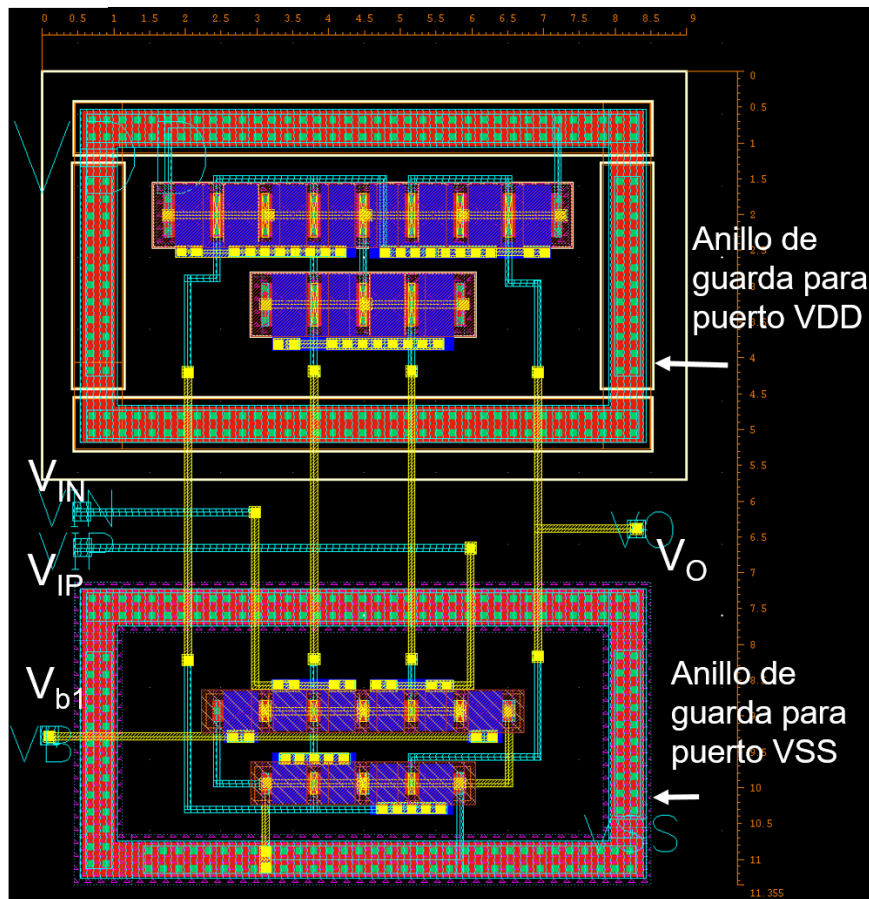


Figura 4.14: Layout del comparador para el detector de pendiente positiva.

La descripción física es similar a la del amplificador operacional para el circuito derivador. Las dimensiones son de $11.35\mu m$ de largo por $9\mu m$ de ancho.

Bajo el modelo de las parásitas, la respuesta en DC del comparador CM1, con $V_{ip} = 600mV$ y un barrido de voltaje en V_{in} de $0V$ a $1.2V$, es presentada a continuación.

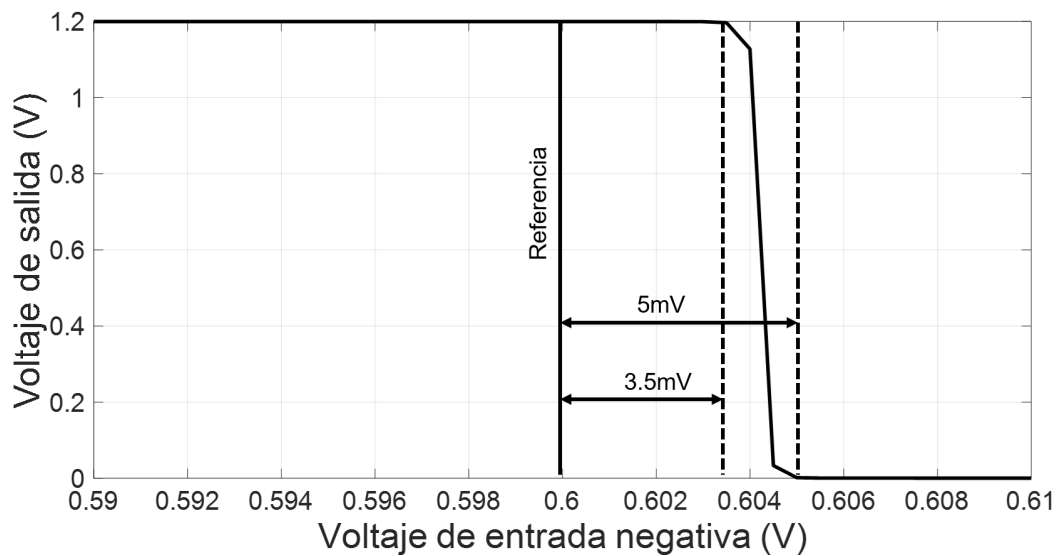


Figura 4.15: Respuesta en DC del comparador para el detector de pendiente positiva, cuando $V_{ip} = 600mV$.

Como se puede apreciar en la Fig. [4.15](#), existe un offset de $3.5mV$ respecto al voltaje de referencia cuando la señal de entrada asciende a un valor mayor a $600mV$. De la misma manera, se presenta un offset de $5mV$ cuando la señal de entrada desciende a un valor menor a $600mV$. Por lo tanto, el rango de sensibilidad oscila entre $3.5mV$ y $5mV$. No obstante, la respuesta es aceptable dado que tal sensibilidad representa un error menor al 5% en el seguimiento del punto de máxima potencia, el cual puede ser despreciable. Por otro lado, la ganancia del comparador es de $58dB$ cuya magnitud garantiza el alcance de $1.2V$ y $0V$ por parte de la señal de salida, sin mantenerse en niveles intermedios.

4.7. Retenedor-atenuador

El objetivo de tal bloque es retener la señal de entrada a través de un par de capacitores en serie, además de aplicar una atenuación con un factor de 0.9. La arquitectura propuesta se muestra en la siguiente figura.

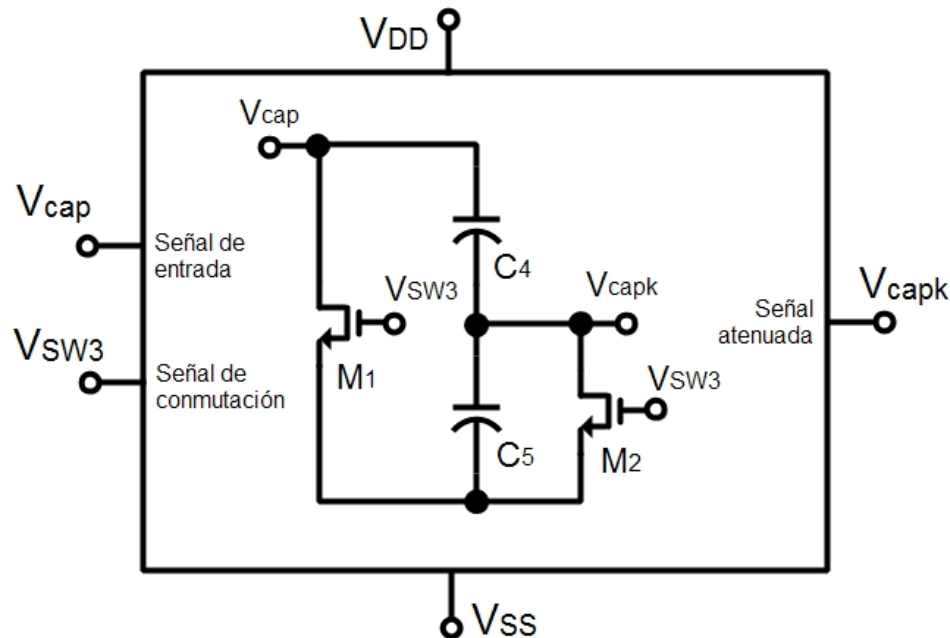


Figura 4.16: Circuito retenedor-atenuador

A diferencia del modelo comportamental que solo incorpora un capacitor para retención y un bloque ideal atenuador por separado, el circuito propuesto cumple las tareas de retención y atenuación al mismo tiempo por medio de un divisor de voltaje con dos capacitores. Los transistores NMOS efectúan la función de interruptores analógicos para la descarga y reinicio del divisor de voltaje. El propósito de conectar dos transistores NMOS como interruptores, tal como lo muestra la Fig. 4.16, es la de reducir el tiempo de descarga de los capacitores, dado que la carga de C_5 puede fluir por M_2 en su mayor parte y la de C_4 por M_1 , en lugar de fluir la carga de C_4 y C_5 por un único interruptor. Desde el aspecto físico, la arquitectura reduce la acumulación de carga parásita en el nodo V_{capk} originada por las capacitancias parásitas que forma C_4 y C_5 en el punto de conexión.

Para el cálculo de los valores de C_4 y C_5 y descartando la resistencia de los interruptores, la impedancia generada por el par de capacitores es la suma individual de cada una, tal que:

$$Z_T = \frac{C_4 + C_5}{sC_4C_5} \quad (4.12)$$

Por fórmula de divisor de voltaje, V_{capk} se define como:

$$V_{capk} = \frac{C_4}{C_4 + C_5} V_{cap} \quad (4.13)$$

Si se define $V_{capk} = 0.9V_{cap}$ y se sustituye en la ecuación [4.13](#), al despejar C_4 se obtiene $C_4 = 9C_5$.

Sea r_1 y r_2 las resistencias de los transistores M_1 y M_2 respectivamente, tal que $r_1 = r_2 = r_0$. Si $C_4 > C_5$, entonces $r_0C_4 > r_0C_5$. Al ser $C_4 = 9C_5$, se deduce $9r_0C_5 > r_0C_5$. Al considerarse las constantes de tiempo $\tau_2 = r_0C_5$, finalmente se concluye que:

$$9\tau_1 > \tau_2 \quad (4.14)$$

Es decir, la descarga de C_5 es 9 veces más rápida que la de C_4 . Tal característica resulta útil en el nodo V_{capk} , donde hay una mayor acumulación de carga parásita.

Para el diseño del patrón geométrico, C_4 se implementa con el modelo de capacitor estándar mostrado en la sección [4.5](#), mientras que para C_5 se usa una tecnología de capacitor mediante placas metálicas. Dicho componente presenta mayor exactitud en su valor respecto al capacitor estándar y mantiene una corriente de fuga prácticamente nula. Debido a ello, el capacitor metálico es apropiado para procesos de retención de señales. Sin embargo, su desventaja es la de tener una densidad superficial de capacitancia de $2.04fF/m^2$, 7.7 veces menor a la del capacitor estándar, lo que deriva en un mayor consumo de área.

Para el presente trabajo y con el fin de emplear la menor área posible, se fija $C_5 = 51.16fF$, por lo tanto $C_4 = 460.44fF$. Sin embargo, tras algunas pruebas con tales valores, se observó que la capacitancia total era menor a la esperada, debido a las capacitancias parásitas de M_1 y M_2 , lo que generaba una atenuación mayor, por debajo de 0.9. Por lo cual se aumentó el valor de C_4 hasta $1pF$ e implementó con un arreglo de 16 unidades, cada una de $62.5fF$. El layout perteneciente a C_5 se expone a continuación.

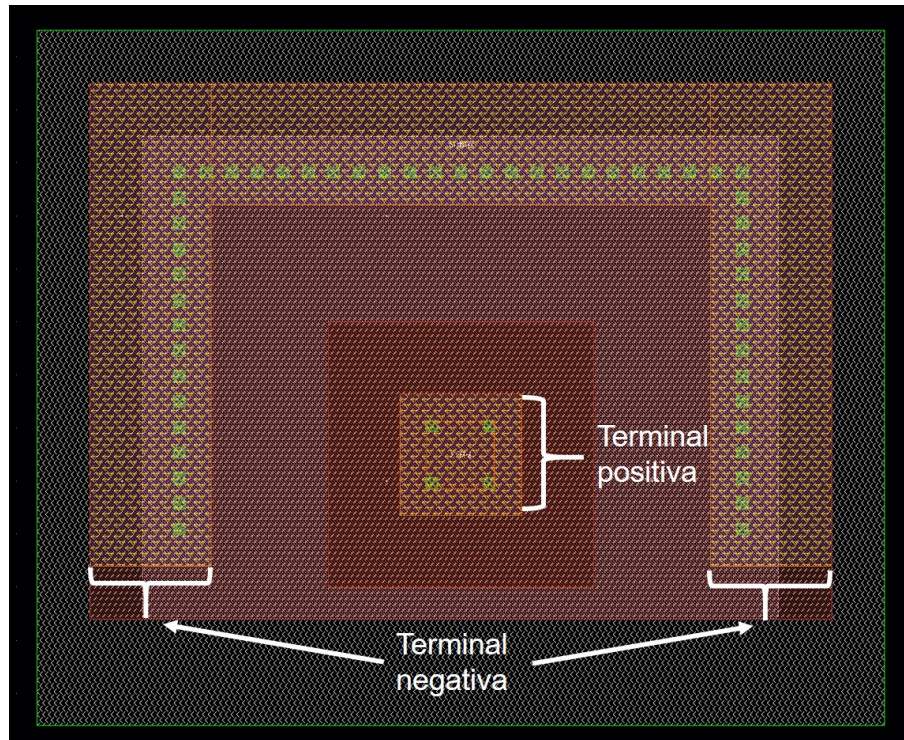


Figura 4.17: Layout del capacitor de placas metálicas, de valor $51.16pF$.

Para conectar el presente capacitor con el resto de los componentes, debe ascenderse hasta un séptimo nivel de metal y no debe encontrarse por debajo de pistas metálicas, sin importar el nivel de estas. Las dimensiones son de $13.1\mu m$ de alto por $16\mu m$ de ancho. Debido a que el arreglo de capacitores de C_4 y C_5 pueden moldearse a las formas espaciales del resto de los componentes en el MPPT, el layout del retenedor-atenuado se mostrará dentro del patrón geométrico del MPPT en su totalidad.

4.8. Detector de descenso límite

El circuito se compone principalmente por un comparador, cuya función es emitir un pulso cuando la potencia descienda por debajo del 90% de su valor. Tal pulso enciende los interruptores analógicos del circuito retenedor-atenuado para descargarlos y cambia el estado lógico del convertidor de potencia. La arquitectura del circuito se expone en la siguiente figura.

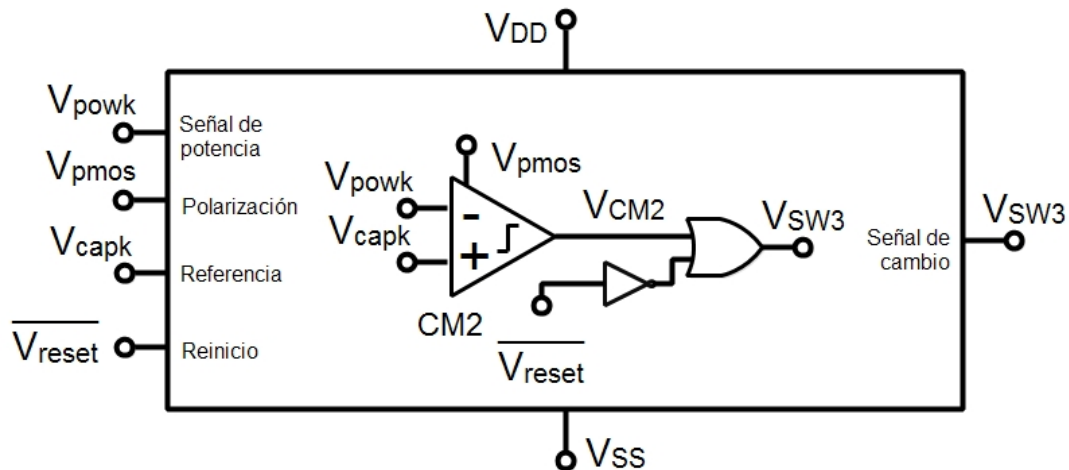


Figura 4.18: Circuito detector de descenso límite.

Si $\overline{V_{reset}} = 1$, entonces $V_{SW3} = V_{CM2}$. La salida del comparador $CM2$ se define como:

$$V_{CM2} = \begin{cases} 1, & V_{capk} > V_{powk} \\ 0, & V_{capk} \leq V_{powk} \end{cases} \quad (4.15)$$

A diferencia del comparador $CM1$, $CM2$ posee un voltaje de referencia variable, cuyo puerto es V_{capk} . Bajo tal condición de operación, se requiere de una arquitectura de comparador que reduzca significativamente el nivel de offset, es decir que compare con la mayor cercanía posible al voltaje de referencia y para un amplio rango de valores. Así, la siguiente arquitectura cumple con dichos requerimientos.

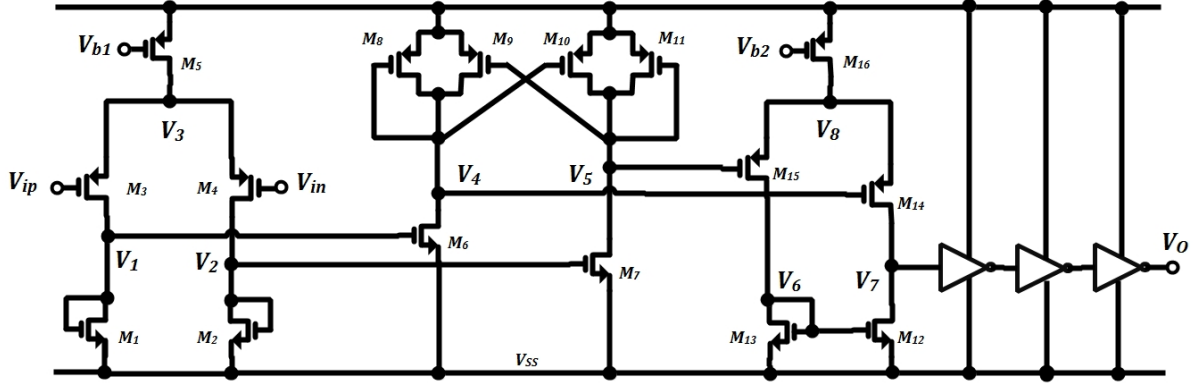


Figura 4.19: Arquitectura del comparador para el detector de descenso límite.

El comparador se compone de un amplificador de entrada-salida diferencial, un circuito latch, un amplificador de salida simple y una cadena de 3 inversores digitales. El amplificador diferencial genera una primera aproximación de la comparación entre V_{powl} y V_{capk} . El circuito latch compara las entradas con un grado mayor de exactitud, el amplificador de salida única amplifica la señal del latch y la cadena de inversores mejoran la ganancia para garantizar que la salida final del comparador no flote en niveles de voltaje intermedios entre $0V$ y $1.2V$.

La ganancia del amplificador entrada-salida diferencial se expresa como:

$$A_{amp1} = -\sqrt{\frac{\mu_p(W_{1,2}/L_{1,2})}{\mu_n(W_{3,4}/L_{3,4})}} \quad (4.16)$$

Donde $\mu_n = 25.51\mu m^2/Vs$ y $\mu_p = 13.14\mu m^2/Vs$ son la movilidad de portadores para los transistores NMOS y PMOS, respectivamente. Para la tecnología CMOS presente, al asumir $\mu_n \cong 2\mu_p$ y manteniendo en los transistores un mismo largo de canal, el ancho de canal de M_3 y M_4 son el doble del de M_1 y M_2 . Así, $W_3 = W_4 = 2W_1 = 2W_2$. De manera análoga, W_8 a W_{11} son el doble de W_6 y W_7 , ya que no precisan de una alta ganancia. En el caso del amplificador con salida única, la ganancia está dada por:

$$A_{amp2} = \frac{g_{m(14,15)}r_{o(12,13)}r_{o(14,15)}}{r_{o(12,13)} + r_{o(14,15)}} \quad (4.17)$$

La ganancia de los 3 inversores digitales es:

$$A_{amp3} = \left(\frac{(g_{mn} + g_{mp})r_{on}r_{op}}{r_{on} + r_{op}} \right)^3 \quad (4.18)$$

La arquitectura de los inversores digitales es la misma que los empleados en el comparador CM1. De la misma manera, el largo de canal de todos los transistores es de $480nm$. El ancho de canal de cada transistor se expone en la siguiente tabla.

Tabla 4.7: Ancho de canal para los transistores del comparador CM2.

$M_{1-2}, M_{6-7}, M_{12-13}$	$M_{3-5}, M_{8-11}, M_{14-16}$
$600nm$	$1.2\mu m$

Los transistores de la tabla anterior son divididos en 2 fingers. Para la cadena de inversores digitales, las dimensiones de cada uno son: $W_n = 1.2\mu m$ y $W_p = 2.4\mu m$, donde cada transistor es dividido en 4 fingers. El consumo de corriente es de $20\mu A$ bajo la condición $V_{ip} = V_{in} = 600mV$. El consumo de potencia es de $24\mu W$.

El layout del comparador CM2 se muestra a continuación.

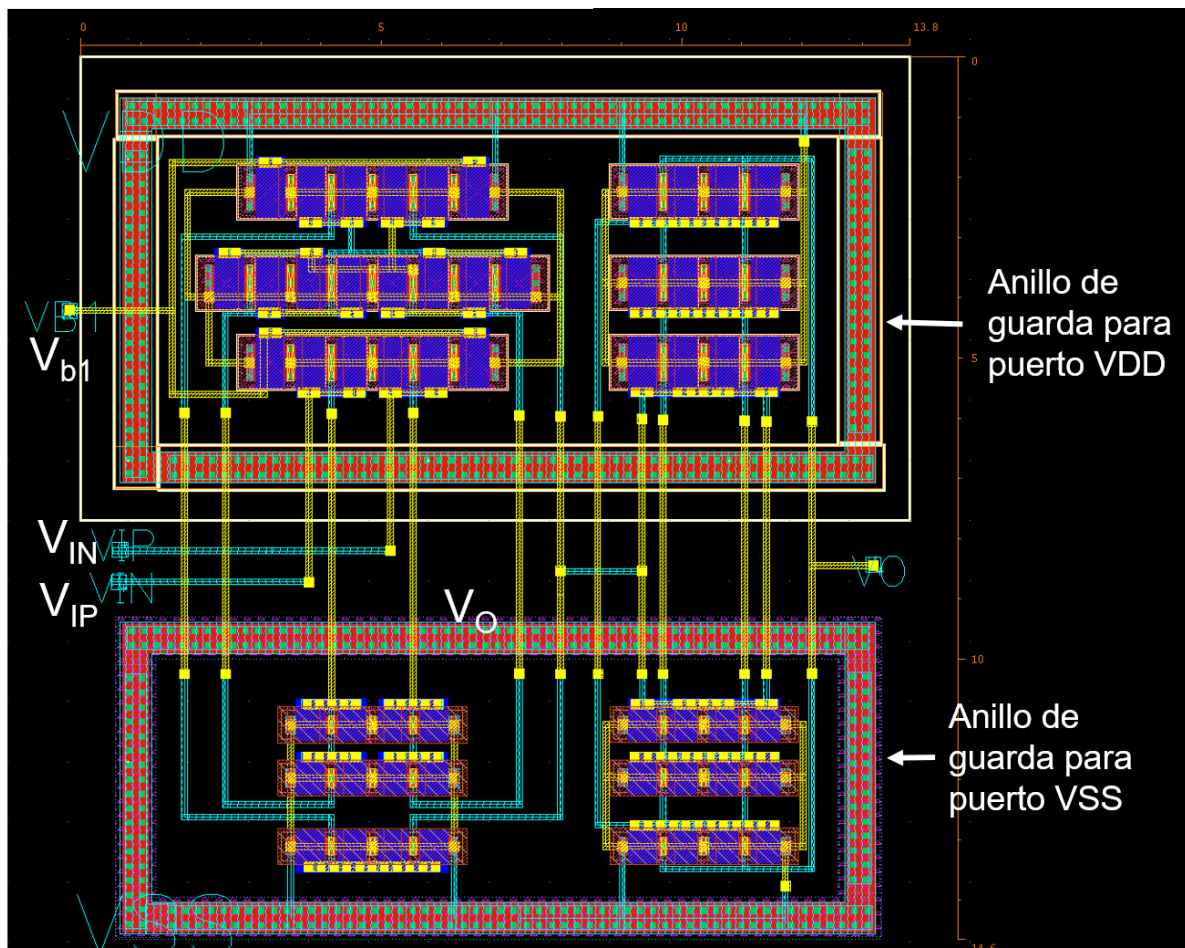


Figura 4.20: Layout del comparador para el detector de descenso límite.

La siguiente gráfica muestra la respuesta en DC del comparador, para tres referencias de voltaje en la terminal V_{ip} , tal que $V_{ip} = [100mV, 1.2V]$ en pasos de $100mV$. La respuesta es basada en el modelo de parásitas.

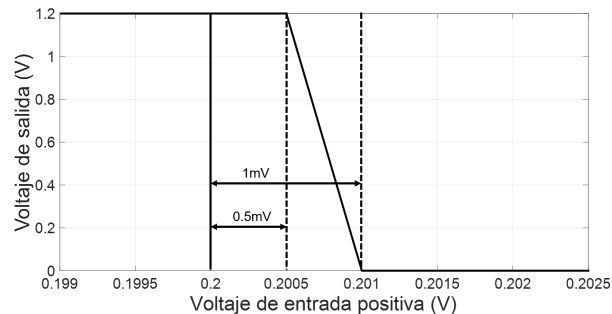
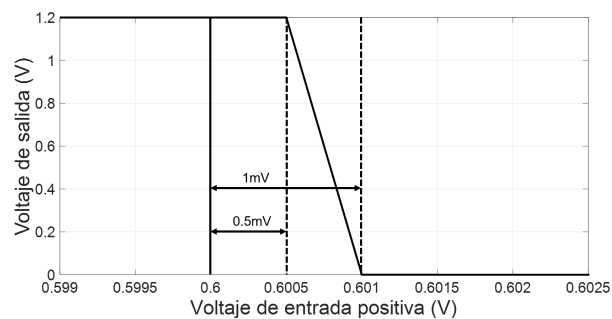
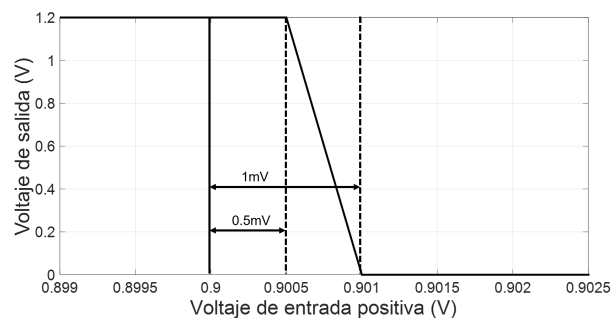
(a) $V_{ip} = 200mV$ (b) $V_{ip} = 600mV$ (c) $V_{ip} = 900mV$

Figura 4.21: Respuesta en DC del comparador para el detector de descenso límite.

Acorde al conjunto de gráficas de la Fig. 4.21, la sensibilidad aumenta y el margen de error respecto a la referencia oscila entre $0.5mV$ y $1mV$, es decir entre 5 y 7 veces menor al del comparador CM1, además de presentar una ganancia mayor, de $67.6dB$. Lo anterior se explica por el circuito latch que incorpora CM2 en su arquitectura, el cual es capaz de discernir qué señal de entrada es mayor con una exactitud aumentada. Por lo tanto, el diseño final de CM2 cumple con los requerimientos.

4.9. Detector de potencia cero

La función del presente bloque es emitir un pulso cuando el punto de operación de la celda solar permanezca estático y cercano al valor de $0W$, es decir se encuentre alejado del punto de máxima potencia. El pulso emitido habilita un posterior integrador, que funge como un temporizador. Las siguiente figura muestra la configuración del detector de potencia cero.

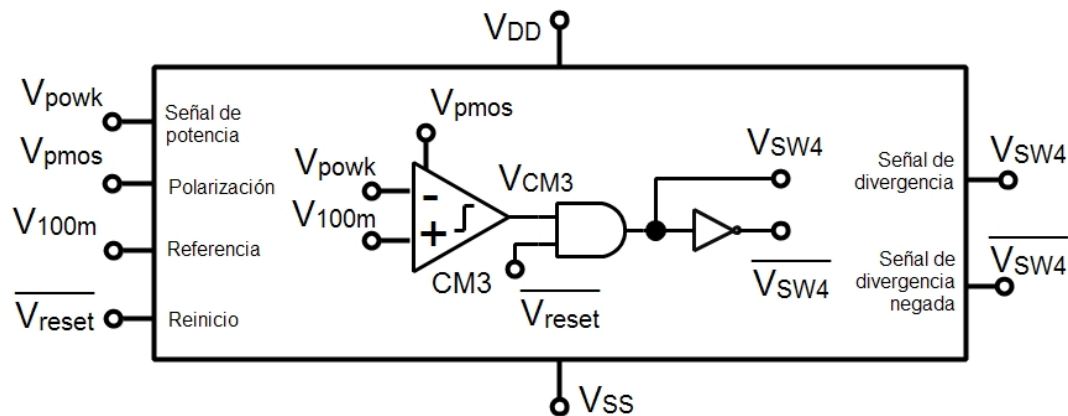


Figura 4.22: Arquitectura del detector de potencia cero.

En condiciones de máxima irradiación ($1kW/m^2$) y dentro del circuito MPPT, si el valor de máxima potencia es representado por $1V$, entonces la potencia entregada por la celda solar al mantener su punto de operación estático y fuera de la región de oscilación del MPP, es representado por un voltaje menor a $100mV$. En resumen, si la señal de potencia $V_{powk} < 100mV$, entonces la celda solar se encuentra en estado de divergencia.

Cuando $\overline{V_{reset}} = 1$, $V_{SW4} = V_{CM3}$ La ecuación de V_{CM3} está dada por:

$$V_{CM3} = \begin{cases} 1, & V_{powk} < 100mV \\ 0, & V_{powk} \geq 100mV \end{cases} \quad (4.19)$$

El comparador empleado es el mismo que para la etapa del detector de descenso límite. A pesar de requerir una referencia de voltaje constante, es preciso un comparador de bajo nivel de offset para detectar cambios alrededor de un bajo voltaje, como lo son $100mV$.

La siguiente gráfica muestra la respuesta en frecuencia del comparador cuando $V_{ip} = 100mV$, empleando el modelo de las parásitas.

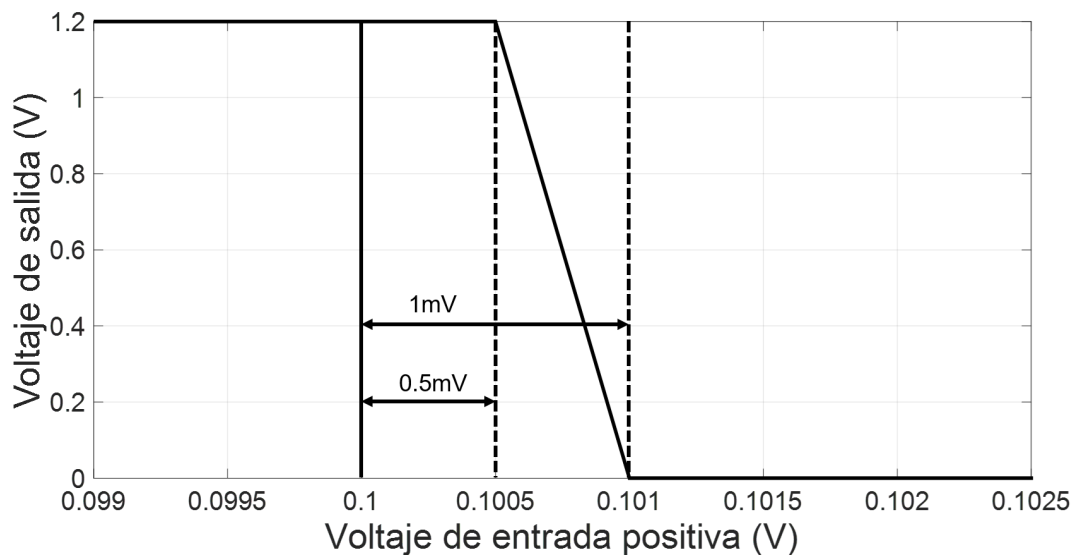


Figura 4.23: Respuesta en DC del comparador para el detector de potencia cero.

Acorde a la figura anterior, la sensibilidad se mantiene entre $0.5mV$ y $1mV$ en un bajo voltaje como lo es $100mV$. Con ello, el comparador cumple correctamente con su objetivo.

4.10. Integrador

La función del integrador es fungir como un temporizador cuando exista divergencia en el sistema, la cual es localizada por el detector de potencia cero. Mientras el punto de operación de la celda solar esté en estado de divergencia, el integrador seguirá habilitado hasta un cierto tiempo donde, alcanzado este último, aplicará una señal de control para cambiar el estado lógico del convertidor DC/DC recuperar la convergencia hacia el MPP. La razón de esperar un tiempo para aplicar la señal de control es confirmar que, en efecto, la divergencia no es momentánea, ya que en algunos casos el punto de operación de la celda solar solar puede caer en divergencia por un breve periodo y después recuperar la convergencia al MPP por sí misma. La arquitectura del integrador se presenta en la siguiente figura.

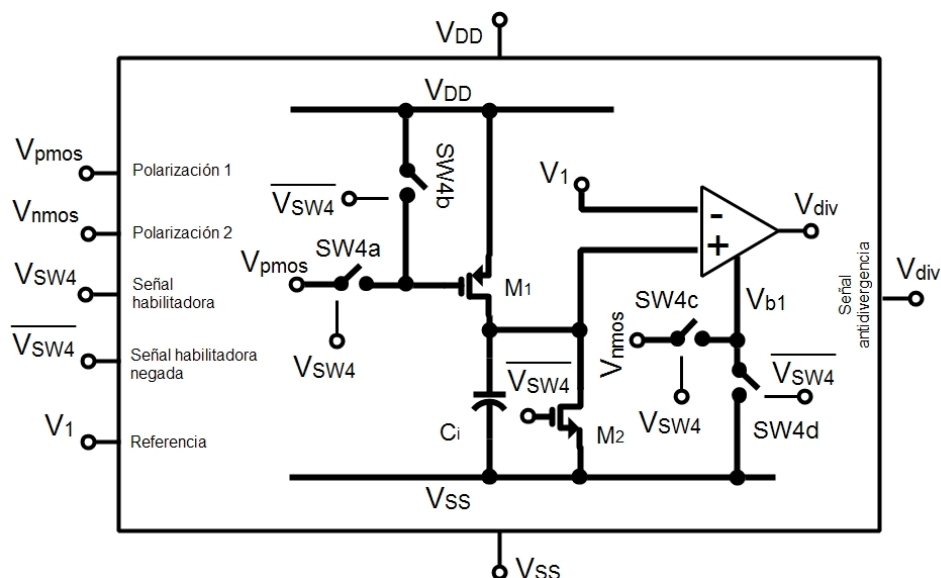


Figura 4.24: Arquitectura del integrador.

Cuando el detector de potencia cero emite un pulso debido a un estado de divergencia, el interruptor $SW4a$ se cierra y enciende a M_1 aplicando a su compuerta un voltaje V_{pmos} . Así, M_1 inyecta una corriente constante sobre C_i tal que en el nodo del capacitor se genera una señal rampa ascendente. Cuando tal señal alcanza un voltaje límite, denominado V_1 , el comparador emite un pulso para cambiar el estado lógico del convertidor de potencia y sacar del estado de divergencia al sistema. Cuando el punto de operación de la celda solar vuelve ascender hacia el punto de máxima potencia, $SW4a$ se abre y $SW4b$ se cierra para apagar M_1 . Al mismo tiempo, M_2 se cierra para descargar el capacitor y reiniciarlo para un próximo proceso de integración. El comparador únicamente es habilitado a través del puerto V_{b1} por medio de los interruptores $SW4c$ y $SW4d$ cuando existe un periodo de integración, por lo tanto, consume potencia solo durante dicho proceso.

La ecuación de voltaje en el capacitor está dada por:

$$V_f = \frac{1}{C_i} \int_0^{t_f} I_i dt \quad (4.20)$$

donde t_f es el tiempo final de espera, I_i la corriente constante que inyecta M_1 y V_f el voltaje alcanzado transcurrido un tiempo t_f . Al resolver la integral y despejando C_i se obtiene:

$$C_1 = \frac{I_i t_f}{V_f} \quad (4.21)$$

Basado en pruebas comportamentales, al considerar $I_i = 1\mu A$, $t_f = 20\mu s$ y $V_f = 1V$, el valor de C_i es de $20pF$. La arquitectura del comparador empleado en el integrador se presenta a continuación.

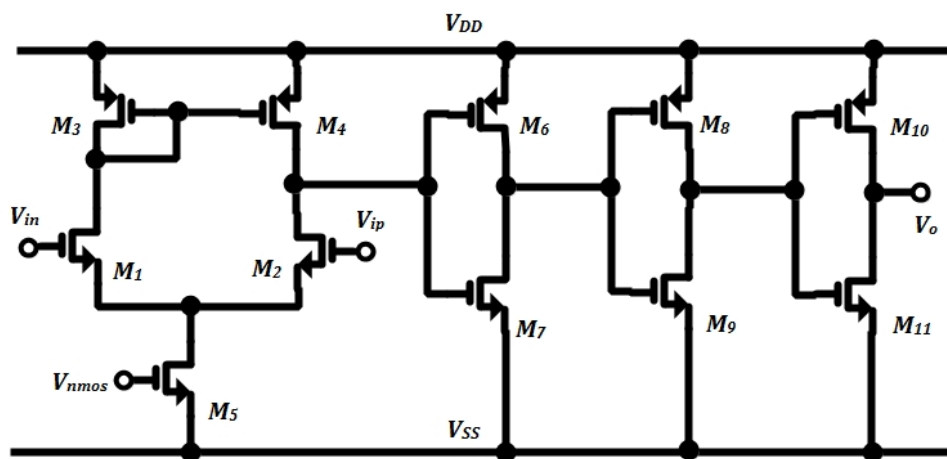


Figura 4.25: Arquitectura del comparador empleado para el integrador.

Con base en la Fig. 4.25, la arquitectura es similar a la del comparador del detector de descenso límite, con la diferencia de poseer un inversor digital adicional. Por lo tanto, la ecuación de ganancia total se expresa como:

$$A_{int} = \frac{g_{m(1,2)} r_{o(1,2)} r_{o(3,4)}}{r_{o(1,2)} + r_{o(3,4)}} \left(\frac{(g_{mn} + g_{mp}) r_{on} r_{op}}{r_{on} + r_{op}} \right)^3 \quad (4.22)$$

donde $g_{mn} = g_{m7} = g_{m9} = g_{m11}$ y $g_{mp} = g_{m6} = g_{m8} = g_{m10}$. El consumo de corriente por parte del amplificador de salida simple y de la terna de inversores digitales es de $40\mu A$ para cada uno, bajo la condición $V_{ip} = V_{in} = 1V$. Por lo tanto, el consumo de potencia es de $48\mu W$.

La corriente en M_1 , cuando se encuentra encendido, se define como:

$$I_i = \frac{1}{2} k_n \frac{W_1}{L_1} (V_{pmos} - V_{DD} - V_{TH(n)})^2 \quad (4.23)$$

Como $1\mu A$ es una baja corriente para la tecnología presente, se requiere un cociente W/L menor a 0.5. Por tanto, se optó por aumentar el largo de canal a $L_1 = 960nm$. Al despejar W_1 de la ecuación 4.23 y mediante un proceso de sintonización, se obtiene $W_1 = 120nm$ en un solo finger. Las dimensiones finales de cada transistor del comparador se muestran en la siguiente tabla.

Tabla 4.8: Dimensiones para los transistores del comparador para el detector de pendiente positiva.

$M_{1,2,7,9,11}$	M_5	$M_{3,4}$	$M_{6,8,10}$	M_{12}
$600nm$	$1.2\mu m$	$1.2\mu m$	$2.4\mu m$	$4.8\mu m$

Los transistores $M_{5,6,8,10,12}$ son divididos en 4 fingers y el resto en 2 fingers. El largo de canal es de $480nm$. El layout correspondiente al comparador del integrador se presenta a continuación.

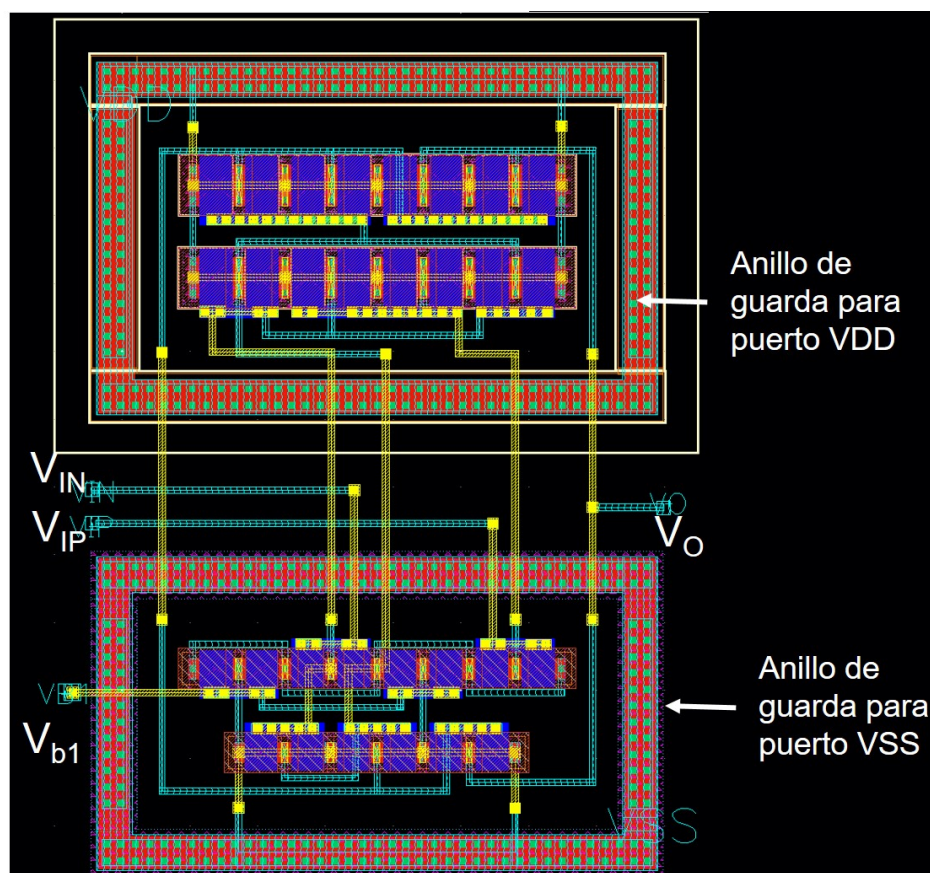


Figura 4.26: Layout del comparador para el integrador.

La estructura física del comparador es similar a la del resto de los comparadores anteriores. Sus dimensiones son de $12.64\mu m$ de largo por $9.5\mu m$ de ancho.

La respuesta en DC del comparador bajo el modelo de parásitas, teniendo como referencia $V_{in} = 1V$ se presenta a continuación.

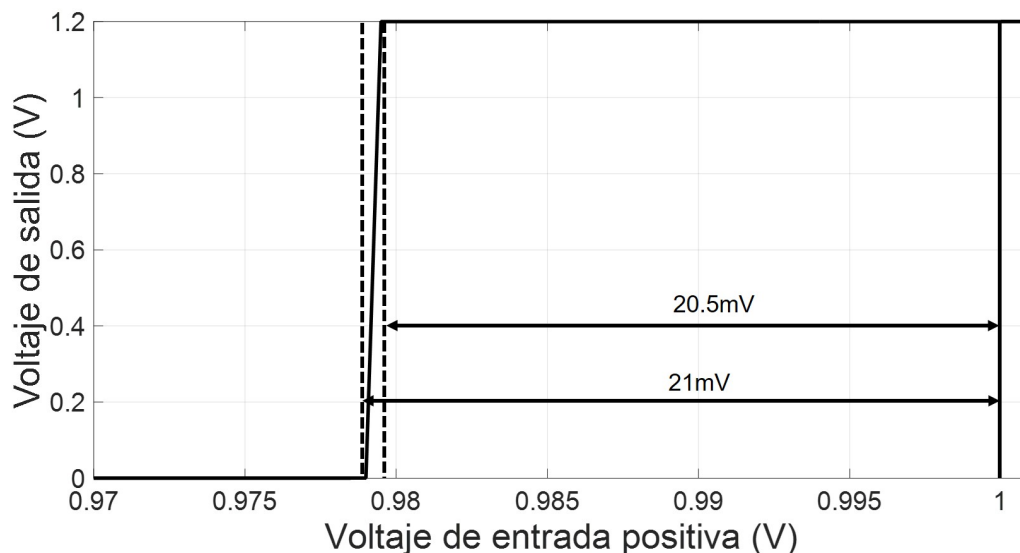


Figura 4.27: Respuesta en DC del comparador para el integrador.

Con base en la Fig. 4.27, el nivel de offset aumenta entre $20mV$ y $21.5mV$ respecto a la referencia fija de $1V$, lo cual genera un pulso anticipado, con un error del 2.15% respecto a la referencia de voltaje. La ganancia respectiva es de $67.6dB$. Al considerar que la eficiencia de seguimiento no depende significativamente del circuito integrador, el comparador CM4 cubre los requerimientos para el bloque anti-divergencia.

4.11. Memoria de estado

La función de la memoria de estado es retener el estado lógico del convertidor de potencia durante el periodo en que el punto de operación de la celda solar oscila alrededor del MPP en una franja entre la potencia máxima y el 90 % de esta última. Cuando sale de dicha franja, la memoria de estado cambia su valor actual por su complemento y repite el proceso anterior. El circuito es completamente digital, como se muestra a continuación.

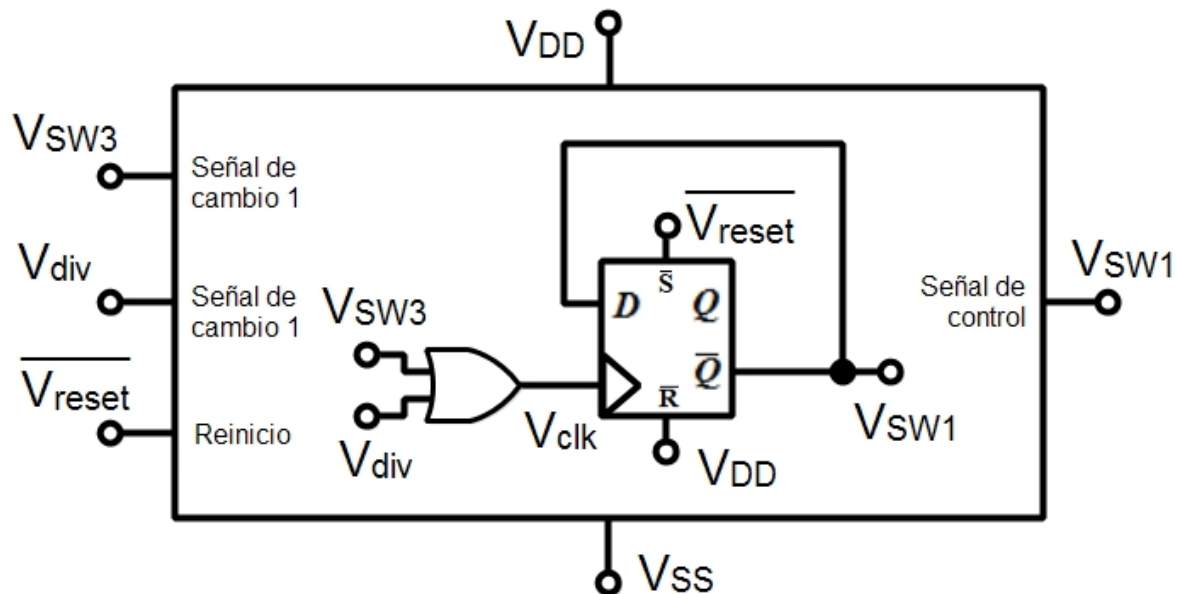


Figura 4.28: Arquitectura del integrador.

La memoria de estado cambia su valor cuando existe un flanco ascendente en el puerto V_{clk} , donde:

$$V_{clk} = V_{SW3} \text{ OR } V_{div} \quad (4.24)$$

Es decir, la memoria de estado puede cambiar cuando el punto de operación de la celda solar sale de la franja de oscilación alrededor del MPP, indicada por la señal V_{SW3} , o cuando se detecta un estado de divergencia, indicada por la señal V_{div} . Lo anterior ocurre si $\overline{V_{reset}} = 1$. Finalmente, V_{SW1} es la señal de control del convertidor de potencia DC/DC. El consumo de potencia de tal bloque es de alrededor de $15nW$, siendo el circuito con menor consumo de los presentes en el MPPT.

4.12. Espejo de corriente y referencias de voltaje

El propósito de un espejo de corriente es polarizar el amplificador operacional y los comparadores para obtener las ganancias necesarias. La arquitectura del espejo de corriente usado se muestra en la siguiente figura.

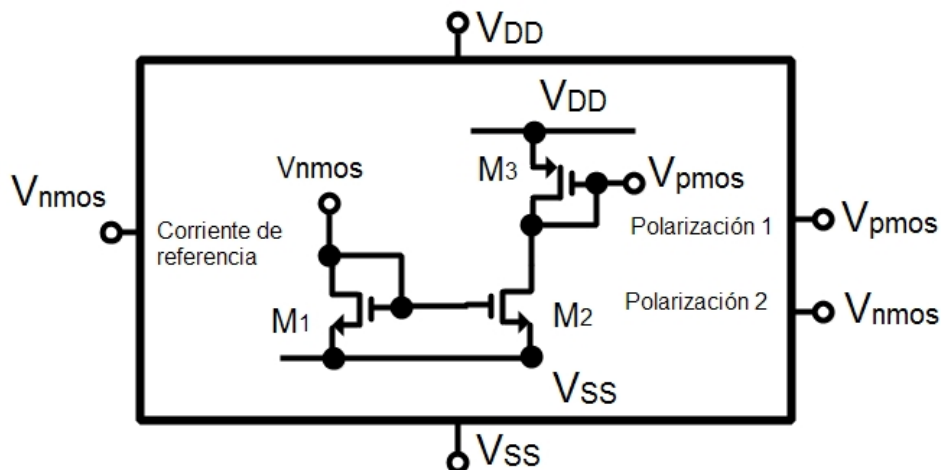


Figura 4.29: Arquitectura de espejo de corriente.

Como se mencionó en la sección *Asignación de puertos y nomenclatura de layout*, la corriente de referencia se ubica en el exterior del circuito con el objetivo de aplicar ajustes finos si es necesario, además de ser independiente de los procesos de fabricación.

Al diseñar un espejo de corriente con relación 1:1, $I_1 = I_2$, donde:

$$I_1 = \frac{1}{2} k_n \frac{W_1}{L_1} (V_{nmos} - V_{SS} - V_{TH(n)})^2 \quad (4.25)$$

$$I_3 = \frac{1}{2} k_p \frac{W_3}{L_3} (V_{pmos} - V_{DD} - V_{TH(n)})^2 \quad (4.26)$$

Como $I_3 = I_2 = I_1$, se llega a:

$$\frac{1}{2} k_p \frac{W_3}{L_3} (V_{pmos} - V_{DD} - V_{TH(n)})^2 = \frac{1}{2} k_n \frac{W_1}{L_1} (V_{nmos} - V_{SS} - V_{TH(n)})^2 \quad (4.27)$$

Si se considera $(V_{pmos} - V_{DD} - V_{TH(n)})^2 \cong (V_{nmos} - V_{SS} - V_{TH(n)})^2$, $L_1 = L_3$ y $k_n \cong k_p$, al despejar W_p se obtiene:

$$W_3 \cong 2W_1 \quad (4.28)$$

Al ser $I_1 = I_2$, M_1 y M_2 son de las mismas dimensiones. Sea $I_{bias} = 16\mu A$, $I_{bias} = I_1$, con un largo de canal de $480nm$ para los tres transistores. Al despejar W_1 de la ecua-

ción de I_1 y posteriormente sintonizar las dimensiones, se obtiene $W_1 = W_2 = 1.2\mu m$ y $W_3 = 2.4\mu m$. A partir de M_2 se generan copias atenuadas de corriente para los circuitos cuya polarización se fije por un transistor NMOS, mientras que M_3 lo hace para aquellos circuitos cuya polarización se fije por un transistor PMOS.

La siguiente figura muestra la arquitectura del circuito generador de referencias de voltaje.

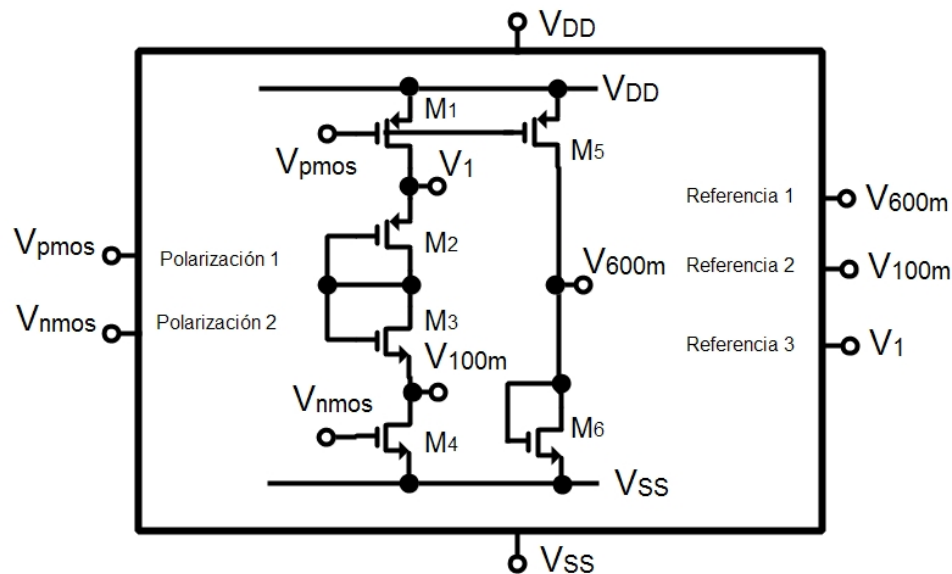


Figura 4.30: Arquitectura de circuito generador de referencias de voltaje.

Las ecuaciones que define el valor de $V_{600m} = 600mV$ son:

$$V_1 = \frac{\alpha_5}{\alpha_5 + \alpha_6} V_{DD} + \frac{\alpha_6 V_{TH(n)} - \alpha_5 V_{TH(p)}}{\alpha_5 + \alpha_6} \quad (4.29)$$

$$\alpha_5 = \sqrt{\mu_p \frac{W_5}{L_5}} \quad (4.30)$$

$$\alpha_6 = \sqrt{\mu_n \frac{W_6}{L_6}} \quad (4.31)$$

La arquitectura de la Fig. 4.30 permite obtener referencias de voltaje menos susceptibles a los procesos de fabricación, dado que M_5 es una copia atenuada de la corriente externa de referencia I_{bias} . Con base en la tabla 4.1 y asumiendo $L = 480nm$ en todos los transistores, $W_5 = 1.92\mu m$ y $W_6 = 960nm$, ambos divididos en 2 fingers cada uno. En el caso de las referencias $V_{100m} = 100mV$ y $V_1 = 1V$, al ser niveles cercanos a V_{SS} y V_{DD} respectivamente, se optó por la incorporación de un divisor de tensión (M_2 y M_3) entre dos copias atenuadas de la corriente de referencia, definidas por M_1 y M_4 . Al adaptar

la ecuación [4.29](#) para el divisor de tensión compuesto por M_1 a M_4 y por medio de un proceso de sintonización de anchos de canal, se obtienen las dimensiones de tales componentes. La siguiente tabla resume las dimensiones de los anchos de canal para todos los transistores.

Tabla 4.9: Dimensiones para los transistores del circuito generador de referencias de voltaje.

M_1	M_2	M_3	M_4	M_5	M_6
$1.2\mu m$	$1.8\mu m$	$1.2\mu m$	$480nm$	$1.92\mu m$	$960nm$

A continuación se muestra el layout respectivo del circuito generador de referencias de voltaje, junto con el espejo de corriente.

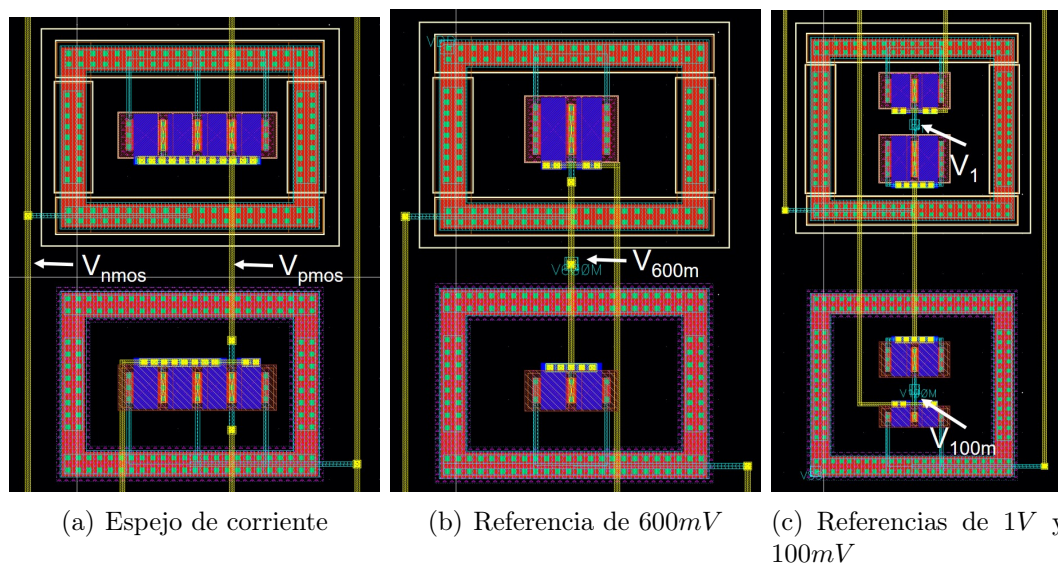


Figura 4.31: Layout del espejo de corriente y referencias de voltaje.

El consumo de corriente por parte del espejo es de $32\mu A$, ya que las corrientes de M_1 y M_3 son del mismo valor e iguales a $16\mu A$. Así, el consumo de potencia total es de $38.4\mu W$. Respecto al circuito de referencia de $600mV$, consume $12.8\mu A$ debido a que es polarizado con una copia atenuada de la corriente externa de referencias, cuyo factor de atenuación es de 0.8. La corriente que circula por el circuito de referencias V_1 y V_{100m} es de $8\mu A$, con lo cual consume $9.6\mu W$.

4.13. Layout del circuito MPPT

La siguiente figura muestra el patrón geométrico del circuito seguidor de punto de máxima potencia.

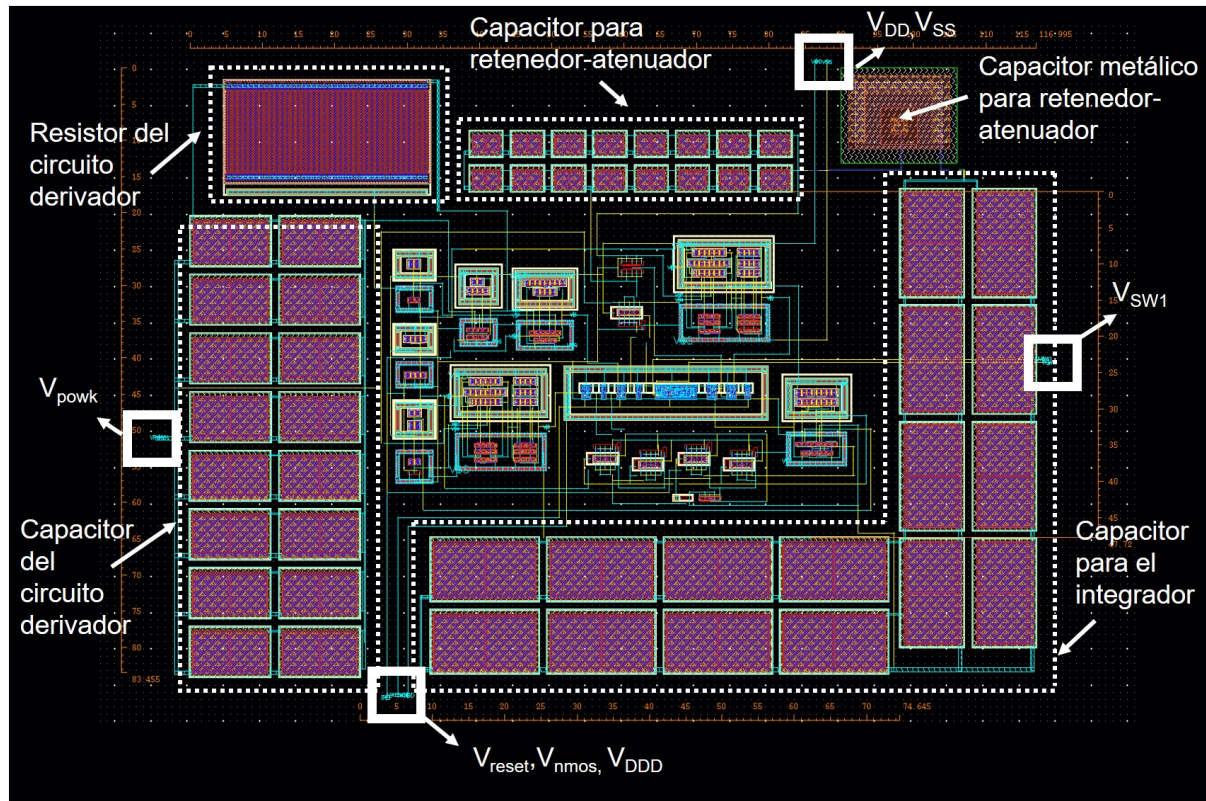


Figura 4.32: Layout del circuito MPPT.

De la Fig. 4.33, los componentes pasivos como el resistor y los capacitores han sido ubicados en la periferia del resto de los circuitos. Las razones de ello han sido por ser los componentes con mayor ocupación de área y para evitar la transmisión del ruido analógico a los circuitos activos, especialmente hacia las compuertas digitales. También puede apreciarse la distribución del arreglo de capacitores a lo largo de la periferia, siendo en todos ellos un arreglo de 16 unidades. Así, los circuitos activos como el amplificador operaciones y los comparadores, los circuitos de referencia de voltaje, los interruptores analógicos y las celdas digitales son posicionados en el centro del área de silicio. Un aspecto importante a mencionar es que, sin bien las conexiones lógicas son las mismas que en el modelo transistor, la organización espacial de los componentes difiere de sus posiciones en el diagrama a nivel transistor. Por lo tanto, fue necesario agrupar un determinado tipo de componentes en ciertas áreas, a manera de compactar mejor el circuito. Fue así que todas las celdas digitales hayan sido posicionadas en un espacio afín y los interruptores en otra. La siguiente figura expone una ampliación del centro del circuito integrado, donde pueden detectarse los componentes activos, interruptores y generadores de voltaje constante.

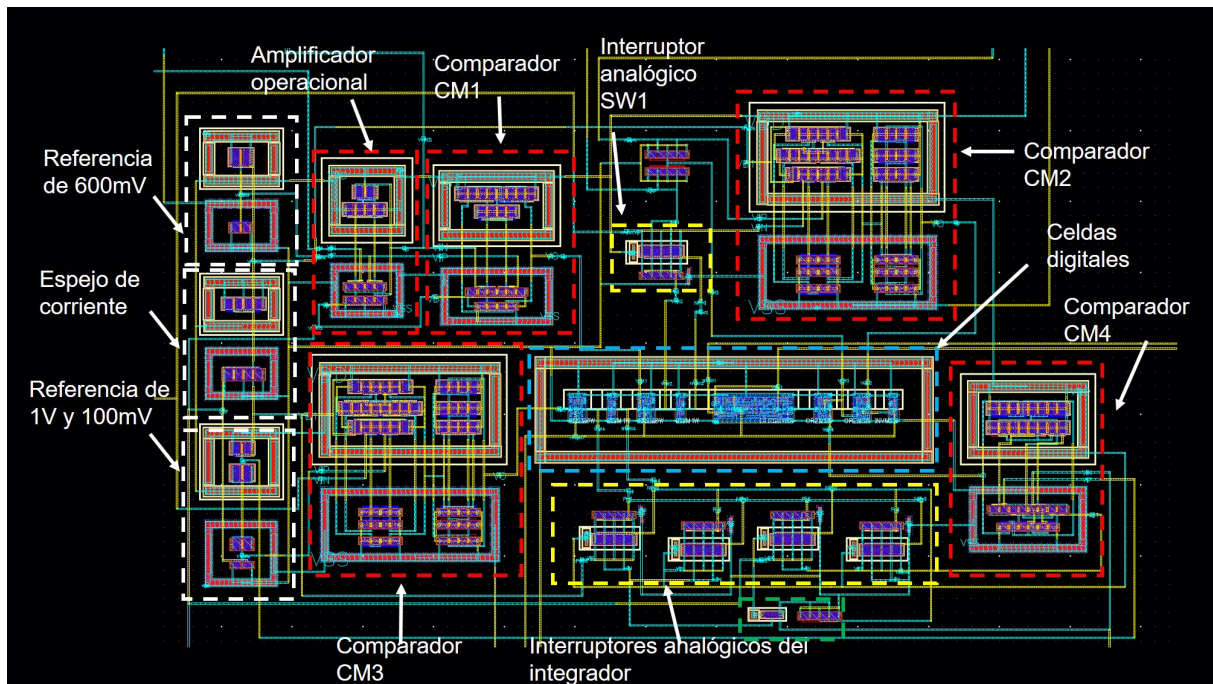


Figura 4.33: Ubicación de circuitos activos, interruptores y celdas digitales del circuito MPPT.

La ubicación del espejo de corriente y los circuitos de referencia se hallan en la parte izquierda y distribuidos en forma vertical, debido a las conexiones en común y para encontrarse cerca del puerto V_{nmos} . Todas las celdas digitales son confinadas dentro de un anillo de guarda, que funge como terminal de V_{DD} . Los interruptores analógicos del integrador son posicionados de manera horizontal, pues el layout individual se presta a ello, recordando que todos los interruptores son el mismo modelo. Se emplearon dos niveles metálicos para las conexiones. El nivel de metal 1 es generalmente usado para las conexiones de alimentación como V_{DD} , V_{DD} y del nodo de referencia V_{SS} . Para los componentes cuyas señales de entrada o salida requieren mayor exactitud, como el derivador o el comparador CM2, son posicionados con mayor cercanía a aquellos con quienes comparten una conexión.

La siguiente tabla muestra el área de algunos de los componentes en el chip y el área total.

Tabla 4.10: Área empleada por los circuitos y componentes dentro del circuito MPPT

Circuito/ componente	Area (μm^2)	Porcentaje de area en chip
MPPT	118.633x87.655	100 %
Capacitor de $51fF$	16x13.1	2.01 %
Capacitor de $1pF$	43.882x8.28	3.49 %
Capacitor de $10pF$	23.42x62.52	14 %
Capacitor de $20pF$	63.04x37.36	22.64 %
Resistor de $750k\Omega$	28.61x14.24	3.91 %
Circuitos activos e interruptores	65.29x35.79	22.47 %
Conexiones y espacios libres	60.3x60.3	34.97 %

Con el layout final del MPPT, se procedió a la extracción de parásitas, con el fin de obtener el modelo más cercano al circuito físico. A partir de tal modelo, se aplicó la siguiente prueba, cuyos resultados y análisis se exponen en el siguiente capítulo.

- **Prueba 5:** Análisis transitorio con las siguientes condiciones del modelo de celda solar:

- $K_1 = 13.5$
- $V_{OC} = 3V$
- $I_{SC} = 50mA$
- irr de 0.2 a 1, en pasos de 0.1
- $G_{PV} = 0.001S$
- $K_t = 2.7$
- $p_{OC} = 0.001$
- tiempo de simulación de $250\mu s$

4.14. Resumen

Una vez validada la arquitectura a nivel comportamiento del MPPT propuesto, se procedió a su diseño a nivel transistor. Se empleó un proceso CMOS $65nm$ el cual favorece un bajo consumo de potencia. El circuito contiene componentes comunes en los bloques que lo conforman, como interruptores analógicos, capacitores integrados y celdas digitales. El interruptor analógico se conforma por dos transistores complementarios y una resistencia de encendido mayor a $2k\Omega$. Las celdas digitales empleadas son: inversor, AND, OR y flip flop D, las cuales consumen la menor cantidad de potencia, de aproximadamente $43nW$. Éstas son confinadas en un anillo de guarda para aislarlas del ruido analógico. Los capacitores integrados son conformados en unidades de menor valor y conectadas en paralelo, con el objetivo de ser mejor distribuida su área en el chip. Los patrones geométricos para el amplificador operacional y los comparadores son descritos con anillos de guarda para reducir las capacitancias parásitas. Los comparadores poseen ganancias mayores a $50dB$ y sensibilidades entre $0.5mV$ y $5mV$, suficientes para cumplir las tareas de seguimiento de punto de máxima potencia. Los componentes pasivos como el resistor y los capacitores se ubican en la periferia del circuito, por ser los elementos de mayor área. El área total del circuito MPPT es de. Finalmente, se obtiene el modelo de parásitas para extraer resultados transitorios.

Capítulo 5

Análisis de resultados

En el capítulo 3 y 4 se definieron las pruebas aplicadas a la propuesta de MPPT y al modelo de celda solar. A continuación se exponen los resultados y el análisis de estos. A excepción de la Prueba 1, para la cual se usó *Matlab* 2015, todas las pruebas restantes fueron ejecutadas en el software de desarrollo Cadence® Virtuoso.

5.1. Resultados de la Prueba 1

Las siguientes gráficas muestran la comparación de corriente y potencia entre la celda real [21] y el modelo descrito en VerilogA. La aproximación es definida por la siguiente ecuación:

$$I_{PV}(V_{PV}) = 1 \cdot (730mA) \cdot \tanh\left(2 \frac{600mV - V_{PV}}{450mV}\right) + 0.001S(600mV - V_{PV}) \quad (5.1)$$

De la ecuación 5.1, la constante $450mV$ representa la diferencia de potencial en la fuente de corriente controlada por voltaje del modelo propuesto, que divide la región de saturación de la lineal. Lo anterior implica un voltaje de saturación en la celda solar de $150mV$, aproximadamente.

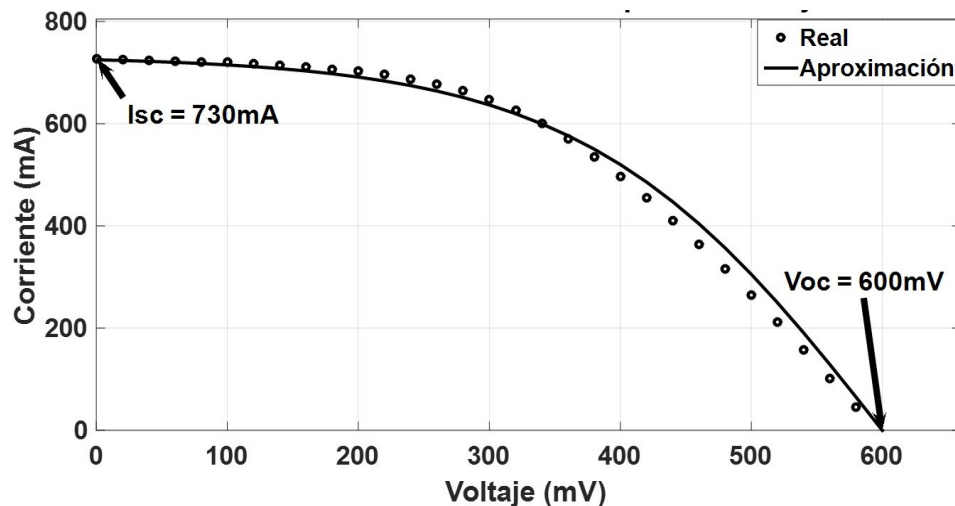


Figura 5.1: Comparación de corriente en función del voltaje, entre una celda real y el modelo en VerilogA.

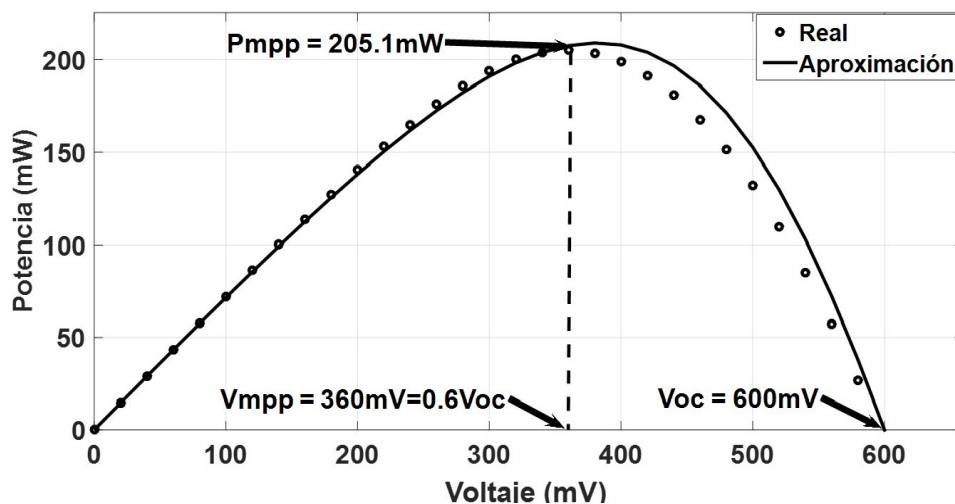


Figura 5.2: Comparación de potencia en función del voltaje, entre una celda real y el modelo en VerilogA.

De acuerdo a la Fig. 5.1, la aproximación mejora en la región de saturación y comienza a dispersarse en la región lineal. El voltaje de saturación en la celda solar es efectivamente 150mV , tal como se había calculado en la ecuación anterior. La aproximación concuerda con los parámetros de V_{OC} y I_{SC} . Con base en la Fig. 5.2, la dispersión de la corriente en la región lineal se hace más notorio en la curva de potencia. La potencia máxima de la celda real se da en un voltaje de 360mV , aproximadamente el 60% de V_{OC} .

A continuación se expone el error absoluto de la potencia entre la celda real y la aproximación.

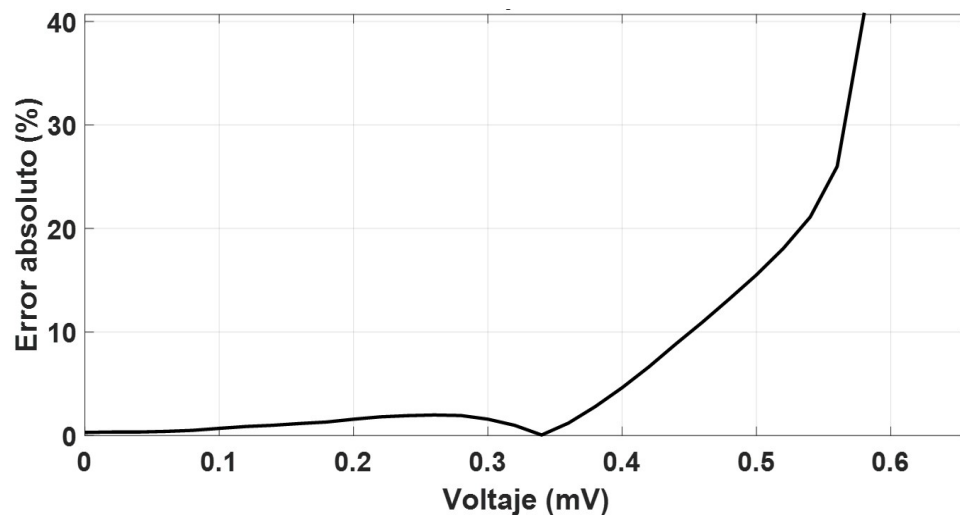


Figura 5.3: Error absoluto de potencia entre la celda real y la aproximación.

Como se observa en la Fig. 5.3, el error absoluto es menor al 2% en el rango de 0V a 150mV, el cual corresponde a la región de saturación. Por lo tanto, los resultados sugieren mejorar el ajuste del modelo en la región lineal.

5.2. Resultados de la Prueba 2

Para las pruebas aplicadas al MPPT, se modificaron los parámetros del modelo de celda solar en VerilogA, tal como se indicó en el capítulo anterior. Las siguientes gráficas de corriente y voltaje corresponden a diferentes factores de irradiación, de 0.1 a 1 en pasos de 0.1, lo cual representa un barrido de $100W/m^2$ a $1kW/m^2$.

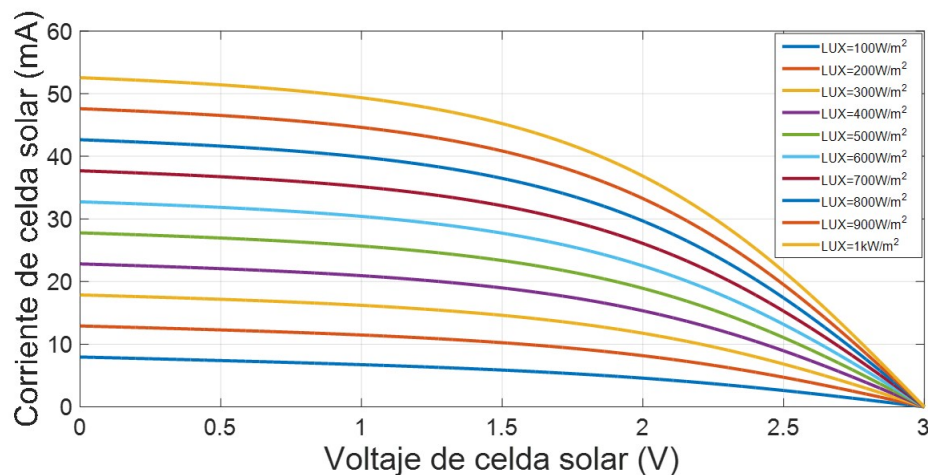


Figura 5.4: Curvas de Corriente vs Voltaje del modelo de celda solar en VerilogA, para diferentes niveles de irradiación.

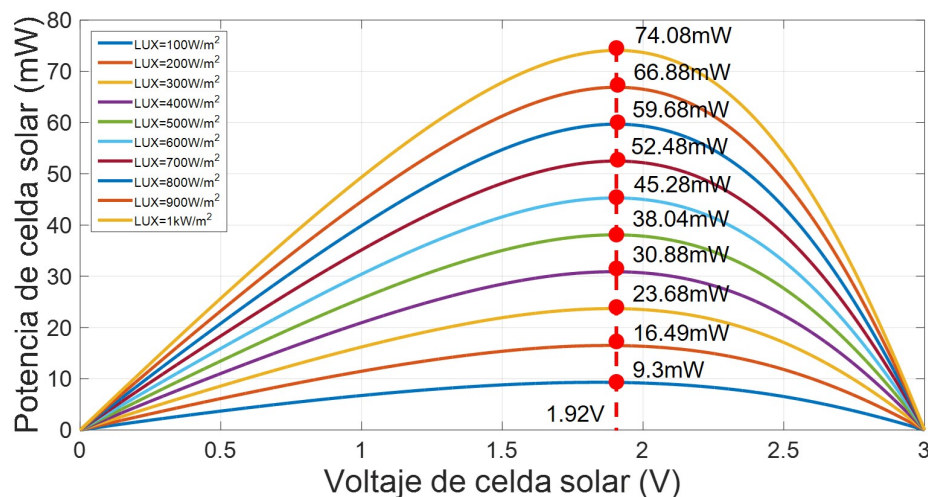


Figura 5.5: Curvas de Potencia vs Voltaje del modelo de celda solar en VerilogA, para diferentes niveles de irradiación

Los puntos rojos representan el punto de máxima potencia, para cada nivel de irradiación. En condiciones de máxima irradiación, la máxima potencia es de $74.08mW$ y en condiciones de baja irradiación es de $9.3mW$. Aunque se espera una corriente máxima de $50mA$ para el nivel de $1kW/m^2$, los resultados arrojan un leve aumento de la corriente en la región de saturación, hasta alcanzar el valor de $52.55mA$. La causa de lo anterior

es debida al parámetro de conductancia G_{PV} donde, si G_{PV} tiende a 0S, el crecimiento de I_{PV} en saturación será menor. Con la familia de curvas de corriente se demuestra la dependencia directamente proporcional de la corriente de corto circuito respecto a la irradiación. Las curvas de potencia de la Fig. 5.5 muestran la potencia máxima asociada a un voltaje de $1.92V$, aproximadamente el 64% de V_{OC} . Es posible que, en una celda real, el voltaje asociado al punto de máxima potencia varíe para cada nivel de irradiación, pudiendo alcanzar el 75% de V_{OC} . Aunque en un grado no relevante, lo anterior afecta a la eficiencia del convertidor, pero no así al circuito MPPT, ya que el algoritmo y el diseño de los componentes es independiente de la ubicación del punto de máxima potencia. Por lo tanto, los resultados de la Fig. 5.5 son aceptables.

5.3. Resultados de la Prueba 3

La siguiente gráfica corresponde a la respuesta transitoria del voltaje en la salida del convertidor DC/DC boost, para diferentes niveles de irradiación. Debido a que $20ms$ es demasiado tiempo para una simulación con el modelo de parásitas del circuito MPPT, los resultados son extraídos usando el modelo comportamental del MPPT. El objetivo principal de la prueba 3 es evaluar el desempeño del convertidor DC/DC boost, por lo tanto los resultados presentados son válidos.

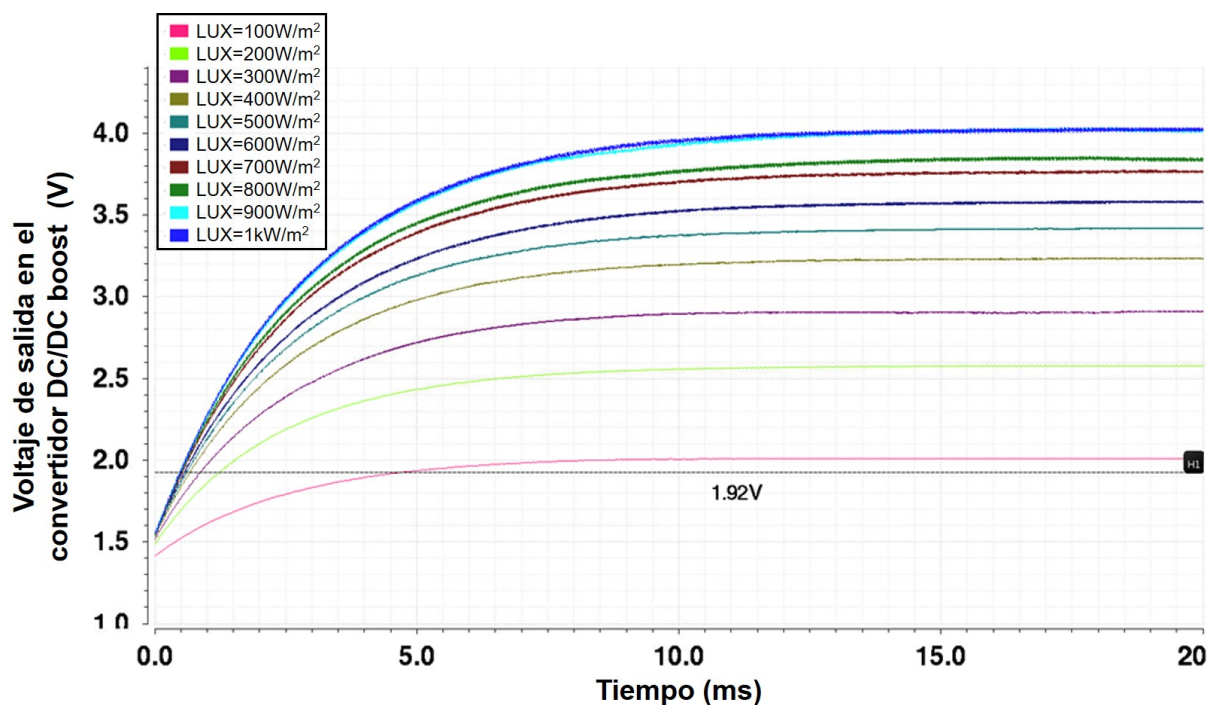


Figura 5.6: Respuesta transitoria del voltaje en la salida del convertidor DC/DC boost., para diferentes niveles de irradiación.

Con base en la Fig. 5.6, en un tiempo máximo de $5ms$ el voltaje de salida en el convertidor DC/DC boost garantiza ser mayor al voltaje de punto de máxima potencia, de $1.92V$, para cualquier nivel de irradiación. Para los niveles de irradiación de $800W/m^2$ a $1kW/m^2$, después de $5ms$ el voltaje es mayor a $3.84V$, es decir más del doble del voltaje de máxima potencia. Si con tal voltaje de salida del convertidor DC/DC boost se pretende alimentar un circuito regulador de voltaje para, a su vez, alimentar el MPPT a $1.2V$, los resultados transitorios demuestran que es posible dicha implementación. El diseño del convertidor de potencia garantiza incluso, en un bajo nivel de irradiación como $100W/m^2$, un voltaje de salida superior a los $1.92V$, es decir mayor a $1.2V$ necesarios para el MPPT.

Las siguientes gráficas muestran el voltaje máximo y la ganancia alcanzados por el convertidor DC/DC boost.

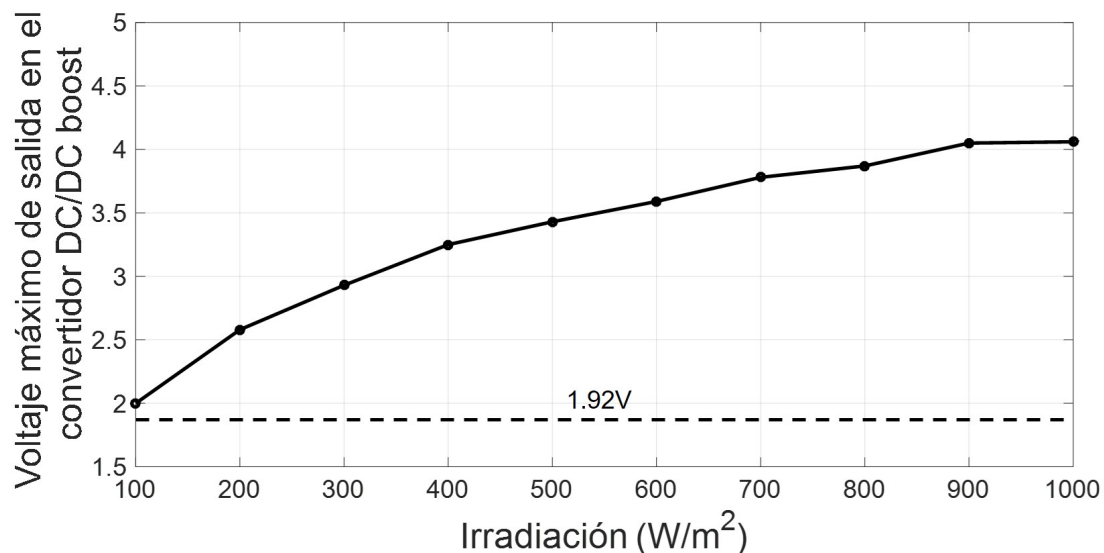


Figura 5.7: Voltajes máximos alcanzados por el convertidor de potencia DC/DC boost, para diferentes niveles de irradiación, en un tiempo de $20ms$.

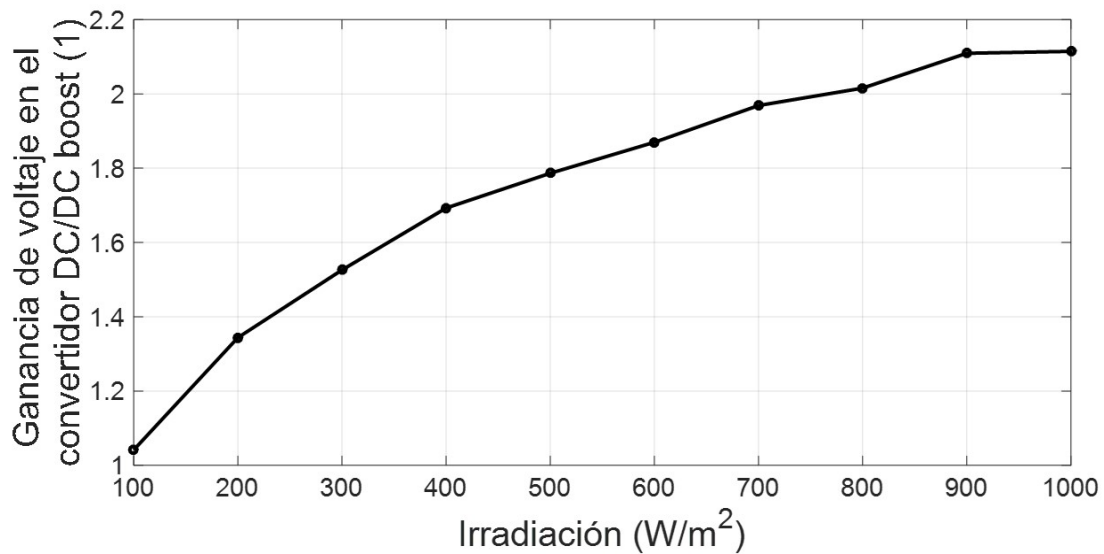


Figura 5.8: Ganancias de voltaje obtenidas por el convertidor de potencia DC/DC boost, para diferentes niveles de irradiación, en un tiempo de $20ms$.

Como se mencionó antes, el voltaje de salida supera el voltaje de máxima potencia, de $1.92V$, en todos los casos de nivel de irradiación. Para $100W/m^2$ y $1kW/m^2$, los voltajes máximos correspondientes son de $2V$ y de $4.6V$. En todos los niveles de irradiación, la ganancia es mayor a 1, siendo de 1.04 y 2.11 para $100W/m^2$ y $1kW/m^2$, respectivamente. A medida que la irradiación aumenta, la ganancia reduce su tasa de crecimiento, habiendo una diferencia únicamente de 0.0052 entre la correspondiente a $800W/m^2$ y $1kW/m^2$. Con base a las gráficas de voltaje máximo y ganancia, el diseño del convertidor DC/DC boost cumple con los requisitos especificados en el capítulo 3.

5.4. Resultados de la Prueba 4

Los siguientes resultados corresponden a un análisis transitorio del MPPT, en el cual el factor de irradiación varía con un determinado periodo. Es en dicha prueba donde se demuestran los casos de divergencia por perturbaciones abruptas y la corrección de estas, como lo demuestra la siguiente figura.

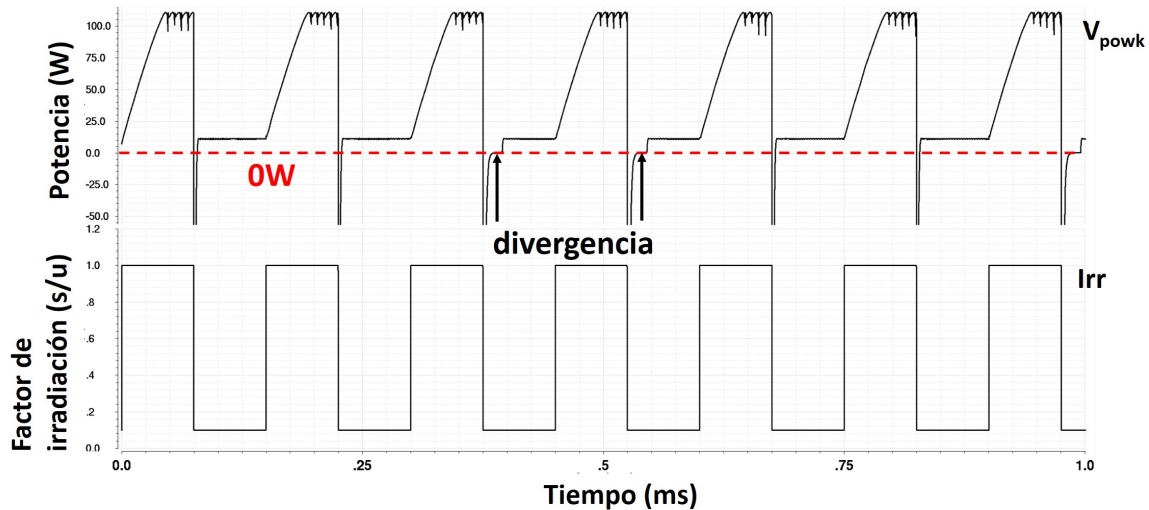


Figura 5.9: Respuesta en el tiempo de la potencia entregada por la celda solar al ser controlada por el MPPT propuesto, con $irr = \{0.1, 1\}$ y un periodo de $150\mu s$.

Cuando irr decae de 1 a 0.1 de manera abrupta, lo hace también la potencia de manera análoga. Después del descenso, la potencia de la celda vuelve a converger al MPP, pero en algunos casos no ocurre así y el punto de operación se mantiene en 0W (línea roja punteada). Dichos casos son los estados de divergencia señaladas por las flechas.

Una aplicación de tales estados de divergencia se muestra en la siguiente figura.

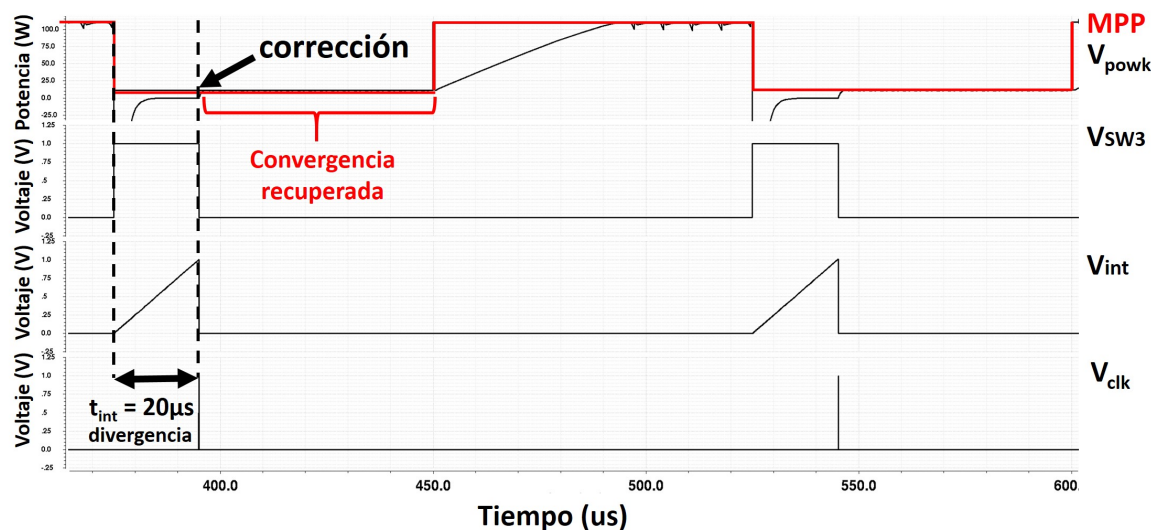


Figura 5.10: Ampliación en el tiempo de las divergencias del punto de operación de la celda, ante los cambios abruptos en el factor de irradiación.

La Fig. 5.10 muestra en color rojo el MPP posible en cada instante de tiempo y la potencia tendiendo hacia el MPP lo cual, en forma gráfica, se traduce en seguir la línea roja el mayor tiempo posible. El tiempo de divergencia es de $20\mu s$ y corresponde al lapso en que la potencia es igual o menor a $0W$ en forma ininterrumpida. En dicho tiempo y en base a la explicación del capítulo 3, como la potencia atenuada (P_a) es menor al voltaje de umbral para detectar la divergencia (V_{div}), el detector de potencia nula cierra el switch 3 (V_{SW3}) y habilita al integrador para comenzar a formar una señal rampa ascendente de pendiente $K_i = 50K \frac{V}{s}$. Si la señal rampa alcanza el voltaje límite V_f , significa que la divergencia aun continua y emite un 1 lógico (clk) al flip-flop D en la memoria de estado para, a su vez, conmutar el estado de operación del convertidor DC/DC boost y volver a desplazar al punto de operación hacia el MPP. El momento del cambio de estado del convertidor DC/DC se identifica en la figura anterior como *corrección*, momento donde la gráfica de potencia vuelva a seguir la curva roja del MPP. En el tiempo posterior a la corrección, la potencia vuelve a oscilar alrededor del MPP, cuyo periodo es identificado como lapso de *convergencia recuperada*. Con tales resultados, se demuestra la funcionalidad del algoritmo con el circuito anti-divergencia.

5.5. Resultados de la Prueba 5

A continuación se presentan las respuestas transitorias de la potencia de celda solar con los 3 modelos de MPPT: comportamental, transistor y layout. Cada una de ellas corresponde a un nivel de irradiación.

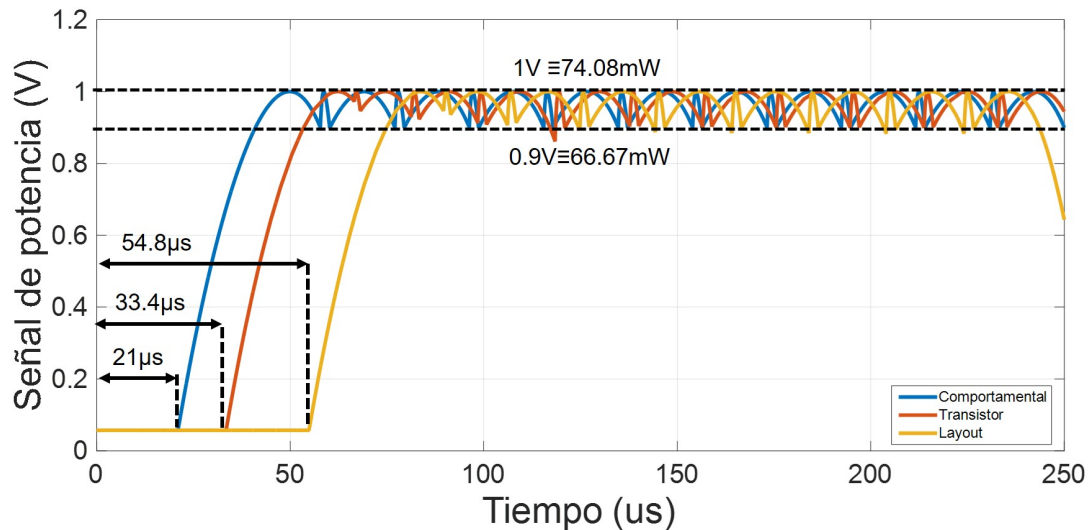


Figura 5.11: Respuesta transitoria de la potencia de celda solar con el MPPT propuesto, para una irradiación de 1 kW/m^2 .

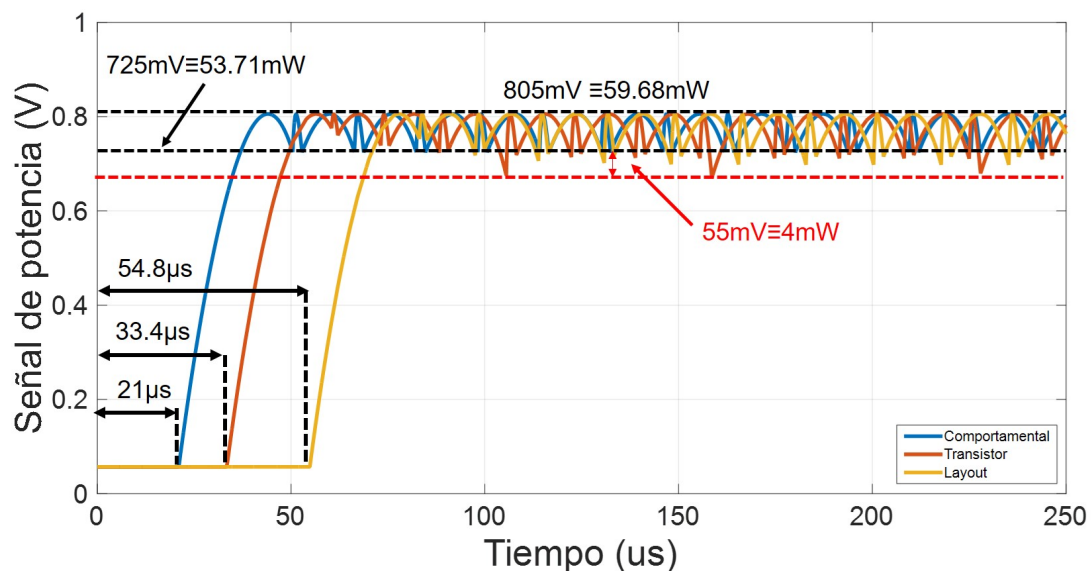


Figura 5.12: Respuesta transitoria de la potencia de celda solar con el MPPT propuesto, para una irradiación de 800 W/m^2 .

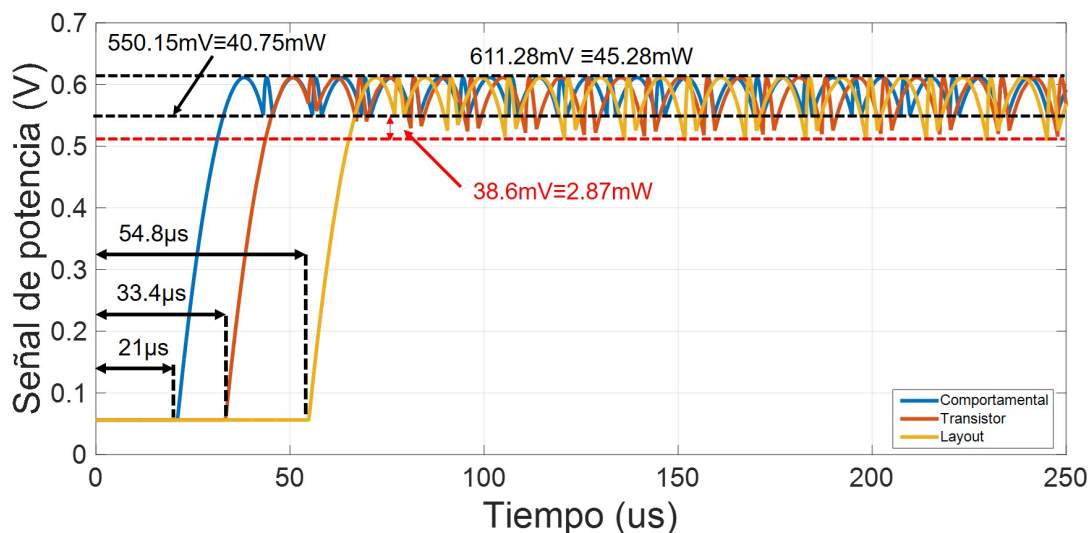


Figura 5.13: Respuesta transitoria de la potencia de celda solar con el MPPT propuesto, para una irradiación de $600W/m^2$.

Con base en la Fig. 5.11, con los tres modelos de MPPT y descartando una pequeña elongación, la potencia de celda solar oscila dentro de la franja entre líneas punteadas, es decir entre la máxima potencia y el 90 % de esta, como se esperaba. Lo anterior representa, en términos de voltaje, una oscilación de $100mV$, dentro de la cual el comparador detector de descenso límite (CM2) puede distinguir sin mayores complicaciones cuando la señal de potencia sale de la franja de oscilación en forma descendente y aplicar el cambio en el convertidor DC/DC boost para retornar el punto de operación de la celda solar hacia el MPP. El comparador CM2 posee una sensibilidad de $1mV$ a $0.5mV$ de más respecto a la referencia, por lo tanto detecta la salida del punto de operación de la franja de oscilación en $900.5mV$ a $901mV$. Así, de manera exacta, hay una oscilación de potencia entre el máximo respectivo y el 90.1 %, por lo que cumple con lo especificado. Con respecto a las Fig. 5.12 y 5.13 para los modelos transistor y layout, se presenta una fluctuación de la potencia de celda solar entre el máximo respectivo hasta una cantidad adicional de la franja de oscilación. En términos de voltaje, representa $4mV$ y $2.87mV$ adicionales, respectivamente. Debido a ello, la potencia de celda solar oscila entre el máximo disponible hasta 83.22 % para la condición de $800W/m^2$ y para $600W/m^2$ hasta el 84 %, es decir 6.78 % y 6 % adicionales, respectivamente. A pesar de la sensibilidad del comparador en el detector de descenso límite (CM2), la causa de la fluctuación adicional de la potencia se debe al funcionamiento del bloque retenedor-atenuador, como se presenta en las siguientes figuras.

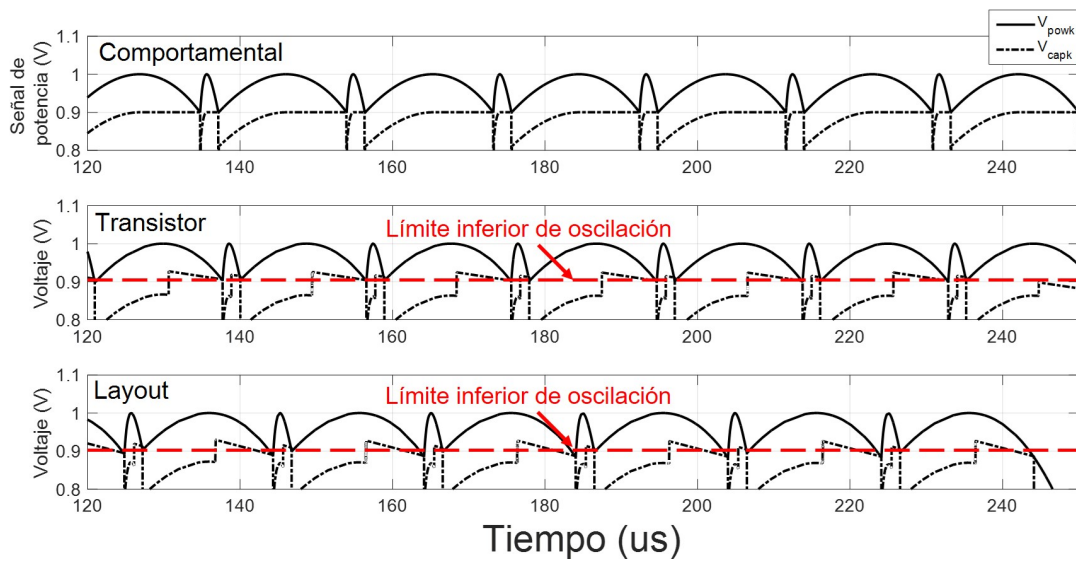


Figura 5.14: Respuesta transitoria del bloque retenedor-atenuador en sus tres modelos, para una irradiación de $1kW/m^2$.

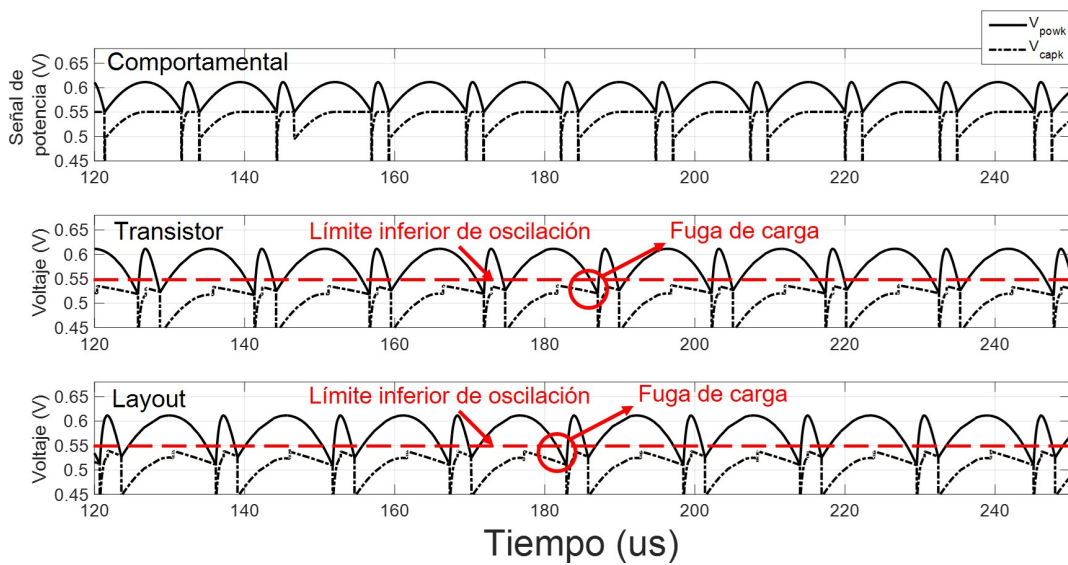


Figura 5.15: Respuesta transitoria del bloque retenedor-atenuador en sus tres modelos, para una irradiación de $600W/m^2$.

De acuerdo a las Fig. 5.14 y 5.15, en el modelo comportamental el voltaje correspondiente al punto de máxima potencia atenuado a un 90% (V_{capk}) es retenido de manera constante hasta que $V_{capk} > V_{powk}$, es decir cuando la potencia de celda solar rebasa la franja de oscilación. Sin embargo, en los modelos transistor y layout, V_{capk} no mantiene una retención ideal y existe una fuga de carga, lo que provoca una reducción exponencial del valor retenido. Para la condición de $600W/m^2$, esto reduce el límite inferior de la franja de oscilación, de modo que la fluctuación de la potencia de celda solar sea entre el máximo disponible y menor al 90% de la misma. El efecto de fuga de carga ejerce mayor impacto en niveles de irradiación menores o iguales a $600W/m^2$. Para el caso de $1kW/m^2$, a pesar de presentarse dicho efecto, el valor de V_{capk} no desciende lo suficientemente rápido de modo que, cuando $V_{capk} > V_{powk}$, el límite inferior de oscilación es aun mayor o igual al 90% de la máxima potencia disponible de celda solar, por lo que la fuga de carga no afecta significativamente el desempeño del MPPT en niveles de irradiación mayores a $600W/m^2$, en cuyo rango se pretende que opere la mayor parte del tiempo. Con información de la Fig. 5.13 y 5.12, la fuga de carga reduce de $2.87mV$ a $4mV$ el límite inferior de la franja de oscilación, equivalente de $2.87mW$ a $4mW$. Por lo anterior, se concluye que el divisor de voltaje con capacitores en el retenedor-atenuador es el elemento crítico del cual depende en gran medida la eficiencia de seguimiento del MPPT. En forma más específica, la tecnología de capacitores integrados a emplearse debe procurar reducciones de fugas de carga.

Con base a las Fig. 5.11, 5.12 y 5.13, cabe destacar el momento en el cual la potencia de celda solar comienza a ascender hacia el MPP, donde es diferente para cada modelo, siendo el comportamental el primero en lograrlo en $21\mu s$ en tanto que, respecto al modelo comportamental, el modelo transistor y layout lo logran con un retardo de $12.4\mu s$ y $33.8\mu s$, respectivamente. Dichos retardos se deben al circuito anti-divergencia cuya función, además de recuperar la convergencia hacia el punto de máxima potencia, es iniciar el funcionamiento del MPPT cuando es energizado, después de $20\mu s$. Dentro del circuito anti-divergencia, el bloque encargado de tal función es el integrador, cuya función esencial es la de un temporizador. A continuación se expone la respuesta transitoria del circuito anti-divergencia.

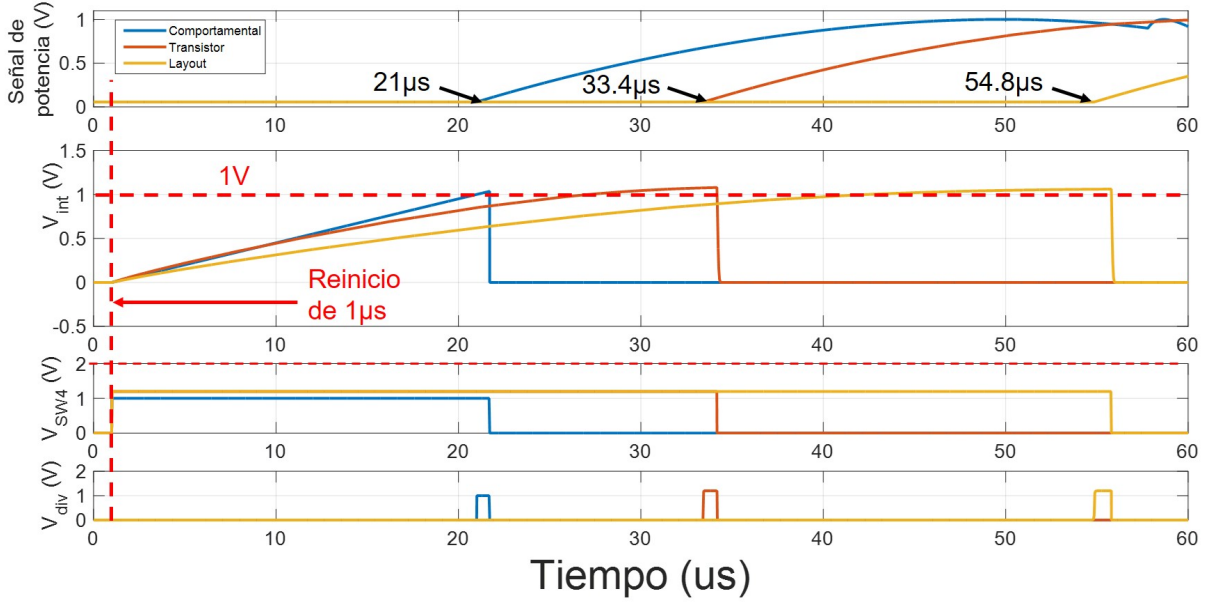


Figura 5.16: Respuesta transitoria de las señales del circuito anti-divergencia, para una irradiación de $1kW/m^2$.

De la Fig. 5.16, al inicio se aplica un reinicio al circuito MPPT ($\overline{V_{reset}} = 0$) de $1\mu s$. Al finalizar el reinicio, el circuito integrador comienza a generar la señal rampa ascendente (V_{int}) hasta que $V_{int} = 1V$ en cuyo momento han transcurrido $20\mu s$. Al sumar el tiempo de reinicio, $V_{int} = 1V$ en $t = 21\mu s$. Lo anterior es cumplido como tal por el modelo comportamental, mas no así el modelo transistor y layout. Esto es debido a que, a nivel transistor, se presentan efectos físicos como la modulación de canal, el cual provoca que el largo de canal no sea constante conforme el voltaje de drenaje a fuente varía. La ecuación que describe la variación del largo de canal es:

$$\Delta L = \sqrt{\frac{2\varepsilon}{qN_A} (V_{DS} - V_{sat})} \quad (5.2)$$

donde ε es la constante dielectrica del silicio, q es la carga del tipo de portador mayoritario, N_A la concentración de portadores mayoritarios por cm^3 , V_{DS} es el voltaje de drenaje a fuente y V_{sat} el voltaje de saturación. Por lo que, la ecuación de corriente en saturación de un transistor MOS, tomando el cuenta el efecto de modulación de canal, es:

$$I_D = \frac{1}{2} k_n \frac{W}{L - \Delta L} (V_{GS} - V_{TH})^2 \quad (5.3)$$

Es decir, a medida que el voltaje de saturación V_{DS} se reduce, situación que ocurre conforme V_{int} aumenta, el cociente $W/(L - \Delta L)$ se reduce, en consecuencia I_D disminuye. El mismo efecto acontece para el modelo a nivel layout, donde este último incluye las resis-

tencias parásitas por las pistas metálicas y los contactos entre metales. En ambos casos, la corriente a integrar I_{int} de $1\mu A$ se ve reducida alrededor de los $500nA$. Así, la constante de integración, definida como I_{int}/C_i e igual a $50mV/\mu s$, se reduce alrededor de $25mV/\mu s$, es decir a la mitad del valor original. No obstante, un aumento en el tiempo de inicio de operaciones del MPPT no representa un problema en el desempeño del seguimiento de punto de máxima potencia dado que, en los tres modelos y en el caso de $1kW/m^2$ después del retardo de inicio, los tres cumplen con la oscilación de la potencia de celda solar dentro de la franja establecida. En los tres modelos y sin importar el nivel de irradiación, V_{SW4} se mantiene en nivel alto hasta que la señal de potencia rebasa los $100mV$ establecidos en el generador de referencias de voltaje. La señal V_{div} indica el momento en que $V_{int} > 1V$ y regresa a estado bajo cuando V_{SW4} hace lo mismo. Con ello, el circuito anti-divergencia es independiente del nivel de irradiación y cumple su objetivo establecido.

Las siguientes figuras muestran la respuesta en frecuencia del detector de pendiente positiva, cuyo circuito de mayor importancia es el amplificador operacional en configuración de derivador.

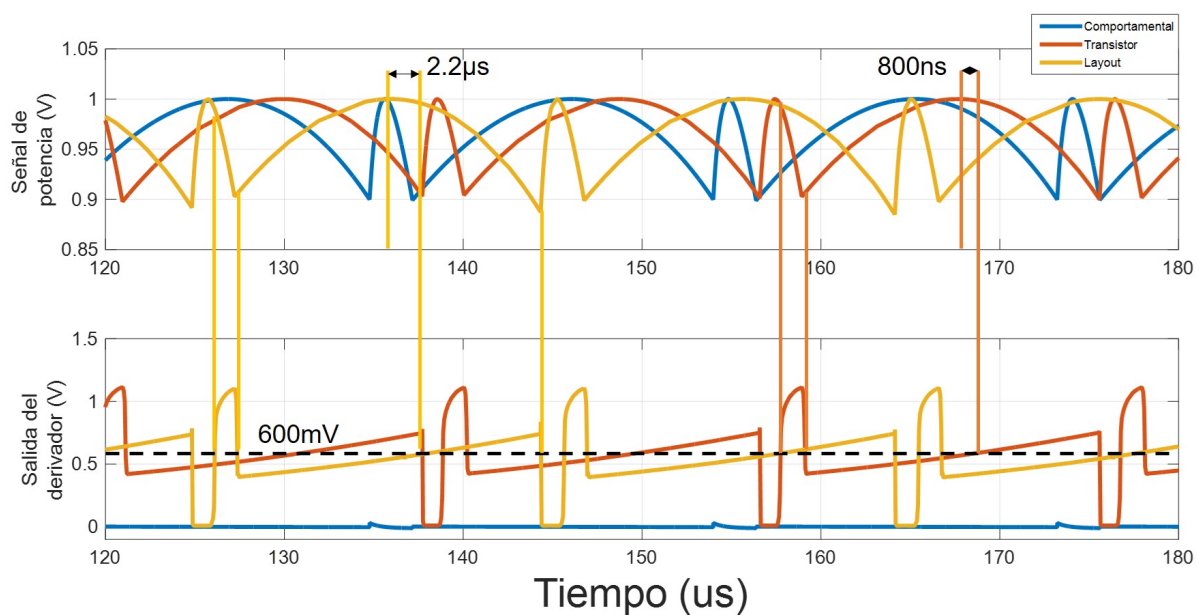


Figura 5.17: Respuesta transitoria del circuito derivador en el detector de pendiente positiva, para una irradiación de $1kW/m^2$.

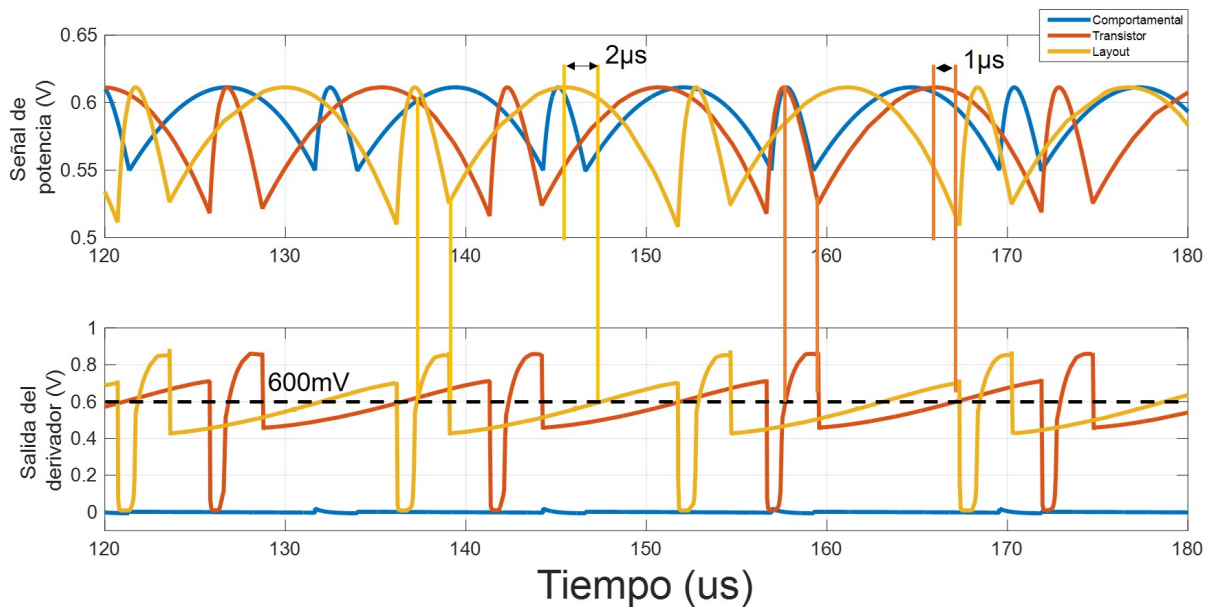


Figura 5.18: Respuesta transitoria del circuito derivador en el detector de pendiente positiva, para una irradiación de $600W/m^2$.

De acuerdo a las Fig. [5.19](#) y [5.21](#), para los modelos transistor y layout, la salida del derivador presenta un retardo entre $800ns$ y $2.2\mu s$ respecto al momento en que la potencia de celda solar comienza a descender. Lo anterior repercute en menor medida en el comparador CM1, el cual presenta también un retardo de aproximadamente el mismo orden que el ocurrido en el derivador. La diferencia de voltaje de la señal de potencia entre los puntos que definen cada retardo, es de $1.5mV$ para el retardo de $800ns$ y de $7.3mV$ para el retardo de $2.2\mu s$, en el caso de $1W/m^2$. Para la condición de $600W/m^2$, es de $3.1mV$ y $8.6mV$ para los retardos de $1\mu s$ y $2\mu s$, respectivamente. Por lo tanto, el retenedor-atenuador almacena entre el 99.14% y el 99.85% del valor real, lo cual no repercute significativamente en el desempeño del seguimiento del punto de máxima potencia, dado que los retardos de ese orden son esperados por considerar efectos físicos. Para el modelo comportamental, la salida del derivador oscila entre valores positivos y negativos, ya que el bloque derivador, al ser ideal, no necesita un voltaje común.

Las siguientes figuras muestran la respuesta del comparador CM1 en el detector de pendiente positiva.

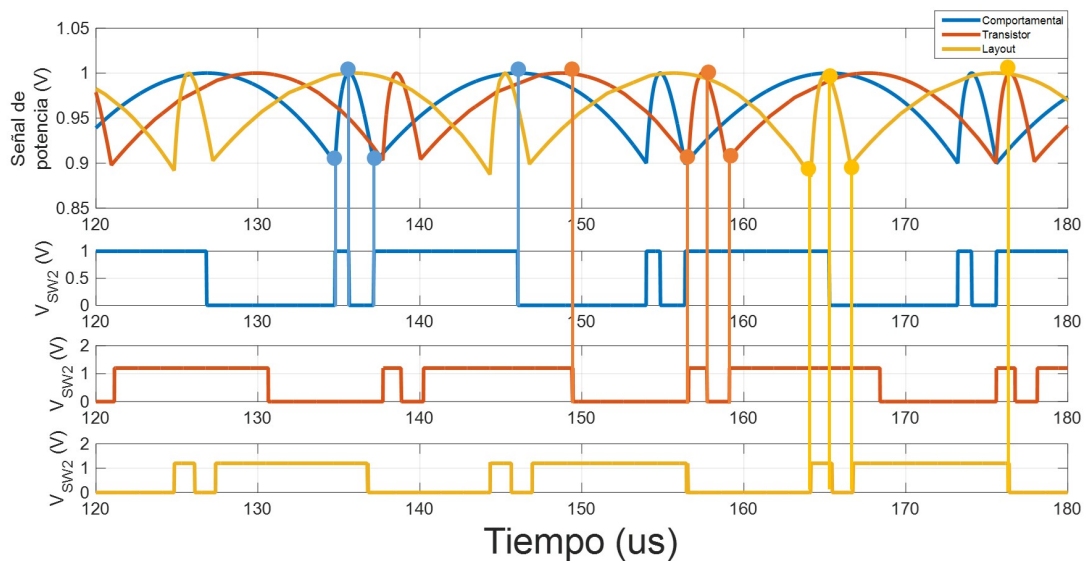


Figura 5.19: Respuesta transitoria del comparador en el detector de pendiente positiva, para una irradiación de $1kW/m^2$.

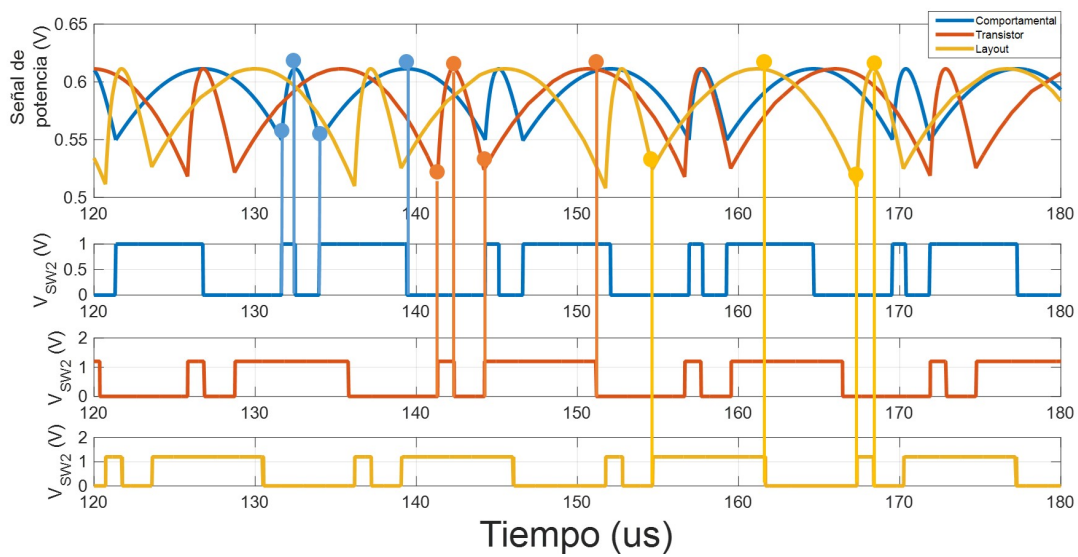


Figura 5.20: Respuesta transitoria del comparador en el detector de pendiente positiva, para una irradiación de $600W/m^2$.

Así, cuando $V_{SW2} = 1.2V$ la potencia de celda solar asciende, mientras que cuando $V_{SW2} = 0$ la potencia de celda solar disminuye. Para niveles de irradiación mayores a $600W/m^2$, a pesar del breve retardo en el momento del descenso de la potencia, el comparador genera los pulsos en el momento requerido para abrir o cerrar el interruptor $SW2$ que controla, el cual permite el paso o la detención de la señal de potencia hacia el retenedor-atenuador. Al operar la señal de potencia en una banda aproximada entre los $50kHz$ y $430kHz$, el comparador puede emitir los pulsos sin retardos adicionales.

Como se mencionó en el capítulo 1, uno de los parámetros y análisis más importantes al evaluar un seguidor de punto de máxima potencia es la eficiencia de seguimiento. En términos prácticas, es una cantidad que mide el grado de retención de la potencia de celda solar en su punto de máxima potencia a lo largo del tiempo. Aunque solo se presentaron las gráficas de las respuestas transitorias en niveles de irradiación de $1kW/m^2$, $800W/m^2$ y $600W/m^2$, se efectuaron simulaciones desde $200W/m^2$. Sin embargo, los resultados son mejor apreciados al observar una gráfica de eficiencia de seguimiento en función del nivel de irradiación, como la que se presenta enseguida.

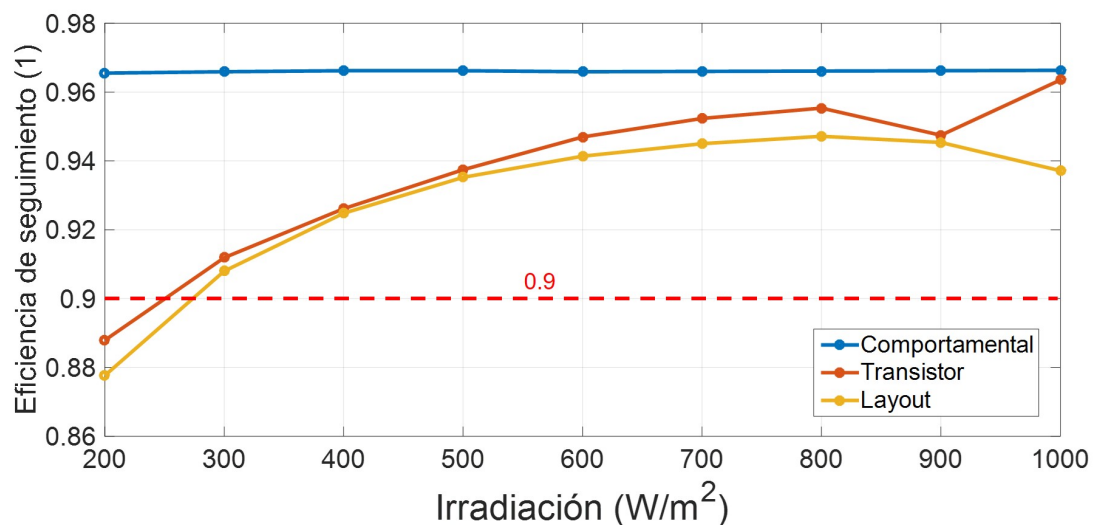


Figura 5.21: Eficiencia de seguimiento de los 3 modelos de MPPT, para diferentes niveles de irradiación.

De la gráfica anterior, el modelo comportamental mantiene un nivel de 0.9662 en todo el rango de irradiación, lo cual es de esperarse al no existir componentes reales. En cuanto a los modelos transistor y layout, ambos se mantienen con una eficiencia de seguimiento superior a 0.9 desde $300W/m^2$, es decir dentro del 70 % del rango entre $0W/m^2$ y $1kW/m^2$. La eficiencia de seguimiento, de $1kW/m^2$ a $200W/m^2$, se ve reducida en 0.0756 o 7.5 % y 0.0595 o 5.95 % para los modelos transistor y layout, respectivamente, en forma exponencial. Existe una diferencia máxima entre los modelos transistor y layout de 0.0264 o 2.64 % en el nivel de $1kW/m^2$, la cual es prácticamente nula. Con ello, la eficiencia de

seguimiento para el modelo layout no presenta cambios significativos respecto al modelo transistor, por lo que los resultados indican una apropiada distribución y conexión espacial y física de los componentes electrónicos en silicio.

5.6. Comparación con otros modelos

La siguiente tabla muestra un comparativo del circuito MPPT propuesto con algunos de los prototipos más citados en la literatura referente a seguidores de punto de máxima potencia.

Tabla 5.1: Comparativo del circuito MPPT propuesto con algunos de los prototipos más citados en la literatura.

Modelo	Algoritmo	Circuito	Consumo de potencia	η_{MPPT}
[26]	Cálculo previo de la trayectoria del MPP con varios niveles de irradiación	Digital	$<120\mu W$	0.436
[19]	Modulación por frecuencia de pulsos	Mixto	$<350\mu W$	0.996
[27]	Modulación por frecuencia de pulsos/ control predictivo	Digital	$<52\mu W$ $>388\mu W$	0.994
[28]	Hill Climbing por registro de aproximaciones sucesivas	Digital	$110\mu W$	0.996
[20]	Control basado en eventos	Mixto	No aplica	0.9911
Presente trabajo	Control basado en eventos	Mixto	$100\mu W$	0.91-0.945

De acuerdo a la tabla 5.1, el modelo [20] no aplica en consumo de potencia por ser una implementación comportamental. Para el modelo [27], el consumo de potencia es mayor a $388\mu W$ si la potencia de celda solar es de $94.4mW$, mientras que es de $52\mu W$ para una celda solar de $2.7mW$. A excepción de [20], todos los prototipos consumen una potencia mayor o igual a $100\mu W$, por tanto, puede deducirse que el circuito propuesto cumple con los estándares de alimentación eléctrica. El MPPT propuesto mantiene un compromiso entre consumo de potencia y eficiencia de seguimiento. Si bien, respecto a los modelos [19] y [28] la eficiencia de seguimiento del prototipo propuesto es menor, reduce el consumo de potencia más del triple de [19] y alrededor del 10% de [28], siendo esta

última una implementación digital. Respecto al modelo base [20], aunque la eficiencia de seguimiento η_{MPPT} del modelo propuesto es menor, con una diferencia del 4.61 %, dicho nivel es mantenido en un amplio rango de niveles de irradiación, que va de $300W/m^2$ a $1kW/m^2$, situación que no ocurre con [20], como lo demuestra la siguiente figura.

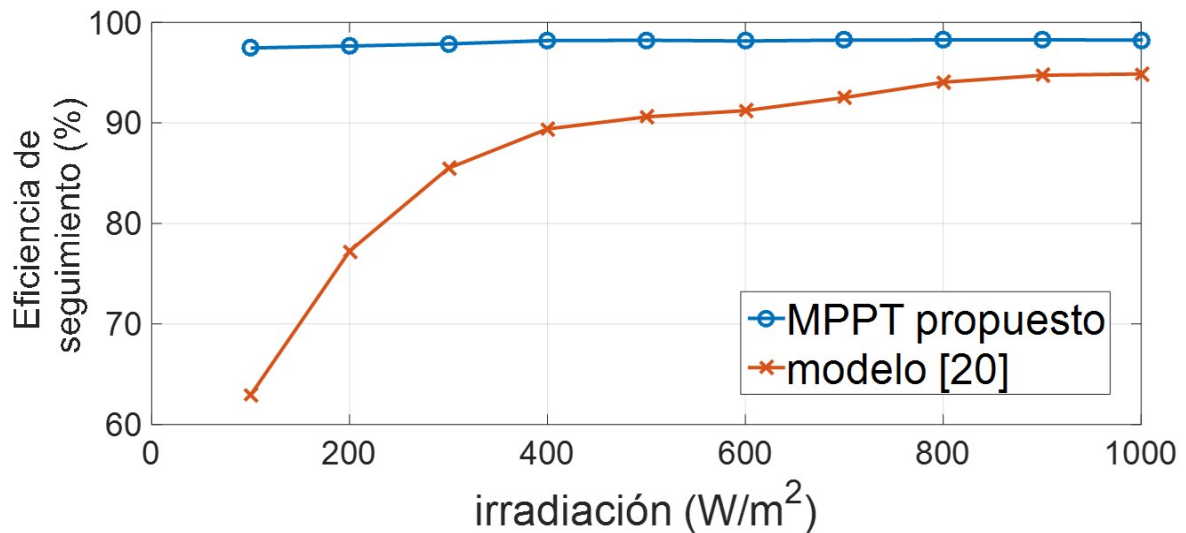


Figura 5.22: Comparación de eficiencias de seguimiento del modelo propuesto y el modelo base, ambos a nivel comportamental.

De acuerdo a la Fig. 5.22, el modelo [20] reduce su eficiencia con mayor ritmo a partir de un rango de irradiación menor o igual a $400W/m^2$. La constancia del nivel de eficiencia en el modelo propuesto se debe principalmente al bloque retenedor-atenuador, ya que adapta el límite inferior de la oscilación de potencia al 90 % de la máxima proporcionada por la celda solar. En el modelo [20], el límite inferior de oscilación es un nivel de voltaje constante u offset por debajo del máximo disponible. Así, en bajos niveles tanto de irradiación como de máxima potencia tal offset, aunque puede ser pequeño en alta irradiación, puede ser considerablemente grande para permitir la oscilación de la potencia de celda solar en un amplio rango, lo que conlleva a que el punto de operación de la celda solar se mantenga alejado mucho más tiempo del máximo. Por lo anterior, se ha demostrado la adaptabilidad del MPPT propuesto para distintos niveles de irradiación.

5.7. Resumen

Los resultados de las pruebas definidas en el capítulo 3 y 4 se exponen y analizan. El resultado de la Prueba 1 muestra la aproximación del modelo de celda propuesto con uno real, cuyo error absoluto es menor al 2% en la región de saturación y aumenta en la región lineal, lo cual sugiere, como trabajo a futuro, un mejor ajuste dentro de tal región. Los resultados de la Prueba 2 exponen las curvas de potencia y corriente del modelo de celda propuesto. Tales curvas confirman el cumplimiento de los parámetros definidos en la ecuación del modelo de celda. Los resultados de la prueba 3 confirman el diseño del convertidor DC/DC boost, cuya ganancia de voltaje es mayor a 2 para niveles de irradiación entre $100W/m^2$ y $1kW/m^2$. Los resultados de la Prueba 4 demuestran la funcionalidad del circuito anti-divergencia, al lograr que el punto de operación volviera a converger al MPP debido a cambios abruptos en el factor de irradiación. Los resultados de la prueba 5 es la unión y comparación de las respuestas transitorias para los modelos comportamental, transistor y layout de MPPT. En ellas se observa el cumplimiento de la eficiencia de seguimiento, mayor a 0.9, para un amplio rango de niveles de irradiación entre $300W/m^2$ y $1kW/m^2$. El consumo de potencia del MPPT modelo layout es de $100\mu W$, el cual es comparable entre los más citados en la literatura referente a seguidores de punto de máxima potencia.

Capítulo 6

Conclusiones y trabajo a futuro

De acuerdo al análisis de resultados obtenidos en la presente tesis, se logró diseñar y caracterizar un circuito integrado para el seguimiento de punto de máxima potencia, aplicado en un sistema de cosecha de energía solar. El circuito consume una potencia de $100\mu W$ y mantiene una eficiencia de seguimiento de 0.91 a 0.945 para un rango de irradiación de $300W/m^2$ a $1kW/m^2$, aunque puede seguir operando hasta los $200W/m^2$. Por tales características eléctricas y transitorias, el circuito propuesto es comparable a aquellos prototipos más citados en la literatura.

Con base en los resultados a nivel comportamental y layout, el MPPT propuesto es un circuito de carácter universal, tal que puede aplicarse en otros modelos de celda solar, incluyendo aquellos de alta potencia, dado que el algoritmo y el valor de sus componentes internos no dependen en gran medida de las características eléctricas de las mismas. Para ello, solo es preciso volver a diseñar el convertidor DC/DC boost y acoplar la señal de potencia a los niveles de voltaje del circuito MPPT.

Acorde a los resultados a nivel transistor y al proceso de diseño en tal nivel, es factible diseñar comparadores cuyas arquitecturas se basen en un amplificador de salida simple y una cadena de inversores digitales, cuando la aplicación demanda un ancho de banda del orden de kHz . La división de los transistores en fingers y sus dimensiones nanométricas favorecen la conservación del ancho de banda de los circuitos que constituyen. Para aplicaciones de retención de voltajes con capacitores e interruptores, este último precisa generar una resistencia de encendido, en el orden de $2k\Omega$ para minimizar los efectos de fuga de carga. El bloque retenedor-atenuador del MPPT propuesto es el circuito clave del cual depende fundamentalmente la eficiencia de seguimiento

Respecto al diseño a nivel layout, los anillos de guarda ayudan a reducir significativamente desfases de señales, ya que minimizan las capacitancias parásitas en circuitos como comparadores y amplificadores operacionales. Los transistores cuya relación W/L sea menor a 0.5 presentan con mayor evidencia el efecto de modulación de canal, por lo tanto la corriente se verá reducida conforme el voltaje de saturación aumente. Así, transistores destinados para aplicaciones de integración deben asegurar un cociente W/L mayor a 0.5.

Entre las dificultades encontradas en el desarrollo de la tesis se encuentran la carencia de modelos de celda solar para ser simulados en plataformas de diseño de circuitos integrados, motivo por el que se describió uno en lenguaje VerilogA. Cabe mencionar un periodo de retraso en la finalización del presente trabajo debido a daños en la infraestructura del edificio donde se ubica el Laboratorio de Caracterización y Diseño de Circuitos Integrados, a consecuencia del terremoto ocurrido el 19 de Septiembre del 2017.

Como trabajo a futuro relativo al presente trabajo, se proponen los siguientes puntos:

- Mejora de las conexiones a nivel layout del circuito MPPT para reducir efectos parásitos.
- Mejorar las dimensiones del convertidor DC/DC boost a fin de reducir el valor de los componentes.
- Integrar el MPPT propuesto con un sistema de cosecha de energía solar en forma completa.
- Mejorar el modelo de celda solar en VerilogA, al incorporar los efectos de temperatura.

Bibliografía

- [1] Femia, Nicola, *et al.* *Power Electronics and Control Techniques for Maximum Energy Harvesting in Photovoltaic Systems*. CRC Press, USA, 2013, p. 237-239
- [2] Y. Qiu, C. V. Liempd, B. O. het Veld, P. G. Blanken, and C. V. Hoof, "5 μ W-to-10 μ W input power range inductive boost converter for indoor photovoltaic energy harvesting with integrated maximum power point tracking algorithm," in Proc. IEEE Int. Solid-State Circuits Conf. Dig., San Francisco, CA, USA, Feb. 9-13, 2011.
- [3] I. Doms, P. Merken, R. Mertens, and C. Van Hoof, "Integrated capacitive power-management circuit for thermal harvesters with output power 10 to 1000 μ W," in Proc. IEEE Int. Solid-State Circuits Conf., Feb. 8-12, 2009, pp. 300-301.
- [4] J. E. Carlson, K. Strunz, and B. P. Otis, "A 20 mV input boost converter with efficient digital control for thermoelectric energy harvesting," IEEE J. Solid-State Circuits, vol. 45, no. 4, pp. 741-750, Apr. 2010.
- [5] Energy Harvesting Forum. Energy Harvesting Electronic Solutions for Wireless Sensor Networks & Control Systems. Texto informativo. <http://www.energyharvesting.net/>, (acceso: 01/02/2016)
- [6] Murdoch, C. S. and Reynoso, S. N. Design and Implementation of a MPPT Circuit for a Solar UAV. IEEE Latin America Transactions, Vol. 11, No. 1, February, 2013, p. 1-4.
- [7] Notimex, Dinero en imagen. ¿Cuántos smartphones hay en México?, 31 de Agosto del 2015, texto informativo, <http://www.dineroenimagen.com/2015-08-31/60864>, (acceso: 05/02/2016).
- [8] CIU®, The Competitive Intelligence Unit, Alamilla, Rolando y Esquivel, Fernando. Mercado de Smartphones en México en 2013, Diciembre del 2013, texto informativo, http://the-ciu.net/nwsltr/237_1Distro.html, (acceso: 25/05/2016).
- [9] Vega, Gina. CONACYT agencia informativa. Mexicana desarrolla cosechador de energía. 22 de Septiembre del 2015. Texto informativo.

- <http://www.conacytprensa.mx/index.php/tecnologia/energia/2991-mexicana-desarrolla-cosechador-de-energia>, (acceso: 05/02/2016).
- [10] N. Femia, G. Petrone, G. Spagnuolo, and M. Vitelli. Optimization of perturb and observe maximum power point tracking method. *IEEE on Power Electronics*, 20(4):963-973, 2005.
- [11] A. Pandey, N. Dasgupta, and A. K. Mukerjee. Design issues in implementing MPPT for improved tracking and dynamic performance. In *32nd anual Conference on IEEE Industrial Electronics, IECON 2006*, November 2006, pp. 4387-4391.
- [12] N. Femia, D. Granozio, G. Petrone, and M. Vitelli. Predictive adaptive MPPT perturb and observe method. *IEEE Transactions on Aerospace and Electronic Systems*, 43(3):934-950,2007
- [13] N. Femia, G. Petrone, G. Spagnuolo, and M. Vitelli. A new analog MPPT technique: TEODI. *Progress in Photovoltaic: Research and Applications*, 18(1):28-41, 2010.
- [14] G. Petrone, G. Spagnuolo, and M. Vitelli. TEODI: A new technique for distributed maximum power point tracking PV applications. In *2010 IEEE International Conference on Industrial Technology (ICIT)*, March 2010, pp. 982-987.
- [15] G. Petrone, G. Spagnuolo, and M. Vitelli. TEODI: PV MPPT based on the equalization of the output operating points in correspondence of the forced displacement of the input operating points. In *2010 IEEE International Symposium on Industrial Electronics (ISIE)*, July 2010, pp. 3463-3468.
- [16] R. Faranda, S. Leva. "A Comparative study of MPPT techniques for PV Systems", Energy: Departament, Politecnico di Milano, Piazza Leonardo da Vinci, 32-20133 Milano. Italy.
- [17] T. Esum, *Comparison of Photovoltaic Array Maximum Power Point Tracking Techniques*, IEEE Transactions on Energy Conversion, Vol. 22, No. 2, June 2007.
- [18] Ruiz C. Luis J., *et al*, Estudio del Algoritmo de Seguimiento de Punto de Máxima Potencia Perturbar y Observar, RIEE&C, Revista de Ingeniería Eléctrica, Electrónica y Computación, Vol. 8, No. 1, Diciembre 2010.
- [19] López-LaPeña, Oscar, Penella, Maria Teresa y Gasulla, Manel. A New MPPT Method for Low-Power Solar Energy Harvesting, *IEEE Transactions on Industrial Electronics*, Vol. 57, No. 9, September 2010.
- [20] Ji, Sang-Keun, *et al*. Analog Control Algorithm for Maximum Power Tracker Employed in Photovoltaic Applications, *IPEC 2010*, 2010.

-
- [21] García Juárez, Moisés. Validación del modelo y bloque en Simulink de una celda solar, Reporte escolar, Calidad de la energía, BUAP MIE, opción Instrumentación Electrónica, Diciembre 30, 2015.
- [22] Razavi, Behzad. Design of Analog CMOS Integrated Circuits. International Edition, McGraw Hill, Electrical Engineering Series, Singapore, 2001, pp. 126-129.
- [23] Baker, Jacob R. CMOS circuit design, layout and simulation. 2 edición, Wiley Interscience, USA, 2005. p. 910.
- [24] Razavi, Behzad. Design of Analog CMOS Integrated Circuits. International Edition, McGraw Hill, Electrical Engineering Series, Singapore, 2001, pp. 151-153.
- [25] Maloberti, Franco. Analog Design for CMOS VLSI Systems. Kluwer Academic Publishers, USA, 2003, pp. 197-200.
- [26] Eltaliawy, A., Mostafa and Ismail Y. A New Digital Locking MPPT Control for Ultra Low Power Energy Harvesting Systems. New Circuits and Systems Conference (NEWCAS), France, 2015, pp. 1-4.
- [27] López-Lapeña, O., Penella, M. T. and Gasulla, M. A Closed-Loop Maximum Power Point Tracker for Subwatt Photovoltaic Panels. IEEE Transactions on Industrial Electronics, Vol. 59, No. 3, March 2012.
- [28] Kim. H., *et al.* A 1-mW Solar-Energy-Harvesting Circuit Using an Adaptive MPPT With a SAR and a Counter. IEEE Transactions on Circuits and Systems-II: Express briefs, Vol. 60, No. 6, June 2013.