



**Benemérita Universidad Autónoma de
Puebla**

Facultad de Ciencias de la Electrónica

Licenciatura en Electrónica



Diseño de un amplificador multi etapa para acondicionamiento de señales electrocardiográficas

Tesis presentada para obtener el grado de

Licenciado en Electrónica

Presenta:

Alejandro García Equiterio

Directores de Tesis:

Dr. Víctor Rodolfo González Díaz.

Dra. Gisela de la Fuente Cortes.

Puebla, Pue.

Diciembre 2023.

Índice general

1. Introducción	3
1.1. Objetivo general	4
1.2. Objetivos específicos	4
1.3. Justificación	5
1.4. Organización de la Tesis	6
2. Acondicionamiento de señales	7
2.1. Sistemas de instrumentación médica	7
2.2. Acondicionamiento de señales biomedicas	8
2.3. Características de señales ECG	9
2.4. Filtros	10
2.5. Amplificador Operacional (OPAMP)	11
2.6. Amplificador Operacional <i>fully-differential</i>	13
2.7. Amplificador de Transconductancia (OTA)	14
2.8. Amplificador de instrumentación	14
2.9. Propuestas de sistemas de acondicionamiento de señales	15
2.9.1. <i>A 1.8 μW -65 dB THD ECG Acquisition Front-End IC Using a Bandpass Instrumentation Amplifier with Class-AB Output Crepresentaonfiguration</i>	16
2.9.2. <i>A Fully-Differential CMOS Instrumentation Amplifier for Bioimpedance-Based IoT Medical Devices</i>	16
2.9.3. <i>Chopper Capacitively-Coupled Instrumentation Amplifier Capable of Handling Large Electrode Offset for Biopotential Recordings</i>	17
2.9.4. <i>An Ultra-Low Power (86 nW) Low-Voltage (0.6 V) Self-Biased Instrumentation Amplifier for Bio-Medical Applications</i>	18
2.9.5. <i>A 1-V Low-Noise Readout Front-End for Biomedical Applications in 0.18-μm CMOS</i>	18
2.10. Efecto Miller	19
2.11. Compensación de sistemas	21
2.12. <i>Nasted-Miller</i> (NM)	21
2.13. <i>Reversed-Nested-Miller</i> (RNM)	22
2.14. <i>Nulling Resistor</i>	22

2.15. <i>Feedforward</i>	23
2.16. El problema del <i>offset</i>	24
2.17. CMFB	24
2.18. CMFB de tiempo continuo	25
2.19. CMFB de tiempo Discreto	27
2.20. Reglas de diseño para creación de <i>Layout</i>	28
2.20.1. Espacio mínimo	29
2.20.2. Encierro mínimo	29
2.20.3. Simetría	29
2.20.4. <i>Multifinger transistor</i>	30
2.20.5. Multiplicadores	30
3. Diseño de Amplificador multi etapa	32
3.1. Análisis pequeña señal	32
3.2. Implementación de diseño	40
3.3. Implementación de CMFB continuo	43
3.4. Implementación de CMFB discreto	45
3.5. Diseño de <i>Layout</i>	47
4. Caracterización eléctrica del Amplificador multi etapa	55
4.1. Magnitud y fase	55
4.2. Control de <i>Offset</i>	56
4.3. Comprobación de diseño	60
4.3.1. DRC	60
4.3.2. LVS	61
4.4. Comparativa con trabajos similares	62
5. Conclusiones	64
5.1. Agradecimientos	67
Apéndice A. Comandos Matlab para calcular la FT	68
Apéndice B. Solicitud de patente para Esquema de Trazado de CI	70
Bibliografía	70

1 Introducción

Según la OMS (Organización Mundial de la Salud), la primera causa de muertes a nivel mundial son las causadas por enfermedades cardiovasculares, mientras que en países con pocos o medianos ingresos, tres cuartas partes de las muertes se deben a cardiopatías y accidentes cerebrovasculares [1]. Debido a esto, el mismo organismo alienta a prestar más atención a tales enfermedades mediante el diagnóstico oportuno de los padecimientos mencionados. Para el correcto seguimiento a los pacientes y la mejora del tratamiento, la OMS emite algunas recomendaciones [2]. Una es la investigación, desarrollo y regulación de dispositivos médicos que ayuden en el correcto tratamiento de las enfermedades [2] [3], estos dispositivos comúnmente son denominados como sistemas de monitoreo de salud.

Con el desarrollo de nuevas tecnologías basadas en hiperconectividad, inteligencia artificial, circuitos integrados e investigación de materiales, se han podido desarrollar nuevos dispositivos médicos capaces de monitorear la salud en tiempo real [4] [5]. Algunos dispositivos simplemente miden la temperatura del cuerpo y el ritmo cardíaco, otros con más funciones pueden medir el nivel de glucosa en sangre o captura de electrocardiograma (ECG) [6].

Una de las características importantes de estos dispositivos de monitoreo de salud es la portabilidad, ya que pueden estar diseñados para un monitoreo en tiempo real [7]. Si se toma esta como la principal característica o beneficio, idealmente el dispositivo debería ser no invasivo y tener un consumo energético mínimo [8]. Otra característica es el de crear un expediente más completo de los pacientes, ya que si el dispositivo está conectado remotamente a un servidor o un sistema de almacenamiento, se puede crear una base de datos con la evolución de su padecimiento y esto puede ayudar a un mejor diagnóstico y tratamiento. Con el escalamiento en la tecnología CMOS y el desarrollo de nuevos materiales, se ha podido desarrollar dispositivos menos invasivos, reducir el tamaño de los dispositivos y reducir el consumo energético. Otra de las ventajas del uso de estos dispositivos es el monitoreo de la salud en tiempo real, esto permite que el padecimiento sea estudiado de una mejor manera, ya que no solo se incluyen datos previos, sino que se puede acceder a información al momento [4] [5] [7] [9].

- Determinar las características de los amplificadores contemporáneos en el estado del arte para señales biomédicas.
- Proponer la arquitectura de un amplificador orientado a señales ECG.
- Diseñar a nivel esquemático la arquitectura del amplificador propuesto.
- Caracterizar el desempeño del amplificador y verificar que cumpla con las especificaciones de señales de electrocardiograma.
- Realizar el patrón geométrico (*layout*) del amplificador propuesto.

1.3. Justificación

Considerando las ventajas y desventajas de los sistemas de instrumentación, se plantea el diseño de un amplificador que desempeñe un papel clave en el acondicionamiento de señales, específicamente aquellas provenientes de electrocardiogramas (ECG). Así, este trabajo servirá para mejorar sistemas de instrumentación médica aprovechando las innovaciones tecnológicas actuales, particularmente en el ámbito de la tecnología CMOS.

La importancia de diseñar un amplificador dedicado al acondicionamiento de señales de electrocardiograma (ECG) radica en el cuidado de la salud y el bienestar de las personas. La relevancia de este diseño reside en garantizar mediciones de ECG precisas y confiables, puesto que estas sirven como base para diagnósticos médicos efectivos.

En el contexto de la atención médica y el cuidado de la salud, el diseño de un amplificador específico para señales de ECG se convierte en una herramienta vital. Este enfoque especializado busca optimizar la captura de datos cardíacos, crucial para monitorear condiciones cardíacas, diagnosticar enfermedades y facilitar intervenciones médicas tempranas. El diseño especializado en señales de ECG aprovecha de una mejor manera los recursos implementados *on-chip* a diferencia de diseños enfocados en señales de biopotenciales de manera general, ya que al centrarse en las características eléctricas específicas de las señales de ECG, el diseño puede optimizar la ganancia, ancho de banda y mitigar problemas potenciales, todo ello con un consumo de recursos ajustado a las necesidades precisas de esta aplicación médica.

La combinación de un par diferencial, red de compensación, sistema de *Common Mode Feedback*, dan al amplificador las características de eliminación de señales que se adhieren de manera indeseada a las señales electrocardiográficas, obtención de mayor ganancia y simetría en *layout*, estabilidad y control del nivel de *offset* para garantizar la precisión y confiabilidad del amplificador, esto no solo responde a las necesidades técnicas específicas de la aplicación, sino que también prioriza la gestión eficiente de recursos para la creación de un diseño que puede llegar a ser implementado en un sistema más complejo que ayude a cuidar, preservar y mejorar la salud y calidad de vida de las personas.

Este diseño se ajusta a las demandas de sistemas médicos portátiles implementados

on-chip, ocupando una de las tecnologías más importantes, la tecnología CMOS. Esta tecnología ha sido fundamental para el desarrollo de diferentes sistemas, para el caso de sistemas de instrumentación ha permitido que estos sean más eficientes, compactos y potentes. La capacidad de integrar diversos sistemas electrónicos, analógicos y digitales, en un solo chip, junto con la reducción del tamaño de componentes, abre nuevas posibilidades para la creación de sistemas de instrumentación más complejos y optimizados.

1.4. Organización de la Tesis

La tesis está organizada en 5 capítulos. En el primer capítulo se da una breve introducción a la importancia de los sistemas de instrumentación médica, se exponen los objetivos de la tesis y la justificación del trabajo. En el capítulo 2 se exponen las características de los sistemas de instrumentación, cuáles componentes usualmente los componen, las características que el amplificador que se diseñó debe cumplir, propuestas de acondicionamiento de señales encontradas en la literatura donde se hablara principalmente de sus características, como funcionan y qué limitantes presentan, también se explican redes de compensación para la estabilidad de los amplificadores, redes de control de *offset* y reglas y técnicas de *layout*. En el capítulo 3 se detalla el proceso de diseño del amplificador, el cálculo de polos y ceros, simulaciones en AC, también se presentara la solución del *offset* en el amplificador y finalmente se explicara el proceso de la creación del *layout* del amplificador basado en las reglas y técnicas de diseño. En el capítulo 4 se presenta el desempeño del amplificador, las pruebas de diseño que se realizan para verificar que el *layout* sea correcto y se realiza una comparación con otros trabajos. Finalmente, en el capítulo 5 se dan las conclusiones de la tesis.

2 Acondicionamiento de señales

En el capítulo anterior se mencionó que es importante el uso de sistemas de monitoreo de salud, el cómo ayudan a la mejora de tratamientos de las personas. Por lo que en este capítulo se da una explicación de sistemas de instrumentación y de las características de acondicionamiento de señales. Ya que el diseño del amplificador cumplirá especificaciones de señales de electrocardiograma, se da una explicación de características de ECG. Después se explica algunos de los componentes importantes de la etapa de acondicionamiento de señales que son importantes para el acondicionamiento de ECG como lo son los filtros y los amplificadores. Se muestran algunas propuestas halladas en la literatura que solucionan los problemas de acondicionamiento de señales con diversas técnicas. Finalmente, se exponen conceptos de estabilidad, redes de compensación, control de *offset* y reglas y técnicas de *layout*.

2.1. Sistemas de instrumentación médica

Un sistema de instrumentación se conforma, de manera general, de 4 etapas [11] [12]:

- Adquisición de la señal. Esta etapa comúnmente se conforma por sensores y transductores que se encargan de sensar una variable física y convertirla a una señal eléctrica, como corriente o tensión. Algunos ejemplos de estos sensores pueden ser acelerómetros, electrodos, termistores, manómetros, etc.
- Acondicionamiento de señal. Esta etapa se encarga de tomar la señal eléctrica del transductor o sensor y adecuarla para su posterior análisis o procesamiento, este acondicionamiento depende de los requerimientos de la etapa de procesamiento de señal para un adecuado análisis de la señal. Sus características pueden variar, pero en general esta etapa se refiere principalmente a una etapa de filtrado, amplificación y conversión a una forma digital.
- Procesamiento de señal. Esta etapa es la encargada de sustraer la información de interés que contiene la señal que se está trabajando. Por ejemplo, si se está trabajando un sistema que detecte anomalías que puedan afectar la salud, esta etapa se encarga de analizar la señal y definir si existen tales anomalías o no. Esta etapa puede estar conformada por distintas etapas, aunque con el escalamiento en la tecnología CMOS y el desarrollo de circuitos integrados se

puede conformar por un procesador, dándole una mayor capacidad de análisis al sistema.

- Presentación de datos. Esta etapa es la encargada de mostrar la información de interés al usuario. Se puede conformar por pantallas LCD, displays, LED, alarmas o incluso algún sistema de transmisión que permita una comunicación remota con otros dispositivos o sistemas.

Dependiendo de cada sistema se agregan o quitan etapas, por ejemplo en algunos sistemas de instrumentación se llegan a agregar etapas de control de señales, esto quiere decir que tienen una etapa de retroalimentación para que la señal sensada adopte valores según corresponda.

De cualquier forma, en cualquier sistema que lo requiera, el acondicionamiento de señales es importante, ya que de esta etapa el procesamiento, que es el encargado de realizar el análisis de la señal, toma la información que necesita y si la señal que arroja la etapa de acondicionamiento es errónea o no cumple con las características que el procesamiento demanda entonces también se realizara un procesamiento equivocado y que en el ámbito de instrumentación médica puede llevar a malos diagnósticos de salud y por consecuencia malos tratamientos. Por esto, a continuación se expone sobre acondicionamiento de señales.

2.2. Acondicionamiento de señales biomédicas

Por lo común, no se puede conectar de forma directa la salida de un dispositivo de sensado a la etapa de procesamiento digital o la etapa de conversión de analógico a digital [11] [12]. Para poder realizar un correcto análisis digital se requiere que la señal sea adecuada para sus análisis, ya que de lo contrario el análisis puede ser incorrecto. Debido a esto, es importante la etapa de acondicionamiento de señal que de manera general se encarga de filtrar, amplificar y convertir a la forma requerida por el procesamiento, amplificarla porque comúnmente son señales de una baja magnitud que necesitan ser amplificadas para que pueda ser procesadas adecuadamente y filtrarla porque la señal del sensor tiene acoplado ruido indeseado que puede afectar el procesamiento digital y convertirlas porque comúnmente las señales proporcionadas por el sensor son analógicas y el procesamiento es en una forma digital o incluso en el dominio de la frecuencia. Los parámetros y etapas requeridas para el diseño del sistema acondicionador dependen de la etapa de procesamiento, aunque de manera general se puede se pueden dividir en las tres mencionadas

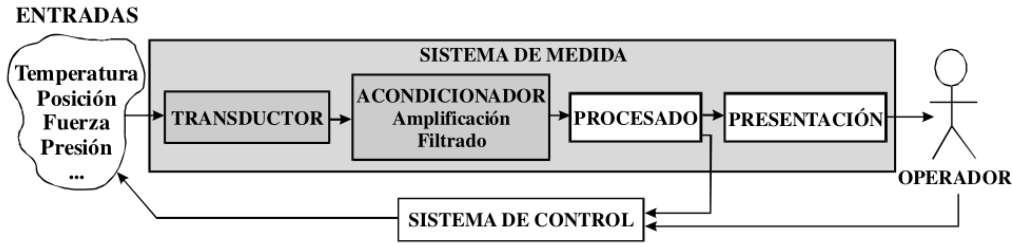


Figura 2.1: Esquema general de sistema de instrumentación Médica. Obtenida de [12]

Dependiendo de la aplicación y características del sistema de instrumentación, la etapa de acondicionamiento debe cumplir con ciertos parámetros. En el caso de instrumentación médica, las señales bioeléctricas del cuerpo son sensadas de manera diferente y, por lo tanto, cada sensor las entrega de manera distinta, por ejemplo, las señales de electroencefalografía, electromiografía y electrocardiografía tienen diferentes amplitudes y aparecen en diferentes rangos de frecuencia [11]. Entonces, para el diseño de un sistema de acondicionamiento de señales, primero se debe prestar atención a los requerimientos del sistema, como en este caso está pensado para señales de electrocardiograma (ECG) se expondrán las características eléctricas de estos bipotenciales.

2.3. Características de señales ECG

Un electrocardiograma es una técnica de diagnóstico que se fundamenta en el estudio de la actividad eléctrica cardíaca o señales de electrocardiograma (ECG) [15], estas señales aparecen comúnmente con una amplitud de voltaje de entre 0.5 y 4 mV [11] [16]. Las señales ECG son un conjunto de ondas denominadas como P, Q, R, S, T y U [11] [15] [16]. Cada una de estas ondas representa una actividad en el proceso de funcionamiento del corazón, donde las partes más importantes son las siguientes:

- Onda P: representa la despolarización de las aurículas, estas son las partes del corazón por donde regresa la sangre oxigenada o sin oxígeno [15]. Esta onda es una pequeña elevación que precede a la contracción de las aurículas.
- Complejo QRS: representa la despolarización de los ventrículos, estos son los encargados de bombear la sangre fuera del corazón a todo el cuerpo o a los pulmones para su oxigenación [15]. Este complejo incluye una onda Q (negativa), una onda R (positiva), y una onda S (negativa). Indica la contracción de los ventrículos.
- Segmento ST: representa el período entre la despolarización ventricular y la repolarización ventricular, es un segmento horizontal entre el final del complejo QRS y el comienzo de la onda T.
- Onda T: representa la repolarización de los ventrículos, es una elevación después del complejo QRS, indicando la recuperación eléctrica de los ventrículos

- Segmento TP: representa el período entre la repolarización ventricular y el comienzo de la despolarización auricular en el siguiente ciclo, s el segmento entre el final de la onda T y el comienzo de la siguiente onda P.

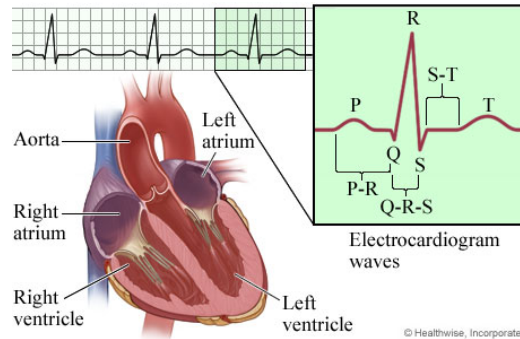


Figura 2.2: Partes principales del corazón que contribuyen a la creación de la señal de ECG. Imagen obtenida de [10]

Variaciones en sus niveles de amplitud, duración, nivel de *offset* del ECG o incluso la ausencia de alguna de las ondas puede ser indicio de alguna falla en el corazón [15] [16] [11] [12], estas variaciones son detectadas y analizadas por etapas de procesamiento, lo que vuelve importante la etapa de acondicionamiento, puesto que es la encargada de tomar correctamente la señal eléctrica sensada.

Como se mencionó, otro de los inconvenientes en la toma de señales de ECG es el relacionado con el ruido que se adhiere a la señal en el sensado. Las señales de ECG se ven afectadas por tres tipos de ruido: desplazamiento de la línea base, interferencia de la red eléctrica y ruido electromiográfico [16]. El ruido debido al desplazamiento de la línea base aparece en bajas frecuencias, típicamente entre 0.1 Hz y 0.5 Hz. este ruido se debe a variaciones de la impedancia entre corazón y electrodo [16]. El ruido debido a la interferencia de la red eléctrica aparece a 50 Hz o 60 Hz. Este ruido se debe a la red eléctrica. El ruido electromiográfico se debe principalmente a las contracciones de los músculos y al contacto entre electrodo y músculo, aparece entre 100 y 500 Hz [16].

Entonces, las señales de ECG aparecen con una amplitud de entre 0.5 y 4 mV y es recomendable tomarlas en un rango de 0.1 a 100 Hz, y eliminar el de 60 Hz, porque fuera de este rango se adhieren señales por los electrodos y movimientos naturales del cuerpo. Debido a esto es importante la característica de filtrado y amplificación, a continuación se describen estos temas.

2.4. Filtros

El filtro electrónico desempeña un papel crucial en diversas aplicaciones de electrónica, como sistemas de instrumentación. Funciona permitiendo el paso de señales de ciertas frecuencias mientras atenúa el resto, el valor que indica que frecuencias se atenúan se conoce como frecuencia de corte [17]. La selección de las frecuencias que se dejan pasar y se atenúan se logra mediante los valores de los componentes y el

tipo de filtro utilizado. Hay dos clases de filtros: pasivos y activos. Los filtros pasivos emplean resistores, capacitores e inductores, mientras que los activos combinan componentes pasivos con elementos activos o solo contienen elementos activos, tales como transistores o amplificadores [17] [18]. Cuatro tipos principales de filtros son los pasa-bajas, pasa-altas, pasa-bandas y banda-suprimida [18] [19] [20]. Cada uno tiene aplicaciones específicas y se elige según los requisitos del sistema.

- Pasa-bajas: En los filtros pasa bajas, se permiten las señales de baja frecuencia, rechazando las de alta frecuencia. La frecuencia de corte define donde inician las frecuencias altas. Aunque idealmente hay un cambio abrupto de la transmisión unitaria a cero en la frecuencia de corte, en la realidad, este cambio es gradual, dando lugar a un rango denominado como banda de transición [18].
- Pasa-banda: Los filtros pasa banda permiten el paso de frecuencias dentro de un rango específico, definido por las frecuencias de corte menor y mayor. Al igual que en los filtros pasa bajas, hay bandas de transición entre la banda pasante y las bandas suprimidas inferior y superior [18].
- Pasa-altas: Los filtros pasa altas dejan pasar señales de alta frecuencia, bloqueando las de baja frecuencia por debajo de la frecuencia de corte. Comparten características no ideales con los filtros pasa bajas [18].
- Banda-suprimida: Los filtros banda-suprimida son similares a los pasa-banda, solo que estos en lugar de dejar pasar un rango de frecuencias, atenúan un rango de frecuencias, dejando pasar idealmente al resto de frecuencias. Aparte de que existen bandas de transición, estos filtros tienen limitaciones porque en la práctica es complicado que pase todas las frecuencias fuera de un rango. Este filtro también es conocido como filtro *notch* [18] [20].

2.5. Amplificador Operacional (OPAMP)

Un amplificador operacional es un dispositivo capaz de amplificar la diferencia de los potenciales de sus terminales de entrada.

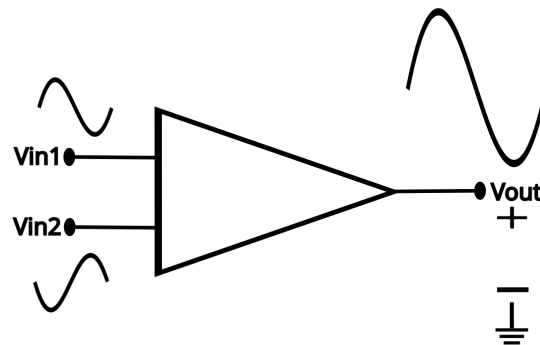


Figura 2.3: Amplificador *single-ended*.

El dispositivo tiene dos terminales de entrada, no inversora e inversora, y solo tiene una terminal de salida que refleja la diferencia de las terminales de entrada amplificada, se expresa de la siguiente forma [21] [19]

$$V_{out} = A[V_{in1} - V_{in2}]$$

Donde A es la ganancia y V_{in1} y V_{in2} son las entradas no inversora e inversora, respectivamente. Debido a que solo tiene una salida, se dice que es del tipo *single-ended*. Entre las características principales de un amplificador operacional están las siguientes [19] [21] [20]

- Alta ganancia, idealmente ofrecen una ganancia infinita, pero actualmente ofrecen altas ganancias dependiendo de la aplicación que se requiera.
- Alta resistencia de entrada, idealmente presentan resistencia de entrada infinita, pero en modelos reales se alcanzan resistencias de valores muy altos
- Baja resistencia de salida, idealmente la resistencia de salida debería ser 0.
- Corriente de entrada nula, idealmente no debería existir corriente fluyendo en las terminales de entrada del amplificador operacional.
- Ancho de banda infinito, idealmente un amplificador operacional debería funcionar correctamente con cualquier valor de frecuencia, pero en la realidad es que su funcionamiento deja de ser adecuado para ciertas frecuencias teniendo un ancho de banda limitado.
- Respuesta de instantánea, idealmente los cambios a la salida debido a cambios en la entrada es instantáneo, pero en realidad la velocidad es finita, ya que se ve limitada y este valor de velocidad de cambio se conoce como *slew rate*.
- Infinito rechazo de modo común, idealmente el amplificador elimina las señales comunes a las señales de entrada. Estas señales comunes comúnmente es ruido o señales indeseadas que se adhieren a ambas señales. En la práctica este rechazo de modo común es finito.
- *Offset* cero, idealmente el nivel de *offset* a la entrada y salida del amplificador es cero. En un amplificador real existe un *offset* en la entrada y a la salida. Es importante notar que existen algunas técnicas de compensación que se encargan de minimizar el *offset* de los amplificadores.
- Alto rechazo a la fuente de alimentación, idealmente los amplificadores no se verían afectados por cambios en los potenciales de alimentación. En la práctica este rechazo es finito y el amplificador sí se ve afectado por cambios en la alimentación.

2.6. Amplificador Operacional *fully-differential*

Este amplificador presenta las características de un *single-ended* a diferencia de sus salidas [21]

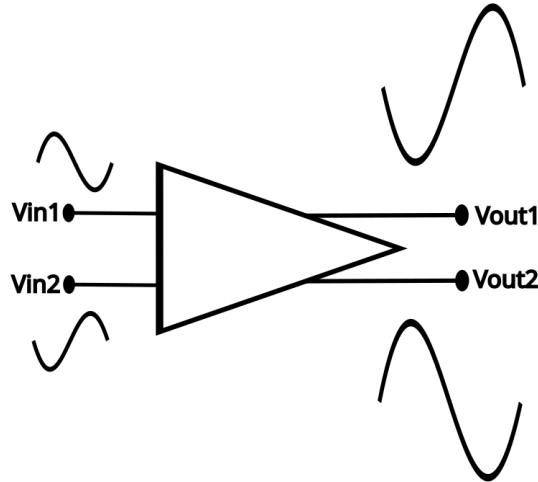


Figura 2.4: Amplificador *fully-differential*.

Las terminales de salida son las señales de entrada amplificadas y negadas. Matemáticamente, se expresa como [21]

$$V_{out1} = -AV_{in1} \quad \text{y} \quad V_{out2} = -AV_{in2}$$

De esta expresión se puede recalcar que las salidas reaccionan a cambios en cada entrada, a diferencia de los *single-ended* que su salida solo reacciona a cambios en la diferencia entre sus terminales de entrada.

Las características de estos amplificadores son las mismas que los *single-ended* a diferencia que estos rechazan mejor el ruido que se adhiere a las señales de entrada. Esto es porque al ser señales diferenciales, al tomar la diferencia de sus salidas:

$$V_{out} = V_{out1} - V_{out2} = -AV_{in1} + V_{CM} + AV_{in2} - V_{CM}$$

Donde V_{CM} es el voltaje común que se adhiere a ambas señales, entonces

$$V_{out} = -AV_{in1} + AV_{in2}$$

Debido a esta característica, esta configuración es muy útil en aplicaciones donde el rechazo a ruido y una alta precisión son importantes [19] [21] [22]

Las características de este tipo de amplificadores son las mismas que un *single-ended* a diferencia que como se ha visto, este ofrece un mejor rechazo de modo común, mayor ganancia y para la creación de *layout*, como se ve en el capítulo 3, se facilita la obtención de simetría.

2.7. Amplificador de Transconductancia (OTA)

Los amplificadores de transconductancia son amplificadores que, a diferencia de los operacionales, estos obtienen una ganancia en forma de corriente [17] [21]. También tienen configuración *single-ended* y *fully-differential*.

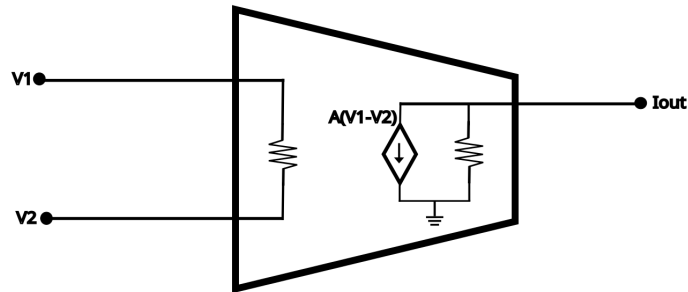


Figura 2.5: OTA.

La expresión de sus terminales de salida puede ser cualquiera de las siguientes

$$I_{out} = A(V_{in1} - V_{in2}) \quad \text{o} \quad I_{out1} = -AV_{in1} \quad \text{y} \quad I_{out2} = -AV_{in2}$$

Las características de estos amplificadores son las mismas de los amplificadores operacionales con la diferencia de la resistencia de salida [17]. La resistencia de salida de estos amplificadores es idealmente infinita, en los modelos reales presenta una impedancia finita pero alta.

En resumen, se puede decir que los amplificadores operacionales son fuentes de voltaje controladas por voltaje y los amplificadores de transconductancia son fuentes de corriente controladas por voltaje. Ambos amplificadores presentan características similares, aunque dependiendo de la aplicación uno es más adecuado que otro.

2.8. Amplificador de instrumentación

Este circuito es muy utilizado en procesos de control, biomedicina o aplicaciones de instrumentación de pruebas y mediciones [19]. El uso que tiene esta configuración se debe a sus especificaciones, tales como las altas impedancias de entrada, bajas impedancias de salida, ganancias altas y estables y una relación de rechazo (CMRR) alta [17] [19] [20]. El circuito de un amplificador de instrumentación de propósito general comúnmente se conforma por tres amplificadores operacionales y 7 resistores. El esquema es el siguiente

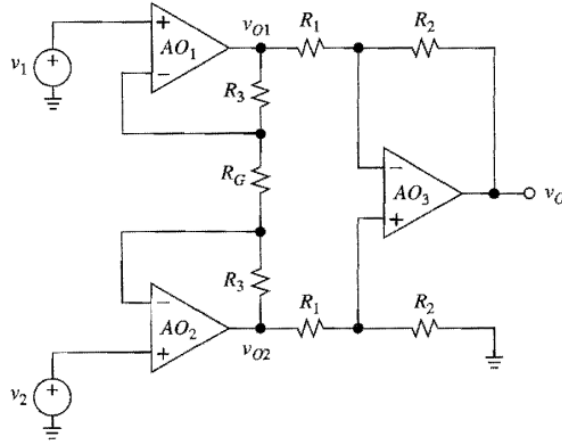


Figura 2.6: Esquema de Amplificador de Instrumentación de propósito general. Imagen obtenida de [19]

Las ecuaciones de esta configuración están dadas como:

$$v_o = A[v_1 - v_2] \quad \text{donde } A \text{ está dada como: } A = \left[1 + 2 \frac{R_3}{R_G} \right] \left[\frac{R_2}{R_1} \right]$$

Uno de los beneficios de este circuito es el ajuste de ganancia, ya que comúnmente se ajusta mediante R_G . El valor de R_G puede ser ajustado dependiendo de la aplicación que se le dará al AI, con el ajuste de R_G se puede obtener una ganancia más exacta.

A pesar de que este amplificador es muy utilizado, en un sistema *on-chip* es complicado de implementar, ya que utiliza tres amplificadores operacionales *single-ended* y 7 elementos pasivos, todo ocuparía mucha área en un chip y el consumo sería elevado por los tres amplificadores y para obtener la ganancia alta se tendrían que ocupar valores grandes de resistencia y esto es equivalente a más área. Por estos inconvenientes es que los sistemas implementados *on-chip* no utilizan este amplificador de instrumentación de propósito general, sino que se diseña utilizando menos elementos pasivos, activos, tener un consumo de corriente adecuado y con una ganancia según requiera la aplicación.

En la literatura existen diferentes propuestas para acondicionamiento de señales, cada una con diferentes características y aplicaciones. A continuación se exponen algunas propuestas relacionadas con el acondicionamiento de señales biomédicas.

2.9. Propuestas de sistemas de acondicionamiento de señales

Existen diferentes sistemas de instrumentación implementados en circuitos integrados, dependiendo de la aplicación, algunos solo consideran la etapa de filtrado,

otros la etapa de ganancia o el control del *offset* a la entrada. A continuación se dará una explicación de sistemas de acondicionamiento de señales biomédicas encontrados en la literatura y se darán sus ventajas y desventajas.

2.9.1. A 1.8 μW -65 dB THD ECG Acquisition Front-End IC Using a Bandpass Instrumentation Amplifier with Class-AB Output Crepresentaonfiguration

Este amplificador es un amplificador acondicionador de señales de ECG. El amplificador está compuesto de un Amplificador, un sistema de CMFB, una red de polarización y un sistema de filtrado. El sistema de filtrado está compuesto por una red RC, la resistencia están implementadas con pseudo-resistencias PMOS. El amplificador es *fully-differential*, es de dos etapas, la primera etapa consta del par diferencial y un amplificador *cascode*, la segunda etapa de salida la conforma un amplificador clase-AB que ofrece una baja resistencia de salida. Utiliza además una red de compensación *Nasted-Miller* con un capacitor y una resistencia para cada *path*. El amplificador se implementó con una tecnología de 130 nm, alimentado con 2V, se reporta que el amplificador tiene una ganancia de 154 dB, un comportamiento pasa-baja con frecuencia de corte 375 Hz y un consumo de 1.8 μW y ocupa un área de 0.16 mm^2

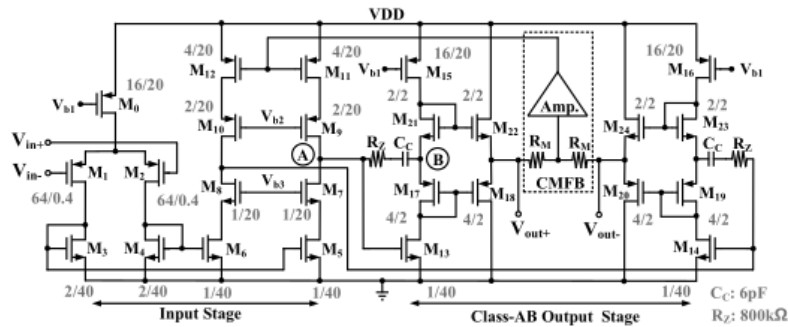


Figura 2.7: Amplificador de acondicionamiento de señales de ECG propuesto en [23]

2.9.2. A Fully-Differential CMOS Instrumentation Amplifier for Bioimpedance-Based IoT Medical Devices

Este es un amplificador que está pensado para un uso de captación de señal de sensores de bioimpedancia en una aplicación biomédica de IoT. El amplificador se compone de dos OTA, un CMFB y una red de polarización. El amplificador es *fully-differential* y es de dos etapas, en la primera etapa se encuentra el par diferencial y la segunda es una etapa de alta ganancia utilizando un *cascode*. el segundo OTA que utiliza es implementado para trabajar en conjunto con el sistema de CMFB y compensar al amplificador para controlar el *offset* de salida, implementa una red de compensación de fase con un capacitor conectado a la salida de la primera etapa. El amplificador es implementado con una tecnología de 180 nm, alimentado con 1.8 V,

presenta una ganancia de 58 dB, ancho de banda de 5.9 MHz y un consumo de $266.4 \mu A$ y ocupa un área de 0.03 mm^2 .

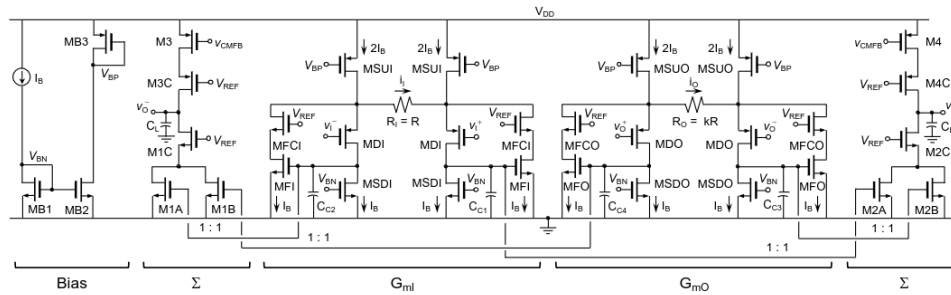


Figura 2.8: Amplificador de acondicionamiento con gran ancho de banda recuperado propuesto en [5]

2.9.3. Chopper Capacitively-Coupled Instrumentation Amplifier Capable of Handling Large Electrode Offset for Biopotential Recordings

Este es un amplificador capaz de eliminar el *offset* que aparece en sus entradas debido a los electrodos que adquieren el biopotencial. El sistema completo se compone del amplificador de instrumentación, un DC-servo loop para acomodar el *offset* de entrada, una etapa que ejecute una técnica de *chopper* para eliminar ruido de bajas frecuencias y OTAs de compensación. El sistema es complejo de implementar, ya que utiliza etapas digitales como en el *DC-servo loop*, ocupa tres etapas de *chopper* que se implementan con *switched-capacitors*. El amplificador de instrumentación es un amplificador *fully-differential* de dos etapas, un par diferencial en la primera y en la segunda un amplificador *common-source*, ocupa una sola red de compensación *Nasted-Miller* con un capacitor y una resistencia, esta resistencia reportan que se implementa con un transistor en región lineal. Este sistema se manufactura con tecnología de 130 nm, es alimentado con 1.2 V, consume una corriente de $2.9 \mu A$, una ganancia de 100V/V, con una característica pasa-banda con un rango aproximado de 1 Hz a 10 KHz y ocupa un área de 0.7 mm^2 ,

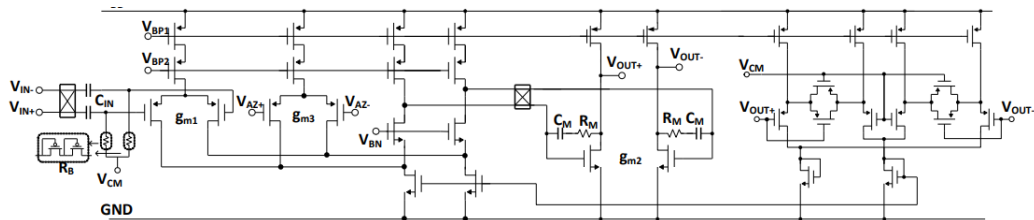


Figura 2.9: Amplificador de acondicionamiento para controlar *offset* en terminales de entrada reportado en [24].

2.9.4. *An Ultra-Low Power (86 nW) Low-Voltage (0.6 V) Self-Biased Instrumentation Amplifier for Bio-Medical Applications*

En este trabajo los autores proponen un OTA para acondicionamiento de diferentes señales de biopotenciales. El OTA es de dos etapas, la primera etapa es un par diferencial *fully-differential* que utiliza seguidores de fuente, seguido por una configuración de fuente común, la segunda etapa es una configuración de fuente común. Se implementa una compensación Miller con un capacitor conectado entre la salida de la segunda etapa y la salida de la primera etapa. Este OTA también utiliza una red de polarización. El sistema está implementado con tecnología 180 nm, alimentado con 0.6 V, reporta un consumo de 144 nW, una ganancia de 61 dB, Una característica pasa baja con un ancho de banda de 7 Hz.

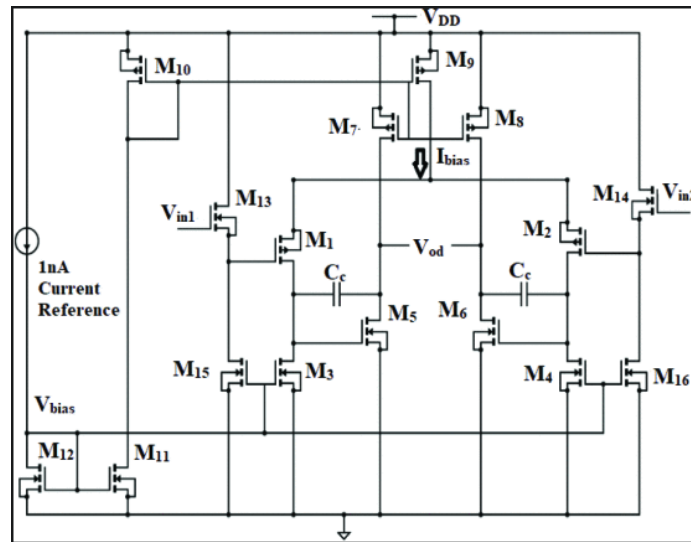


Figura 2.10: Amplificador de acondicionamiento de señales de biopotencial con muy bajo consumo recuperado de [13]

2.9.5. *A 1-V Low-Noise Readout Front-End for Biomedical Applications in 0.18- μ m CMOS*

Este sistema está pensado para adquisición de señales biomédicas en general, el sistema es complejo de implementar, ya que utiliza diferentes sistemas para su funcionamiento. Utiliza un OTA como amplificador de acondicionamiento, para controlar el *offset* utilizan un integrador RC, para eliminar el ruido de bajas frecuencias, implementan una técnica denominada *chopper* y para la ganancia se requiere una etapa digital que ajuste la ganancia. El amplificador consta de dos etapas, la primera etapa es un par diferencial *fully-differentia* con un amplificador de compuerta común y en la segunda etapa una configuración fuente común. El circuito está implementado con una tecnología de 180 nm, está alimentado con 1 V, reporta un consumo de 182 μ W,

reportan una ganancia de 80 dB, ancho de banda de 140 Hz y el sistema utiliza un área de 1 mm^2

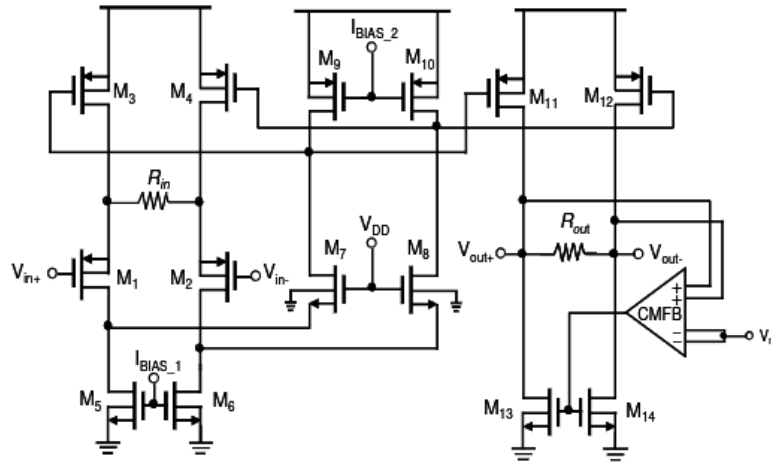


Figura 2.11: Amplificador de acondicionamiento para rechazar ruido de bajas frecuencias obtenido de [25]

Como se observa, la mayoría cumple con las características de una buena ganancia y margen de fase. Sin embargo, existen algunos inconvenientes con algunos sistemas, como lo son el amplio ancho de banda que tienen como en los diseños de [5] [24]. Estos amplios anchos de banda serían un desperdicio para el acondicionamiento de señales de ECG, ya que, como se mencionó, se toman comúnmente de 0.1 a 100 Hz. Es por esto y algunos otros inconvenientes que conviene diseñar un amplificador de acondicionamiento exclusivamente para señales de ECG.

Como el diseño utiliza una configuración *fully-differential*, hay algunos puntos que se deben considerar para el diseño. A continuación se abarca los temas de estabilidad, *Common Mode Feedback* y *layout*.

2.10. Efecto Miller

Sea un circuito con realimentación por medio de una impedancia Z_{ab} con voltajes V_a y V_b en sus terminales, como se muestra en la siguiente imagen

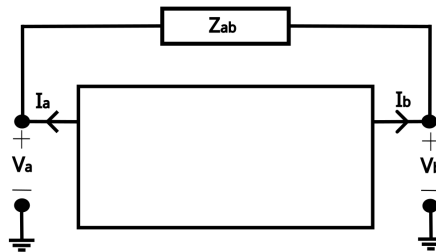


Figura 2.12: Circuito con una impedancia de retroalimentación. Imagen basada en [26] [27]

De este circuito se observa que tiene sus corrientes como

$$I_a = \frac{V_a - V_b}{Z_{ab}} \quad \text{y} \quad I_b = \frac{V_b - V_a}{Z_{ab}}$$

Este circuito es equivalente a un circuito con dos impedancias Z_a y Z_b entre las terminales a y b y el punto de referencia si los voltajes V_a y V_b se mantienen iguales. El circuito equivalente es el siguiente



Figura 2.13: Efecto Miller. Imagen basada en [26] [27]

De este circuito obtenemos las siguientes expresiones

$$I'_a = \frac{V_a}{Z_a} \quad \text{y} \quad I'_b = \frac{V_b}{Z_b}$$

De esta forma tenemos que

$$\begin{aligned} I_a &= I'_a \quad \text{y} \quad I_b = I'_b \\ \Rightarrow \frac{V_a - V_b}{Z_{ab}} &= \frac{V_a}{Z_a} \quad \text{y} \quad \frac{V_b - V_a}{Z_{ab}} = \frac{V_b}{Z_b} \\ \Rightarrow Z_a &= \frac{V_a Z_{ab}}{V_a - V_b} \quad \text{y} \quad Z_b = \frac{V_b Z_{ab}}{V_b - V_a} \\ \Rightarrow Z_a &= \frac{Z_{ab}}{1 - \frac{V_b}{V_a}} \quad \text{y} \quad Z_b = \frac{Z_{ab}}{1 - \frac{V_a}{V_b}} \end{aligned}$$

Si

$$\begin{aligned} A_0 = \frac{V_b}{V_a} &\Rightarrow \frac{1}{A_0} = \frac{V_a}{V_b} \\ \Rightarrow Z_a &= \frac{Z_{ab}}{1 - A_0} \quad \text{y} \quad Z_b = \frac{Z_{ab}}{1 - \frac{1}{A_0}} \end{aligned}$$

De estas expresiones se puede notar que el valor de las impedancias depende fuertemente de la ganancia, en el caso de la impedancia de entrada si la ganancia del sistema es grande entonces su valor será mucho menor que el valor de la impedancia de retroalimentación. Mientras que la impedancia colocada a la salida tendrá un valor más cercano a la impedancia de retroalimentación.

Otro punto importante del efecto Miller es el signo de la ganancia del sistema. La ganancia debe ser negativa para no obtener valores negativos en las impedancias.

2.11. Compensación de sistemas

Con el escalamiento de la tecnología CMOS se ha podido reducir el voltaje de alimentación de los circuitos electrónicos. En aplicaciones donde una alta ganancia es una característica importante, esta reducción significa un problema, ya que es común que para obtener una alta ganancia se utilicen amplificadores *cascode* y estos amplificadores tienen el inconveniente que para funcionar correctamente sus componentes deben estar en saturación y para lograr esto deben cumplir con la condición de saturación lo que provoca que al tener más transistores apilados tendrá que ocupar más potencial de la alimentación para colocar a todos los transistores en saturación dejando un rango de voltaje, o swing, menor para la señal de salida. Por esto, para obtener una alta ganancia, otra opción es la de utilizar amplificadores con múltiples etapas.

Los amplificadores con múltiples etapas tienen la ventaja de requerir menos potencial al apilar menos transistores y así ofrecer un mayor rango de voltaje a la salida del sistema, pero tienen el inconveniente de la estabilidad. El problema de estabilidad se debe a que típicamente cada etapa del sistema contribuye con un polo al sistema, lo que puede provocar problemas con el margen de fase, por esto se requiere alguna técnica de compensación que se encargue de darle un correcto margen de fase al amplificador [28] [21] [29] [30].

Existen algunas técnicas de compensación que se encargan de volver estables a los sistemas, básicamente todos siguen el principio de colocar de manera conveniente los polos y ceros para obtener un ancho de banda y margen de fase deseado. Tres técnicas utilizadas son la compensación *Nasted-Miller*, *Reversed-Nasted-Miller* y *Feedforward*. Por esto se hace un análisis general de cada una de estas técnicas y una observación de ventajas y desventajas.

2.12. *Nasted-Miller* (NM)

La compensación *Nasted-Miller* utiliza elementos pasivos, principalmente capacitores, para ubicar de manera conveniente los polos del sistema [31]. Básicamente, su configuración es la de conectar capacitores desde la salida del sistema a cada una de las salidas de las distintas etapas que componen al amplificador [31] [32]. La conexión de los elementos es como se muestra en la figura 2.14

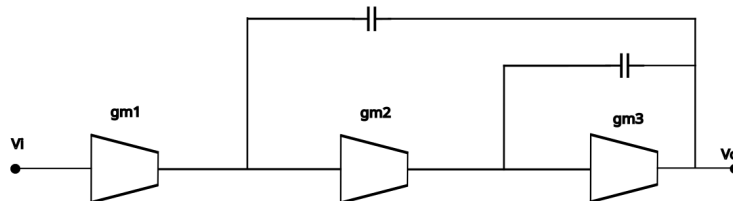


Figura 2.14: Compensación *Nasted-Miller*.

Los capacitores tienen la función de separar entre sí los polos, debido a efecto Miller es que los capacitores de compensación dan un nuevo valor a los polos existentes del sistema. Con la obtención de la función de transferencia del amplificador se puede encontrar los valores óptimos de la red de compensación que cumplan con los requerimientos de ancho de banda y margen de fase [31] [32] [33].

2.13. *Reversed-Nested-Miller* (RNM)

Esta técnica es una basada en la *Nasted-miller*, ya que utiliza también elementos pasivos para colocar los polos de manera conveniente. A diferencia de la *Nasted-Miller*, esta técnica de compensación coloca a los elementos de la red de compensación desde la salida de la primera etapa a las salidas de las otras etapas dependiendo del sistema [31] [32], para un sistema de tres etapas sería como se muestra en la figura 2.15

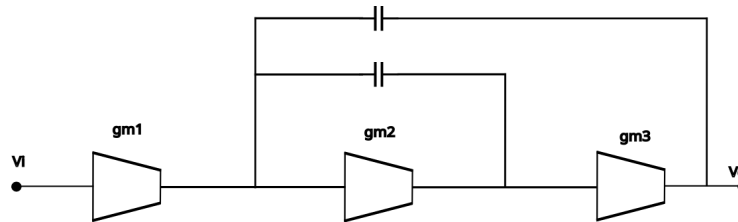


Figura 2.15: Compensación *Reversed-Nested-Miller*.

De la figura se puede observar que una de las ventajas sería el ancho de banda, por efecto Miller la capacitancia de carga se ve afectada solamente por la capacitancia de compensación que se conecta a la salida del sistema [?] [34] [35] [36]. Mientras que en la compensación *Nasted-Miller* todas las capacitancias de compensación afectaban la capacitancia de carga por efecto Miller.

2.14. *Nulling Resistor*

En las compensaciones NM y RNM existe el inconveniente de la creación de una vía *Feedforward* mediante los elementos de compensación. Este problema se puede observar mejor en la figura 2.16

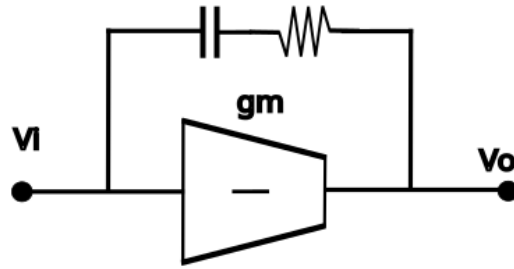


Figura 2.16: Técnica de *Nulling-Resistor*.

Se puede observar que la señal a la salida debido al amplificador es la señal de entrada amplificada e invertida, pero sigue existe otro camino a la señal de salida mediante el capacitor que provoca que la señal de salida siga a la señal de entrada. En alguna frecuencia la señal de salida se vera cancelada por ambos caminos, lo que provoca que aparezca un polo en plano derecho [29]. Para evitar este problema se utiliza una resistencia denominada *Nulling-Resistor* (NR) que tiene la función de controlar el cero y colocarlo como más convenga [29] [36], ya sea para cancelar un polo o colocarlo en altas frecuencias para que no afecte el desempeño del amplificador.

2.15. *Feedforward*

Esta es una técnica de compensación que utiliza la fase positiva de los ceros para obtener un buen margen de fase [29] [36] [35]. A diferencia de otras técnicas de compensación, la *Feedforward* puede solo ocupar elementos activos y evitar el uso de elementos pasivos, lo que contribuye a ocupar menor área en un chip. La forma de conexión de esta compensación es como se aprecia en la figura 2.17

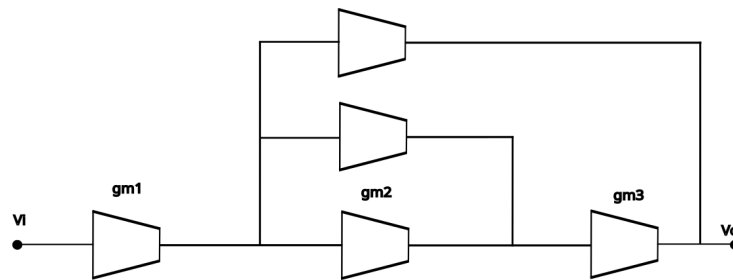


Figura 2.17: Compensación *Feedforward*.

Se puede observar que el elemento de compensación va conectado de la primera salida a la salida del sistema, esto le permite una mayor velocidad a la respuesta del sistema, ya que la señal solo tiene que pasar por dos etapas y dos polos, mientras que por el otro camino, de alta ganancia debido a las múltiples etapas, tiene que pasar por tres etapas y tres polos lo que vuelve más lenta la respuesta del sistema.

2.16. El problema del *offset*

El voltaje *offset* es un voltaje que aparece como un nivel de DC indeseado a la salida del amplificador. Este voltaje *offset* puede ser provocado por errores de diseño, variaciones en los tamaños de los transistores, o asimetrías en el circuito [21] [22]. Comúnmente en los amplificadores se espera un nivel de DC a la salida que este a la mitad de las tensiones de alimentación del amplificador, para la tecnología con la que se está trabajando se utiliza una alimentación de 1.8 V por lo que el nivel de DC que se desea a la salida es de 0.9 V. Este voltaje es importante de controlar, ya que puede causar pérdidas de información que contenga la señal, puesto que si el *offset* es muy alto o bajo al aparecer en la salida la señal amplificada el amplificador puede saturar la señal ya sea en un nivel alto o bajo.

Para controlar el nivel de *offset* del OTA *fully-differential* se necesita una red de retroalimentación. Existen algunas técnicas de control de *offset*, algunas son *Trimming*, *Chopping*, *auto-zeroing* [37], pero la más utilizada es la de una red de *Common Mode Feedback* (CMFB).

2.17. CMFB

Este circuito tiene como operación básica el medir el *offset* a la salida del OTA, compararlo con un voltaje de referencia e inyectar una corriente de compensación al OTA para crear un balance en las corrientes del circuito para obtener el nivel de DC deseado.

En el OTA *fully-differential* se tiene un *offset* que afecta la señal de salida, para evitarlo se necesita aplicarle una red de control que compense el desequilibrio del circuito y eliminar el *offset*. Para esto se tiene que obtener el voltaje de modo común de las señales diferenciales de salida, que es el *offset*, calculando el promedio de las señales. La expresión sería la siguiente [22] [21] [29] [38]

$$V_{MD} = \frac{V_{out}^+ + V_{out}^-}{2} = \frac{[A \sin(x) + V_{offset}] + [-A \sin(x) + V_{offset}]}{2} = V_{offset}$$

Una vez que se conoce el voltaje *offset* se tiene que comparar con una referencia para generar una señal de error que controle o compense algún voltaje o corriente de los dispositivos que conforman el circuito que se busca controlar, en este caso se busca controlar la corriente de los transistores que funcionan como una carga en las salidas:

$$I_{CO} = V_{MC} - V_{ref} \quad \text{O con alguna ganancia:} \quad I_{CO} = G_{FB} [V_{MC} - V_{ref}]$$

El diagrama de control del *offset* del OTA es el siguiente:

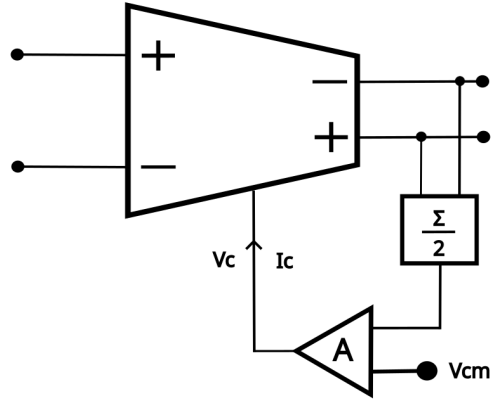


Figura 2.18: Esquema de sistema de CMFB. Basado en [22]

Del diagrama, toda la red de retroalimentación debe ser realizada por un circuito con transistores.

2.18. CMFB de tiempo continuo

En la literatura se propone el siguiente circuito básico [22]

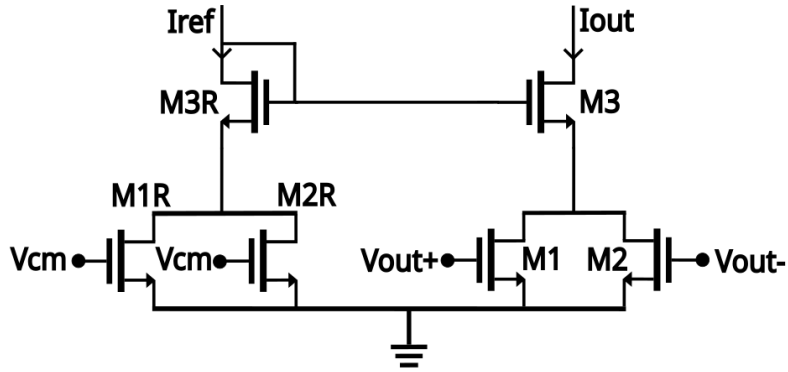


Figura 2.19: CMFB continuo. Basado en [22].

De este circuito se requiere que los transistores M1, M2, M1R y M2R sean del mismo tamaño y estén en la región lineal. Considerando esto, la corriente a través de estos transistores sería:

$$I_L = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{Th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

El voltaje de referencia es el voltaje deseado a la salida del OTA, en este caso es 0.9 V. Entonces, los transistores M1R Y M2R crean una corriente de referencia I_{ref} que pasa por M3R. Las compuertas de los transistores M1 y M2 están conectadas a las salidas del OTA, cuando estos valores son muy cercanos a 0.9 V entonces el

voltaje V_{DS} de los transistores M1, M2, M1R y M2R serían iguales o equivalentes. Entonces

$$\begin{aligned} \text{Si } V_{GS1} &= V_{GS2} = 0.9 \\ \Rightarrow V_{DS1} &= V_{DS2} = V_{DS1R} = V_{DS2R} \\ \Rightarrow I_1 &= I_2 = I_{1R} = I_{2R} = I_L \end{aligned}$$

El valor de la corriente del transistor M3 es igual a $I_1 + I_2$. Entonces

$$\begin{aligned} I_3 &= I_1 + I_2 = I_L + I_L \\ \Rightarrow I_3 &= \left[\mu_n C_{ox} \frac{W}{L} \left[(V_{GS1} - V_{Th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \right] \\ &+ \left[\mu_n C_{ox} \frac{W}{L} \left[(V_{GS2} - V_{Th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \right] \end{aligned}$$

$$\begin{aligned} \text{Si } K_n &= \mu_n C_{ox} \text{ y considerando } V_{GS1} = V_{out}^+ \text{ y } V_{GS2} = V_{out}^- \\ \Rightarrow I_3 &= K_n \frac{W}{L} \left[\left[(V_{out}^+ - V_{Th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] + \left[(V_{out}^- - V_{Th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \right] \\ \Rightarrow I_3 &= K_n \frac{W}{L} \left[(V_{out}^+ + V_{out}^-) V_{DS} - 2V_{Th} V_{DS} - V_{DS}^2 \right] \\ \Rightarrow I_3 &= 2K_n \frac{W}{L} V_{DS} \left[\frac{V_{out}^+ + V_{out}^-}{2} - V_{Th} - \frac{V_{DS}^2}{2} \right] \end{aligned}$$

De forma similar

$$\begin{aligned} I_{3R} = I_{1R} + I_{2R} &= I_L + I_L \text{ Si } K_n = \mu_n C_{ox} \text{ y considerando } V_{GS1R} = V_{GS2R} = V_{ref} \\ \Rightarrow I_{ref} &= K_n \frac{W}{L} \left[2V_{ref} V_{DS} - 2V_{Th} V_{DS} - V_{DS}^2 \right] \\ \Rightarrow I_{ref} &= 2K_n \frac{W}{L} V_{DS} \left[V_{ref} - V_{Th} - \frac{V_{DS}^2}{2} \right] \end{aligned}$$

De estas expresiones tenemos que

$$\begin{aligned} I_3 &= 2K_n \frac{W}{L} V_{DS} \left[\frac{V_{out}^+ + V_{out}^-}{2} - V_{Th} - \frac{V_{DS}^2}{2} \right] = \\ &= K_n \frac{W}{L} \left[(V_{out}^+ + V_{out}^-) V_{DS} - 2V_{Th} V_{DS} - V_{DS}^2 + 2V_{DS} V_{ref} - 2V_{DS} V_{ref} \right] \\ \Rightarrow I_3 &= K_n \frac{W}{L} \left[2V_{ref} V_{DS} - 2V_{Th} V_{DS} - V_{DS}^2 \right] + K_n \frac{W}{L} \left[(V_{out}^+ + V_{out}^-) V_{DS} - 2V_{DS} V_{ref} \right] \\ \Rightarrow I_3 &= I_{ref} + 2K_n \frac{W}{L} V_{DS} \left[\frac{V_{out}^+ + V_{out}^-}{2} - V_{ref} \right] \end{aligned}$$

Es importante notar que en esta expresión están presentes los componentes del sistema de control CMFD que son:

- Cálculo del promedio de las señales de las salidas o nivel *offset* de las salidas:

$$\frac{V_{out^+} + V_{out^-}}{2}$$
- La comparación con el voltaje de referencia: $\frac{V_{out^+} + V_{out^-}}{2} - V_{ref}$
- Ganancia de la diferencia dada como transconductancia: $2K_n \frac{W}{L} V_{DS}$.

2.19. CMFB de tiempo Discreto

Otra de las opciones de control de *offset* es un sistema de CMFB en tiempo discreto. El sistema es el siguiente [38] [22]

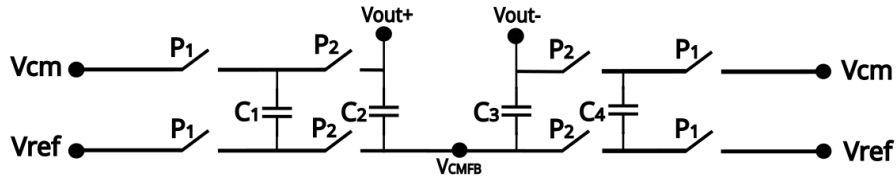


Figura 2.20: CMFB discreto. Basado en [38].

El sistema se conforma de 8 *switches* CMOS y 4 capacitores, necesita una señal de voltaje de referencia (V_{ref}), una señal del voltaje de modo común $V_{CM} = 0.9$ V) y la señal de salida que compensa al opamp (CMFB), en este caso dada como voltaje. Los *switches* son controlados por fases no superpuestas, P1 y P2. Primero se activa P1, de esta forma las terminales externas de los capacitores C4 y C1 adquieren un potencial igual a V_{ref} y las terminales internas toman el valor de V_{CM} creando una carga en los capacitores igual a

$$q_i = (V_{ref} - V_{CM})C_i$$

Mientras que los capacitores C1 y C3 adquieren una carga de

$$q_i = (-V_o)C_i$$

En la segunda fase, P2, los capacitores C4 y C2 se conectan en paralelo con los capacitores C1 y C3, de esta forma se crea una diferencia de carga. Para calcular la diferencia se considera a los cuatro capacitores con el mismo valor, por lo que se tendrían las siguientes expresiones:

$$q_1 = (V_{ref} - V_{CM})C + (V_{ref} - V_{CM})C$$

$$q_2 = (-V_{OP})C + (-V_{ON})C$$

Entonces, la diferencia está dada como

$$q_1 - q_2 = 2(V_{ref} - V_{CM})C - 2(-V_{OP} - V_{ON})C$$

$$= 2C(V_{ref} - VCM) + 2C \left(-V_{CMFB} + \frac{V_{OP} + V_{ON}}{2} \right)$$

$$q_1 - q_2 = 2C \left(V_{ref} - VCM + \frac{V_{OP} + V_{ON}}{2} \right)$$

Creando una diferencia de potencial de

$$\Delta V = \frac{q_1 - q_2}{2C} = \frac{2C \left(V_{ref} - VCM + \frac{V_{OP} + V_{ON}}{2} \right)}{2C}$$

$$\Delta V = \left(V_{ref} - VCM + \frac{V_{OP} + V_{ON}}{2} \right)$$

Esta diferencia de voltaje es el voltaje que aparecerá en V_{CMFB} . De esta expresión es importante recalcar que los voltajes VCM y V_{ref} son constantes, por lo que la variación en $V_{representaCMFB}$ será proporcional a la variación que exista en $\frac{V_{OP} + V_{ON}}{2}$ con respecto de VCM , ya que cuando estos sean iguales, en el caso ideal, entonces

$$Si \quad VCM = \frac{V_{OP} + V_{ON}}{2} \quad \text{entonces} \quad V_{CMFB} = V_{ref}$$

Esto quiere decir que cuando el nivel de *offset* sea el deseado entonces el voltaje de compensación será igual al voltaje de referencia generado por la red de polarización, pero si el nivel de *offset* aumenta entonces el voltaje de retroalimentación aumentará y viceversa.

2.20. Reglas de diseño para creación de *Layout*

El *layout* es un patrón geométrico de los materiales utilizados en la fabricación de un circuito integrado, se refiere a las capas del CI que se utiliza para su fabricación. El *layout* está compuesto por los materiales que conforman a los transistores, capacitores, resistores, cables y contactos del circuito, materiales como metales, óxidos y semiconductores.

Debido a que existen no idealidades en la fabricación de circuitos, tales como capacitancias parásitas, distorsión de la señal, variaciones en los tamaños de los dispositivos. Por esto se deben seguir reglas y técnicas de diseño para minimizar algunos problemas que aparecen en el momento de manufactura. A continuación se describirán las principales.

Las reglas de diseño, en el contexto de diseño de *layout* de circuitos integrados, son un conjunto de normas que el patrón geométrico debe cumplir para el correcto funcionamiento del CI. Estas reglas dependen directamente del proceso de manufactura con el que se esté trabajando, tomando esto en cuenta se expondrán las principales reglas de diseño que un *layout* debe cumplir.

2.20.1. Espacio mínimo

El espacio mínimo se refiere al espacio que se debe existir entre dispositivos, cables, polisilicio y demás materiales que componen al circuito [21] [29] [30] [38]. Esta regla se debe a que en procesos de manufactura los tamaños de los componentes varían, y si no se deja un espacio adecuado entre elementos, por ejemplo entre metales del mismo nivel, estos elementos podrían hacer un cortocircuito y dañar al circuito. Los espacios mínimos que deben existir dependen de la tecnología que se esté utilizando.

2.20.2. Encierro mínimo

Esta regla hace referencia al encierro o *enclosure* que se debe aplicar a ciertos elementos, principalmente transistores y contactos [21] [29] [30] [38]. Los transistores deben estar rodeados por los sustratos, dependiendo del tipo de transistor n o p. Se debe dejar un margen adecuado para que por proceso de fabricación no se vea afectado el funcionamiento del transistor.

Para los contactos el problema es similar, ya que estos son los encargados de hacer interconexiones entre metales y polisilicio se debe dejar un margen adecuado del polisilicio o metales que se quieran interconectar para que el contacto haga una conexión adecuada.

2.20.3. Simetría

En algunas configuraciones o arreglo de diseño es importante el concepto de simetría, tal es el caso del amplificador *fully-differential*. Se mencionó que el *offset* en estos amplificadores se debía principalmente a errores de diseño o asimetrías del par diferencial, las variaciones en los tamaños de los transistores por el proceso de fabricación provocarían variaciones en el par diferencial, pero cuidando la simetría de layout se puede minimizar este problema.

Para aclarar más la importancia de la simetría se debe poner atención en el siguiente problema. En el proceso de fabricación, una de las etapas es la implantación de iones [21]. Esta etapa es la encargada de dopar pozos, fuente y drenaje del transistor. Esta implantación de iones se lleva a cabo acelerando los átomos dopantes que golpean en la oblea penetrando en el área expuesta. Esta implantación no se realiza de forma perpendicular a la oblea, debido al fenómeno *channeling* [21] [29] [30] [38] que provoca que los iones penetren la oblea de manera indeseada, por lo que la implantación ocurre con una cierta inclinación. De esta forma se crean *mismatches* o asimetrías entre los transistores del par diferencial y todo el amplificador [21] [29] [30] [38]. Tomando en cuenta este problema se busca llevar a cabo una distribución en el chip de los dispositivos para que esta y otras imperfecciones afecten por igual a todas las partes del par diferencial.

La simetría se logra a partir de colocar los elementos de tal forma que estén distribuidos de manera similar en ambos lados de un eje, este eje puede ser vertical u horizontal. Sí se toma un eje vertical, entonces tendrá que haber componentes similares en ambos lados. La distribución de los elementos se puede llevar a cabo de manera

estratégica y apoyándose en otras técnicas de diseño como *multifinger-transistor* o *multipliers* [21] [29] [30].

Ya que se busca una distribución en el chip para compensar errores de fabricación, se tiene que cuidar también lo que rodea a los componentes del circuito. Por ejemplo, si se conectan dos transistores intercaladamente, todas su interconexión deberían ser las mismas, pero habría un problema con las terminales que queden a los extremos, ya que estas terminales están rodeadas de diferente forma. Debido a este problema se agrega unos transistores denominados como *dummy*, las terminales de estos transistores están cortocircuitadas a tierra para no afectar en el desempeño del circuito. Con estos transistores se compensan los desequilibrios o asimetrías en las terminales de los transistores interconectados.

2.20.4. *Multifinger transistor*

Esta técnica de diseño es útil principalmente para aplicaciones que requieran transistores muy grandes, específicamente anchos. Esta técnica consiste en dividir al transistor en múltiples *fingers* o dedos que están conectados en paralelo y sin modificar el largo del transistor [21] [29] [30]. Es importante recalcar que cada *finger* representa un transistor, esto quiere decir que un transistor se divide en transistores más pequeños y estos comparten todas sus terminales.



(a) Número impar de *multifingers*

(b) Número par de *multifingers*

Figura 2.21: Técnica de *multifinger*.

Esta técnica es útil en transistores grandes debido a que reduce la resistencia de sus canales de conducción y, dependiendo del número de *fingers*, crear más canales de conducción y facilitar el paso de la corriente [21] [29] [30].

2.20.5. Multiplicadores

Esta técnica es similar a la de *multifingers*, ya que esencialmente igual divide a los transistores. A diferencia de la técnica de *multifinger*, esta divide a los transistores sin crear una sola unidad, en la técnica de *multifingers* se dividían los transistores, pero se creaba una sola unidad con los *fingers* que se halla dividido al transistor [21] [29] [30].

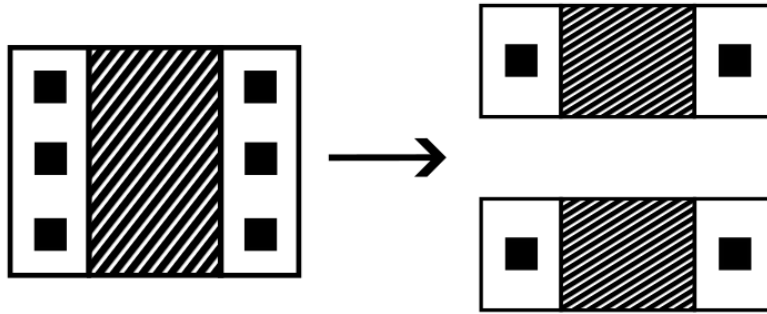


Figura 2.22: Técnica de *multipliers*.

Esta técnica es útil para distribuir de los transistores de una manera simétrica. Ayuda a la simetría, ya que se distribuye e interconecta a los elementos que comparten nodos o alguna de sus terminales. En el diseño del amplificador es fácil ver esto con las fuentes de los transistores, se puede ver en el diseño como es que la mayoría de las fuentes de los transistores tipo-n van a tierra, mientras que la de los tipo-p van a VDD. Con multiplicadores se puede distribuir a los transistores de manera simétrica y conveniente para el ahorro de área e interconexiones con metal.

3 Diseño de Amplificador multi etapa

De acuerdo a las especificaciones de señales de ECG mencionadas en el capítulo anterior, su acondicionamiento requiere un sistema que presente alta ganancia, al menos 100 dB y un ancho de banda de al menos 100 Hz. Se diseñó un amplificador multietapa, esto para alcanzar la alta ganancia, el ancho de banda es lo que presento algunos retos al diseñar el amplificador, esto porque el ancho de banda está directamente relacionado con los criterios de estabilidad [27]. En sistemas multietapas se tiene la contribución de al menos un polo por cada etapa, por lo que se vuelve indispensable la implementación de una red de compensación. En este capítulo se presenta la propuesta de diseño del amplificador multietapa, después se expone el análisis en pequeña señal para encontrar la función de transferencia, posteriormente se da la implementación de la propuesta del diseño a nivel transistor y las pruebas en AC para verificar su funcionamiento. Una vez comprobado esto, se aborda el problema del *offset* y de sistemas de su corrección y se hace una comparativa de dos sistemas de control de *offset*. Finalmente, se muestra el diseño del *layout* del amplificador basándose en las reglas y técnicas de diseño.

3.1. Análisis pequeña señal

Con la investigación que se realizó de las redes de compensación y revisando las propuestas de diseño de amplificadores, se decidió implementar una red *Reversed-Nasted-Miller* y *Feedforward* con un amplificador de tres etapas basado en [39], la primera etapa será la etapa de entrada, la segunda y tercera proporcionarán al amplificador mayor ganancia. Se tomó la red RNM porque permite un mayor ancho de banda al no cargar la capacitancia de carga. Revisando algunos artículos que implementan esta red, la mayoría solo tienen una etapa de inversión de signo en la segunda etapa, dejando a la etapa de entrada y de salida sin inversión y esto lo ocupan con amplificadores *single-ended* [40] [34] [35] [36]. Como se observó en la estructura de la red RNM, esta utiliza dos capacitores conectados desde la salida de la primera etapa a las salidas de las demás etapas. En esta parte se presenta un problema, ya que como el diseño está pensado para utilizar un par diferencial *fully-differential* en la etapa de entrada, sería más complicado realizar el cambio de signo que en un par diferencial *single-ended*. Entonces en la primera etapa hay un cambio de signo, pero en la segunda no existe inversión para que no existan problemas de ceros en el plano derecho con la capacitancia de compensación, para no tener problemas de estabilidad.

Ya que se utilizara una red de compensación *Feedforward* y para implementarla, se conectara de la salida de la primera etapa a la última etapa. Revisando la literatura, la forma más común de implementarlas es con amplificadores *push-pull* [40] [34] [39] y esto lleva a una inversión de signo, por lo que se considera a esta red con inversión. Entonces, para la última etapa del amplificador y evitar problemas de ceros en el eje derecho del plano, se utilizó otra inversión. Debido a la red RNM, por el capacitor habría problemas con los ceros en el eje derecho y para esto se introducirá una resistencia para utilizar la técnica de *Nulling Resistor*. Mencionado esto, la propuesta de diseño se muestra en la figura 3.1

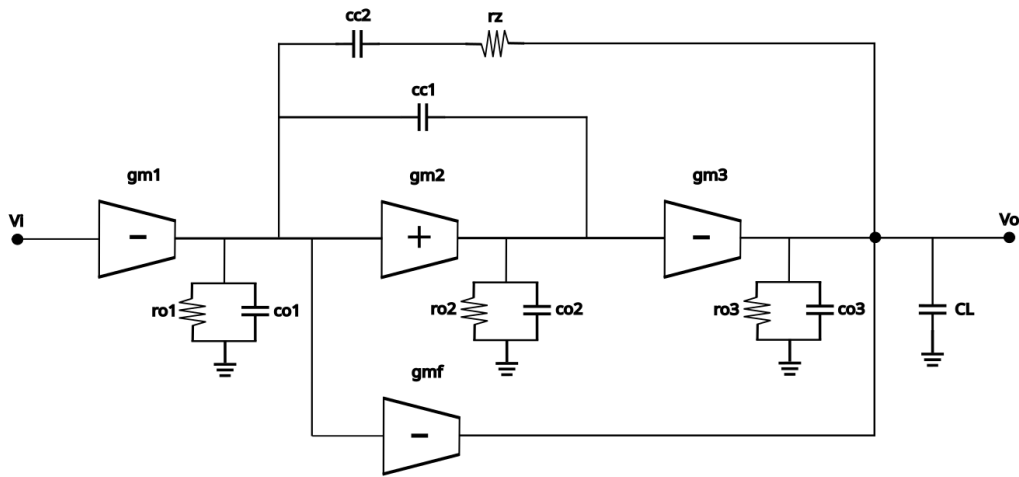


Figura 3.1: Propuesta de diseño de Amplificador multi etapa.

En este esquema solo se ve una señal de entrada y una de salida, se coloca así para facilidad en el análisis del circuito. Pero recordar que el amplificador es *fully-differential*, tiene dos señales de entrada y dos de salida, pero al ser idénticas las etapas y redes de compensación en ambas partes del amplificador, se puede realizar el análisis solo de una mitad del circuito.

El modelo de pequeña señal del circuito se presenta en la figura 3.2

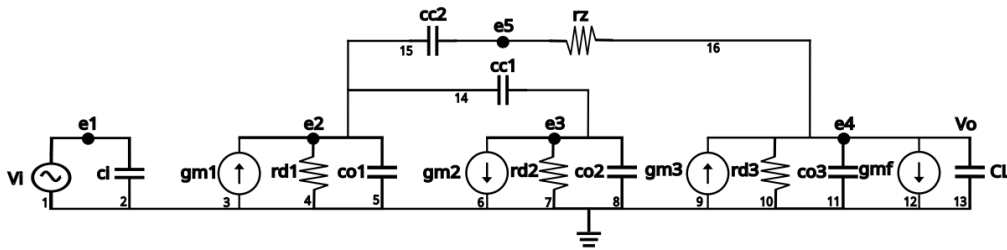


Figura 3.2: Modelo de pequeña señal del amplificador.

El grafo del circuito quedaría como en la figura 3.3

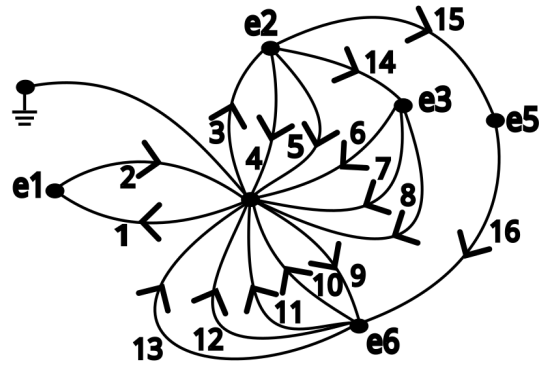


Figura 3.3: Grafo del amplificador.

Para obtener la función de transferencia del circuito y los valores de polos y ceros del circuito se utilizó Matlab. En esta herramienta se tienen las siguientes ecuaciones utilizando leyes de Kirchoff.

<i>KCL</i>	<i>KVL</i>	<i>BR</i>
$e_1 : \quad i_1 - i_2 = 0$	$v_1 = e_1$	$v_1 = v_{i1}$
$e_2 : \quad i_3 - i_4 - i_{14} - i_{15} - i_5 = 0$	$v_2 = e_1$	$i_2 = sC_i v_2$
$e_3 \quad -i_6 - i_7 + i_{14} - i_8 = 0$	$v_3 = e_2$	$i_3 = gm_1 e_1$
$e_4 \quad i_9 - i_{10} - i_{12} - i_{13} + i_{16} - i_{11} = 0$	$v_4 = e_2$	$v_4 = rd_1 i_4$
$e_5 \quad i_{15} - i_{16} = 0$	$v_5 = e_2$	$i_5 = sC_1 v_5$
	$v_6 = e_3$	$i_6 = gm_2 e_2$
	$v_7 = e_3$	$v_7 = rd_2 i_7$
	$v_8 = e_3$	$i_8 = sC_2 v_8$
	$v_9 = e_4$	$i_9 = gm_3 e_3$
	$v_{10} = e_4$	$v_{10} = rd_3 i_{10}$
	$v_{11} = e_4$	$i_{11} = sC_3 v_{11}$
	$v_{12} = e_4$	$i_{12} = gm_f e_2$
	$v_{13} = e_4$	$i_{13} = sC_1 v_{13}$
	$v_{14} = e_2 - e_3$	$i_{14} = sC_{c1} v_{14}$
	$v_{15} = e_2 - e_5$	$i_{15} = sC_{c2} v_{15}$
	$v_{16} = e_5 - e_4$	$v_{16} = r_z i_{16}$

Los comandos de Matlab utilizados para el cálculo de la función de transferencia se encuentran en el apéndice A. La función de transferencia del circuito tiene la siguiente forma

$$H(s) = \frac{b_2 s^2 + b_1 s + b_0}{a_3 s^3 + a_2 s^2 + a_1 s + a_0}$$

donde

$$b_2 = +C_{c1} C_{c2} gm_1 rd_1 rd_2 rd_3 + C_{c1} C_{c2} gm_1 gm_3 rd_1 rd_2 rd_3 r_z - C_{c1} C_{c2} gm_1 gm_f rd_1 rd_2 rd_3 r_z$$

$$\begin{aligned}
b_1 &= C_{c2}gm_1rd_1rd_3 + C_{c1}gm_1gm_3rd_1rd_2rd_3 - C_{c1}gm_1gm_frd_1rd_2rd_3 - C_{c2}gm_1gm_frd_1rd_3r_z \\
&\quad - C_{c2}gm_1gm_2gm_3rd_1rd_2rd_3r_z \\
b_0 &= -gm_1gm_frd_1rd_3 - gm_1gm_2gm_3rd_1rd_2rd_3 \\
a_3 &= +C_{c1}C_{c2}C_lrd_1rd_2rd_3 + C_{c1}C_{c2}C_lrd_1rd_3r_z + C_{c1}C_{c2}C_lrd_2rd_3r_z \\
&\quad + C_{c1}C_{c2}C_lgm_2rd_1rd_2rd_3r_z \\
a_2 &= +C_{c1}C_{c2}rd_1rd_2 + C_{c1}C_{c2}rd_1rd_3 + C_{c1}C_{c2}rd_2rd_3 + C_{c1}C_lrd_1rd_3 \\
&+ C_{c1}C_lrd_2rd_3 + C_{c2}C_lrd_1rd_3 + C_{c1}C_{c2}rd_1r_z + C_{c1}C_{c2}rd_2r_z + C_{c2}C_lrd_3r_z \\
&+ C_{c1}C_{c2}gm_2rd_1rd_2rd_3 - C_{c1}C_{c2}gm_3rd_1rd_2rd_3 + C_{c1}C_{c2}gm_frd_1rd_2rd_3 \\
&\quad + C_{c1}C_lgm_2rd_1rd_2rd_3 + C_{c1}C_{c2}gm_2rd_1rd_2r_z \\
a_1 &= +C_{c1}rd_1 + C_{c1}rd_2 + C_{c2}rd_1 + C_{c2}rd_3 + C_lrd_3 + C_{c2}r_z + C_{c1}gm_2rd_1rd_2 + C_{c2}gm_frd_1rd_3 \\
&\quad + C_{c2}gm_2gm_3rd_1rd_2rd_3 \\
a_0 &= 1
\end{aligned}$$

Esta función de transferencia se vuelve complicada de analizar, aun eliminando las capacitancias que aparecen a la salida de cada etapa que representan capacitancias parásitas y que no deben afectar de manera significativa el desempeño del amplificador. Si se considera que son muy pequeñas estas capacitancias y también si solo se toman los productos de resistencias que más ganancia contribuyen, esto se expresa como

$$rd_1rd_2rd_3 \gg rd_1rd_3, rd_2rd_3, rd_1rd_2, r_z$$

entonces los términos de la función quedarían de la siguiente forma

$$\begin{aligned}
b_2 &= +C_{c1}C_{c2}gm_1rd_1rd_2rd_3 + C_{c1}C_{c2}gm_1gm_3rd_1rd_2rd_3r_z - C_{c1}C_{c2}gm_1gm_frd_1rd_2rd_3r_z \\
b_1 &= +C_{c1}gm_1gm_3rd_1rd_2rd_3 - C_{c1}gm_1gm_frd_1rd_2rd_3 - C_{c2}gm_1gm_2gm_3rd_1rd_2rd_3r_z \\
b_0 &= -gm_1gm_2gm_3rd_1rd_2rd_3 \\
a_3 &= +C_{c1}C_{c2}C_lrd_1rd_2rd_3 + C_{c1}C_{c2}C_lgm_2rd_1rd_2rd_3r_z \\
a_2 &= +C_{c1}C_{c2}gm_2rd_1rd_2rd_3 - C_{c1}C_{c2}gm_3rd_1rd_2rd_3 + C_{c1}C_{c2}gm_frd_1rd_2rd_3 \\
&\quad + C_{c1}C_lgm_2rd_1rd_2rd_3 \\
a_1 &= +C_{c2}gm_2gm_3rd_1rd_2rd_3 \\
a_0 &= 1
\end{aligned}$$

Si la ganancia en DC, cuando $s = 0$, es igual a

$$A_0 = -gm_1gm_2gm_3rd_1rd_2rd_3$$

Entonces la función de transferencia quedaría:

$$H(s) = A_0 \left[\frac{b_2 s^2 + b_1 s + b_0}{a_3 s^3 + a_2 s^2 + a_1 s + a_0} \right]$$

donde

$$\begin{aligned} b_2 &= -\frac{C_{c1}C_{c2}}{gm_2gm_3} - \frac{C_{c1}C_{c2}r_z}{gm_2} + \frac{C_{c1}C_{c2}gm_fr_z}{gm_2gm_3} \\ b_1 &= -\frac{C_{c1}}{gm_2} + \frac{C_{c1}gm_f}{gm_2gm_3} + C_{c2}r_z \\ b_0 &= 1 \\ a_3 &= (C_{c1}C_{c2}C_lrd_1rd_2rd_3)(1 + gm_2r_z) \\ a_2 &= (C_{c1}C_{c2}rd_1rd_2rd_3)(gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}}) \\ a_1 &= +C_{c2}gm_2gm_3rd_1rd_2rd_3 \\ a_0 &= 1 \end{aligned}$$

Para encontrar los polos y ceros del sistema, la función de transferencia quedaría definida como

$$H(s) = A_0 \frac{s^2(\frac{1}{z_1z_2})s(\frac{1}{z_1} + \frac{1}{z_2}) + 1}{s^3(\frac{1}{p_1p_2p_3}) + s^2(\frac{1}{p_1p_2} + \frac{1}{p_1p_3} + \frac{1}{p_2p_3}) + s(\frac{1}{p_1} + \frac{1}{p_2} + \frac{1}{p_3}) + 1}$$

Si $p_1 \neq p_2 \neq p_3$ por lo que p_1 es el polo dominante, entonces la función de transferencia quedaría como

$$H(s) = A_0 \frac{s^2(\frac{1}{z_1z_2})s(\frac{1}{z_1} + \frac{1}{z_2}) + 1}{s^3(\frac{1}{p_1p_2p_3}) + s^2(\frac{1}{p_1p_2}) + s(\frac{1}{p_1}) + 1}$$

Entonces p_1 sería

$$\begin{aligned} \frac{1}{p_1} &= C_{c2}gm_2gm_3rd_1rd_2rd_3 \\ \Rightarrow p_1 &= \frac{1}{C_{c2}gm_2gm_3rd_1rd_2rd_3} \end{aligned}$$

Para encontrar p_2 se tiene la siguiente expresión

$$\begin{aligned} \frac{1}{p_1p_2} &= (C_{c1}C_{c2}rd_1rd_2rd_3)(gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}}) \\ \Rightarrow p_2 &= \frac{1}{p_1(C_{c1}C_{c2}rd_1rd_2rd_3)(gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}})} \end{aligned}$$

Despejando el valor de p_1

$$p_2 = \frac{C_{c2}gm_2gm_3rd_1rd_2rd_3}{(C_{c1}C_{c2}rd_1rd_2rd_3)(gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}})}$$

$$\Rightarrow p_2 = \frac{gm_2gm_3}{C_{c1}(gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}})}$$

De esta expresión se debe cumplir que

$$gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}} > 0$$

$$gm_3 < gm_2 + gm_f + \frac{C_lgm_2}{C_{c2}}$$

Para hallar p_3 se tiene la siguiente expresión

$$\frac{1}{p_1p_2p_3} = (C_{c1}C_{c2}C_lrd_1rd_2rd_3)(1 + gm_2r_z)$$

$$p_3 = \frac{1}{p_1p_2(C_{c1}C_{c2}C_lrd_1rd_2rd_3)(1 + gm_2r_z)}$$

sustituyendo los valores de p_1 y p_2

$$p_3 = \frac{(C_{c1}(gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}}))C_{c2}gm_2gm_3rd_1rd_2rd_3}{(gm_2gm_3)(C_{c1}C_{c2}C_lrd_1rd_2rd_3)(1 + gm_2r_z)}$$

$$p_3 = \frac{(gm_2 - gm_3 + gm_f + \frac{C_lgm_2}{C_{c2}})}{(C_l)(1 + gm_2r_z)}$$

Para hallar los ceros se deben encontrar los valores de s tal que se cumpla lo siguiente

$$s^2\left(\frac{C_{c1}C_{c2}}{gm_2gm_3} + \frac{C_{c1}C_{c2}r_z}{gm_2} - \frac{C_{c1}C_{c2}gm_fr_z}{gm_2gm_3}\right) + s\left(\frac{C_{c1}}{gm_2} - \frac{C_{c1}gm_f}{gm_2gm_3} - C_{c2}r_z\right) + 1 = 0$$

Para eso se hace lo mismo que con los polos, entonces para hallar el valor de z_1

$$\frac{1}{z_1} = -\frac{C_{c1}}{gm_2} + \frac{C_{c1}gm_f}{gm_2gm_3} + C_{c2}r_z$$

$$z_1 = \frac{1}{-\frac{C_{c1}}{gm_2} + \frac{C_{c1}gm_f}{gm_2gm_3} + C_{c2}r_z}$$

Si $gm_2 > gm_3 > gm_f$ Entonces

$$z_1 = \frac{1}{-\frac{C_{c1}}{gm_2} + \frac{C_{c1}}{gm_2} + C_{c2}r_z}$$

$$z_1 = \frac{1}{C_{c2}r_z}$$

Para z_2 se tiene lo siguiente

$$\frac{1}{z_1z_2} = -\frac{C_{c1}C_{c2}}{gm_2gm_3} - \frac{C_{c1}C_{c2}r_z}{gm_2} + \frac{C_{c1}C_{c2}gm_fr_z}{gm_2gm_3}$$

Sustituyendo

$$z_2 = \frac{1}{\left(\frac{1}{C_{c2}r_z}\right)\left(-\frac{C_{c1}C_{c2}}{gm_2gm_3} - \frac{C_{c1}C_{c2}r_z}{gm_2} + \frac{C_{c1}C_{c2}gm_fr_z}{gm_2gm_3}\right)}$$

$$z_2 = \frac{1}{-\frac{C_{c1}}{gm_2gm_3r_z} - \frac{C_{c1}}{gm_2} + \frac{C_{c1}gm_f}{gm_2gm_3}}$$

$$z_2 = \frac{1}{\left(\frac{C_{c1}}{gm_2}\right)\left(-\frac{1}{gm_3r_z} - 1 + \frac{gm_f}{gm_3}\right)}$$

De esta expresión se tiene

$$-\frac{1}{gm_3r_z} - 1 + \frac{gm_f}{gm_3} = 0$$

$$-\frac{1}{gm_3r_z} + \frac{gm_f}{gm_3} = 1$$

$$-\frac{1}{r_z} + gm_f = gm_3$$

Entonces

$$r_z = \frac{1}{gm_f - gm_3}$$

Por lo tanto, los valores de polos y ceros quedarían como

$$p_1 = -\frac{1}{C_{c2}gm_2gm_3rd_1rd_2rd_3}$$

$$p_2 = \frac{gm_2gm_3}{C_{c1}(gm_2 - gm_3 + gm_f + \frac{C_{l1}gm_2}{C_{c2}})}$$

$$p_3 = \frac{(gm_2 - gm_3 + gm_f + \frac{C_{l1}gm_2}{C_{c2}})}{(C_{l1})(1 + gm_2r_z)}$$

$$z_1 = -\frac{1}{C_{c2}r_z}$$

$$z_2 = -\frac{1}{\left(\frac{C_{c1}}{gm_2}\right)\left(-\frac{1}{gm_3r_z} - 1 + \frac{gm_f}{gm_3}\right)}$$

Para definir el valor de $cc2$ se toma en cuenta el ancho de banda que necesita el amplificador. Si se requiere un ancho de banda de mínimo 100 Hz, entonces

$$\frac{1}{C_{c2}gm_2gm_3rd_1rd_2rd_3} > 100$$

$$\Rightarrow C_{c2} < \frac{1}{100gm_2gm_3rd_1rd_2rd_3}$$

Para eliminar el segundo polo se iguala $p_2 = z_1$, entonces

$$\frac{gm_2gm_3}{C_{c1}(gm_2 - gm_3 + gm_f + \frac{C_{l1}gm_2}{C_{c2}})} = \frac{1}{C_{c2}r_z}$$

$$\Rightarrow r_z = \frac{C_{c1}(gm_2 - gm_3 + gm_f + \frac{C_{l1}gm_2}{C_{c2}})}{C_{c2}gm_2gm_3}$$

3.2. Implementación de diseño

Una vez observado que los polos y ceros están en el eje negativo del plano complejo, se realizó la implementación del diseño a nivel transistor. Para que el diseño correspondiera el modelo de la propuesta mostrado en la figura 3.1 el diseño con transistores se colocó a modo de que correspondieran con los cambios y características de cada etapa y pensando en las características que el amplificador debe tener. Entonces, para la primera etapa se colocó un par diferencial *fully-differential* tipo-n con carga activa para la inversión de signo, que contribuya con ganancia y *fully-differential* para obtener mayor ganancia, eliminación de señales en modo común, precisión y simetría en layout. En la segunda etapa lo mejor es colocar una etapa de fuente común sencilla, pero si esta presenta una inversión de signo, entonces se agregó otra rama que vuelva a invertir el signo para que la señal de salida siga a la señal de entrada y no exista problemas con los ceros. Esto se logra colocando dos bloques de fuente común en la segunda etapa, uno de baja ganancia y el otro de alta ganancia, el de baja ganancia se obtiene con una carga activa con conexión tipo diodo y el bloque de alta ganancia será un bloque de fuente común con carga activa.

Para evitar colocar más transistores y el amplificador obtenga una alta ganancia, la tercera etapa consta de un bloque de fuente común con carga activa, como se utiliza una red de compensación *Feedforward* que irá de la salida de la primera etapa a la salida del amplificador y como esta compensación *Feedforward* lleva una inversión de la señal, para evitar problemas con los ceros entonces la carga activa de la tercera etapa formara parte de la red de compensación conectando la compuerta del transistor a la salida de la primera etapa y la terminal de drenaje a la salida de la última etapa formando un amplificador de fuente común. Entonces el circuito implementado con transistores se muestra en la Figura 3.4

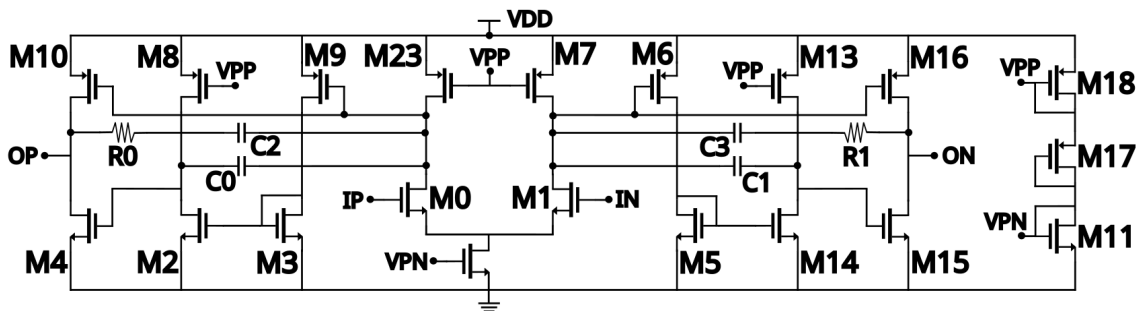


Figura 3.4: Implementación de diseño de Amplificador.

Para la selección de tamaños de los transistores se realizó un proceso, lo primero que se realizó fueron pruebas de AC a modo de ajustar la ganancia y la corriente que utilizaba el circuito. Para el par diferencial que se conforma de los transistores M0, M1, M7, M23 y M12 se consideró que el transistor de cola, M12, entregara $1\mu A$ de corriente a todo el par, se ajustaron los tamaños a modo de acercarse a esta corriente sin salir de la región de saturación. Para la segunda etapa, transistores M2,

M3, M5, M6, M8, M9, M13 y M14, primero se enfocó en que el bloque de fuente común con carga conectada tipo diodo consumiera la menor cantidad de corriente posible, por esto se coloca una mayor longitud de canal y menor ancho, se utilizó un bajo consumo, puesto que al tener una carga con conexión tipo diodo su ganancia se vería limitada por la baja resistencia que tiene el transistor con conexión tipo diodo. Para el bloque de fuente común con carga activa se ajustaron los tamaños a modo de alcanzar el mayor valor de gm posible y cuidando que ambos bloques no salieran de la región de saturación. Para la tercera etapa, transistores y el transistor de compensación, M4, M10, M15 y M16, se hizo algo similar al anterior, se ajustaron los valores a modo de alcanzar un valor alto de gm, pero se observó que al variar mucho los valores de este bloque se sacaba de punto de operación a los transistores de la segunda etapa. Cuidando este problema, se ajustaron los tamaños a modo de alcanzar una alta gm sin sacar a ningún transistor de la región de saturación. Como primero se enfocó en obtener una alta ganancia y la mínima corriente se descuidó el ancho de banda. Entonces se tuvieron que reajustar los valores a modo de adecuarlo a los requerimientos de las señales de ECG. Para esto se utilizaron principalmente los elementos pasivos de la red de compensación, también para el movimiento de ceros y obtener un mejor margen de fase. Los tamaños de los transistores también se vieron afectados al momento de incorporar la red de *Common Mode Feedback*, ya que el nivel de DC del amplificador se adecuaba a 0.9 V mejor con ciertos valores de la última etapa y de la red *Feedforward* del amplificador, pero al modificar sus tamaños se modificaba la respuesta en AC del amplificador, por lo que se tuvieron que modificar los tamaños de algunos transistores de las anteriores etapas.

El sistema tiene una red de polarización, transistores M11, M17 y M18, que se utilizan para los bloques de CMFB, se explicaran más adelante. Esta red de polarización se dimensionó a modo de que el transistor PMOS superior y el NMOS colocaran en sus compuertas un voltaje de 0.5 V. Se seleccionaron estos potenciales, ya que son los potenciales con los que se coloca a los transistores en saturación.

Por lo que los transistores del amplificador quedaron con los siguientes tamaños:
Par diferencial:

$$M0, M1 : \frac{6\mu m}{5\mu m} \quad M23, M7 : \frac{4\mu m}{1\mu m} \quad M12 : \frac{3\mu m}{5\mu m}$$

Segunda etapa:

$$M9, M6 : \frac{1\mu m}{5\mu m} \quad M3, M5 : \frac{1\mu m}{8\mu m} \quad M8, M13 : \frac{30\mu m}{1\mu m} \quad M2, M14 : \frac{5\mu m}{400nm}$$

Tercera etapa y transistor *feedforward*:

$$M4, M15 : \frac{1\mu m}{400nm} \quad M10, M16 : \frac{1\mu m}{1\mu m}$$

Red de polarización:

$$M18 : \frac{20\mu m}{1\mu m} \quad M17 : \frac{10\mu m}{1\mu m} \quad M11 : \frac{1\mu m}{15\mu m}$$

Elementos pasivos:

$$R0, R1 = 10K\Omega \quad C3, C2 = 20fF \quad C0, C1 = 80fF$$

Para observar el comportamiento del amplificador en magnitud y fase, se debe realizar una simulación en AC, para realizar las pruebas de AC se conectaron a las terminales de la red de polarización una fuente controlada por voltaje, esto a modo de utilizarla como una red de CMFB ideal. En la explicación de CMFB se mencionó que esta red debe tomar el nivel de *offset* de la salida, compararlo con el voltaje común y crear una señal de compensación. Para poder medir el nivel de *offset* se ocuparon dos resistencias en serie, cada una de $1G\Omega$, y en sus terminales externas se conectan las salidas del amplificador, mientras que del nodo que las une se toma el voltaje de *offset*. Para medir la diferencia del *offset* y el voltaje de modo común se utiliza la fuente de voltaje controlada por voltaje, a la fuente de voltaje se le da una ganancia de -100 ya que se observó que con esta ganancia el punto de operación se ubicaba en 0.9 V. En las otras dos terminales de la fuente, en la terminal de voltaje negativo se conecta el voltaje de referencia que crea la red de polarización y de la terminal positiva se obtiene la señal de compensación del amplificador que se conectara al transistor de cola del par diferencial.

Para las terminales de entrada se utilizan tres fuentes, una fuente de señales senoidales, una fuente de voltaje controlada por voltaje y una fuente de DC. La fuente de señales senoidales se incorporó para colocar en ella los parámetros deseados de las simulaciones que se quieren realizar porque permite introducir valores de AC, DC, amplitud, frecuencia, fase, entre otros. La fuente de voltaje controlada por voltaje se colocó para que las señales de entrada fueran *fully-differential* y no hubiera problemas en los resultados, de hecho la ganancia de esta fuente es uno y las terminales del voltaje que controlan la señal están invertidas con la de la fuente de señales sinusoidales. La fuente de DC se colocó para ubicar en 0.9 la señal que sale de la fuente controlada por voltaje. Tomando esto en cuenta, el sistema es el siguiente

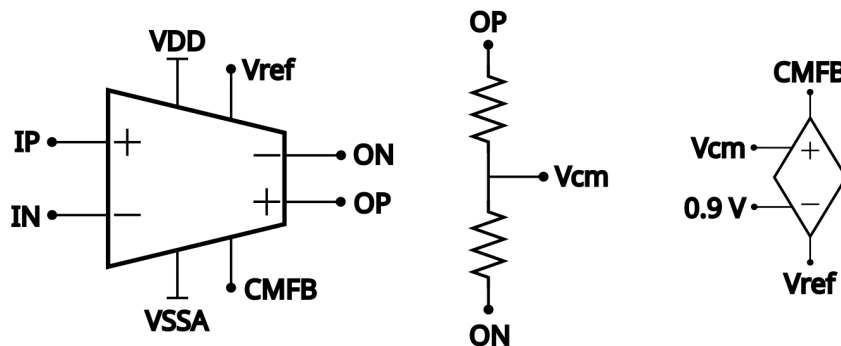
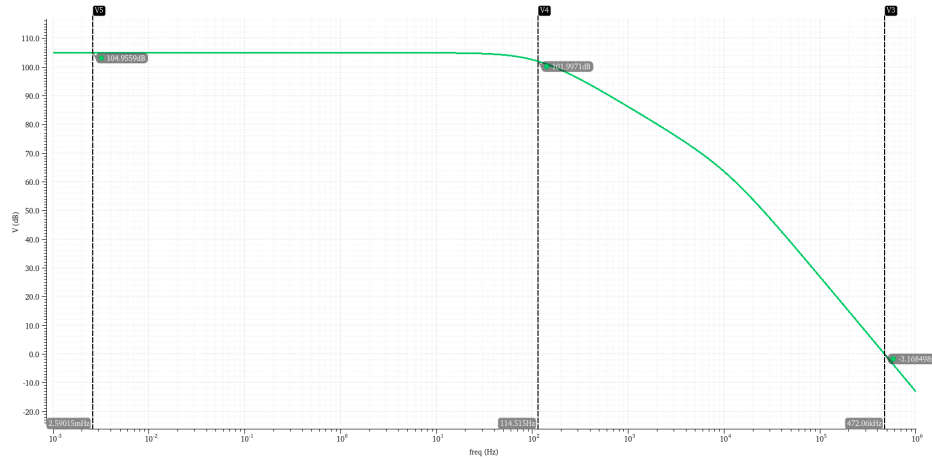
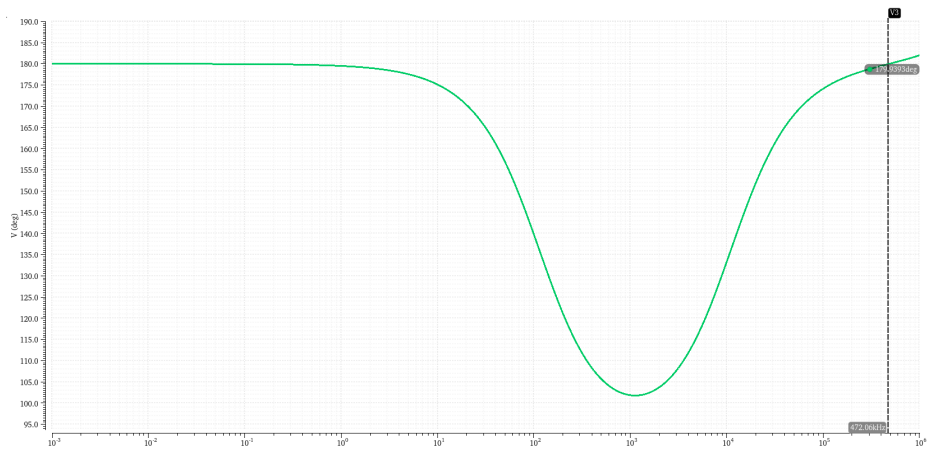


Figura 3.5: Sistema para analisis en AC.

Al amplificador se le colocó una señal de magnitud AC igual a 1, se hizo un barrido de 1 mHz a 1 MHz. La respuesta de magnitud y fase es la siguiente



(a) Magnitud



(b) Fase

Figura 3.6: Respuesta AC del amplificador

El circuito tiene valores adecuados para las señales de ECG, ya que alcanza una ganancia aproximada de 100 dB, Además, se logró mover los ceros y alcanzo un margen de fase de aproximadamente 180° . Lo más importante es el ancho de banda, ya que quedo de 115 Hz, este aumento es relevante porque proporciona la capacidad suficiente para procesar señales de electrocardiogramas. Ahora se trata la corrección del *offset* en los amplificadores *fully-differential*.

3.3. Implementación de CMFB continuo

Comúnmente la señal de CMFB que compense al sistema se aplica al transistor de cola, este transistor aumenta o disminuye la corriente del par diferencial variando las salidas y las corrientes de las demás etapas para corregir el nivel de salida. Tomando esto en cuenta se implementa el circuito de la figura 3.7 en Virtuoso. A pesar de que es una red relativamente sencilla de implementar, este circuito presentó el inconveniente de que varía mucho el nivel de DC de salida con ligeros cambios en el

tamaño del transistor M6, esto es un inconveniente, ya que en proceso de manufactura inevitablemente hay variaciones en el tamaño de los dispositivos [21], [38], [29]. Para observar las variaciones del nivel de DC del circuito se llevó a cabo un barrido de DC de las fuentes de las terminales de entrada, y al transistor MC7 de la red de CMFB se cambió en 10 nm su ancho para observar el problema mencionado. Las gráficas son las siguientes:

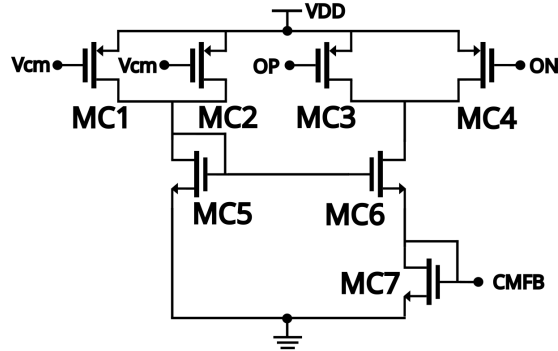
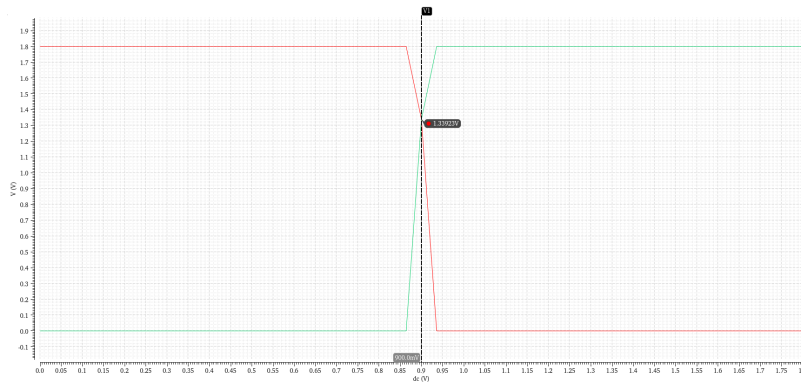
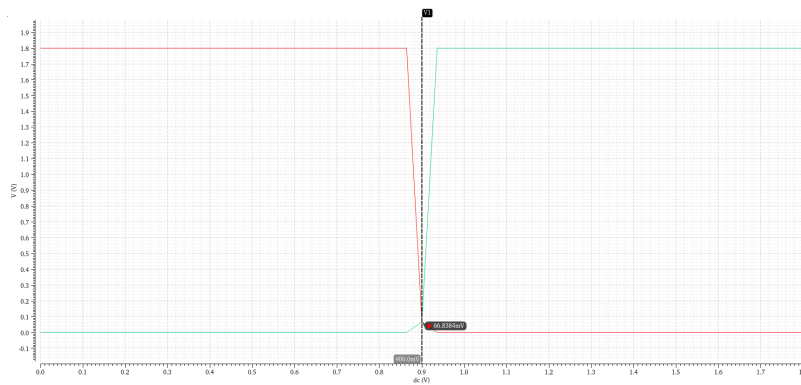


Figura 3.7: CMFB continuo.



(a) $W=2.11\mu m$



(b) $W=2.12\mu m$

Figura 3.8: Variación del nivel de DC de la salida del amplificador

Como se puede observar, el nivel de DC de las salidas varía mucho con cambios muy pequeños en el tamaño del transistor, con 10 nm el voltaje cambio de 66 mV a 1.3 V. Debido a este inconveniente se implementará una red de CMFB discreta basada en la red de CMFB discreta expuesta en el capítulo anterior.

3.4. Implementación de CMFB discreto

El sistema está basado en los sistemas expuestos en [22] [38], el sistema implementado en Virtuoso es el siguiente

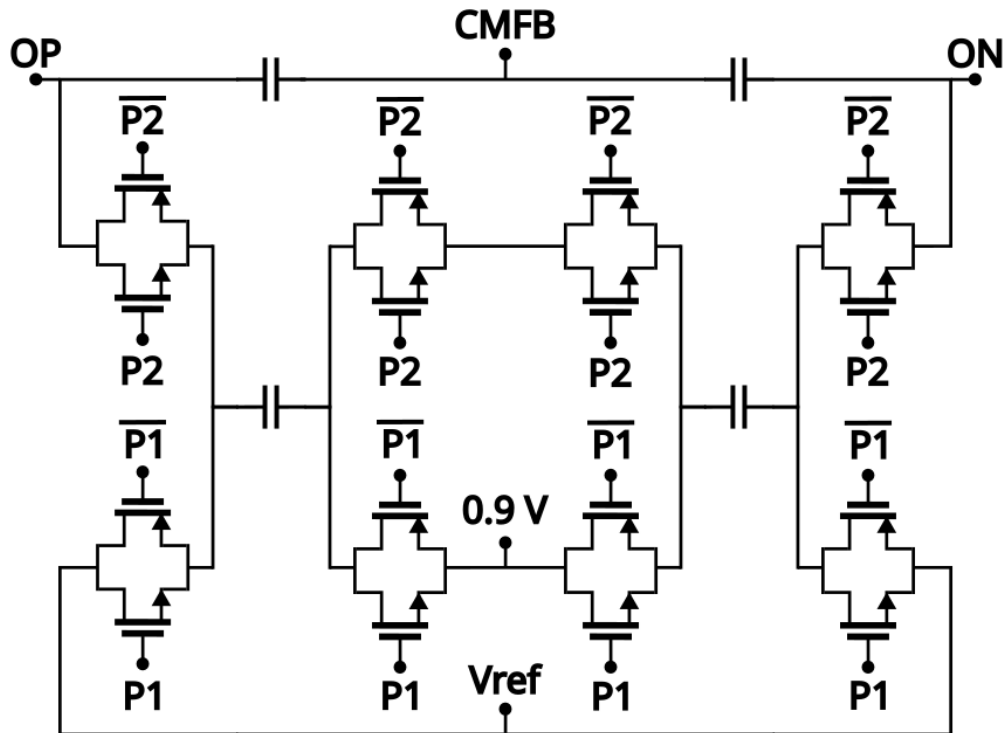


Figura 3.9: CMFB discreto.

Como se explicó, el sistema de CMFB requiere una señal de referencia para polarizar al transistor de cola, para esto se utilizara una red de tres transistores apilados, dos PMOS y un NMOS, con conexión tipo diodo. Se ajustaron los tamaños a modo de que el NMOS y el PMOS tuvieran un voltaje de 0.5 V de V_{GS} y este valor se toma como voltaje de referencia.

Este circuito implementa *swtched-capacitors* CMOS, el sistema se probó con los tamaños mínimos de la tecnología y los capacitores con un valor de 100 fF. Para probar este circuito se requiere una simulación transitoria porque el sistema al funcionar con tiempo discreto no se puede realizar un barrido en DC de las entradas. Para realizar la simulación en tiempo transitorio se presentó otro inconveniente porque el amplificador al tener mucha ganancia la señal transitoria se satura, por esto se conectó al

amplificador en una configuración de seguidor. Se ocuparon resistencias de $100\ \Omega$ y los pulsos para la activación del sistema de CMFB que tienen una frecuencia de 1 KHz. La amplitud de los pulsos va de 0 a 1.8 V y son señales no superpuestas para la activación de los *switches-capacitors* CMOS. Las señales de activación del sistema de CMFB son las siguientes

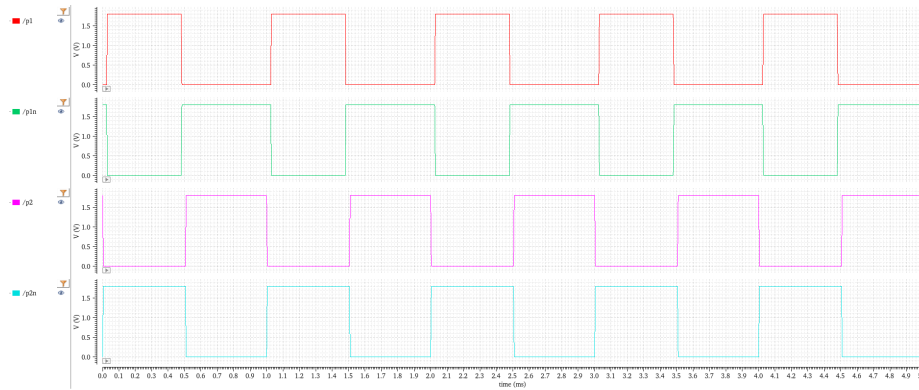


Figura 3.10: Señales de pulso de CMFB discreto.

El sistema que incorpora al amplificador, la red de CMFB discreto y las fuentes de alimentación y activación es el siguiente

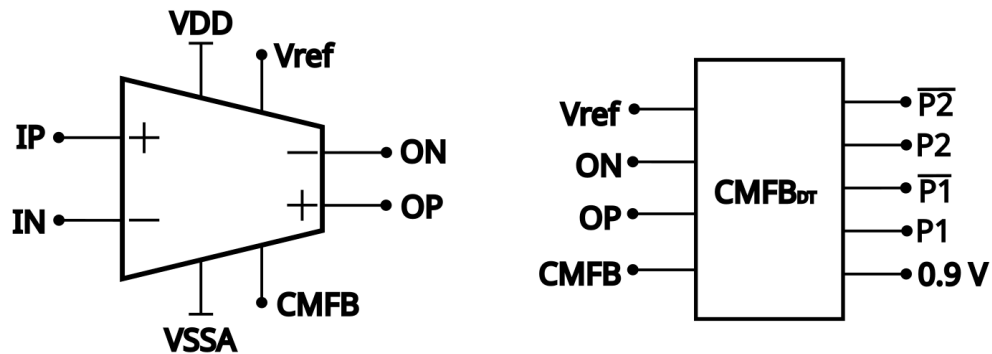
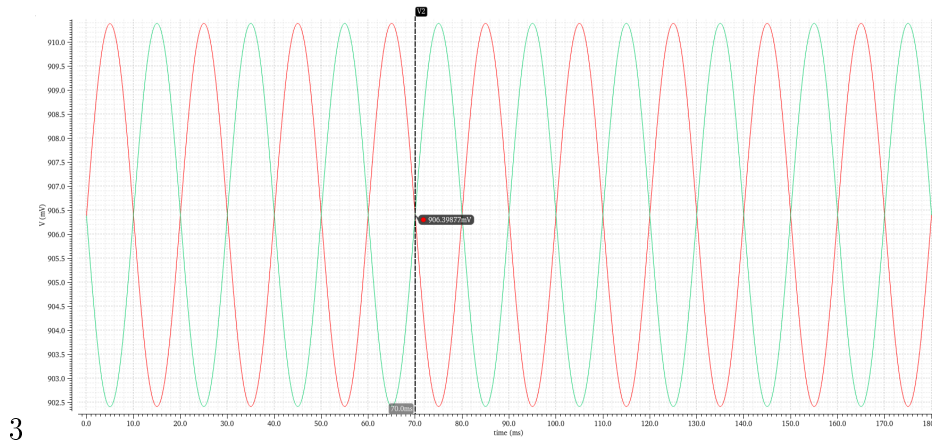


Figura 3.11: Amplificador con red de CMFB discreto.

En la entrada se colocan dos señales sinusoidales con una amplitud de 500 mV y una frecuencia de 100 Hz, la salida es la siguiente:



3

Figura 3.12: Señales de salida con CMFB discreto

Se puede observar que el nivel de DC es muy cercano al deseado, importante recalcar que este sistema es menos sensible en comparación con el sistema de CMFB continuo.

3.5. Diseño de *Layout*

En esta sección se muestra el proceso de creación de *layout* basado en las técnicas y reglas de diseño. Para la creación de *layout* se utilizó Virtuoso, con una herramienta llamada *Layout-XL* que permite la creación de las diferentes capas que componen al circuito. Antes de pasar al proceso de *layout*, se debe recalcar que se realizaron cambios en los tamaños del amplificador si variar cambios en su comportamiento eléctrico, esto porque si se tomaba el primer diseño aparecían inconvenientes principalmente relacionados con simetría, también se agregaron transistores dummy al circuito que también no alteran el comportamiento del circuito, solamente se agregan por simetría. Estos nuevos tamaños usan *multifingers* y multiplicadores, también aparecen los transistores *dummy* con sus terminales cortocircuitadas a modo de que se encuentren apagados. Los parámetros de cada transistor serían los siguientes:

Par diferencial - primera etapa:

$$M0, M1 : \frac{2\mu}{5\mu} \quad \text{fingers:2} \quad \text{multiplier:4}$$

$$M23, M7 : \frac{2\mu}{1\mu} \quad \text{fingers:2} \quad \text{multiplier:2}$$

$$M12 : \frac{2\mu}{5\mu} \quad \text{fingers:1} \quad \text{multiplier:2}$$

Segunda etapa:

$$M9, M6 : \frac{1\mu}{5\mu} \quad \text{fingers:1} \quad \text{multiplier:1}$$

$$M3, M5 : \frac{1\mu}{8\mu} \quad \text{fingers:1} \quad \text{multiplier:1}$$

$$M8, M13 : \frac{2\mu}{1\mu} \quad \text{fingers:4} \quad \text{multiplier:4}$$

$$M2, M14 : \frac{1\mu}{400n} \quad \text{fingers:2} \quad \text{multiplier:1}$$

Tercera etapa:

$$M10, M16 : \frac{1\mu}{1\mu} \quad \text{fingers:1} \quad \text{multiplier:1}$$

$$M4, M15 : \frac{1\mu}{400n} \quad \text{fingers:1} \quad \text{multiplier:1}$$

Red de polarización

$$M18 : \frac{2\mu}{1\mu} \quad \text{fingers:5} \quad \text{multiplier:2}$$

$$M17 : \frac{2\mu}{1\mu} \quad \text{fingers:2} \quad \text{multiplier:2}$$

$$M11 : \frac{1\mu}{15\mu} \quad \text{fingers:1} \quad \text{multiplier:1}$$

Elementos pasivos:

$$R0, R1 = 2K\Omega : \quad W = 1\mu m \quad L = 2\mu m$$

$$C3, C2 = 18.7fF : \quad W = 5\mu m \quad L = 3.5\mu m \quad \text{multiplier:1}$$

$$C0, C1 = 18.2fF : \quad W = 4.5\mu m \quad L = 4\mu m \quad \text{multiplier:4}$$

El circuito al final quedo como se observa en la figura 3.13

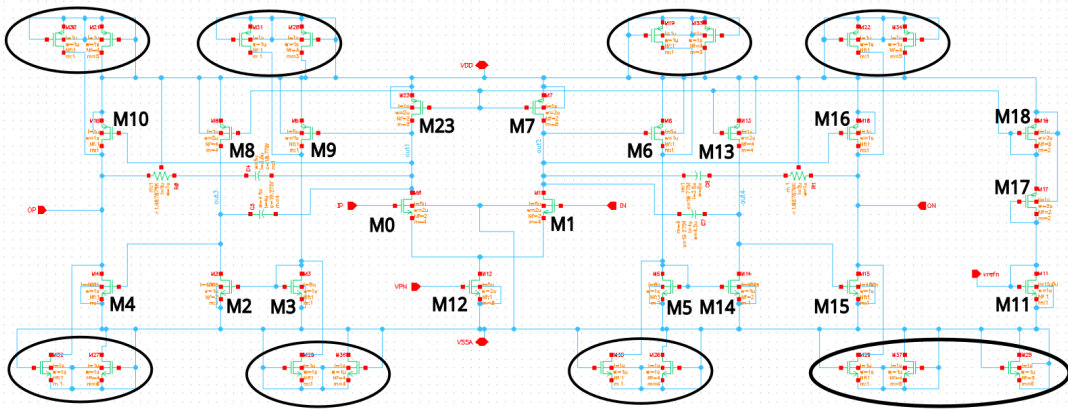


Figura 3.13: Esquemático del Amplificador con tamaños adecuados para *layout* y con *dummy transistors*.

En el circuito de la figura 3.13 los transistores rodeados son los transistores *dummy* que se agregaron para el diseño de *layout*. Los tamaños de los transistores se escogieron estratégicamente para unir algunos transistores, ya que algunos comparten

terminales, como en el caso del par diferencial tipo-n donde ambas terminales de fuente están conectadas al mismo nodo. También se puede observar que 4 transistores tipo-p (primera y segunda etapa) conectan entre sí las terminales de compuerta con el transistor tipo-p de la red de polarización. Para realizar la unión entre transistores se requiere que su ancho sea igual, de lo contrario los transistores no coinciden las terminales de drenaje y fuente si no se realiza la conexión adecuadamente y también aparecen problemas con la verificación porque el simulador no detecta que se realiza la conexión. El número de *fingers* se debe cuidar para que las terminales que queden de forma externa sean las deseadas, esto porque recordar que el transistor se divide y si es par el número de *fingers* las terminales de fuente quedan separadas y de forma externa quedan las terminales de drenaje, mientras que si es impar entonces quedan de forma externa terminales de fuente y drenaje.

Primero se muestra la conexión del par diferencial tipo-n, debido a que es la parte principal del circuito, se debe prestar atención a que este par quede simétrico. De los tamaños de los transistores, ambos tienen 4 *multipliers* y 2 *fingers* dejando sus fuentes como conexiones, tomando en cuenta esto se conectaron intercalándolos. También se conectó el conjunto a transistor de cola, el transistor de cola tiene el mismo ancho por multiplicador que el par y tiene 2 *multipliers* por lo que se colocó uno a cada orilla. Para la conexión de sus terminales se ocupó metal-1 y metal-2, este último fue necesario, ya que al estar intercalados la manera más conveniente para mantener simetría era la de ocupar este metal a realizar una conexión diferente con metal-1. Las compuertas están interconectadas con metal-1 y con vías para la conexión de metal-1 a polisilicio. Cabe mencionar que se dejó una distancia entre metales del mismo nivel de $0.5 \mu\text{m}$, esto basado en las reglas de diseño de la tecnología. La conexión del par se muestra en la figura 3.14

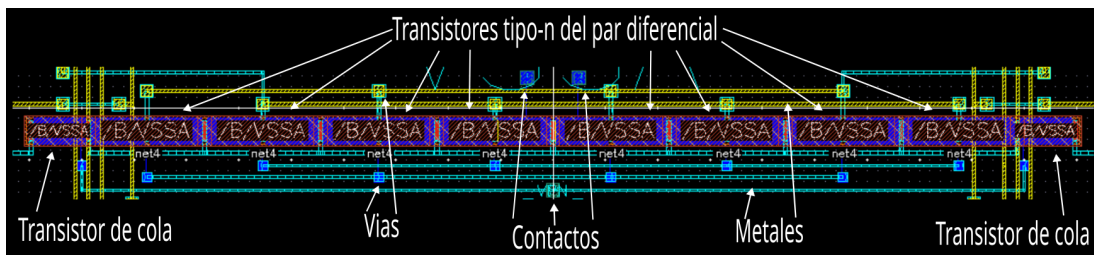


Figura 3.14: Par diferencial y transistor de cola.

Después se conectaron los transistores de carga del par diferencial tipo-p. Como se mencionó y se puede observar en el esquemático del circuito, estos comparten compuerta y fuente con dos transistores tipo-p de la segunda etapa y con los transistores tipo-p de la red de polarización. Todos estos transistores tienen el mismo tamaño de ancho, todos tienen un número par de *fingers* por lo que se interconectaron sus fuentes, el transistor de polarización tiene dos *multipliers* por lo que se colocaron a las orillas. Los transistores del par se colocaron en medio, ya que de esta forma se facilita su conexión con los transistores tipo-n del par, después entre los transistores del par y los de polarización se intercalaron los transistores de la segunda etapa, ya que son los que tienen un mayor número de *multipliers*. Al igual que los transistores tipo-n,

este segmento del circuito solo utiliza metal-1, metal-2 y polisilicio para interconectar los transistores. En la figura 3.15 se observa este segmento del *layout*.

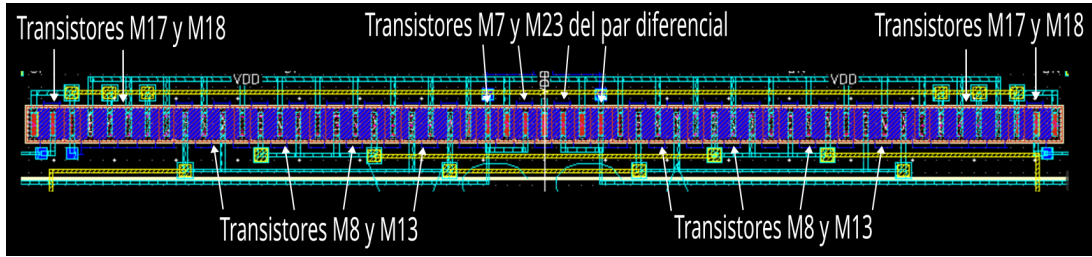


Figura 3.15: Carga activa del par diferencial, transistores PMOS de la segunda etapa y red de polarización.

El siguiente segmento del circuito son los transistores tipo-n de la etapa de salida y el tipo-n a la salida de la segunda etapa. Al inicio se quería unir de transistores de los tipo-n de la segunda etapa, pero había problemas para interconectar las terminales de fuente, por lo que se decidió conectar en una misma fila a los transistores de salida de la segunda y tercera etapa. Para interconectar estos transistores se utilizó metal-1 y polisilicio. También en este segmento ya se incorporaron transistores *dummy* para no perder simetría en el circuito, se cuidó que el ancho fuera el mismo para poder unirlos con los demás transistores y para las conexiones de estos transistores se utilizó también metal-1 y polisilicio. Las conexiones y los dispositivos se ven en la figura 3.16

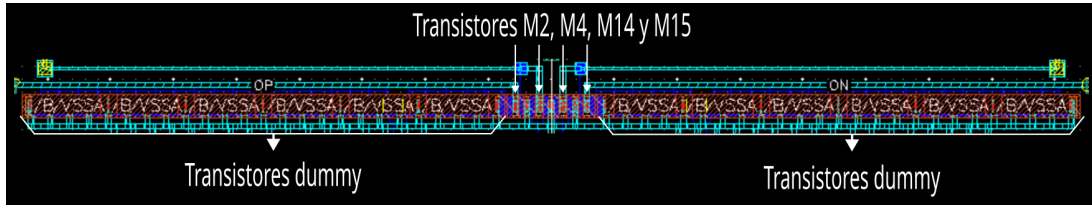


Figura 3.16: Transistores NMOS de las salidas de la segunda y tercera etapa.

El siguiente segmento fue el de los transistores tipo-p de la etapa de salida y compensación *Feedforward*. Estos dos transistores fueron los únicos que se conectaron en esta fila, ya que no tienen el mismo ancho que para unirlos con los otros dos transistores tipo-p faltantes, de la segunda etapa, se generaba un problema con el cruce de interconexiones de metal - 1. Para esta conexión se utilizó metal-1 y polisilicio. También para esta etapa se utilizaron transistores *dummy*. En la 3.17 se aprecia lo descrito

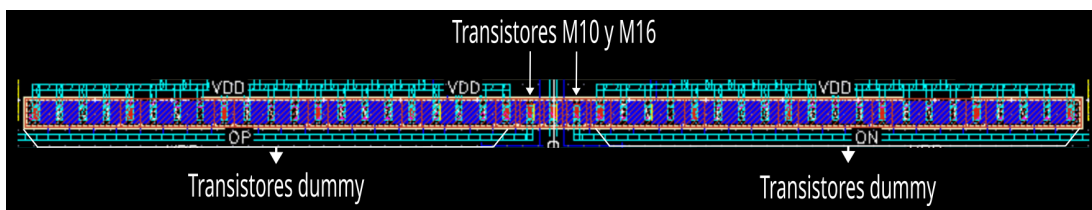


Figura 3.17: Transistores de compensación *Feedforward*.

La siguiente conexión fue la de los transistores tipo-n que conforman al espejo de corriente, solo estos dos transistores se conectaron. Se agregaron transistores *dummy* por temas de simetría, Para su interconexión se utilizó metal-1 y polisilicio. En la figura 3.18 se observa metal-2, pero ese es para su conexión con los transistores tipo-p.



Figura 3.18: Transistores NMOS de segunda etapa conectado como diodo.

El último segmento de los tipo-p que se conectó fue el de los transistores que tienen en su compuerta la salida de la primera etapa. Solo se conectaron dos transistores y los transistores *dummy*. Para esta interconexión se utilizó metal-1 y polisilicio y una vía de dichos materiales para la conexión de compuerta a drenaje. En la figura 3.19 que muestra la interconexión y a los dispositivos se aprecia una vía de metal-1 a metal-2, este metal se utilizó para la conexión con los transistores tipo-n.

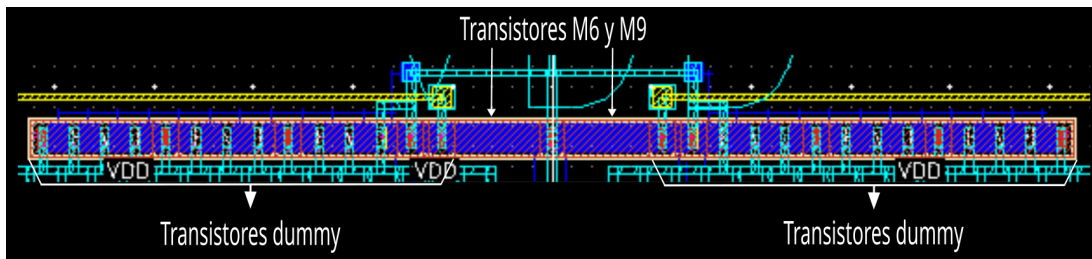


Figura 3.19: Transistores PMOS con compuerta a la salida de la primera etapa.

Finalmente, el transistor que falta es el tipo-n de la red de polarización encargado de generar la señal de referencia para la red de CMFB. Este transistor se conectó solo, ya que era complicado juntarlo a otros transistores porque el potencial que entregaba variaba mucho si se cambiaban sus tamaños para adecuarlo a las técnicas de *multifingerso multipliers*. Otro problema que se presentó con este transistor fue el de conectar a sus terminales transistores dummy porque al realizar la verificación DRC indicaba problemas de conexión, por lo que para no perder simetría se colocaron a los transistores dummy sin realizar conexión el transistor de la red, solamente se colocaron lo más cerca posible pero sin unirlos. Este segmento solo utiliza metal-1, polisilicio y una vía para ambos materiales.

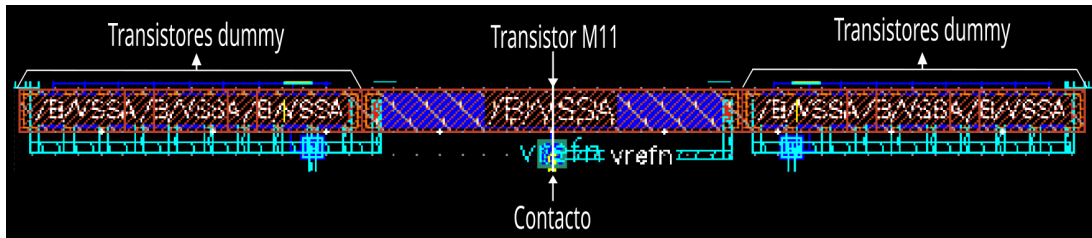


Figura 3.20: Transistor NMOS de la red de polarización.

Para la conexión de las resistencias se utilizó el modelo proporcionado por virtuoso llamado *RNHR1000_MM* que es una alta resistencia de polisilicio. Esta resistencia tiene la característica de poder indicarle el tamaño que se desee, en este caso se dejó el tamaño que la herramienta arrojaba, ya que se le indicó el valor resistivo que se quería ($2K \Omega$) y el simulador arrojó un tamaño. Las resistencias se colocaron en la parte superior del *layout* porque requiere una conexión al *n-well* y este se colocara en la parte superior del *layout*. A continuación se muestra en la figura 3.21 la resistencia.

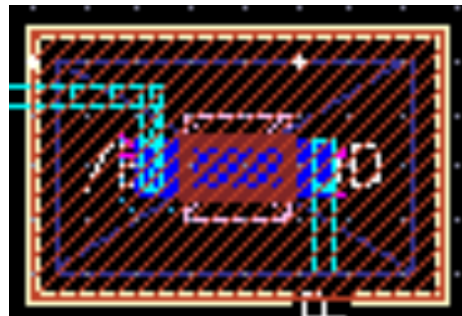


Figura 3.21: Resistencia de polisilicio.

Para los capacitores de la red de compensación se utilizaron MIMCAPS, Virtuoso permite colocar el tamaño que se desea del capacitor y también permite aplicar *multipliers*. Los *multipliers* se aplicaron porque de no hacerlo que daban unos capacitores muy largos que eran complicados de ubicar. Otro de los problemas que se presentaron fue con las reglas de diseño de la tecnología porque la comprobación, DRC, arrojaba que debía existir una área mínima de $9 \mu^2$ de metal-6. Notar que estos capacitores se implementan en el último nivel de metal, para este caso metal-6 [41]. Fue por estos motivos que se implementaron esos tamaños en los *multipliers* del capacitor. Estos capacitores se colocaron a los extremos del amplificador, ya que si se colocan entre las filas de los transistores se cruzarían metales del mismo nivel o se tendría que ocupar otro nivel de metal, otro de los inconvenientes con esto sería que ocuparía más área el amplificador lo que también ocasionaría el uso de conexiones de metales más largos lo que aumentaría el valor de la resistencia de los cables que interconectan el circuito. Los capacitores se conectaron a las orillas y para conectarlos a los demás elementos se utilizaron vías de metal-6 a metal-1 y metal-6 a metal-2. Esto se observa en la siguiente imagen.

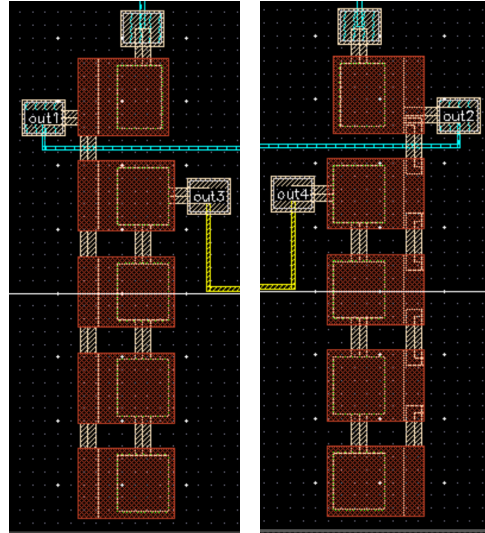


Figura 3.22: Capacitores de la red de compensación

Para la conexión de los pozos simplemente se tiene que agregar una conexión a *n-well* y *p-well* como si agregara una vía. Estas conexiones son importantes, ya que son parte fundamental de la estructura del transistor. Una de las características importantes de los pozos es que debe existir una separación máxima de las conexiones de fuente y drenaje de los transistores a la conexión de pozo de 20μ . La conexión a *n-well* se colocó en la parte superior y la conexión a *p-well* se colocó en la parte inferior, es importante recordar que las obleas para este proceso de manufactura son de tipo-p por lo que se debe crear un pozo tipo-n para los transistores PMOS. Para realizarlo solo se debe extender el pozo a partir de la conexión que ya se agregó, para esto se utiliza una herramienta para extender la conexión en automático y crear el pozo, esta área debe abarcar a todos los transistores PMOS y a las resistencias de polisilicio, ya que éstas tienen una conexión a *n-well*.

Para el caso de *p-well* no se debe extender el pozo, pero como se mencionó, la comprobación de diseño exige una distancia máxima y como hay una fila más de transistores NMOS más la separación entre ellas por las conexiones con metales se rebasa ese parámetro de las especificaciones de diseño, por lo que se debe crear una especie de cuadrado que encierre a los transistores NMOS y de esta forma cumplir la regla de diseño que se menciona.

Para la conexión que existen entre algunos transistores PMOS y NMOS se realizaron con metal-2 y éstas se realizaron a los lados de los transistores, ya que sí se realizaban atravesando por en medio al amplificador se crearían capacitancias parásitas entre metal-2 y metal-1 y también entre metal-2 y polisilicio.

Finalmente, se agregaron etiquetas o *labels* para identificar las entradas y salidas del amplificador porque de esta forma se evitan errores al realizar la comprobación LVS, ya que así la herramienta ubica los pines de entrada y salida.

Ya que se agregaron todos los elementos del amplificador y realizaron las interconexiones indicadas, el *layout* del amplificador se muestra en la figura 3.23

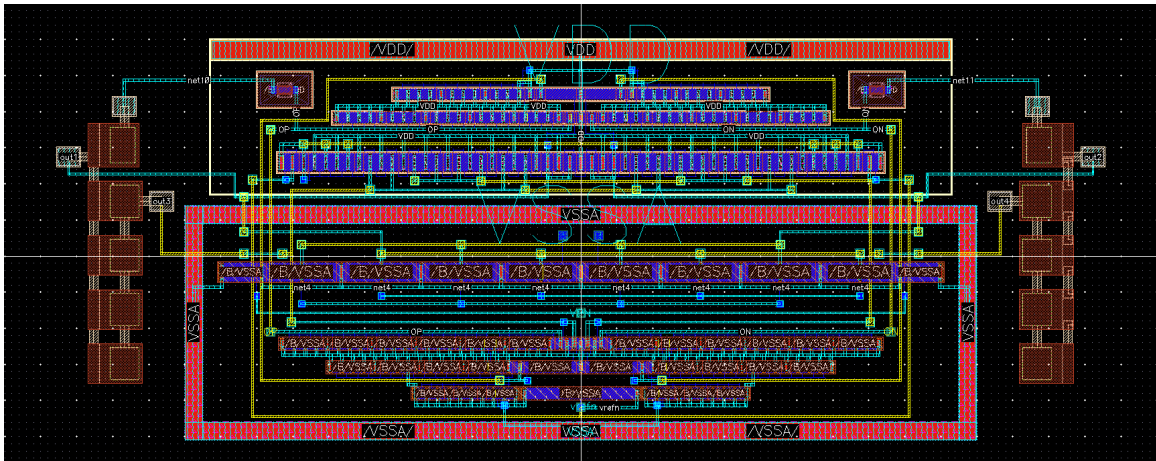


Figura 3.23: *Layout* del Amplificador.

4 Caracterización eléctrica del Amplificador multi etapa

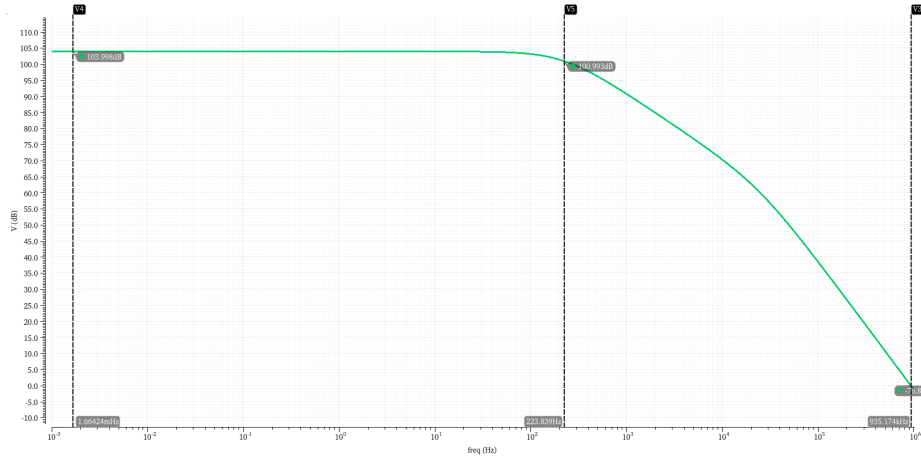
En el capítulo anterior se ha diseñado el amplificador, lo que sigue es describir su desempeño. Para esto se utilizó el amplificador que quedo al final para el diseño de *layout*, ya que es este el que se implementó.

Se realizaron simulaciones de respuesta en AC y transitorias para observar la ganancia, ancho de banda y nivel de *offset*. Después de esto se muestran las comprobaciones de diseño de *layout*, estas comprobaciones se realizan para verificar esencialmente dos cosas: que el layout cumpla con las reglas de diseño de la tecnología y que corresponda con el diseño esquemático. Mencionado esto se tienen las siguientes pruebas. Finalmente, se compara al amplificador con otros amplificadores de acondicionamiento de señales de biopotenciales y con amplificadores operacionales encontrados en la literatura.

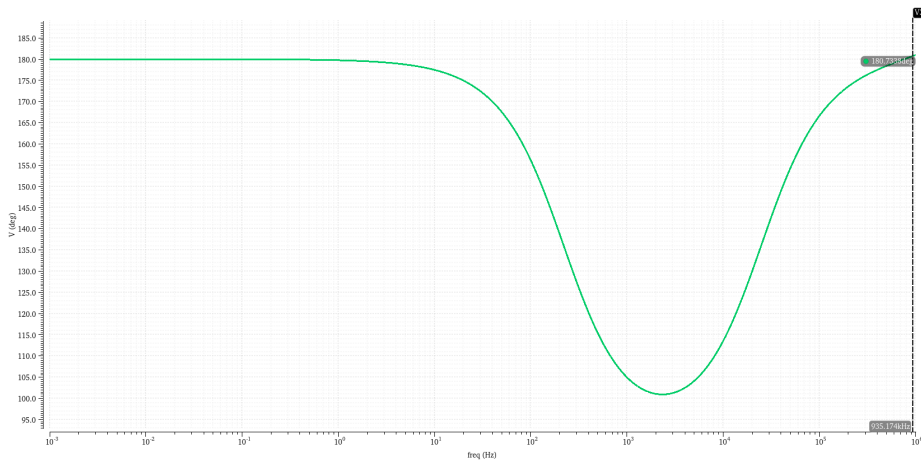
4.1. Magnitud y fase

Para observar el desempeño del amplificador en magnitud y fase, se debe realizar una simulación en AC, el problema que se presenta es que se implementaba una red de CMFB en tiempo discreto, por lo que la simulación en AC no se podía realizar. Entonces por esto se quitó la red de CMFB discreta y en su lugar se colocó una fuente de voltaje controlada por voltaje, igual que se hizo en el capítulo anterior. Por lo que para revisar el desempeño en AC se utilizó el mismo sistema empleado en ese capítulo.

Al amplificador se le colocó una señal de magnitud AC igual a 1, se hizo un barrido de 1 mHz a 1 MHz. La respuesta de magnitud y fase es como se muestra en la figura 4.1



(a) Magnitud



(b) Fase

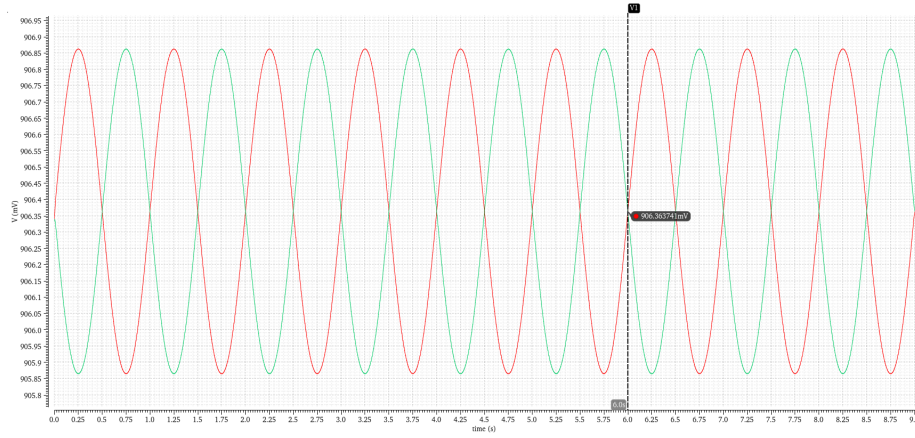
Figura 4.1: Respuesta AC del amplificador

De estas gráficas se puede observar que el amplificador alcanzó una ganancia de 103 dB con un ancho de banda de 224 Hz y un cruce de ganancia unitaria en aproximadamente 928 KHz y un ancho de banda de 180°. Estos resultados satisfacen las especificaciones de diseño que eran una alta ganancia de al menos 100 dB, un ancho de banda de 100 Hz y el margen de fase de al menos 60°.

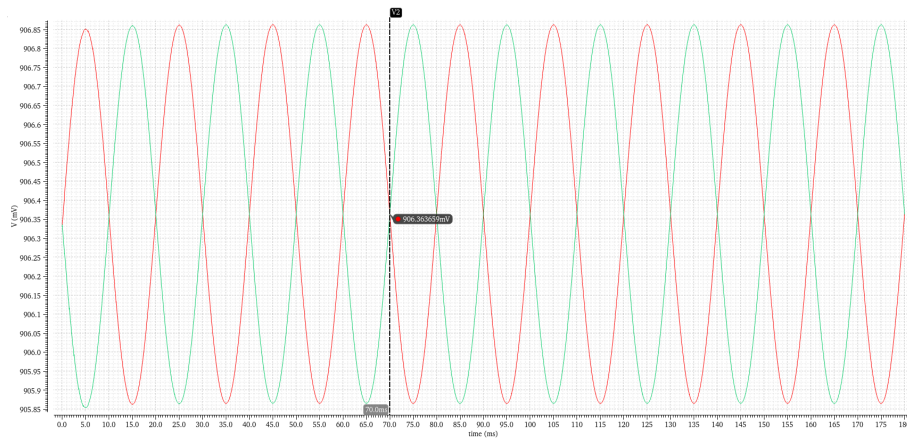
4.2. Control de *Offset*

Para visualizar el desempeño del amplificador en el sistema de CMFB discreto se conectó el sistema ya expuesto. Se mencionó que la frecuencia con la que funcionaba el sistema era de 1 KHz y se siguió ocupando esta frecuencia. La amplitud de los pulsos va de 0 a 1.8 V y son señales no superpuestas para la activación de los *switches-capacitors* CMOS. El sistema se verifica en la configuración de seguidor de voltaje, ya que de no ocuparlo las señales de salida se saturan. Para poder determinar la calidad del desempeño del amplificador, se realizaron prue-

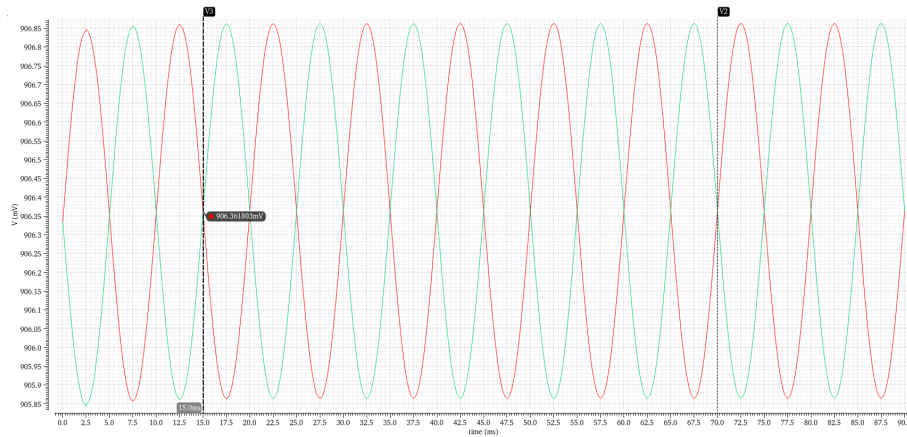
bas con diferentes frecuencias y amplitudes dentro del rango de frecuencias de las señales de ECG. Entonces, a la entrada se colocaron señales con diferentes frecuencias y amplitudes para verificar el nivel de *offset*. Los resultados son los que se muestran en las figuras 4.24.34.4



(a) Frecuencia= 1 Hz

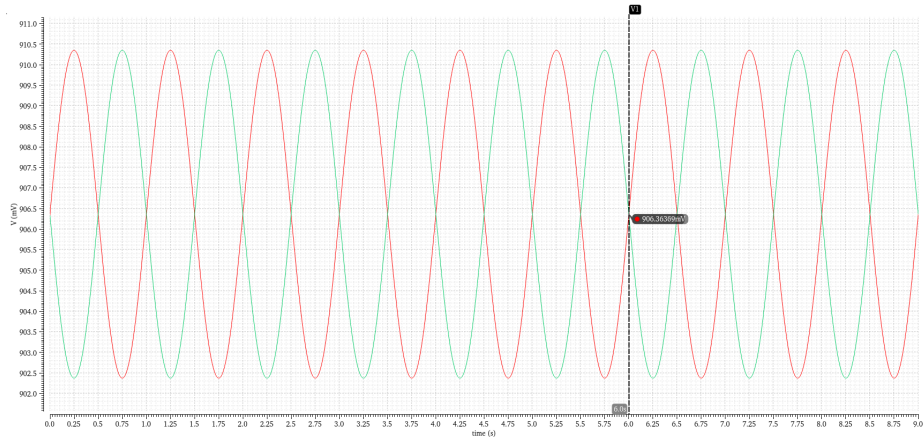


(b) Frecuencia= 50 Hz

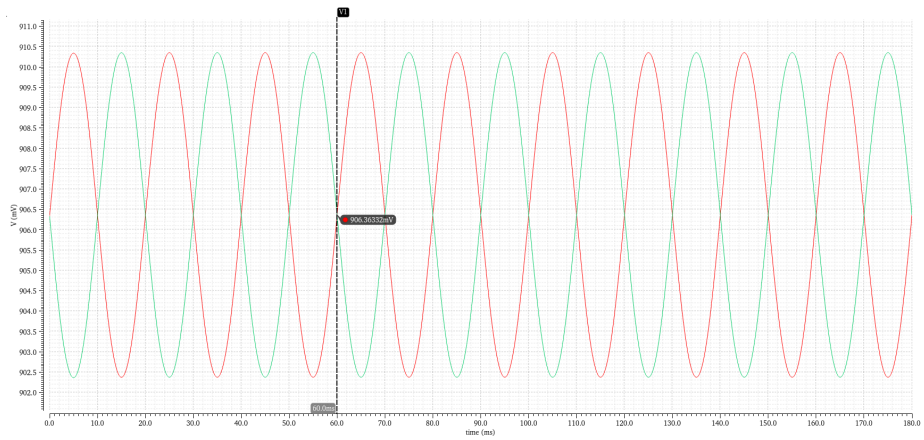


(c) Frecuencia= 100 Hz

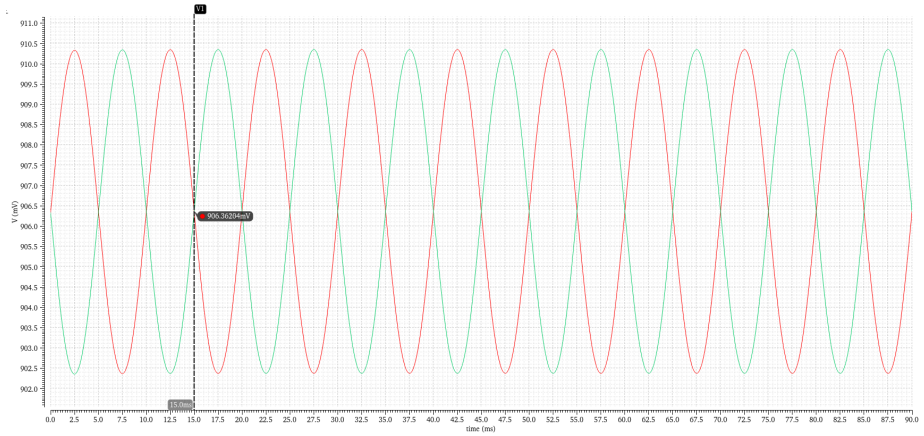
Figura 4.2: Señal de salida con amplitud de 0.5 mV



(a) Frecuencia= 1 Hz

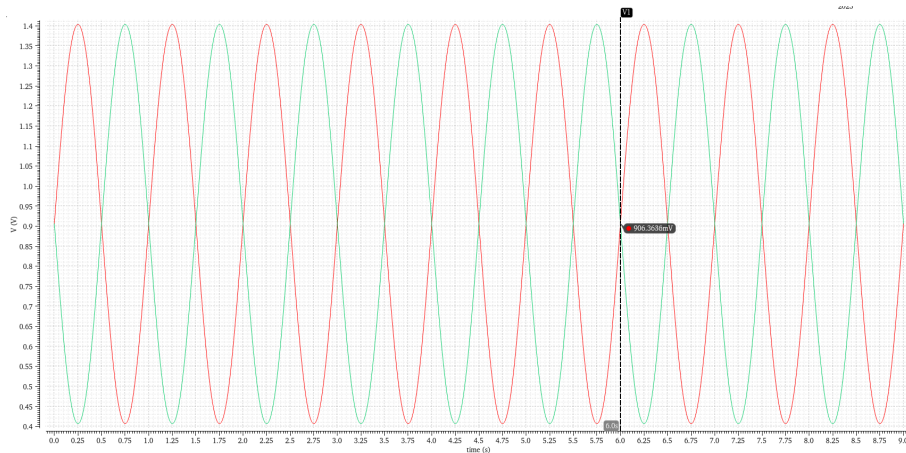


(b) Frecuencia= 50 Hz

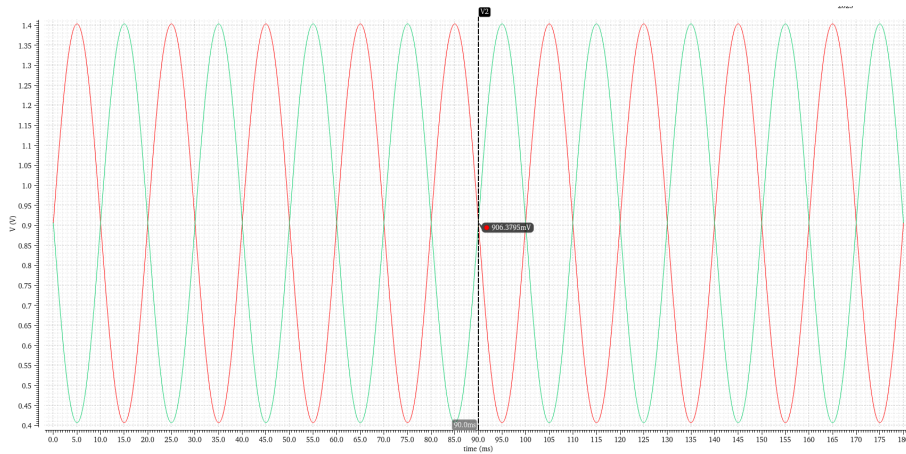


(c) Frecuencia= 100 Hz

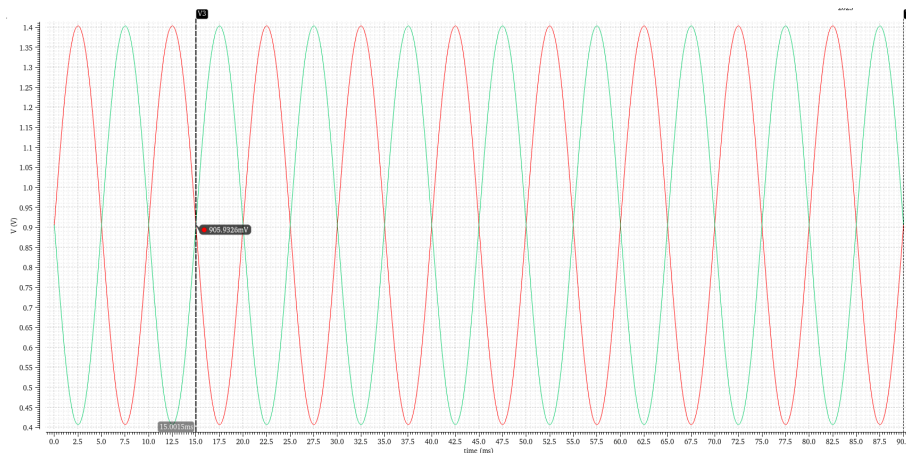
Figura 4.3: Señal de salida con amplitud de 4 mV



(a) Frecuencia= 1 Hz



(b) Frecuencia= 50 Hz



(c) Frecuencia= 100 Hz

Figura 4.4: Señal de salida con amplitud de 500 mV

Se realizaron nueve pruebas, con tres diferentes amplitudes en la entrada (0.5, 4 y 500 mV) y tres diferentes frecuencias (1, 50 y 100 Hz). Como se puede observar, sin importar las variaciones en amplitud y frecuencia, el nivel de *offset* se mantiene en

906 mV. A pesar de que no es el valor exacto de 0.9 V, es una buena aproximación. La corriente que consume este sistema es de $93 \mu A$.

4.3. Comprobación de diseño

Una vez creado el *layout* del circuito, es necesario realizar una comprobación de diseño que se encarga de verificar que el *layout* cumpla con las reglas de diseño y además este bien interconectado. Para esto se utilizaron dos verificaciones de diseño, *Design Rule Check* (DRC) y *Layout Versus Schematic* (LVS), que son proporcionadas por Cadence. Es importante recalcar que para la comprobación de *layout* se siguió utilizando el software Virtuoso. Notar que cada prueba tiene objetivos específicos, por lo que con la comprobación de una sola prueba no garantiza que el diseño de *layout* sea correcto, se requiere la verificación exitosa de ambas pruebas.

4.3.1. DRC

DRC (*Design Rule Check*) es una verificación automatizada que se encarga de comprobar que el diseño de *layout* cumpla con las reglas de diseño específicas del proceso de manufactura y tecnología con que se esté trabajando. Para realizar la verificación de diseño en Virtuoso se cargan los archivos correspondientes que proporciona la herramienta y se obtienen los resultados mostrados en la figura 4.5

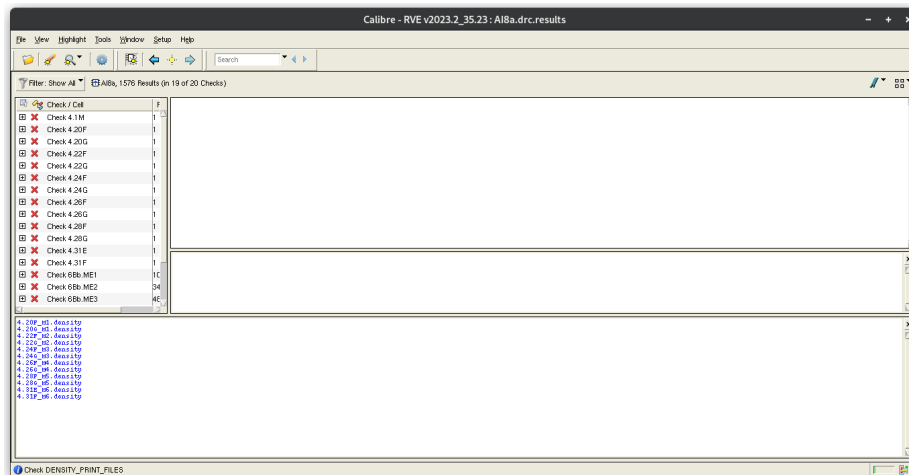


Figura 4.5: Resultados de comprobación de diseño DRC.

Como se puede ver los resultados son satisfactorios, el DRC arroja unos errores que se refieren a ángulos y porcentajes, pero estos errores se corrigen en el proceso de fabricación, los errores que se deben cuidar son los errores ocasionados por distancia entre *layers*, errores de *grid* y errores debidos a áreas. Por lo que los resultados obtenidos son satisfactorios.

4.3.2. LVS

LVS (*Layout Versus Schematic*) es una verificación automatizada que se encarga de comprobar que los transistores, conexiones, puertos y demás elementos sean los mismos en el *layout* y en el esquemático del circuito.

Para realizar esta prueba también se utilizó la herramienta de Virtuoso y se carga el archivo proporcionado por la misma herramienta para la comprobación. Cargados los archivos, los resultados son los de la figura 4.6

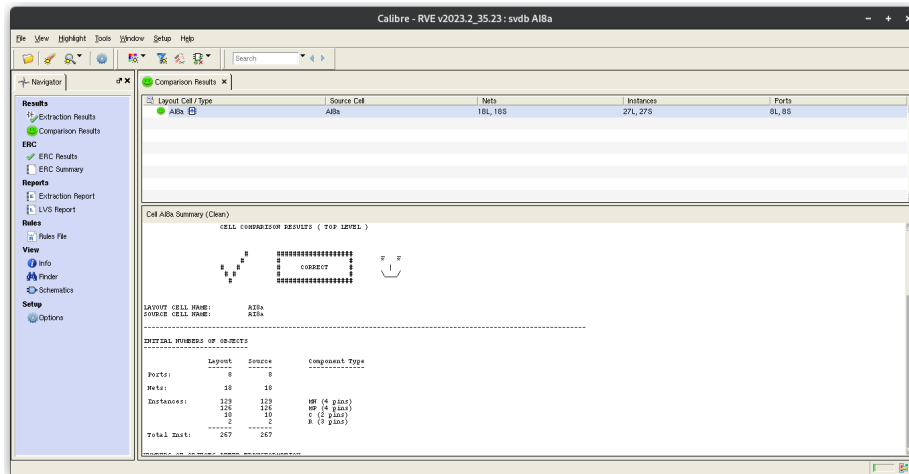
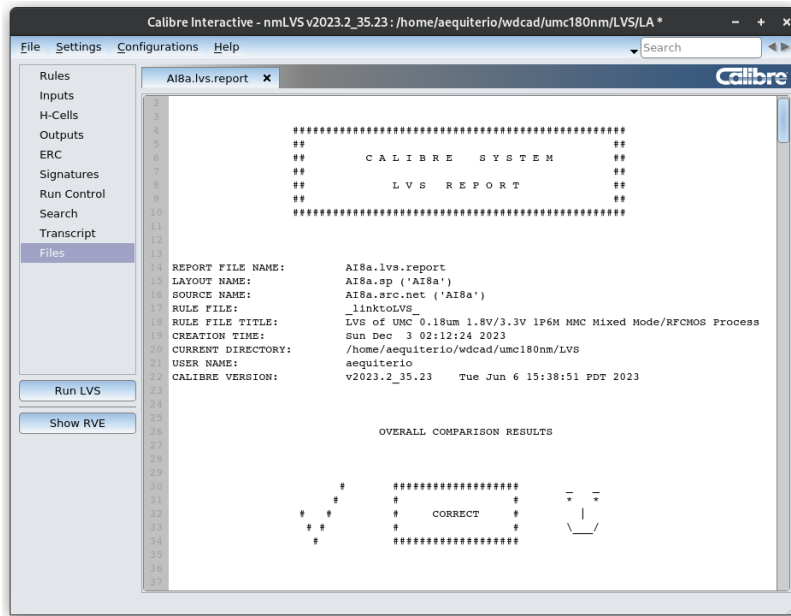


Figura 4.6: Resultados de comprobación de diseño LVS.

De esta comprobación se observa que no indica ningún mensaje de error, indica que la comprobación es exitosa. En esta comprobación los errores que se indican son la diferencia de pines entre *layout* y esquemático, diferencias en las interconexiones y un número diferente de los elementos que conforman a cada uno de los diseños.

4.4. Comparativa con trabajos similares

En resumen, el amplificador es *fully-differential*, implementa tres etapas, una red de compensación *Reversed-Nasted-Miller* con una red *Feedforward* que utilizan 4 capacitores, 2 resistencias y 2 transistores, el amplificador alcanza una ganancia de 103 dB, un ancho de banda de 224 Hz, margen de fase de 180°, un consumo de 93 μ A y utiliza un área de 0.0079 mm^2

A continuación se muestra una tabla comparativa de este trabajo con los demás diseños que se encontraron en la literatura.

Parámetros del Amplificador de Acondicionamiento	[23]	[5]	[24]	[13]	[25]	Este trabajo
Tecnología (nm)	130	180	130	180	180	180
Ganancia (dB)	154	58	40	61	80	103
Ancho de banda Hz	375	5.9 M	10K	7	140	224
Margen de fase (°)	60	52.8	NA	90		180
Consumo (μ A)	0.9	266.4	2.9	0.144	182	93
Voltaje de alimentación (V)	2	1.8	1.2	0.6	1	1.8
Red de compensación	NM	MC	NM	MC	NA	RNM y FF
Número de etapas	2	2	2	2	2	3
Área (mm^2)	0.16	0.03	NA	NA	1	0.0079

Tabla 4.1: Tabla comparativa con Amplificadores de acondicionamiento

Como se puede observar este trabajo presenta una mayor ganancia que la mayoría de los trabajos, el único trabajo que tiene más ganancia es justamente el único trabajo que acondiciona señales de ECG propuesto [23]. Este trabajo requiere menor área que todos los demás diseños al ocupar un área de 0.0079 mm^2 . De consumo se encuentra en medio de los demás amplificadores ya que no tiene el menor consumo pero tampoco presenta el mayor consumo de corriente. Es el que mejor margen de fase presenta con 180°. También este trabajo es el único que implementa una red de compensación RNM y *Feedforward*, ya que la mayoría implementan una red NM. Y con respecto al ancho de banda, este se ubica en medio de todos porque no ofrece un elevado ancho de banda, pero tampoco es el que menos ancho de banda presenta y esto es porque está diseñado exclusivamente para señales de electrocardiograma y de los demás trabajos la mayoría menos [23] están pensados para señales de biopotencial en general, esto supone una ventaja porque aprovecha de mejor forma los recursos implementados que los demás amplificadores para el caso de acondicionar señales de ECG.

Ahora se hará una comparativa con otros amplificadores operacionales que no son de acondicionamiento, estos amplificadores utilizan diferentes redes de compensación y todos son single-ended.

Amplificadores operacionales	[40]	[34]	[33]	[35]	[39]	Este trabajo
Tecnología (nm)	350	500	500	800	180	180
Ganancia (dB)	113	109	19	100	85	103
Ancho de banda Hz	12	26	21	49	295K	224
Margen de fase (°)	75	65	58	43	74	180
Consumo (μ A)	150	88	85	400		93
Voltaje de alimentación (V)	1.5	3	3	1	1.8	1.8
Red de compensación	NM y NR	RNM, NR y VB	RNM, NR y F	NM	RNM y F	RNM y F
Número de etapas	3	3	3	3	3	3
Área (mm^2)	0.075	0.025	0.025	0.23	NA	0.0079
Capacitancia de carga (pF)	500	500	50	100	1	500

Tabla 4.2: Tabla comparativa de Amplificadores Operacionales

El amplificador diseñado mostró un mejor margen de fase, al igual que en la comparativa con los amplificadores de acondicionamiento, con respecto a ganancia la mayoría reportan ganancias muy parecidas. Comparando los valores que consume de corriente, se encuentra en medio de todos los diseños. De todos los amplificadores es el que menos área ocupa y tiene un ancho de banda solo menor que trabajo reportado por [39] que es en el diseño que se basa el amplificador multi etapa.

5 Conclusiones

- El estudio detallado de la arquitectura de estos amplificadores da un panorama más amplio sobre las limitaciones y ventajas inherentes a sistemas implementados con tecnología CMOS.

El progreso en el campo de la microelectrónica ha generado avances significativos en la tecnología médica, contribuyendo sustancialmente a la mejora del tratamiento de diversas enfermedades. Este avance es especialmente notable en el ámbito de la instrumentación médica, donde los sistemas cada vez más sofisticados desempeñan un papel crucial en el monitoreo, diagnóstico y tratamiento de pacientes. Dentro de este panorama, los amplificadores juegan un papel importante, ya que con sus características eléctricas se vuelven fundamentales para el acondicionamiento de señales en aplicaciones biomédicas.

- Una arquitectura *fully-differential* en los amplificadores de acondicionamiento permite abordar desafíos específicos en el diseño de sistemas biomédicos.

Estos amplificadores no solo ofrecen altas ganancias, bajos niveles de ruido y alta impedancia de entrada, sino que también ayudan a mitigar problemas como el desbalance en el diseño del circuito, lo cual puede ser crítico en aplicaciones médicas donde la precisión es esencial, así como ofrecer una mayor simetría en la creación de *layout* a diferencia de las topologías *single-ended*. También el correcto diseño de esta parte del sistema es de alta importancia porque si aparece un mal diseño el sistema puede presentar problemas de *mismatch* y ocasionar que se pierda información de las señales, esto puede ser ocasionando por la variación de *offset* que aparece debido a desbalance en el amplificador o un mal diseño.

- La configuración del sistema de CMFB discreto mostró un correcto desempeño para el control de *offset* lo que da al amplificador una característica de precisión, importante para los sistemas de instrumentación médica.

Uno de los problemas de esta configuración es el del *offset*. Este fenómeno tiene consecuencias directas en la señal de salida, especialmente este diseño que está pensado para una etapa de acondicionamiento y que como etapa posterior aparezca una parte digital de procesamiento. Al ser parte de un dispositivo médico destinado al tratamiento de enfermedades, este problema puede traducirse en resultados inexactos o incluso en riesgos potenciales para la salud del paciente. A fin de abordar este desafío, se propuso la implementación de un sistema de un sistema de CMFB continuo que

tuviera la capacidad de eliminar el *offset* no deseado en la señal de salida. Este sistema se implementó mediante una red sencilla de transistores, que el análisis indicaba que esta red era óptima para minimizar o eliminar el *offset* no deseado. Aunque la implementación del sistema de control arrojó resultados relativamente cercanos a los deseados, es importante destacar la presencia de limitaciones inherentes. Un aspecto crítico fue la variabilidad en el tamaño del transistor encargado de copiar la corriente de compensación al amplificador. Esta variación en las dimensiones del transistor impactó directamente en el *offset* del sistema, por lo que esta red no era viable de implementar. En consecuencia, se implementó una red de CMFB discreta.

El sistema de CMFB discreto presentó mejores resultados al colocar el nivel de DC deseado a la salida del amplificador. Este sistema demostró ser mejor debido a que aunque se variaban los tamaños de sus elementos, no aparecía un cambio sustancial en el nivel de DC como si pasaba con la red de control continua. A pesar de que se tuvieron que modificar los tamaños del amplificador, estos no fueron tan significativos como si lo fue el cambio en el nivel de *offset* del amplificador. Otra mejora importante de recalcar fue que con la implementación de esta red se logró reducir el nivel de consumo de corriente del amplificador, ya que antes de implementarla el amplificador consumía poco más de $100 \mu A$, pero cuando se incorporó esta nueva red entonces el consumo disminuyó y lo más importante es que se mantuvo en alrededor de $90 \mu A$ con distintos parámetros de la señal, ya que como se mencionó el sistema se observó su funcionamiento con diferentes frecuencias y amplitudes y el amplificador con todas las pruebas presentó el mismo consumo y el mismo nivel de *offset*.

- La red de compensación para obtener un margen de fase adecuado, a pesar de que ocupa más elementos que las demás redes que se implementan en los trabajos experimentales encontrados en la literatura, este presenta una ventaja notoria, ya que alcanza un mayor margen de fase, casi sigue a la señal y nunca alcanza una indefinición.

En la red de compensación se están implementando dos técnicas, *Reversed-Nasted-miller* y *Feedforward* y ambas están compensando de manera correcta porque en los resultados experimentales se puede observar como es que se colocan los aumentos de fase estratégicamente a modo de compensar el sistema y alcanzara un muy buen margen de fase. La ganancia que presenta el sistema es buena, considerando, como se mencionó, que la ganancia esté en un orden de magnitud V/V de orden 5 de magnitud, y pensando que las señales de entrada van desde 0.5 mV a 4 mV , este valor de ganancia es bueno aunque en las pruebas llega a saturar la señal por la alta ganancia que presenta.

- El diseño de *layout* cumplió con las reglas y técnicas de diseño, las comprobaciones de diseño fueron satisfactorias por lo que se concluye que el diseño de *layout* es correcto.

El diseño de *layout* cumplió con las reglas y técnicas de diseño, se ocuparon prácticamente todas las principales técnicas de diseño. El uso de estas técnicas permitió un mejor diseño al lograr una buena simetría, con el uso de *multifingers*, *multipliers* y

dummy-transistors, se pudo lograr la simetría que es muy importante para el diseño y fabricación de un chip porque debido a defectos y variaciones en la fabricación, puede llegar a ser afectado el desempeño del transistor y tomando en cuenta que el transistor es *fully-differential*, el tema con la simetría cobra más importancia porque todos los defectos deben aparecer de la manera más uniforme en todo el amplificador para lograr una especie de compensación para evitar problemas con el *offset* o de estabilidad, ganancia y fase. Esto último porque si una mitad del amplificador se ve más afectado por las variaciones de diseño, puede ser que la diferencia entre transistores sea más notoria variando parámetros de los transistores como el valor de umbral o ganancia intrínseca, ocasionando descompensaciones en el circuito que afecten a todo el sistema de instrumentación en el que esté implementado el amplificador. Las comprobaciones de diseño toman entonces una gran importancia porque de no realizarse el *layout* puede ser incorrecto y ocasionar problemas en la etapa de acondicionamiento porque pudiera no cumplir alguna especificación de la tecnología que se esté utilizando e incluso llegar a dañar todo el amplificador. Por todo esto se vuelve esencial seguir un diseño riguroso del *layout*.

- El diseño del amplificador multietapa de acondicionamiento diseñado exclusivamente mostró ventajas con respecto a los demás amplificadores de acondicionamiento y operacionales.

El diseño del amplificador de acondicionamiento mostró ventajas con respecto a los demás amplificadores de acondicionamiento, entre estas destaca el margen de fase porque se alcanzó un muy buen margen de fase al rededor de 180° , esto y la mejora de ancho de banda, ya que se ajusta muy bien a las características de ECG, sumando la ventaja de no ocupar tanta área en comparación con los demás amplificadores lo vuelve una buena opción para su implementación en sistemas más complejos que tengan como objeto de estudio la actividad cardiaca de las personas.

- Aplicaciones y trabajos futuros

Como aplicaciones de este amplificador fuera del acondicionamiento de señales de ECG puede funcionar con alguna señal de biopotencial que se encuentre en el rango de funcionamiento del amplificador, en general puede trabajar para cualquier sistema de acondicionamiento de señales, ya que su funcionamiento es correcto. Si los requerimientos de la aplicación están en el rango de operación del circuito, este trabajará correctamente.

Como trabajo futuro está la caracterización experimental del amplificador multi etapa. Esto porque se ha mandado a fabricar y, ya que el tiempo de entrega del *chip* es de mínimo un año, la caracterización experimental no se incluyó en esta tesis. A continuación, en la figura 5.1 se muestra la sección del *chip* donde se encuentra el amplificador multi etapa.

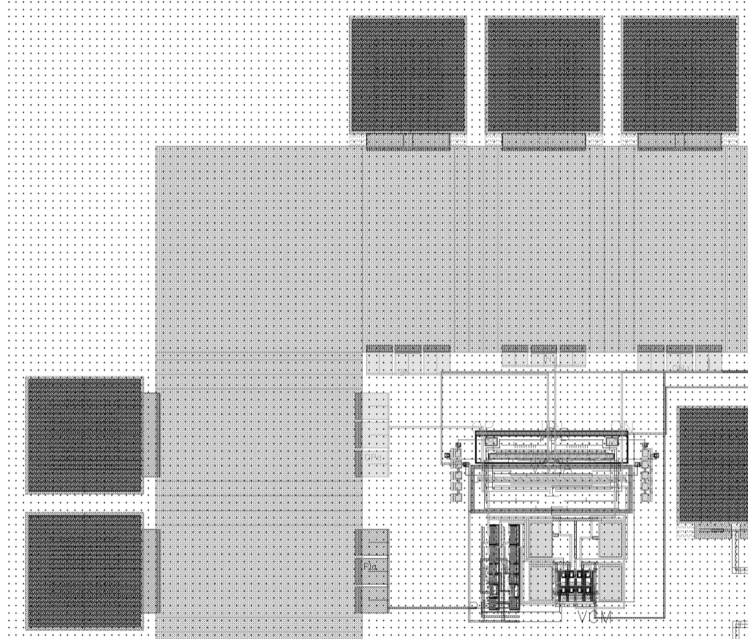


Figura 5.1: Sección de *chip* donde se encuentra el amplificador multi etapa.

Con base a este trabajo y acoplando otro diseño de control de *offset*, se ha tramitado una solicitud de patente de Esquema de Trazado de Circuito Integrado en la Dirección de Innovación y Transferencia de Conocimiento de la Benemérita Universidad Autónoma de Puebla. Importante recalcar que el trámite fue aprobado, el código de reporte es 2023-29. El documento del trámite de patente se encuentra en el apéndice 2 de la tesis.

Como otros trabajos futuros, se propone el diseñar una red para hacer funcionar al amplificador en lazo cerrado, ya que todas las pruebas se realizaron en lazo abierto, a excepción de las de nivel de *offset* con la red de CMFB discreta. Esto colaboraría a que se ajustara la ganancia y las señales no se saturan debido a la alta ganancia que presenta el amplificador. Otro trabajo a futuro sería el de incorporar una red de CMFB continua y así no utilizar para el control de *offset* señales de pulsos que deban estar sincronizadas.

5.1. Agradecimientos

Quiero expresar mi sincero agradecimiento al Consejo Nacional de Humanidades, Ciencia y Tecnología (CONAHCyT) por haberme otorgado una beca mediante el programa de Ciencia de Frontera, proyecto 319601. Este apoyo ha fortalecido no solo mi carrera, sino también el panorama de la investigación científica en nuestra comunidad.

A Comandos Matlab para calcular la FT

Comandos en MATLAB para obtener función de transferencia del Amplificador multi etapa.

```
syms i1 i2 i3 i4 i5 i6 i7 i8 i9 i10 i11 i12 i13 i14 i15 i16 v1  
v2 v3 v4 v5 v6 v7 v8 v9 v10 v11 v12 v13 v14 v15 v16 e1 e2 e3 e4  
e5 vi gm1 gm2 gm3 gmf rd1 rd2 rd3 rz s ci c1 c2 c3 cl cc1 cc2;
```

```
%KCL
```

```
eq1 = +i1-i2;  
eq2 = +i3-i4-i14-i15-i5;  
eq3 = -i6-i7+i14-i8;  
eq4 = +i9-i10-i12-i13+i16-i11;  
eq5 = +i15-i16;
```

```
%KVL
```

```
eq6 = v1-e1;  
eq7 = v2-e1;  
eq8 = v3-e2;  
eq9 = v4-e2;  
eq10 = v5-e2;  
eq11 = v6-e3;  
eq12 = v7-e3;  
eq13 = v8-e3;  
eq14 = v9-e4;  
eq15 = v10-e4;  
eq16 = v11-e4;  
eq17 = v12-e4;  
eq18 = v13-e4;  
eq19 = v14+e3-e2;  
eq20 = v15+e5-e2;  
eq21 = v16+e4-e5;
```

```
%BR
```

```
eq22 = v1-vi;  
eq23 = i2-(s*ci*v2);  
eq24 = i3-(gm1*e1);  
eq25 = v4-(rd1*i4);  
eq26 = i5-(s*c1*v5);  
eq27 = i6-(gm2*e2);  
eq28 = v7-(rd2*i7);  
eq29 = i8-(s*c2*v8);  
eq30 = i9-(gm3*e3);  
eq31 = v10-(rd3*i10);  
eq32 = i11-(s*c3*v11);  
eq33 = i12-(gmf*e2);  
eq34 = i13-(s*cl*v13);  
eq35 = i14-(s*cc1*v14);  
eq36 = i15-(s*cc2*v15);  
eq37 = v16-(rz*i16);
```

```
sols=solve(eq1,eq2,eq3,eq4,eq5,eq6,eq7,eq8,eq9,eq10,eq11,  
eq12,eq13,eq14,eq15,eq16,eq17,eq18,eq19,eq20,eq21,eq22,eq23,eq24,  
eq25,eq26,eq27,eq28,eq29,eq30,eq31,eq32,eq33,eq34,eq35,eq36,eq37,  
i1,i2,i3,i4,i5,i6,i7,i8,i9,i10,i11,i12,i13,i14,i15,i16,v1,v2,v3,  
v4,v5,v6,v7,v8,v9,v10,v11,v12,v13,v14,v15,v16,e1,e2,e3,e4,e5);
```

```
R1 = sols.e4;
```

B Solicitud de patente para Esquema de Trazado de CI

**REPORTE DE ESQUEMA DE TRAZADO DE
CIRCUITO INTEGRADO**

Título: Amplificador para una etapa de acondicionamiento de señales de electrocardiograma.		Palabras clave (máximo 5): Electrocardiograma, Acondicionamiento, Amplificador, Circuito Integrado.	
Inventor(es), datos de contacto, adscripción, ID-BUAP y porcentajes de participación:			
Nombre Alejandro García Equiterio		ID-BUAP 201841309	Unidad académica Facultad de Ciencias de la Electrónica
CURP GAEA000628HPLRQLA5	% de participación 33.3%	Correo electrónico alejandro.garciae@alumno.buap.mx	Teléfono 2212490391
Nombre Victor Rodolfo González Díaz		ID-BUAP 100018845	Unidad académica Facultad de Ciencias de la Electrónica
CURP GODV800303HPLNZC08	% de participación 33.3%	Correo electrónico vicrodolfo.gonzalez@correo.buap.mx	Teléfono 2221349123
Nombre Gisela de la Fuente Cortés		ID-BUAP COL537311	Unidad académica Facultad de Ciencias de la Electrónica
CURP FUCG870220MTLNR500	% de participación 33.3%	Correo electrónico gisela.delafuentecortes.ice@viep.com.mx	Teléfono 2228611995
Nombre		ID-BUAP	Unidad académica
CURP	% de participación	Correo electrónico	Teléfono
¿Existirá Cotitularidad con otra institución (es) y/o empresa (s)? Si <input type="checkbox"/> No <input checked="" type="checkbox"/>			
En caso afirmativo :			
Nombre de la institución (es) y/o empresa (s):			
Porcentaje de cotitularidad (participación):			
Datos de contacto:			
Nombre	Correo electrónico	Teléfono	
a. Listado de dibujos (Enliste y describa cada uno de los dibujos de su trazado de circuito integrado)			

- Figura 1. Patrón geométrico del amplificador para una etapa de acondicionamiento de señales de electrocardiograma, este amplificador está compuesto por un amplificador fully-differential, controlador de offset y un generador de reloj. Estos forman al amplificador que acondiciona señales de electrocardiograma con una ganancia de 100 dB y ancho de banda de 140 Hz con un correcto control del nivel de DC de la salida, esto en base a las características de las señales de electrocardiograma sensadas que aparecen con un voltaje de entre 0.5 y 4 mV y contaminadas con ruido que se debe al movimiento natural del cuerpo, contacto entre electrodo y piel y ruido de la línea por esto se busca un ancho de banda como el mencionado.
- Figura 2. Vista específica del amplificador fully-differential, se encarga de ofrecer una ganancia de 100 dB y eliminar señales indeseadas de la señal de interés ya que al utilizar una configuración fully-differential se eliminan señales comunes que se adhieren a las señales bioeléctricas y que de no eliminarse podrían ocasionar problemas en el análisis de la señal. Este amplificador contiene una red de compensación con una técnica denominada Reversed-Nasted-Miller y además una compensación Feedforward que se encargan de la estabilidad del sistema mediante la localización conveniente de los polos y ceros del sistema para alcanzar un margen de fase adecuado, estas redes se conforman de elementos pasivos, resistores y capacitores, y dos transistores que se encargan específicamente de la compensación Feedforward.
- Figura 3. Control de offset, este controlador trabaja en conjunto con el generador de reloj para medir y controlar el nivel de DC de la señal de electrocardiograma y evitar pérdidas de información. Este controlador es un controlador en tiempo discreto que se conforma de switched-capacitors que se encargan de medir el nivel de DC de las señales de salida, compararlo con una señal de referencia o señal deseada de nivel de DC y dependiendo de esta diferencia generar una señal de compensación que se encarga de controlar el offset mediante la variación en el voltaje de compuerta de un transistor de cola que se encuentra en el par diferencial del amplificador fully-differential.
- Figura 4. Generador de reloj, este generador trabaja junto con el controlador de offset, es el encargado de enviar una señal de disparo que controle a los transistores del controlador de offset. Su funcionamiento se basa en la generación de un pulso que tiene la finalidad de activar y desactivar los switches CMOS para que estos carguen a los capacitores con los potenciales del nivel de DC, voltaje de referencia y voltaje de polarización del transistor MOS tipo-n y generar la señal de retroalimentación al amplificador fully-differential (CMFB).

b. Dibujos (coloque en formato editable los esquemas de trazado de circuito integrado). **Los dibujos deben ir en trazos negros, no se permiten colores y/o tonalidades. NO SE PERMITEN FOTOGRAFÍAS.**

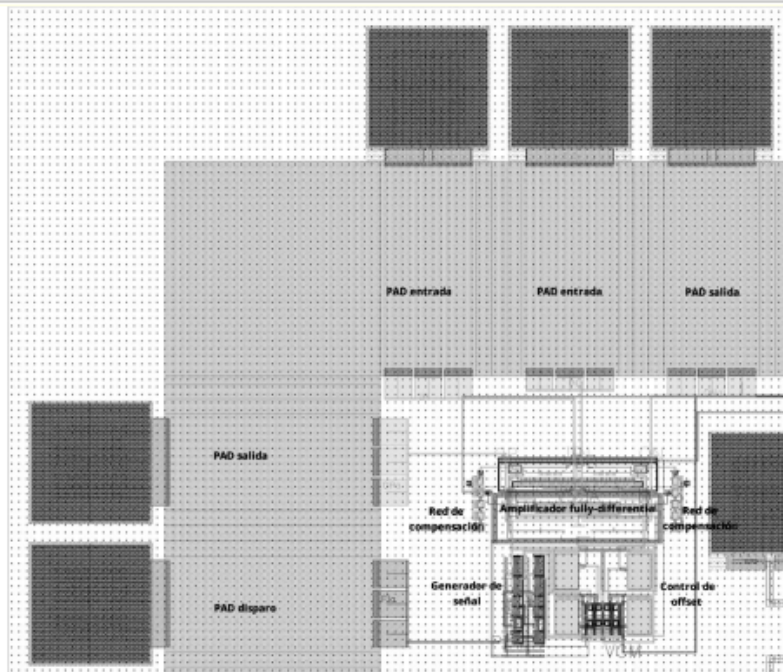


Figura 1. Patrón geométrico general de amplificador para una etapa de acondicionamiento de señales de electrocardiograma.

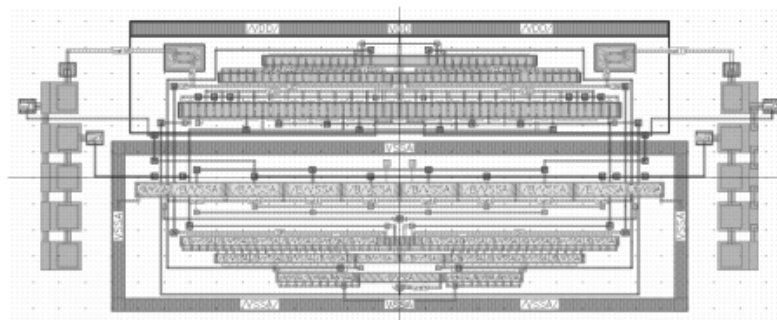


Figura 2. Vista específica de amplificador fully-differential de alta ganancia.

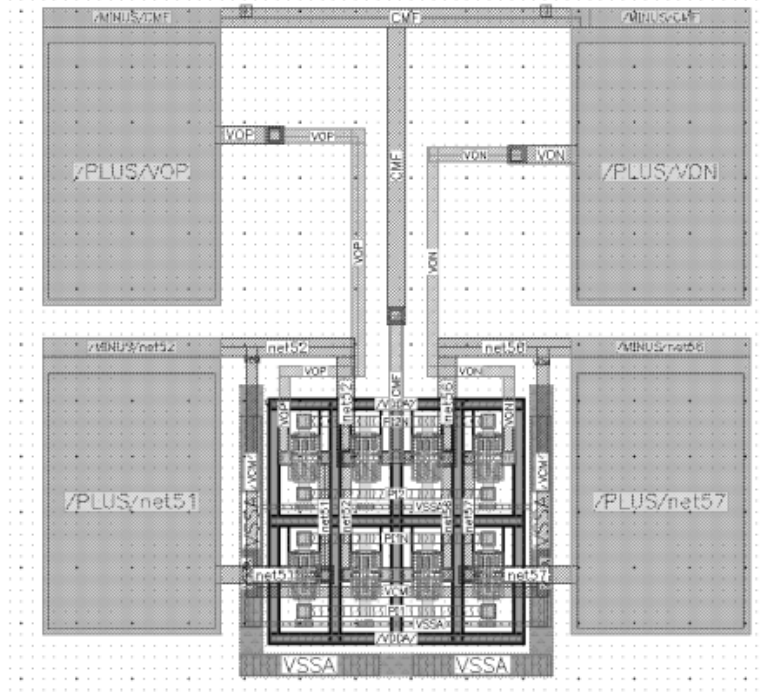


Figura 3. Vista específica de controlador de offset.

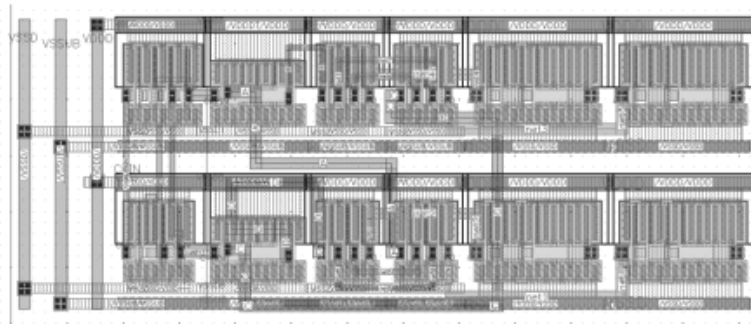


Figura 4. Vista específica de circuito generador de reloj.

Bibliografía

- [1] O. O. P. de la Salud., “Enfermedades cardiovasculares.” Recuperado de: <https://www.paho.org/es/temas/enfermedades-cardiovasculares>. (Fecha de consulta, Febrero 2023).
- [2] P. D. B. T. C. N. M. A. e. a. Orduñez P, Lombardi C, “Hearts en las américas: un ejemplo mundial del uso de dispositivos automatizados de medición de la presión arterial validados clínicamente en la prevención y el manejo de las enfermedades cardiovasculares en entornos de atención primaria de salud.” Recuperado de: [RevPanamSaludPublica.2022;46:e50](https://doi.org/10.1016/j.rpan.2022.04.005). (Fecha de consulta, Febrero 2023).
- [3] WHO, “technical specifications for automated non-invasive blood pressure measuring devices with cuff.” Recuperado de: <https://www.who.int/publications/i/item/9789240002654>, 2020. (Fecha de consulta, Febrero 2023).
- [4] B. H. C. y. K. L. M. Kang, E. Park, “Recent patient health monitoring platforms incorporating internet of things-enabled smart devices.” Recuperado de: <https://eds.s.ebscohost.com/eds/pdfviewer/pdfviewer?vid=0&sid=742ff09d-b058-46be-87d3-1354229e45aa%40redis>, 2018. (Fecha de consulta, Marzo 2023).
- [5] J. A. M. D. R. P.-A. y. J. D.-C. I. Corbacho, J.M. Carrillo, “A fully-differential cmos instrumentation amplifier for bioimpedance-based iot medical devices.” Recuperado de: <https://doi.org/10.3390/jlpea13010003>, 2023. (Fecha de consulta, Marzo 2023).
- [6] J. P. S. E. K. H. B. P. A. A. A. F. Sana, Eric M. Isselbacher, “Wearable devices for ambulatory cardiac monitoring: Jacc state-of-the-art review.” Recuperado de: <https://www.sciencedirect.com/science/article/pii/S0735109720305234>, 2020. (Fecha de consulta, Marzo 2023).
- [7] B. M. Kuehn, “Telemedicine helps cardiologists extend their reach.” Recuperado de: <https://www.ahajournals.org/doi/pdf/10.1161/CIRCULATIONAHA.116.025282>, 2016. (Fecha de consulta, Marzo 2023).
- [8] G. S. K. J. y. Z. W. Zheng Lou, Lili Wang, “Reviews of wearable healthcare systems: Materials, devices and system integration.” Recuperado de: <https://www.sciencedirect.com/science/article/pii/S0927796X19301251>, 2020. (Fecha de consulta, Marzo 2023).

- [9] S. K. y. B. S. P. Gope, Y. Gheraibia, “A secure iot-based modern healthcare system with fault-tolerant decision making process.” Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=9134756>, 2021. (Fecha de consulta, Marzo 2023).
- [10] F. Pennic, “Emory healthcare to pilot ai-powered virtual inpatient monitoring.” Recuperado de: <https://hitconsultant.net/2023/11/07/emory-health-to-pilot-ai-powered-virtual-inpatient-monitoring/>. (Fecha de consulta, Febrero 2023).
- [11] J. Webster, *MEDICAL INSTRUMENTATION: Application and Design*. JOHN WILEY AND SONS, 2010.
- [12] M. G. M. y Elena Mediavilla Bolado, *INSTRUMENTACIÓN ELECTRÓNICA: TRANSDUCTORES Y ACONDICIONADORES DE SEÑAL*. Editorial de la Universidad de Cantabria, 2015.
- [13] S. P. y. R. K. P. K. Mukherjee, “An ultra-low power (86 nw) low-voltage (0.6 v) self-biased instrumentation amplifier for bio-medical applications.” Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=10032969>. (Fecha de consulta, Marzo 2023).
- [14] “Analog integrated circuits design for processing physiological signals.” Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7083733>, 2010. (Fecha de consulta, Marzo 2023).
- [15] M. P. d. J. y. F. A. C. Castellano, *Electrocardiografía Clínica*. Elsevier, 2005.
- [16] L. E. Hernández, “Modulador delta-sigma para búsqueda de patrones en señales ecg,” 2023.
- [17] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*. OXFORD UNIVERSITY PRESS.
- [18] R. Schaumann and M. E. V. Valkenburg, *DESIGN OG ANALOG FILTERS*. Oxford University Press, 2001.
- [19] S. Franco, *Diseño con amplificadores operacionales y circuitos integrados analógicos*. McGraw-Hill, 2005.
- [20] B. Carter and R. Mancini, *Op Amps for Everyone*. Texas Instruments Incorporated, 2009.
- [21] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Education, 2017.
- [22] F. Maloberti, *ANALOG DESIGN FOR CMOS VLSI SYSTEMS*. Kluwer Academic Publisher, 2003.

- [23] Z. L. Y. Hsu and M. M. Hella, "A 1.8 μw -65 db thd ecg acquisition front-end ic using a bandpass instrumentation amplifier with class-ab output configuration." Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=8302595>, 2018. (Fecha de consulta, Junio 2023).
- [24] L. H. J. Zheng, W. H. Ki and C. Y. Tsui, "Chopper capacitively coupled instrumentation amplifier capable of handling large electrode offset for biopotential recordings." Recuperado de: doi:10.1109/TCSII.2017.2741348, 2017. (Fecha de consulta, Junio 2023).
- [25] L. C. P. H. C. Chou, B. Kuo and T. Lin, "A 1-v low-noise readout front-end for biomedical applications in 0.18- μm cmos." Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5496747>, 2010. (Fecha de consulta, Junio 2023).
- [26] U. de Cordoba, "Teorema de miller." Recuperado de: https://www.uco.es/grupos/giie/cirweb/teoria/tema_03/tema_03_07.pdf. (Fecha de consulta, Agosto 2023).
- [27] L. Kong. Recuperado de: <https://www.youtube.com/@longkong9919>. (Fecha de consulta, 2023).
- [28] D. Ingenieria, "Sistemas y señales.." Recuperado de: https://control.fi-b.unam.mx/papime_sys/index.php?tema=slit3. (Fecha de consulta, Agosto 2023).
- [29] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. Oxford University Press, 2012.
- [30] M. C. S. A. GALUP-MONTORO, *CMOS Analog Design Using All-Region MOS-FET Modeling*. CAMBRIDGE UNIVERSITY PRESS, 2010.
- [31] G. Palumbo and S. Pennisi, *Feedback Amplifiers Theory and Design*. KLUWER ACADEMIC PUBLISHERS, 2003.
- [32] R. G. H. Eschauzier and J. H. Huijsing, *FREQUENCY COMPENSATION TECHNIQUES FOR LOW-POWEER OPERATIONAL AMPLIFIERS*. KLUWER ACADEMIC PUBLISHERS, 1995.
- [33] K. N. Leung and P. K. T. Mok, "Nested miller compensation in low-power cmos design." Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=933799>, 2001. (Fecha de consulta, Agosto 2023).
- [34] G. P. Alfio Dario Grasso, Davide Marano and S. Pennisi, "Improved reversed nested miller frequency compensation technique with voltage buffer and resistor." Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4182499>, 2007. (Fecha de consulta, Agosto 2023).

- [35] G. P. Alfio Dario Grasso and S. Pennisi, “Advances in reversed nested miller compensation.” Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4268405>, 2007. (Fecha de consulta, Agosto 2023).
- [36] K. Y. Yasseen and H. Omran, “High dimensional noise and power optimization of a three-stage amplifier with feedforward reversed nested miller compensation.” Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=9971276>, 2022. (Fecha de consulta, Agosto 2023).
- [37] A. A. Assim and E. Balashov, “Dynamic offset compensated operational amplifiers.” Recuperado de: <https://www.researchgate.net/publication/355752058>, 2021. (Fecha de consulta, Julio 2023).
- [38] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*. JOHN WILEY AND SONS, 2010.
- [39] P. C. ROSALBA, “Diseño de amplificadores operacionales de transconductancia de múltiples etapas con balance en ganancia y ancho de banda.,” 2020.
- [40] G. P. Alfio Dario Grasso and S. Pennisi, “Three-stage cmos ota for large capacitive loads with efficient frequency compensation scheme.” Recuperado de: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1715574>, 2006. (Fecha de consulta, Agosto 2023).
- [41] Utmel, “What is the difference between mom, mim and mos capacitors?.” Recuperado de: <https://www.utmel.com/blog/categories/capacitors/what-is-the-difference-between-mom-mim-and-mos-capacitors>, 2021. (Fecha de consulta, Noviembre 2023).