



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA
FACULTAD DE CIENCIAS DE LA ELECTRÓNICA
MAESTRÍA EN INGENIERÍA ELECTRÓNICA OPCIÓN
INSTRUMENTACIÓN ELECTRÓNICA

Tesis para obtener el grado de
MAESTRO EN INGENIERÍA ELECTRÓNICA OPCIÓN INSTRUMENTACIÓN
ELECTRÓNICA

**Evaluación de estrategias de sincronización
basadas en PLL para inversores de potencia
interconectados a la red eléctrica**

Presenta:

Edgar Daniel Javier Hernández*

Asesores:

Dr. Gerardo Aguilar Mino

Dr. Edgar Peralta Sánchez

Dr. Roberto Carlos Ambrosio Lázaro

Resumen

En este trabajo de tesis se evalúan distintas técnicas de sincronización para inversores trifásicos interconectados a la red eléctrica, estas se valoran desde el punto de vista de la calidad de la energía que el inversor inyecta a la red eléctrica, se encontró que las diversas técnicas afectan el comportamiento de todo el sistema afectando, principalmente, la forma de onda de las corrientes. En el primer capítulo se exponen los objetivos y la justificación del proyecto además se realiza un breve estudio sobre el estado del arte de las técnicas de sincronización basadas en PLL. En el segundo capítulo se toca la teoría que se utilizó para poder realizar el control de corriente, transformación de voltajes a distintos marcos de referencia, y se definen algunos términos importantes para entender que es la calidad de la energía. También se muestran las normas de que CFE pide para sistemas interconectados a la red con potencias menores a 30kW y para baja tensión. En el capítulo 3 se realiza el modelado matemático de las técnicas de sincronización que serán evaluadas. En el capítulo 4 se muestra como se realizó la implementación de los algoritmos de sincronización en PSIM y como se realizó la integración con *Hardware-in-the-Loop*. En el capítulo 6 se evalúan las técnicas de sincronización de acuerdo a los resultados obtenidos de las mediciones de la calidad de la energía.

Agradecimientos

Agradezco el apoyo que CONACyT me brindo para la realización de este trabajo. Agradezco las oportunidades que mis asesores el Dr. Gerardo Mino y al Dr. Edgar Peralta que me brindaron para que esta tesis pudiese llegar a buen término. Este trabajo de tesis esta dedicado a mi familia gracias a su apoyo y consejos he logrado realizar cada meta que me he propuesto. A mis amigos que estuvieron presentes apoyando en lo personal y académico durante mi estancia en la maestría.

Índice general

Resumen	iii
Agradecimientos	v
1 Introducción	1
1.1 Objetivos	2
1.1.1 Objetivo General	2
1.1.2 Objetivos específicos	2
1.1.3 Justificación	2
1.2 Estado del arte	3
2 Marco Teórico	7
2.1 Calidad de la energía	7
2.1.1 Factor de potencia	7
2.1.2 Distorsión armónica THD	8
2.1.3 Variaciones de voltaje	8
2.1.4 Desbalance de fases	9
2.2 Interconexión a la red eléctrica	11
2.2.1 Límites de operación de la red	11
2.3 Componentes Simétricas	13
2.3.1 Teoría de las componentes simétricas	13
2.3.2 Componentes simétricas instantáneas	15
2.4 Marcos de referencia	15
2.4.1 Transformada de Clarke	16
2.4.2 Transformada de Park	17
2.5 Modelado del inversor	18
2.5.1 Modelo del filtro L	19
2.5.2 Control de corriente	20
2.5.3 Corriente de rizado	23
2.6 Conmutación del inversor	25
2.6.1 Técnica PWM sinusoidal-unipolar	26
3 Técnicas de sincronización	29
3.1 Lazo de fijación de fase (PLL)	29
3.2 Lazo de fijación trifásico SRF-PLL	29
3.2.1 Sintonización de ganancias	31
3.2.2 Impacto de disturbios	34
3.3 DSRF-PLL	35
3.3.1 Desacoplamiento de señales	36

3.4	DSOGI-QSG PLL	38
3.5	DSOGI-FLL PLL	42
3.5.1	SOGI-FLL	43
3.5.2	DSOGI-FLL	46
3.6	MAFdq-PLL	46
3.6.1	Filtro MAF	46
	Discretización del MAF	47
4	Implementación	51
4.1	Hardware in the Loop	51
4.1.1	Typhoon HIL	51
4.1.2	Inversor interconectado a la red	51
4.1.3	Monitoreo en SCADA	56
4.2	DSP F28335	57
4.2.1	Configuración del DSP	57
4.2.2	Adquisición de señales	57
4.2.3	Generación de PWM	58
4.2.4	Entradas y salidas digitales	58
4.3	Controlador de corriente	60
4.4	Protecciones	60
4.5	Algoritmos de sincronización	61
4.5.1	SRF-PLL	61
4.5.2	DSRF-PLL	62
4.5.3	DSOGI-PLL	63
4.5.4	DSOGI-FLL	63
4.5.5	MAF-PLL	64
5	Evaluación de técnicas PLL	65
5.1	Calidad de la energía	66
5.1.1	Conexión a la red	66
5.1.2	Operación nominal	68
5.1.3	Operación en desbalance	71
5.1.4	Operación con armónicos	77
5.2	Protecciones	80
5.2.1	Fallos de fase	80
5.2.2	Disturbios de voltajes	85
	Sobre voltaje	85
	Bajo voltaje	87
	Detección de isla	87
5.2.3	Disturbios de frecuencia	91
	Sobre frecuencia	91
	Bajo frecuencia	91
5.3	Comparativa de operación	95
5.3.1	Activación de protecciones	95
5.3.2	Análisis de operación	95
5.4	Conclusiones	98
A		99

Bibliografia

103

Índice de figuras

1.1	Diagrama general para la recuperación de la energía y para realizar la evaluación de las técnicas de sincronización.	2
2.1	Tipos de caídas de tensión debido a fallas de fase en la red eléctrica, en representación fasorial.	10
2.2	Representación vectorial de las componentes positivas (A), negativas (B) y cero (C), desplazadas entre si 120 grados.	14
2.3	Señales producto de las transformaciones de marcos de referencia.	16
2.4	Diagrama fasorial del marco de referencia $\alpha\beta 0$ y la red eléctrica.	17
2.5	Diagrama fasorial del marco de referencia $dq0$ y la red eléctrica.	18
2.6	Circuito del inversor trifásico interconectado a la red eléctrica a través de un filtro L.	19
2.7	Circuito simplificado del inversor interconectado a la red eléctrica mediante un filtro L.	19
2.8	Lazo de control de corriente en el marco de referencia dq con desacoplamiento de corrientes.	21
2.9	Lazo de control de corriente.	22
2.10	Esquema de control de potencia PQ en lazo abierto.	23
2.11	Rizado en la corriente Δ_i	24
2.12	Respuesta en frecuencia para el filtro tipo L con una inductancia de $2.2mH$ y $10m\Omega$ [50].	25
2.13	Generación de señales PWM, donde V_{por} es la señal portadora y v_{ma} , v_{mb} y v_{mc} son las señales moduladas; PWM_a es la señal PWM de la fase a y v_{ab} es el voltaje de línea entre la fase a y b.	26
2.14	Generación de las señales PWM centradas para las tres fases.	27
3.1	Lazo de fijación de fase genérico, PLL	29
3.2	Diagrama del lazo de fijación de fase en marco de referencia síncrono dq	30
3.3	Diagrama de bloques del modelo linealizado para el SRF-PLL.	32
3.4	Respuesta en frecuencia del lazo abierto para el SRF-PLL con valores de α de 20, 12 y 6.	33
3.5	Respuesta al escalón unitario del SRF-PLL para distintos valores de α	34
3.6	Diagrama fasorial del marco de referencia $dq0$ y la red eléctrica.	36
3.7	Red de desacoplamiento para los marcos de referencia dq^n y dq^m	37
3.8	Celda de desacoplamiento para la cancelación de los efectos de e^m sobre el marco de referencia dq^n	38
3.9	Estructura del SOGI-QSG-PLL para estimar el ángulo de la red eléctrica.	40
3.10	Diagrama de bloques del SOGI.	40
3.11	Estructura SOGI con retroalimentación para evitar la saturación de variables	41
3.12	Respuesta en frecuencia del filtro SOGI, con $\omega_0 = 120\pi$	41
3.13	Módulo para calcular las secuencias positivas de α y β	42

3.14	Respuesta en frecuencia para el error generado por el DSOGI-QSG.	43
3.15	Diagrama del SOGI-FLL.	44
3.16	Modelo simplificado del sistema de adaptación de frecuencia FLL.	45
3.17	Estructura del FLL para el DSOGI.	46
3.18	Diagrama de bloques del esquema DSOGI-FLL para la estimación del ángulo y frecuencia de la red eléctrica.	47
3.19	Respuesta en frecuencia para el filtro MAF con $T_{ws} = 0.00833$	48
3.20	Diagrama de bloques del modelo discretizado del MAF para su implementación en microcontroladores, [69].	49
3.21	Diagrama del PLL con filtrado MAF en el marco de referencia dq , [69].	49
4.1	Esquema eléctrico que se implemento en HIL.	53
4.2	Bloque de mediciones eléctricas en el punto de interconexión.	54
4.3	Interfase gráfica en HIL SCADA, para el control del sistema eléctrico.	56
4.4	Bloques usados para la configuración de <i>SimCoder</i> y del DSP.	57
4.5	Captura de señales analógicas.	58
4.6	Modulación de las señales en el marco dq en señales PWM.	59
4.7	Bloques de entrada y salida, digitales.	59
4.8	Control de corriente en el marco dq con desacoplamiento de señales $\omega_d i_q$ y $\omega_q i_d$	60
4.9	Control de corrientes con señales de entrada y generación de corrientes de referencia.	61
4.10	Diagrama para la detección de anomalías y activación de protecciones.	61
4.11	Bloque C, para el SRF-PLL.	62
4.12	Programa a bloques para el algoritmo DSRF-PLL.	62
4.13	Programa a bloques para el algoritmo DSOGI-QSG.	63
4.14	Programa a bloques del algoritmo DSOGI-FLL.	63
4.15	Programa a bloques del algoritmo MAF-PLL.	64
5.1	Comportamiento del inversor al conectarlo a la red eléctrica, SRF-PLL.	66
5.2	Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, durante la conexión a la red.	67
5.3	Comportamiento del inversor en estado estacionario y bajo condiciones nominales, SRF-PLL.	69
5.4	Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, durante estado estacionario y bajo condiciones nominales.	70
5.5	Comportamiento del inversor en a presencia de desbalance en las fases, $v_a = 1.1p.u.$, $v_b = 1.05p.u.$, y $v_c = 1.07p.u.$, SRF-PLL.	71
5.6	Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de desbalance en las fases, $v_a = 1.1p.u.$, $v_b = 1.05p.u.$, y $v_c = 1.07p.u.$,	72
5.7	Comportamiento del inversor en a presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 0.95p.u.$, y $v_c = 0.93p.u.$, SRF-PLL.	73
5.8	Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 0.95p.u.$, y $v_c = 0.93p.u.$	74
5.9	Comportamiento del inversor en a presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 1.1p.u.$, y $v_c = 1.04p.u.$, SRF-PLL.	75
5.10	Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 1.1p.u.$, y $v_c = 1.04p.u.$	76

5.11 Inyección de armónicos a la red eléctrica, SRF-PLL.	78
5.12 Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de armónicos en la red.	79
5.13 Comportamiento del inversor durante fallo de fase a tierra, $v_a - v_{gnd}$ SRF-PLL.	81
5.14 Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, ante fallo de fase a tierra, $v_a v_{gnd}$	82
5.15 Comportamiento del inversor durante la falla de fase-fase, $v_b - v_c$, para el algoritmo SRF-PLL.	83
5.16 Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, ante la presencia de fallos del tipo de fase-fase, $v_b - v_c$	84
5.17 Detección de sobrevoltaje en la red eléctrica con un valor de $v_{abc} = 1.11p.u.$, SRF-PLL.	85
5.18 Detección de sobrevoltaje en la red eléctrica con $v_{abc} = 1.11p.u.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de armónicos en la red.	86
5.19 Detección de bajo voltaje en la red eléctrica con un valor de $v_{abc} = 0.89p.u.$, SRF-PLL.	87
5.20 Detección de bajo voltaje en la red eléctrica con $v_{abc} = 0.89p.u.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF.	88
5.21 Operación del inversor durante el modo isla de la red eléctrica $v_{abc} = 0.1p.u.$ para el SRF-PLL.	89
5.22 Operación del inversor durante el modo isla de la red eléctrica $v_{abc} = 0.1p.u.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF.	90
5.23 Detección de frecuencias "altas" en la red eléctrica con un valor de $f_{abc} = 60.8Hz.$, SRF-PLL.	91
5.24 Detección de frecuencias "altas" en la red eléctrica con $f_{abc} = 60.8Hz.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF.	92
5.25 Detección de frecuencias bajas en la red eléctrica con un valor de $f_{abc} = 59.1Hz.$, SRF-PLL.	93
5.26 Detección de frecuencias bajas en la red eléctrica con $v_{abc} = 59.1Hzp.u.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF.	94

Índice de cuadros

1.1	Ahorros energéticos por estación a cargo de SEPTA[7].	3
2.1	Rango de frecuencias y tiempos de operación máximos del FED.	11
2.2	Tiempo de respuesta a tensiones anormales en el punto de interconexión.	12
2.3	Rango de frecuencias y tiempos de operación máximos del FED.	12
3.1	Ganancias para frecuencia de muestreo de 8.1 kHz y distintos valores para α	33
4.1	Parámetros usados para la emulación del sistema de recuperación de energía.	54
4.2	Asignación de pines digitales, de entrada/salida, y analógicos para la realizar la co- nexión entre HIL y el DSP.	55
4.3	Configuración de las salidas analógicas del HIL.	57
5.1	Contenido de armónicos para la red eléctrica.	77
5.2	Tiempos de respuesta para la activación de las protecciones.	95
5.3	Calidad de la energía en operación nominal.	96
5.4	Calidad de la energía en presencia de armónicos.	97
5.5	Calidad de la energía con desbalance en las fases de, $v_a = 0.9p.u.$, $v_b = 1.1p.u.$, y $v_c = 1.04p.u.$	97

Capítulo 1

Introducción

La red del Sistema de Transporte Colectivo “METRO” de la ciudad de México es un sistema de transporte urbano basado en trenes que funcionan a base de electricidad, estos cuentan con motores de corriente directa o de corriente alterna; este cuenta actualmente con un parque vehicular de 390 trenes los cuales, en el 2015 se encargaron de transportar un total de 1,623 millones 828 mil 642 usuarios y se estimó que el consumo de potencia eléctrica fue de 813 millones de kW [1]. Este tipo de sistemas de transporte urbano basado en trenes tiene un rol bastante importante como consumidor de energía eléctrica pues se estima que consumen un 6% del total energético consumido por el transporte a nivel mundial mientras que para el 2040 se espera un incremento de casi el doble [2]; Mientras que los sistemas de tracción de los trenes eléctricos consumen hasta un 70% de la energía total consumida por el sistema de transporte [3]. Es por lo tanto, de vital importancia desarrollar sistemas que sean más amigables con el medio ambiente y que ayuden a mitigar el consumo en el sistema de tracción y así ofrecer alternativas más eficientes que tengan un impacto en la reducción del consumo energético y con ello en la reducción las emisiones de contaminantes [4].

Buscando aumentar la eficiencia eléctrica nuevos sistemas se han estudiado e implementado [3, 5, 6, 7] uno de ellos es el frenado regenerativo y se ha utilizado en trenes de transporte urbano para recuperar una porción de la energía cinética durante el frenado, esta energía puede ser almacenada o se puede regresar a la red eléctrica por se puede reducir el consumo energético en hasta un 40% [8]. Una manera de regresar la energía a la red eléctrica es haciendo uso de inversores, estos transforman el voltaje de corriente directa (VDC) a un voltaje de corriente alterna (VCA) el cual tendrá que ir en sincronía con el voltaje de la red eléctrica. El sistema de recuperación de energía está basado en inversores de potencia de cuyo principio de operación es el siguiente: si en un momento dado en un segmento de vía son más los trenes que se encuentran haciendo uso del frenado regenerativo (se encuentran generando energía) que los que se encuentran acelerando (consumiendo energía), entonces se tiene un exceso de energía en el bus por lo que el voltaje tenderá a incrementarse.

Con la actual tendencia a la descentralización de la generación eléctrica debido al auge de fuentes de energía distribuida (FED) los cuales han sido posibles gracias al desarrollo e investigación de nuevas fuentes de energía renovable, sin embargo, esto trae consigo nuevos retos; Los FED deben cumplir con reglas y estándares para poderse conectar a la red eléctrica pública; pues las distorsiones, los armónicos y las condiciones de desbalance en la red afectan la calidad de energía que es generada por el inversor, por ello se requieren de estrategias de sincronización robustas para que puedan funcionar en ambientes “contaminados”.

En la figura 1.1 se muestra el diagrama general del inversor interconectado con la red eléctrica para la recuperación de la energía, en donde lo que se encuentra en el recuadro punteado de color rojo, es la parte del sistema que se emuló en *hardware-in-the-loop* (HIL), y la parte de color azul son los algoritmos de control y sincronización que se programaron en el DSP.

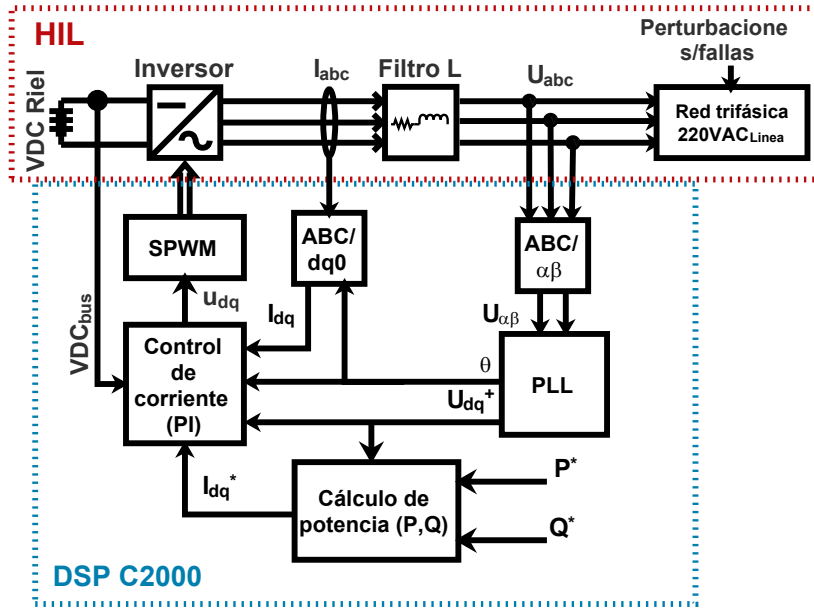


FIGURA 1.1: Diagrama general para la recuperación de la energía y para realizar la evaluación de las técnicas de sincronización.

1.1 Objetivos

1.1.1 Objetivo General

Determinar la estrategia de sincronización basada en PLL más robusta, para un inversor trifásico de 30 kW interconectado a la red de CA, mediante la evaluación de su respuesta dinámica y estacionaria ante perturbaciones en la red eléctrica.

1.1.2 Objetivos específicos

- Estudio y selección de estrategias de sincronización para inversores de potencia basadas en PLL conectados a redes trifásicas.
- Modelado y desarrollo de los algoritmos de sincronización.
- Validación de las estrategias de sincronización mediante simulaciones.
- Modelado de la red eléctrica de CFE incluyendo las fallas comunes.
- Modelado, desarrollo y simulación del control de corriente para el inversor trifásico.
- Evaluar experimentalmente las estrategias de sincronización haciendo uso de un sistema *Hardware-in-the-loop*.

1.1.3 Justificación

La recuperación de la energía cinética que un tren en movimiento acumula puede ser recuperada al hacer uso del frenado regenerativo, este ha demostrado ser efectivo en otras partes del mundo y se han obtenido ahorros significativos de energía que se traducen en una reducción millonaria en las facturas eléctricas; Tan solo la línea de Oriente de trenes de la India ha reportado un ahorro

anual de 82.6 millones de kWh lo que se tradujo en un ahorro de 65.39 corre ¹ (aproximadamente 32 millones de dólares (USD)), mientras que para la línea de tren Central se alcanzó un ahorro de 66.7 millones de kWh; En la actualidad los trenes de la India consumen diariamente 43.01 MWh de los cuales 2.12MW son generados gracias al frenado regenerativo [6]. Mientras tanto Siemens ha logrado recuperar en sus trenes, hasta un 46% de energía gracias al uso del frenado regenerativo, ubicado en la ciudad de Oslo en Noruega. En el 2012 en la estación de trenes de Latterly, a cargo de SEPTA (*Southerastern Pennssylvania Trnaspotation Authority*) se dio inicio a una fase piloto para recuperar la energía a base de un SFR (sistema de frenado regenerativo) y se logró un ahorro de 60 mil dólares (USD) anual además de lograr ingresos de alrededor de 200 mil USD gracias a la venta de energía [5, 9]. En la tabla 1.1 se muestran los ahorros energéticos diarios que se han medido, en la mayoría de los casos, o estimado en diversas estaciones de trenes a cargo de SEPTA. Hay estaciones que han mostrado recuperar hasta 3MW diarios de electricidad, lo que equivale al consumo promedio de 100 hogares estadounidenses [10, 7], en 1.1 se muestra el ahorro por estación.

TABLA 1.1: Ahorros energéticos por estación a cargo de SEPTA[7].

Estación	Ahorro energético
Latterly	1.2 MWh/día (real)
Griscom	500 kWh/día (real)
Minneapolis	3 MWh/día (estimada)
LA metro	1500kWh/día (real)

Por lo tanto, en este trabajo se pretende aprovechar la energía cinética del tren la cual actualmente se reduce debido al frenado reostático, en el cual, los excesos de energía son disipados en bancos de resistores los cuales disipan la energía en forma de calor; de acuerdo a los datos obtenidos por un estudio, en él se concluye que es posible recuperar hasta un 20% de la energía durante la fase de frenado este trabajo se basó en un tren con más de treinta años de antigüedad lo que hace pensar que con los trenes más nuevos la recuperación de energía puede ser incluso mayor [11]; Esta energía que actualmente es desperdiciada, se pretende recuperarla al implantar un FED por lo cual se hará uso de un inversor de CD-CA interconectado a la red eléctrica de CFE reduciendo así la lectura neta de consumo por parte del STC Metro al pasar un valor umbral, se activaran los inversores convirtiendo el voltaje de VCD, de la barra guía, a voltaje de VCA que se sincroniza con los voltajes trifásicos de la red eléctrica para así invertir el flujo de potencia (se regresa energía a la red). Por otro lado, si el proceso en un momento dado se invierte, es decir hay un exceso de tracción y un mínimo de frenado (o ninguno), los inversores son deshabilitados siendo transparente su presencia para el sistema eléctrico. La idea del sistema es suprimir totalmente el frenado reostático en los trenes, incrementándose de esta forma la eficiencia de operación en los trenes y por lo tanto una disminución en los costes de mantenimiento y de la factura eléctrica.

1.2 Estado del arte

Uno de los problemas más importantes en un inversor interconectado a la red o fuente de energía distribuida (FED) es la sincronización del voltaje de salida con el voltaje de la red, la sincronización se vuelve crítica para lograr que la FED opere de forma estable cuando en la red eléctrica existen

¹Unidad de medida en la numeración India; es usado para escribir grandes cantidades de dinero

disturbios, desbalances y fallas, ante estos problemas la FED se ve expuesta a voltajes excesivos de *CD-link*, altas corrientes en CA y pérdida de sincronización [12]. Se entiende por sincronización a la reproducción del voltaje, ángulo de fase y frecuencia por parte de la FED de manera que estas imiten el comportamiento de la red eléctrica y esto tiene que ser logrado antes de conectarse a la red [13]. De acuerdo con [14] una sincronización ideal sería aquella que, puede seguir al ángulo de fase de la red, detecta cambios de frecuencia, discrimina disturbios y al contenido armónico además de responder inmediatamente ante cambios en la red. Debido a la gran variedad de problemas que puede ocasionar un sistema mal sincronizado se han propuesto diversos métodos para la estimación del ángulo de fase, frecuencia y armónicos para sistemas FED [12].

Dada la creciente popularidad de los FED aunado a las diferencias operacionales entre estos dispositivos se puede originar problemas en la red eléctrica uno de los más críticos es la disparidad entre la potencia consumida/suministrada puesto se generan desviaciones en la frecuencia nominal, esto ocurre cuando la energía generada excede a la consumida entonces, la frecuencia de la red se incrementa y viceversa, lo que podría ocasionar mal funcionamiento de los aparatos incluso llegar a la destrucción de maquinarias rotatorias así que con el fin de evitar malfuncionamientos, las FED tiene que operar dentro de ciertos límites, para ello existe normativa internacional como, IEEE Std. 1547, IEEE Std. 1588-208, IEC Std. 1727, IEEE Std. 929-200 que indican límites de operatividad para frecuencia, voltaje, armónicos y de potencia [15]. La correcta estimación de la frecuencia se vuelve crítica para la sincronización y protección de la red y la FED, así como para mantener la calidad en la energía.

Con el fin de solucionar problemas relacionados a la sincronización de la FED se han propuesto diversos métodos para estimar los parámetros de la red (ángulo de fase, frecuencia, etc.) tales como detección de cruce por cero, filtro de Kalman, transformada discreta de Fourier, mínimo cuadrado no lineal, filtrado pasa-banda adaptativo, inteligencia artificial, cancelación por retraso de señales, fijación por lazo de fase y lazo de fijación por frecuencia [12]. Estos sistemas pueden ser clasificados como, de lazo abierto o lazo cerrado, los primeros detectan directamente la magnitud, fase y frecuencia de la señal de entrada mientras los últimos adaptativamente actualizan los parámetros a través del lazo de retroalimentación [16]. De entre los sistemas listados anteriormente, el PLL ha sido uno de los más estudiados debido a su sencillez, efectividad y robustez ante las diversas condiciones que se encuentran en la red, esta técnica data de 1932 para aplicaciones en comunicaciones [12]. El PLL es un sistema no lineal de control de lazo cerrado capaz de sincronizar su señal de salida con la señal de referencia de entrada en fase y frecuencia [12]. la estructura básica se compone de tres bloques principales, el detector de fase (DF), lazo de filtrado (LF) y un oscilador controlado por voltaje (OCV); El DF se encarga de comparar dos señales de entrada cuya señal de error es filtrada por LF que controla al OCV para generar la fase de salida (fase estimada) $\hat{\theta}$, este proceso se repite hasta que el error $\Delta\theta$, se reduce a cero una vez que esto pasa el PLL se ha enganchado a la fase de entrada.

El SRF-PLL o dq-PLL [17], nombrado así puesto está diseñado con la teoría de las transformadas de Clarke y Park (actúan como bloque DF) las cuales, convierten un sistema de referencia natural *abc* en un marco de referencia síncrono rotatorio (MRSR) *dq* donde al controlar el voltaje *d*, con un bloque LF, se obtiene la frecuencia estimada de la red $\hat{\omega}$, esta señal es integrada (bloque OCV), como resultado se obtiene al ángulo de fase de la red eléctrica $\hat{\theta}$. Cuando la red se encuentra operando en condiciones nominales y de forma ideal, el SRF-PLL estima de forma rápida y precisa la fase/frecuencia de la red eléctrica. Sin embargo, las redes presentan desbalance, distorsión, fluctuaciones, armónicos, etc.; situaciones que provocan alteraciones de las formas de onda de las redes y, por ende, el comportamiento del SRF-PLL se ve alterado causando errores en las mediciones, la aparición de una componente con frecuencia de 120 Hz en los voltajes y frecuencia estimada, entre otros [18]. Las

desventajas que presenta el modelo estándar del SRF-PLL son, la aparición de la amplitud como ganancia en el lazo de control por ello las variaciones de voltaje afectan el comportamiento del lazo de control en cuanto al margen de estabilidad y al comportamiento dinámico del SRF-PLL por ello, se suele incluir un esquema de normalización de la amplitud (ANS, por sus siglas en inglés) en el lazo de control [18]. El SRF-PLL puede seguir saltos de fase y frecuencia sin generar error de estado estacionario, pero en cambios constantes de frecuencia se genera error estacionario, esto debido a que es un sistema de control de segundo orden con dos polos en el origen [18]; este error puede ser reducido al aumentar el ancho de banda del PLL incrementando el valor de la ganancia T_{PLL} , sin embargo, se reduce la inmunidad al ruido. Esto también incrementa el acoplamiento entre las variables de la fase y frecuencia, lo cual genera grandes transientes durante el inicio y durante saltos de frecuencia [18]. Para solucionar las limitaciones del SRF-PLL se han propuesto diversas soluciones bajo la premisa que la mayoría de estos sistemas se pueden tratar como SRF-PLL convencionales con etapas de filtrado adicionales que pueden ser incluidas en el lazo de control o a la entrada del SRF-PLL. La técnica presentada en [19], $\alpha\beta$ PLL, opera en el marco $\alpha\beta$ al igual que el SRF-PLL tiene un buen comportamiento en estado estable, pero pierde precisión ante desbalances debido a la presencia de las componentes de secuencia negativa (CSN). Ya que el esquema SRF-PLL es susceptible a generar errores con frecuencia doble consecuencia de las componentes de secuencia negativa se propuso un sistema basado en un desacoplamiento doble SRF-PLL (DSRF-PLL) [20], este esquema extrae a las componentes de secuencia positiva y negativa mediante el uso de un MRSR doble y celdas de desacoplamiento que se encargan de eliminar las perturbaciones de la red al generar oscilaciones de frecuencia doble con magnitud negativa con respecto a las de la red. Al utilizar el mismo esquema de desacoplamiento del DSRF-PLL pero, sustituyendo al SRF-PLL por el $\alpha\beta$ PLL se obtiene al $d\alpha\beta$ PLL híbrido [21], de esta manera se reducen los picos generados durante las fallas y el desempeño no se ve comprometido durante desbalances sin embargo, esta se ve degradada ante la presencia de armónicos. En [22] se presenta otra aproximación al DSRF-PLL, aquí se utiliza un PLL basado en un marco de referencia múltiple (MRF-PLL) lo que resulta en una implementación más sencilla que en el DSRF-PLL, se reportó que este algoritmo reduce considerablemente los armónicos de orden bajo y con nulo error en estado estacionario. Otra solución, basada en la extracción de componentes de secuencia positiva y negativa (CSPyN) extraídas en el marco de referencia $\alpha\beta$ se presenta en [23] con el uso del PLL usando dos integrador generalizado duales de segundo orden (DSOGI-PLL); A partir del análisis de las limitantes del DEPLL se obtiene una técnica basada en un lazo de fijación de frecuencia (FLL) y el DSOGI, conocida como DSOGI-FLL [24] que a diferencia del DSOGI ocupa un FLL para sincronizar la frecuencia del sistema de forma más simple. En [25, 26] se utiliza un MRSR modificado derivado del oscilador de *Coulon*, este utiliza una fase en lugar de tres ya que logra emular un sistema trifásico balanceado, el algoritmo MSRF-PLL, mostro ser de respuesta más rápida durante transitorios al ser comparado con el SRF-PLL, con un desempeño más robusto ante la presencia de disturbios, distorsión armónica y ruido, sin embargo, este esquema es para el control de fases independientes lo que genera mayor demanda de procesamiento. En [27] se propone utilizar un SRF-PLL adaptativo (ASRF-PLL) capaz de rechazar armónicos en la red incluso ante la variación de la frecuencia nominal de la red y ante variaciones de voltaje, esto se logra con el uso de filtros *notch* de respuesta infinita al impulso (IIR) adaptativos implementado con la estructura de *Schur-Lattice*, sin embargo, la carga computacional es mucho mayor al PLL convencional. El PLL mejorado (EPLL) se presenta en [28, 29, 30] , esta técnica se basa en la extracción de las componentes de secuencia positiva mediante el uso de un filtro pasa-banda es capaz de detectar a los parámetros de la red de forma precisa sin que sea generado error en estado estacionario y con una respuesta adecuada ante los transitorios a su vez que es adaptativo en frecuencia esto, lo hace robusto ante la presencia de armónicos y ruido. La implementación de una técnica selectiva para la

cancelación de armónicos es presentada en [31] basada en el filtro de coeficientes complejos múltiples MCCF-PLL es capaz de distinguir entre secuencias positivas y negativas con la misma frecuencia, mostró ser un método confiable y robusto en redes desbalanceadas y con distorsión. A pesar de contar con técnicas de filtrado que permiten la operación en redes con distorsión, la sintonización de las ganancias del SRF-PLL no incluye la dinámica del esquema de filtrado y, por lo tanto, se pierde precisión y no se es posible extraer mayores beneficios de técnicas más complejas (MRF, DSOGI, MCCF) entonces, [32] presenta los modelos simplificados de estos modelos para obtener un método de sintonización más fino.

El error que se genera cuando la frecuencia de operación es distinta a la nominal se elimina con el PMAFPLL mejorado (EPMAFPLL) [33], al realizar modificaciones en el detector de fase del PMAFPLL. Como consecuencia esta técnica se desempeña de manera precisa ante variaciones de frecuencia/fase y distorsión por armónicos con una respuesta dinámica rápida, sin embargo, ante la aparición de voltajes simétricos y asimétricos en la red durante fallas se generan picos en la frecuencia estimada, en frecuencia no nominal y con armónicos se presentan oscilaciones en la fase estimada. Un $\alpha\beta$ PMAFPLL mejorado, $\alpha\beta$ EPMAFPLL, se propone en [34] con el objetivo de minimizar el sobretiro del EPMAFPLL causado por el SRF-PLL al cambiar el detector de fase por el $\alpha\beta$ PLL. Al compararse con el EPMAFPLL, se logra la reducción del sobretiro en frecuencia, lo que implica que puede ser sintonizado para tener una respuesta más rápida, también muestra mejor comportamiento ante voltajes desbalanceados. Y es capaz de compensar al contenido armónico de la red con menores recursos computacionales con respecto al EPMAFPLL y el MAFPLL. En estudios realizados [12, 16, 35, 21, 36, 37, 38] donde se compara el desempeño de estas técnicas de sincronización ante la presencia de diversas anomalías en la red eléctrica, los resultados muestran que las técnicas clásicas (SFR-PLL, DSRF-PLL, $\alpha\beta$ PLL) ofrecen un pobre comportamiento ante armónicos a pesar de tener una respuesta dinámica rápida y nula complejidad de implementación. También se presentan técnicas más novedosas (EPMAFPLL, $\alpha\beta$ EPMAFPLL, MSHDCPLL) que contrastan en complejidad, capaces de operar ante un abanico más amplio de anomalías e incluso ante la presencia de armónicos a costa de respuesta dinámica. En esta tesis se han escogido las técnicas de sincronización SRF-PLL, DSRF-PLL, DSOGI-PLL, DSOGI-FLL Y MAF, para su análisis y comparación ante distintas perturbaciones que comúnmente se encuentran en la red.

Capítulo 2

Marco Teórico

2.1 Calidad de la energía

El término *calidad de la energía eléctrica* se utiliza para indicar que un sistema eléctrico mantiene sus señales lo más parecidas a formas sinusoidales en corrientes y voltajes con nominales entonces, un disturbio en la calidad de la energía se entiende como la desviación de la forma sinusoidal [39]. Este concepto identifica parámetros que degradan la calidad energética en términos de voltaje, corriente y frecuencia así, se pueden identificar disturbios que ocasionan degradación en la calidad de la energía [40]:

- Interrupciones, sobre/bajo voltaje.
- Desbalance en voltaje/corriente.
- Armónicos
- Transientes

2.1.1 Factor de potencia

El factor de potencia (f.d.p.) es un parámetro importante en electrónica de potencia ya que es un indicador del aprovechamiento de la potencia real, además, es una representación de la distorsión de los voltajes de fase, corrientes y el corrimiento de fase entre estos. De forma general se define al f.d.p. a la relación entre potencia promedio y aparente [41]:

$$f.d.p. = \frac{\textit{potencia real}}{\textit{potencia aparente}} \quad (2.1)$$

donde la potencia aparente está definida como el producto de los valores [rms] del voltaje y corriente. Es posible eliminar las no-linealidades de los sistemas de potencia si se asume que, los sistemas de potencia están conectados a una fuente de voltaje estable entonces, el factor de potencia se puede obtener definir como [40]:

$$f.d.p. = \frac{I_{s1_{rms}}}{I_{s_{rms}}} \cos \theta \quad (2.2)$$

donde θ , es el ángulo de fase entre el voltaje v_s y la corriente fundamental $I_{s_{rms}}$ e $I_{s1_{rms}}$ como la corriente de línea.

2.1.2 Distorsión armónica THD

A las señales que se presentan montadas sobre la señal fundamental y que tienen frecuencias distintas a la fundamental se les conocen como armónicos. A los armónicos se les puede clasificar como múltiplos-enteros, sub-armónicos e inter-armónicos, los primeros tienen frecuencias múltiplo de la onda fundamental, los segundos son de frecuencia menor a la fundamental y los últimos tienen frecuencias mucho mayores. Para indicar la cantidad de contenido armónico o distorsión de una señal se utiliza el término conocido como, distorsión armónica total conocido como *THD* y se define como [40]:

$$THD = \sqrt{\frac{\sum_{n=2}^{\infty} I_{sn_{rms}}^2}{I_{s1_{rms}}^2}} = \sqrt{\frac{1}{k_{dis}^2} - 1} \quad (2.3)$$

Los armónicos se generan en dispositivos electromagnéticos como transformadores y máquinas rotatorias, en circuitos basados en semiconductores como lo son fuentes eléctricas, controladores de fase, etc.

Los armónicos en un sistema eléctrico de potencia son señales indeseables en la mayoría de las aplicaciones, dado que tienen efectos adversos sobre la operación de los equipos. ya que ocasionan pérdidas de energía, en motores, transformadores, etc., resonancia en capacitores, generan el efecto *skin* provocando el calentamiento de las líneas de transmisión y con ello pérdidas, entre otros problemas [39].

2.1.3 Variaciones de voltaje

Las variaciones de voltaje son alteraciones muy comunes en la red eléctrica, son tratadas como disturbios cuando se salen de los límites de operación permisibles y ocasionan el incremento de potencia reactiva entregada/consumida, problemas de aislamiento y estabilidad de voltaje. Estas variaciones incluyen las subidas o bajadas de tensión en dado periodo de tiempo. De acuerdo con el informe [42] las perturbaciones en el suministro pueden categorizarse según la forma de onda, tiempo/duración, y están definidas de acuerdo con la IEEE de la siguiente manera[43]:

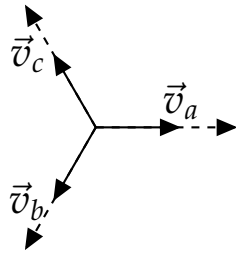
- Interrupciones – en estos eventos se tiene una pérdida completa del voltaje y pueden ser clasificados por su duración:
 - Instantáneo: de 0.5 ciclos a 30 ciclos
 - Momentáneo: de 30 ciclos a 2 s.
 - Temporal: de 2 s a 2 min.
 - Sostenido: mayor a los 2 min.
- Bajadas de tensión
 - Subvoltaje o sag/dip – son disminuciones de tensión de corta duración, estos van desde 0.5 ciclos hasta 1 minuto. Y los valores típicos van de 0.1 a 0.9 p.u.
 - Subtensión - son eventos de larga duración, estos son mayores a 1 minuto y los valores típicos van de 0.1 a 0.9 p.u.
 - Transitorio de subtensión o notch – es una reducción en el voltaje y su duración siempre será menor a 0.5 ciclos.

- Aumento de tensión
 - Sobre tensión o *swell* – es un incremento en el voltaje con una duración que va desde 0.5 hasta un minuto y los valores típicos van desde 1.1 p.u. hasta 1.8 p.u.
 - Transitorio de sobretensión – es un incremento en la tensión nominal de corta duración usualmente de unos cuantos milisegundos.
- Distorsiones de la forma de onda
 - Por desplazamientos en DC.
 - Por Armónicos – esto significa que la onda sinusoidal fundamental esta corrompida por ondas sinusoidales que tienen frecuencias que son múltiplos de la frecuencia fundamental.
 - Inter armónicos – este tipo de distorsión es normalmente debido a las señales producidas por equipos eléctricos ya sea de frecuencia menor o mayor a la fundamental, la frecuencia de estas señales no es múltiplo de la frecuencia fundamental.
 - Corte intermitente.
 - Ruido
- Fluctuaciones de tensión – son variaciones sistemáticas de la forma de onda de la tensión o de una serie de cambios aleatorios de la tensión, estos cambios están entre el 95% y 105% del valor nominal y en general por debajo de los 25 Hz. Y estas se pueden clasificar como:
 - Cambios tipos escalón en el voltaje.
 - Fluctuaciones cíclicas.
 - Variaciones aleatorias.
 - Variaciones de frecuencia.
- Variaciones de frecuencia
- Desbalance en la tensión

De entre estas fallas, las caídas de tensión (*sags*) se consideran las de mayor severidad para la red eléctrica, como consecuencia de las *sags* se presenta la pérdida de energía, incremento del contenido armónico y corrientes asimétricas. Este tipo de fallos, usualmente, ocurre debido a cortos circuitos, falas de fase a tierra, energización de los transformadores, conexión de cargas grandes, arranque de motores de gran potencia; dependiendo del tipo de falla y de la conexión del transformador de aislamiento será posible diferenciar entre cuatro tipos de caídas de tensión las cuales, se presentan en la figura ?? con su representación fasorial, donde de acuerdo con el estudio [44] las caídas de tensión (reducción del 10% del valor nominal) representan más del 50% de las fallas que se presentan en la red eléctrica Mexicana. De la figura en (A), se muestra la falla cuando tres fases están en contactor con la tierra tres-fases-tierra. En (B) se muestra la falla cuando una fase toca tierra, fase-tierra. En (C) se tienen dos fases en corto circuito, fase-fase y en (D) dos fases a tierra [45].

2.1.4 Desbalance de fases

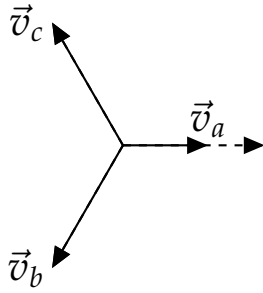
En un sistema eléctrico se define al desbalance como la desviación en magnitud de los voltajes/corrientes en cualquiera de las fases de un sistema trifásico. Cuando los voltajes son distintos en magnitud y/o diferencias de fase entonces, se tiene a un sistema desbalanceado. Este puede ser



(A)

$$\begin{bmatrix} \vec{v}_a \\ \vec{v}_a \\ \vec{v}_a \end{bmatrix} = \begin{bmatrix} 1 \\ -\frac{1}{2} - j\frac{\sqrt{3}}{2} \\ -\frac{1}{2} + j\frac{\sqrt{3}}{2} \end{bmatrix} \bar{D} \vec{V}_{Sa}^+ \quad (2.4)$$

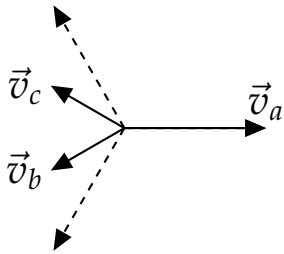
$$\begin{bmatrix} \vec{v}_a^+ \\ \vec{v}_a^- \\ \vec{v}_a^0 \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix} \bar{D} \vec{V}_{Sa}^+ \quad (2.5)$$



(B)

$$\begin{bmatrix} \vec{v}_a \\ \vec{v}_a \\ \vec{v}_a \end{bmatrix} = \begin{bmatrix} \bar{D} \\ -\frac{1}{2} - j\frac{\sqrt{3}}{2} \\ -\frac{1}{2} + j\frac{\sqrt{3}}{2} \end{bmatrix} \vec{V}_{Sa}^+ \quad (2.6)$$

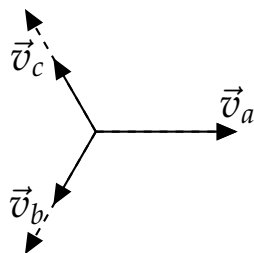
$$\begin{bmatrix} \vec{v}_a^+ \\ \vec{v}_a^- \\ \vec{v}_a^0 \end{bmatrix} = \begin{bmatrix} \frac{1}{3}(2 + \bar{D}) \\ -\frac{1}{3}(1 - \bar{D}) \\ -\frac{1}{3}(1 - \bar{D}) \end{bmatrix} \vec{V}_{Sa}^+ \quad (2.7)$$



(C)

$$\begin{bmatrix} \vec{v}_a \\ \vec{v}_a \\ \vec{v}_a \end{bmatrix} = \begin{bmatrix} 1 \\ -\frac{1}{2} - j\frac{\sqrt{3}}{2} \bar{D} \\ -\frac{1}{2} + j\frac{\sqrt{3}}{2} \bar{D} \end{bmatrix} \vec{V}_{Sa}^+ \quad (2.8)$$

$$\begin{bmatrix} \vec{v}_a^+ \\ \vec{v}_a^- \\ \vec{v}_a^0 \end{bmatrix} = \begin{bmatrix} \frac{1}{2}(1 + \bar{D}) \\ -\frac{1}{2}(1 - \bar{D}) \\ 0 \end{bmatrix} \vec{V}_{Sa}^+ \quad (2.9)$$



(D)

$$\begin{bmatrix} \vec{v}_a \\ \vec{v}_a \\ \vec{v}_a \end{bmatrix} = \begin{bmatrix} 1 \\ -\frac{1}{2} \bar{D} - j\frac{\sqrt{3}}{2} \bar{D} \\ -\frac{1}{2} \bar{D} + j\frac{\sqrt{3}}{2} \bar{D} \end{bmatrix} \vec{V}_{Sa}^+ \quad (2.10)$$

$$\begin{bmatrix} \vec{v}_a^+ \\ \vec{v}_a^- \\ \vec{v}_a^0 \end{bmatrix} = \begin{bmatrix} \frac{1}{3}(1 + 2\bar{D}) \\ -\frac{1}{3}(1 - \bar{D}) \\ -\frac{1}{3}(1 - \bar{D}) \end{bmatrix} \vec{V}_{Sa}^+ \quad (2.11)$$

FIGURA 2.1: Tipos de caídas de tensión debido a fallas de fase en la red eléctrica, en representación fasorial.

expresado como el porcentaje de cambio del voltaje o corriente con respecto a los valores nominales. El desbalance se genera debido a las diferencias entre las cargas de la red trifásica, mal aterrizado, etc. entre las principales causas se encuentran, las cargas desbalanceadas, sobrecalentamiento de las líneas, entre otras.

Los efectos negativos generado por este tipo de fallas incluyen, excesivo consumo de potencia reactiva, desperfectos en la operación de los equipos, mal funcionamiento en equipos de medición y reducción de la vida operativa del equipo eléctrico, variación de corriente entre las fases, aparición de componentes simétricas negativas, afectaciones en la operación de motores y para sistemas trifásicos de 4-hilos calentamiento excesivo del neutro.

2.2 Interconexión a la red eléctrica

Para que un FED pueda operar en la red eléctrica necesita cumplir con los criterios de operación dados en el anexo de la resolución RES/119/2012 de CFE para la interconexión [46] aplicable a centrales eléctricas de generación distribuida y generación limpia distribuida; Para una FED de generación en pequeña escala, tensión menor a 1kV y no más de 30kW de capacidad, que opera en estado permanente deberá operar y mantenerse conectada ante fluctuaciones que no excedan un rango de +10% a -10% de la tensión nominal en el punto de interconexión (PIn) conforme a la norma NMX-J098 ANCE 1992 la cual, está basada con la norma Internacional “IEC 60038”, IEC *IEC Estándar Voltages*, ed7.0; con los voltajes nominales ajustados a los utilizados en México 127 V / 220 V, a frecuencia nominal de 60 Hz [DOF].

En cuanto a las pruebas operativas, se establece el FED tiene que cumplir con las normas establecidas por el estándar IEEE 1547 y el UL 1741, algunas de las pruebas que se tienen que realizar son del tipo: factor de potencia, distorsión armónica, variación de tensión y frecuencia del suministro, anti isla, sincronización, entre otras.

2.2.1 Límites de operación de la red

A continuación, se especifican las variaciones permitidas para la operación de la FED, en base a la resolución RES/142/2017 publicada en el Diario Oficial de la Federación [47], en cuanto a frecuencia el sistema tiene que funcionar en sincronía con la red y no causar desviaciones de frecuencia que sobrepasen los límites dados por la tabla 2.1 por lo tanto, al detectar una frecuencia menor o mayor a la indicada se deberá desconectar a la FED de la red.

TABLA 2.1: Rango de frecuencias y tiempos de operación máximos del FED.

Rango de frecuencia [Hz]	Tiempo de desconexión [seg]
$f > 61.2$	0.16
$58.8 \leq f < 61.2$	Operación permanente
$f < 58.8$	0.16

Para el nivel de tensión se establece una tolerancia de +- 10% (114 VCA a 139.7 VCA) del valor nominal 127 VCA, si la tensión de la red sale de los límites por más de 2 segundos la FED deberá desconectarse de la red, tabla . En el apartado de protecciones se indica que se tiene que contar con las siguientes:

- Sobrevoltaje

- Bajo-voltaje
- Frecuencia
- Anti isla
- Sincronismo

En la parte de sincronismo la norma establece “La Central Eléctrica de Generación Distribuida entrará en paralelo con las Redes Generales de Distribución sin causar fluctuación de tensión mayor a +/- 5 % de los niveles de tensión las Redes Generales de Distribución en el Punto de interconexión”. Para una operación en isla no-intencional, en el que el FED alimenta una parte del circuito de distribución en el PIn, el generador se tiene que desconectar en un tiempo no mayor a **0.5 seg.**.

TABLA 2.2: Tiempo de respuesta a tensiones anormales en el punto de interconexión.

Rango de operación (p.u.)	Tiempos de desconexión (seg)
$v_{red} < 0.5$	0.16
$0.5 \leq v_{red} \leq 0.88$	2
$0.88 \leq v_{red} \leq 1.1$	Operación permanente
$1.1 \leq v_{red} \leq 1.2$	2
$v_{red} > 1.2$	0.16

En el contenido armónico se considera hasta la 50va armónica con ello los valores permitidos en la operación son:

- Componente armónico individual máximo de tensión del 6%
- Distorsión armónica total de tensión del 8%
- Desbalance máximo permitido en la tensión del 3%
- Desbalance máximo permitido en la corriente del 5%

El contenido armónico permitido en la corriente se muestra en la tabla 2.3.

TABLA 2.3: Rango de frecuencias y tiempos de operación máximos del FED.

Componente armónico individual máximo					Distorsión armónica total [%]
a < 11	11 < a < 17	17 < a < 23	23 < a < 35	a > 35	
4%	2%	1.5%	0.6%	0.3%	5%

2.3 Componentes Simétricas

La teoría de las componentes simétricas es utilizada en ingeniería eléctrica para analizar problemas de circuitos polifásicos desbalanceados ya que este tipo de disturbio genera secuencias positivas, negativas y cero, brindando así una herramienta para el análisis de sistemas desbalanceados de forma sencilla. Esta fue desarrollada por Charles L. Fortesque en 1912 [48], en donde se prueba que cualquier sistema desbalanceado descrito por n fases se puede representar en n conjuntos de fasores balanceados[49], para el análisis que se realiza a continuación se basará en un sistema trifásico y estas de definen de la siguiente manera.

- Secuencia positiva La dirección de rotación y la secuencia de las componentes positivas son idénticas a las que un generador eléctrico provee, por lo tanto, sus valores son los del funcionamiento nominal, estas tienen la secuencia A-B-C donde cada una corresponde a una fase del sistema trifásico. Entonces, la dirección de rotación de estas componentes es en sentido antihorario, magnitud de voltaje/corrientes son idénticos desplazados entre sí 120° .
- Secuencia negativa Esta secuencia gira en dirección antihoraria pero con secuencia A-C-B, donde las tres fases tienen la misma magnitud y están desplazadas entre sí 120° y solo aparecen en sistemas trifásicos desbalanceados.
- Secuencia cero Estas secuencias no rotan son estáticas, por lo tanto, el desplazamiento entre ellas es de entre sí 0° y con magnitud idéntica.

En la figura 2.2 se muestra la representación de los tres conjuntos de componentes en su forma vectorial.

Con las componentes simétricas es también posible realizar la clasificación y análisis de las fallas, mitigación de desbalances, modelado de sistemas, etc..

2.3.1 Teoría de las componentes simétricas

Cuando el sistema presenta desbalance aparecen estas secuencias entonces, cada fase se puede expresar como la suma de las tres secuencias:

$$\underline{\vec{v}}_{abc} = \underline{\vec{v}}_{abc}^+ + \underline{\vec{v}}_{abc}^- + \underline{\vec{v}}_{abc}^0 \quad (2.12)$$

En donde $\underline{\vec{v}}_{abc}^{+-0}$ son conjuntos de fasores con secuencias positiva, negativa y cero respectivamente. Para simplificar el sistema las componentes v_b y v_c son representadas como productos del vector v_a y en función del operador de Fortescue α el cual representa un desplazamiento de 120° :

$$\begin{aligned} \alpha &= e^{j(2\pi/3)} = 1\angle 120^\circ \\ \alpha^2 &= e^{j(4\pi/3)} = 1\angle 240^\circ \end{aligned} \quad (2.13)$$

La transformada, para encontrar a las secuencias de voltajes, se puede expresar como: $\vec{v}_s = \mathbf{T}\vec{v}_{abc}$, en donde \mathbf{T} es una matriz de transformación con la que se calculan las componentes simétricas en sistemas desbalanceados, siendo definida como:

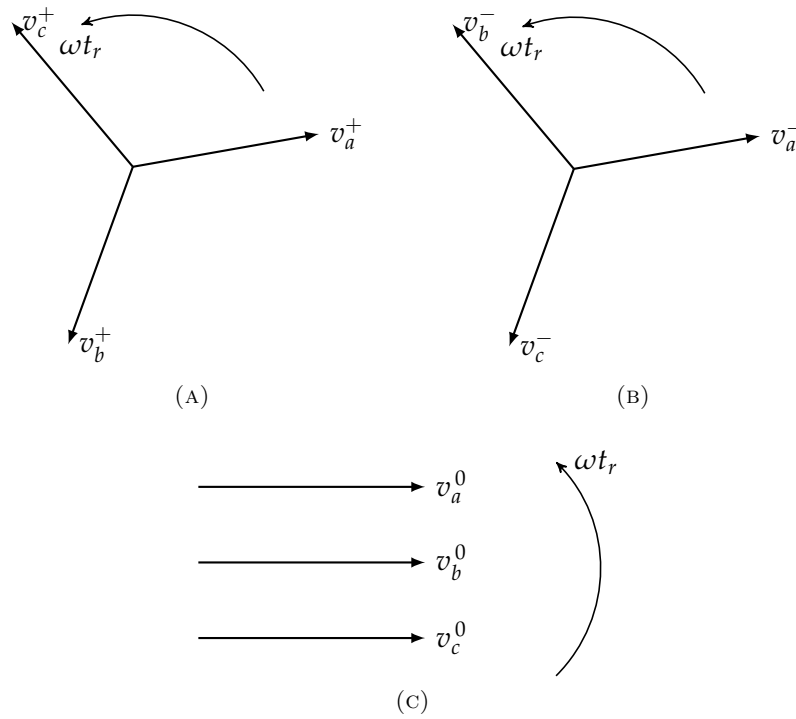


FIGURA 2.2: Representación vectorial de las componentes positivas (A), negativas (B) y cero (C), desplazadas entre si 120 grados.

$$T = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & \alpha & \alpha^2 \\ 1 & \alpha^2 & \alpha \end{bmatrix} \quad (2.14)$$

$$\begin{bmatrix} \bar{v}^+ \\ \bar{v}^- \\ \bar{v}^0 \end{bmatrix} = \frac{1}{3} T \begin{bmatrix} \underline{v}_a \\ \underline{v}_b \\ \underline{v}_c \end{bmatrix} \quad (2.15)$$

$$\begin{bmatrix} \bar{v}^+ \\ \bar{v}^- \\ \bar{v}^0 \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & \alpha & \alpha^2 \\ 1 & \alpha^2 & \alpha \end{bmatrix} \begin{bmatrix} \underline{v}_a \\ \underline{v}_b \\ \underline{v}_c \end{bmatrix} \quad (2.16)$$

De acuerdo con la teoría de Fortescue en los sistemas balanceados solo habrá secuencias positivas ya que las secuencias positivas y cero solo aparecerán en sistemas eléctricos que se encuentren en desbalance a frecuencia fundamental, sin embargo, para sistemas trifásicos de tres hilos la secuencia cero no estará presente lo que simplifica, aún más, al sistema resultante ya que estas solo están presentes en redes trifásicas de cuatro hilos.

La transformada inversa, para obtener los voltajes abc a partir de las componentes simétricas queda como:

$$T^{-1} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & \alpha^2 & \alpha \\ 1 & \alpha & \alpha^2 \end{bmatrix} \quad (2.17)$$

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & \alpha^2 & \alpha \\ 1 & \alpha & \alpha^2 \end{bmatrix} \begin{bmatrix} \vec{v}^+ \\ \vec{v}^- \\ \vec{v}^0 \end{bmatrix} \quad (2.18)$$

2.3.2 Componentes simétricas instantáneas

Debido al origen de la transformada de Fortesque solo puede ser aplicada en condiciones de estado estacionario. Por ello, Lyon presento la teoría llamada de componentes simétricas instantáneas, para ello Lyon probo que al usar la misma aproximación proporcionada por Fortesque sería posible analizar las fallas de la red en estado estacionario y durante transientes al ocupar cálculos en tiempo real. En la teoría de Lyon se asume que los fasores complejos de la teoría de componentes simétricas son remplazados por funciones dependientes del tiempo. Así que con estas asunciones se definen los voltajes simétricos en el dominio temporal como: v^+, v^-, v^0 (es importante notar que en estado estacionario los fasores están denotados como, $\underline{V}^+, \underline{V}^-, \underline{V}^0$), con ello, los valores instantáneos de las secuencias están dadas por:

$$\vec{v}_{abc} = \vec{v}_{abc}^+ + \vec{v}_{abc}^- + \vec{v}_{abc}^0 \quad (2.19)$$

Si de la ecuación (2.20) no se toma en cuenta la componentes cero para simplificar las ecuaciones entonces, ahora se tiene que:

$$\begin{aligned} \vec{v}_{abc} &= \vec{v}_{abc}^+ + \vec{v}_{abc}^- \\ &= v^+ \begin{bmatrix} \cos(\omega t) \\ \cos(\omega t - \frac{2\pi}{3}) \\ \cos(\omega t - \frac{4\pi}{3}) \end{bmatrix} + v^- \begin{bmatrix} \cos(-\omega t) \\ \cos(-\omega t - \frac{2\pi}{3}) \\ \cos(-\omega t - \frac{4\pi}{3}) \end{bmatrix} \end{aligned} \quad (2.20)$$

Donde v^+ es la amplitud de las componentes positivas y v^- es la amplitud de las componentes negativas de voltaje.

Siguiendo con la teoría de Lyon, las componentes negativas y positivas en voltaje son:

$$\begin{bmatrix} v_a^+ \\ v_b^+ \\ v_c^+ \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & \alpha & \alpha^2 \\ \alpha^2 & 1 & \alpha \\ \alpha & \alpha & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \frac{1}{3} [S_+] \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.21)$$

$$\begin{bmatrix} v_a^- \\ v_b^- \\ v_c^- \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & \alpha^2 & \alpha \\ \alpha & 1 & \alpha^2 \\ \alpha^2 & \alpha & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \frac{1}{3} [S_-] \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.22)$$

En donde S_{+-} son las matrices de transformación para obtener las componentes positivas y negativas que describen al sistema.

2.4 Marcos de referencia

Un sistema trifásico se representa en el marco de referencia natural como tres vectores que rotan a la misma velocidad abc , con la misma magnitud y separadas entre ellas 120 grados. Dada la dificultad para analizar un sistema de estas características se utilizan las transformadas de Clarke y Park en donde, se pueden representar sistemas trifásicos menos complejos. Corrientes y voltajes son

representados en términos de espacios vectoriales que se encuentran en un marco de referencia estacionario, este marco está compuesto de las componentes dq , con la transformada de Clark, la parte real e imaginaria de las componentes pueden ser identificados, mientras que, con la transformada de Park se transforman las componentes imaginarias y reales de un marco de referencia estacionario a uno rotatorio, en la figura 2.3 se muestran las señales que son producidas por las transformadas.

El conjunto de voltajes trifásicos se define como:

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = u \begin{bmatrix} \cos(\omega t_r) \\ \cos(\omega t_r - 2\frac{\pi}{3}) \\ \cos(\omega t_r + 2\frac{\pi}{3}) \end{bmatrix} \quad (2.23)$$

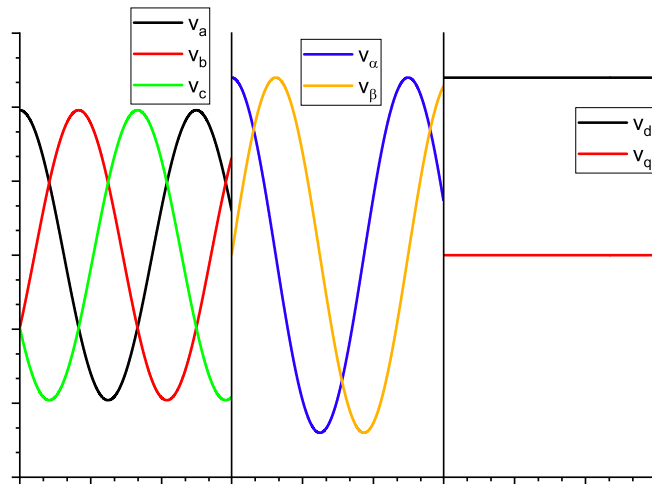


FIGURA 2.3: Señales producto de las transformaciones de marcos de referencia.

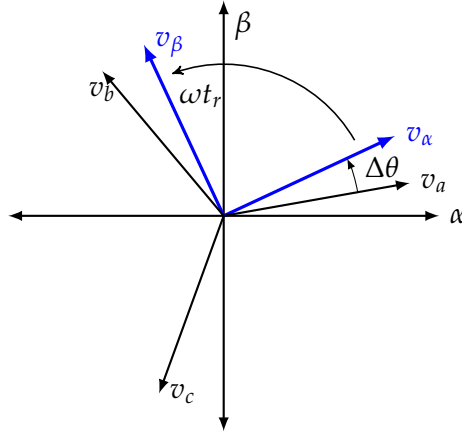
2.4.1 Transformada de Clarke

Con esta operación se transforma un sistema trifásico abc en un sistema bifásico, donde las componentes resultantes α y β son ortogonales.

En la figura 2.5 se muestra la representación fasorial de las componentes, a partir de la ecuación (2.23) se obtienen las componentes v_{abc} y se proponen dos componentes $\alpha\beta$ que son ortogonales entre sí y que rotan con una velocidad de ωt_r , y el ángulo que separa a los fasores v_a y v_α es $\Delta\theta$.

Al alinear los fasores v_a y v_α y hacer que estos roten a la misma velocidad entonces, $\Delta\theta = 0$. Es posible escribir:

$$\begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} = \begin{bmatrix} 1 & 0 & 1 \\ \cos \frac{2\pi}{3} & \sin \frac{2\pi}{3} & 1 \\ \cos \frac{2\pi}{3} & -\sin \frac{2\pi}{3} & 1 \end{bmatrix} \begin{bmatrix} u_\alpha \\ u_\beta \\ u_0 \end{bmatrix} \quad (2.24)$$

FIGURA 2.4: Diagrama fasorial del marco de referencia $\alpha\beta 0$ y la red eléctrica.

Ya que el sistema se encuentra balanceado, se evalúan las funciones:

$$\begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} u_\alpha \\ u_\beta \\ u_0 \end{bmatrix} \quad (2.25)$$

De la ecuación (2.25) se tiene que la matriz $\mathbf{T}_{\alpha\beta}$ queda definida como:

$$T_{\alpha\beta} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (2.26)$$

Para calcular los voltajes del marco de referencia natural abc a partir de las señales en el marco $\alpha\beta$ se utiliza la transformada inversa $\mathbf{T}_{\alpha\beta}^{-1}$, de esta forma se tiene que $\vec{v}_{abc} = [\mathbf{T}_{\alpha\beta}^{-1}][v_{\alpha\beta}]$.

2.4.2 Transformada de Park

De la figura 2.5 se tiene a un sistema trifásico balanceado \vec{v}_{abc} , si se asume que el vector v_a está rotando a la misma velocidad que el vector d y además la diferencia del ángulo entre ellos $\Delta\theta = 0$ entonces, se puede expresar al sistema \vec{v}_{abc} en función de los vectores rotatorios dq , ecuación (2.29).

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) & 1 \\ \cos(\theta - \frac{2\pi}{3}) & -\cos(\theta - \frac{2\pi}{3}) & 1 \\ \cos(\theta + \frac{2\pi}{3}) & -\cos(\theta + \frac{2\pi}{3}) & 1 \end{bmatrix} \begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} \quad (2.27)$$

Como el sistema se encuentra balanceado entonces, la matriz de transformación de dq a v_{abc} queda como:

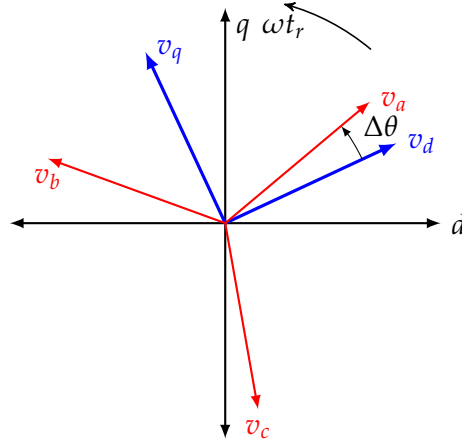


FIGURA 2.5: Diagrama fasorial del marco de referencia $dq0$ y la red eléctrica.

$$T_{dq}^{-1} = \begin{bmatrix} \cos \theta & -\sin \theta & 1 \\ \cos(\theta - \frac{2\pi}{3}) & -\cos(\theta - \frac{2\pi}{3}) & 1 \\ \cos(\theta + \frac{2\pi}{3}) & -\cos(\theta + \frac{2\pi}{3}) & 1 \end{bmatrix} \quad (2.28)$$

Para encontrar las señales dq a partir de las señales en el marco $\alpha\beta$ se aplica la transformada:

$$\begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = k \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ \sin(\theta) & \sin(\theta - \frac{2\pi}{3}) & \sin(\theta + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.29)$$

Partiendo de la transformada de Clarke y Park es posible expresar la transformación del marco de referencia $\alpha\beta$ al marco dq :

$$\begin{bmatrix} u_d \\ u_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} u_\alpha \\ u_\beta \end{bmatrix} \quad (2.30)$$

2.5 Modelado del inversor

Las tareas que un inversor es capaz de realizar en una red van desde el control digital de la corriente, supresión y absorción de voltajes de polarización en CD, eliminación de armónicos de la línea, control de la potencia activa (P) y potencia reactiva (Q), manejo de fallas en la red como lo son la variación de voltaje, variación de frecuencia y pérdida del control, estas características están estrechamente relacionadas al tipo de red al que se conectaran, en una micro red es necesario donde dará soporte a la red será necesario usarlo como fuente de voltaje para un inversor interconectado a la red eléctrica donde no se permite modificar la forma de onda será configurado para funcionar como fuente de corriente. En esta sección se describe el desarrollo del control de corriente para una FED.

Del circuito anterior, figura 2.6, se obtienen las ecuaciones que describen la transferencia de energía entre la red eléctrica y el inversor a través del filtro tipo L, en las ecuaciones (??) se describe el comportamiento del circuito para las tres fases.

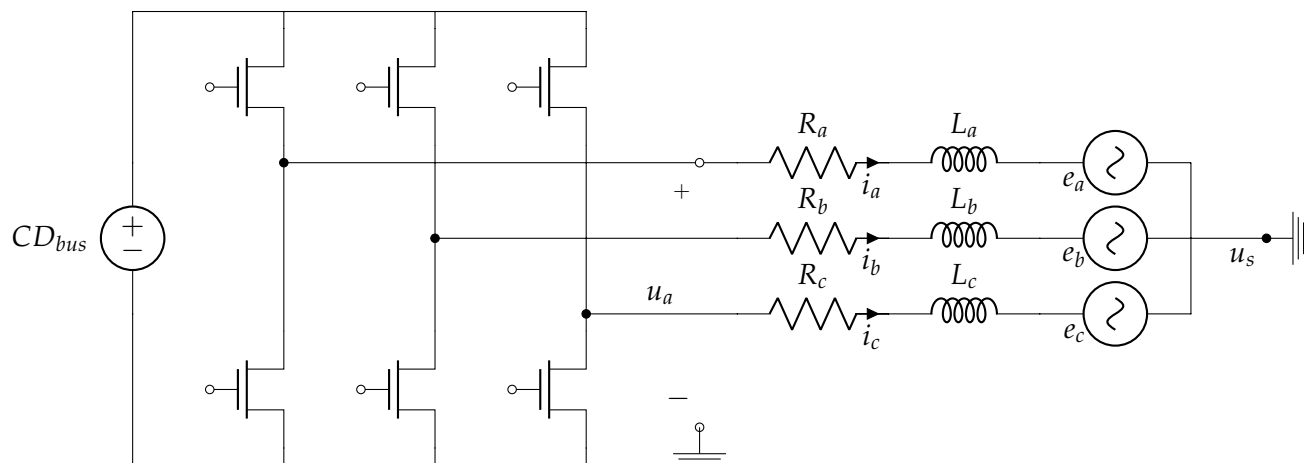


FIGURA 2.6: Circuito del inversor trifásico interconectado a la red eléctrica a través de un filtro L.

$$\begin{aligned}
 e_a &= U_a - i_a R_a - L_a \frac{di_a}{dx} \\
 e_b &= U_b - i_b R_b - L_b \frac{di_b}{dx} \\
 e_c &= U_c - i_c R_c - L_c \frac{di_c}{dx}
 \end{aligned}
 \tag{2.31}$$

2.5.1 Modelo del filtro L

Para realizar el control de corriente es necesario analizar al modelo matemático del inversor interconectado a la red a través de un filtro tipo L, para ello se empieza con la figura 2.7, donde se muestra el diagrama simplificado del inversor, en donde U_{abc} es el vector de voltajes generados en el inversor, L_{abc} y R_{abc} representan a la impedancia del filtro L, cuyos valores son idénticos para las tres fases y por último e_{abc} es el voltaje de la red eléctrica.

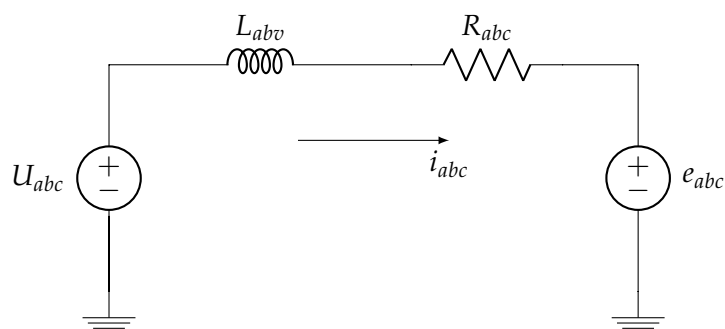


FIGURA 2.7: Circuito simplificado del inversor interconectado a la red eléctrica mediante un filtro L.

A partir del diagrama anterior se obtienen las ecuaciones (2.32) que describen a la transferencia de energía del inversor a la red eléctrica trifásica.

$$\begin{aligned} e_d &= U_d - Ri_d - L\omega \frac{i_d}{dt} + L\omega i_q \\ e_q &= U_q - Ri_q - L\omega \frac{i_q}{dt} - L\omega i_d \\ e_0 &= 0 \end{aligned} \tag{2.32}$$

En donde, e_{dq0} son las componentes de tensión de la red eléctrica, U_{dq0} son las componentes de tensión generadas en el inversor e i_{dq0} son las componentes de corriente que pasan a través del filtro L hacia la red; cabe mencionar que el marco de referencia dq las ecuaciones diferenciales e_d y e_q son dependientes una de otra a causa de los términos ωi_q y ωi_d cruzados.

2.5.2 Control de corriente

Con el modelo del inversor en el marco de referencia dq dado por (2.32) se parte para realizar el control de corriente que el inversor inyectará a la red eléctrica, para ello se supone que $e_q = 0$ y $e_d = E_r$, donde E_r es la amplitud del voltaje de la red eléctrica; debido a que el inversor utiliza una conexión de tipo δ entonces, e_0 es despreciada por lo tanto la ecuación se puede escribir como:

$$\begin{aligned} U_d &= E_r + Ri_d + L\omega \frac{i_d}{dt} - L\omega i_q \\ U_q &= Ri_q + L\omega \frac{i_q}{dt} + L\omega i_d \end{aligned} \tag{2.33}$$

Debido al acoplamiento cruzado entre los ejes dq entonces, la corriente del eje d i_d tiene efecto sobre la corriente del eje q i_q y viceversa por lo tanto, se necesita un esquema de desacoplamiento, para ello se definen a las ecuaciones (2.34) que al ser sustituidas en (2.33) dan como resultado a las ecuaciones de (2.35) tomando en cuenta que, tomando en cuenta que u_d^* y u_q^* son los valores de referencia y los términos u'_d y u'_q son las variables de salida de los controladores.

$$\begin{aligned} u'_d &= Ri_d + L\omega \frac{i_d}{dt} \\ u'_q &= Ri_q + L\omega \frac{i_q}{dt} \end{aligned} \tag{2.34}$$

$$\begin{aligned} u'_d &= u_d^* + E_r - L\omega i_q \\ u'_q &= u_q^* + L\omega i_d \end{aligned} \tag{2.35}$$

Al incluir los términos cruzados de las ecuaciones (2.35) en el esquema de control basado en el PI, se obtienen las ecuaciones (2.36) que representan los voltajes de salida del controlador de corriente en donde, i_d^* e i_q^* son las corrientes de referencia y k_p , k_i son las ganancias proporcional e integran, respectivamente; Con ello se realiza la estructura de control mostrada en la figura 2.8.

$$\begin{aligned} u'_d &= k_p(i_d^* - i_d) + k_i \int (i_d^* - i_d) dt \\ u'_q &= k_p(i_q^* - i_q) + k_i \int (i_q^* - i_q) dt \end{aligned} \tag{2.36}$$

El control de corriente se realizó en el marco de referencia $[dq]$ debido a la representación en señales de CD de la red eléctrica trifásica, con ello se elimina el error de estado estacionario y se desacoplan los ejes d - q con lo cual se simplificó el análisis del sistema.

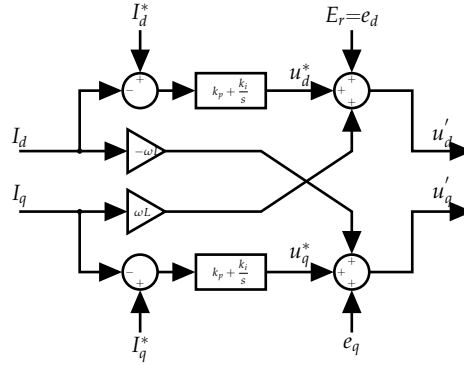


FIGURA 2.8: Lazo de control de corriente en el marco de referencia dq con desacoplamiento de corrientes.

Al realizar la transformada de Laplace de las ecuaciones (2.34) se obtiene:

$$i_d = \frac{v_d'}{R + sL} = \frac{1}{1 + \tau s} \frac{v_d'}{R} \quad (2.37)$$

$$i_q = \frac{v_q'}{R + sL} = \frac{1}{1 + \tau s} \frac{v_q'}{R}$$

Donde $\tau = \frac{L}{R}$.

Para modelar el retraso generado por el muestreo de las señales se incluye un retardo el cual está dado por:

$$G_{ret}(s) = \frac{1}{1 + 1.5T_s s} \quad (2.38)$$

En donde T_s es el período de muestreo de las señales.

Al tomar en cuenta las ecuaciones (2.37) se obtiene la función de transferencia del filtro R-L cuya ecuación está dada como:

$$G_f(s) = \frac{1}{1 + \tau s} \quad (2.39)$$

Y dado que se ocupa un controlador PI cuya función de transferencia es:

$$G_{PI}(s) = k_p \frac{1 + \tau_i s}{\tau_i s} \quad (2.40)$$

Partiendo de las ecuaciones anteriores se obtiene el lazo de control de corrientes, mostrado en la figura 2.9.

Si se considera que $\tau = \tau_i$, entonces se cancela el cero del controlador con el polo de la función de transferencia del filtro, quedando la función de transferencia del sistema como:

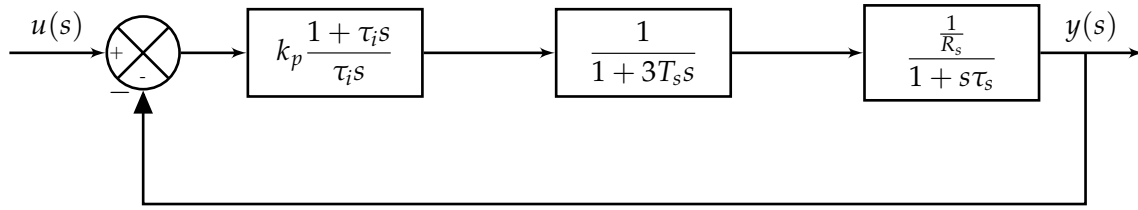


FIGURA 2.9: Lazo de control de corriente.

$$H(s) = \frac{\frac{2k_p}{3T_s L}}{s^2 + \frac{2}{3T_s}s + \frac{2k_p}{3T_s L}} \quad (2.41)$$

Al ser una ecuación de segundo orden se tiene que:

$$\begin{aligned} \omega_n^2 &= \frac{2k_p}{3T_s L} \\ \zeta \omega_n &= \frac{1}{3T_s} \end{aligned} \quad (2.42)$$

En donde, ω_n es la frecuencia natural no amortiguada del sistema y ζ es el factor de amortiguamiento. Al considerar un sistema óptimamente amortiguado con el 5% de sobretiro se tiene que $\zeta = 0.707$, a partir de (2.42) se obtienen las ganancias como:

$$\begin{aligned} k_p &= \frac{L}{3T_s} \\ k_i &= \frac{k_p}{\tau_i} \end{aligned} \quad (2.43)$$

Dado que, las corrientes de referencia están dadas por componentes de CD en el marco dq , donde la referencia i_d^* se utiliza para controlar la transferencia de potencia activa (P) mientras i_q^* controla la transferencia de potencia reactiva Q , esta última usualmente se configura para ser cero pues con ello es posible lograr que el factor de potencia (f.d.p.) sea unitario. Entonces, la potencia activa y reactiva producirá por el inversor está dada por la ecuación (2.44) en el marco de referencia dq [].

$$\begin{aligned} P &= \frac{3}{2}(e_d i_d + e_q i_q) \\ Q &= -\frac{3}{2}(e_q i_d + e_d i_q) \end{aligned} \quad (2.44)$$

Para realizar el control orientado a voltaje se utiliza el esquema de control de corrientes en el marco dq junto con el control *feed-forward* de potencia activa y reactiva. A partir de la ecuación (2.44) se calculan las corrientes de referencia i_d^* e i_q^* , para dada potencia PQ cuya ecuación es (2.45).

$$\begin{bmatrix} i_d^* \\ i_q^* \end{bmatrix} = \frac{1}{e_{rd}^2 + e_{rq}^2} \begin{bmatrix} e_{rd} & -e_{rq} \\ e_{rq} & e_{rd} \end{bmatrix} \begin{bmatrix} P^* \\ Q^* \end{bmatrix} \quad (2.45)$$

Así se llega al esquema de control de potencia PQ en lazo abierto de la figura 2.10, donde a partir de las potencias de referencia P^* y Q^* se obtienen las corrientes de referencia a las cuales se

llega con el control de corrientes, de esta forma es controlada la potencia que se inyecta a la red eléctrica.

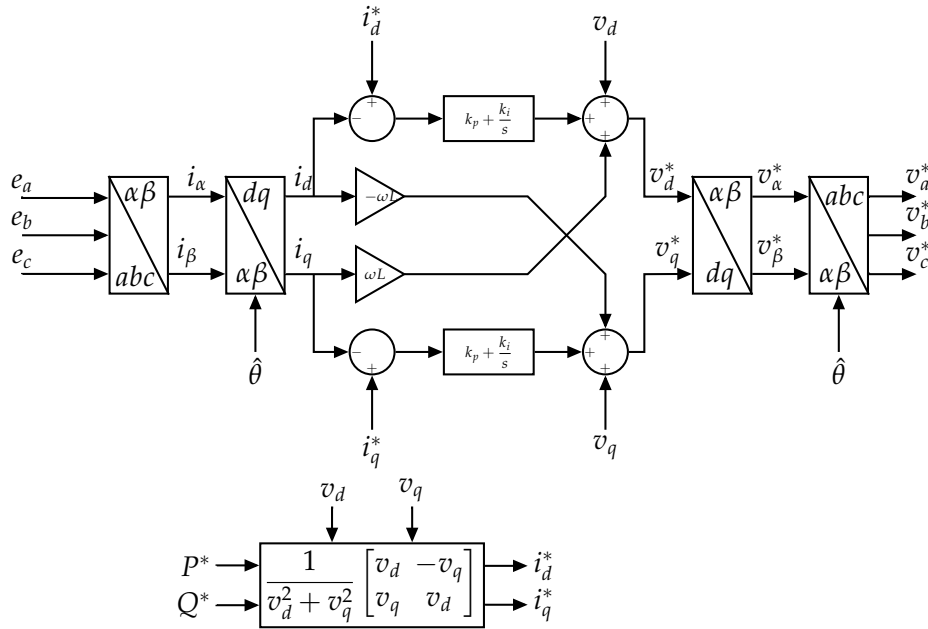


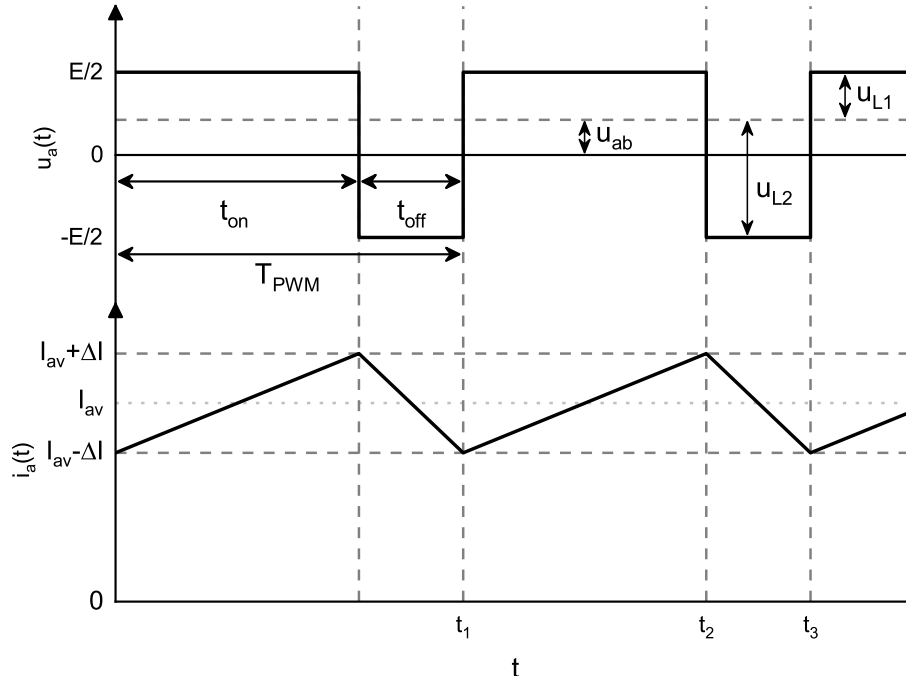
FIGURA 2.10: Esquema de control de potencia PQ en lazo abierto.

2.5.3 Corriente de rizado

Las fases del inversor contienen componentes de "frecuencias altas" en corriente debido a la conmutación de los transistores por ello es necesario realizar el filtrado de la corriente, en este caso con un filtro L el cual presenta una atenuación de 20 dB por década.

Con el filtro L se limita el rizado de corriente a la salida de las fases del inversor, para realizar el análisis del rizado producto de la conmutación del inversor se asume que $e_s = 0$ y por lo tanto la conmutación de la fase u_a no afecta a las corrientes en las otras fases mientras los voltajes de las otras fases no afecta a la corriente en la fase i_a al asumir estas características es posible realizar la representación equivalente en una sola fase como se muestra en la figura 2.11.

Para el estado estacionario y con $R_a = 0$, el voltaje promedio en la inductancia L_a tiene que ser cero. Con esta condición, la fuerza electromotriz E_a es igual a $u_{as} = \frac{E}{2}(2m - 1)$. Para el intervalo $t_{ON} = mT_{PWM}$ la caída de tensión en el inductor L_a es $u_{L1} = \frac{E}{2} - u_{as} = (1 - m)E$. Mientras que para el intervalo $t_{OFF} = (1 - m)T_{PWM}$ la caída de tensión en el inductor L_a es igual a $u_{L2} = u_{as} + \frac{E}{2} = mE$. La caída de tensión en el inductor L_a es $t_{on}u_{L1} + t_{OFF}u_{L2}$ con un valor de cero, por lo tanto, la corriente i_a mantiene su valor promedio I_{pr} . La componente de CA del voltaje en la inductancia L_a contribuye al cambio lineal de i_a alrededor de su valor promedio. Entonces a la amplitud de las oscilaciones de corriente se les conoce como rizado de corriente ΔI . Durante el intervalo t_{ON} , el voltaje u_{L1} genera cambios en la corriente i_a con el valor de $2\Delta I$, esta relación se utiliza para calcular el rizado ΔI en términos de m , E , L_a y T_{PWM} . El rizado ΔI alcanza su valor máximo cuando $m = 0.5$.

FIGURA 2.11: Rizado en la corriente Δi .

$$u_{L1}t_{ON} = 2L_a\Delta I \Rightarrow \Delta I = \frac{u_{L1}t_{ON}}{2L_a} = \frac{(m - m^2)ET_{PWM}}{2L_a} \quad (2.46)$$

$$\Delta I_{max} = \Big|_{m=0.5} = \frac{eT_{PWM}}{8L_a}$$

Así, a partir de la ecuación (2.46) se despeja L_a para obtener el valor de la inductancia requerida en las tres fases para realizar el filtrado de las señales. Al tomar en cuenta la forma triangular del rizo, el valor rms del rizo de corriente se convierte en:

$$\Delta I_{RMS} = \frac{ET_{PWM}}{8L\sqrt{3}} \quad (2.47)$$

La presencia de rizo de corriente incrementa el valor RMS a la salida del inversor, pero este incremento es diminuto dado que este es solo una fracción de la componente fundamental. En fuentes de corriente basadas en PWM, el rizado puede producir ruido y contribuir en pérdidas, además de alterar el funcionamiento de cargas y fuentes conectadas a la red, en la mayoría de los casos será necesario mantener ΔI_{RMS} por debajo del 5% con respecto al valor nominal I_n . Así de (2.47) se puede obtener que el valor del inductor tiene que cumplir con [50]:

$$L > \frac{ET_{PWM}}{8\alpha I_n \sqrt{3}} \quad (2.48)$$

Donde $\alpha = 0.05$. En la figura 2.12 se muestra la respuesta en frecuencia para un filtro tipo L.

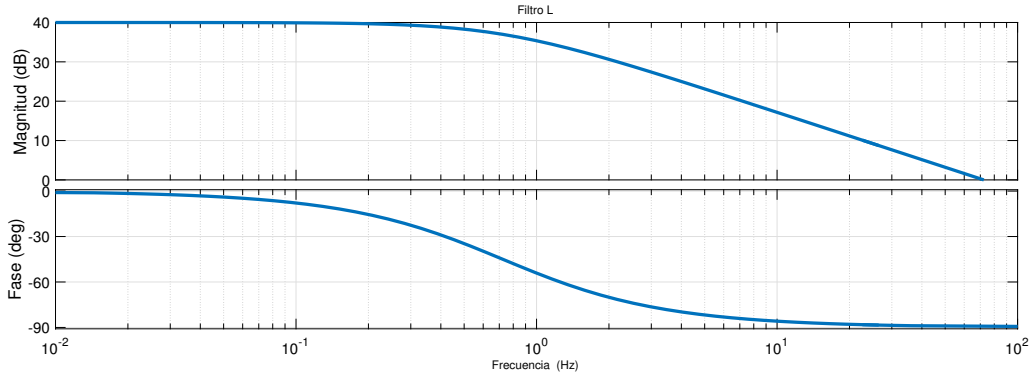


FIGURA 2.12: Respuesta en frecuencia para el filtro tipo L con una inductancia de $2.2mH$ y $10m\Omega$ [50].

Para una frecuencia de $8.1kHz$, con un voltaje de bus $E = 750$ y corriente nominal de $80A$ el resultado que arroja la ecuación anterior es una inductancia mínima de $L = 1.7\mu H$.

2.6 Conmutación del inversor

La configuración de transistores que se ha utilizado en el inversor consiste de tres polos y cada polo está modulado independientemente de cada uno, figura 2.6, de esta forma cada polo se encarga de generar una fase independiente, para lograrlo cada interruptor (transistor) de cada polo se cerrará y abrirá alternadamente cada medio ciclo, sin embargo, para lograr voltajes trifásicos cada polo deberá estar desplazado 120 grados eléctricos. Con el fin de lograr el control de la frecuencia y amplitud de la salida del FED se ocupa una técnica basada en PWM, de esta manera es posible el control lineal de la amplitud y frecuencia fundamental incluido el manejo de armónicos a la salida. En este proceso se logra modular una señal con características específicas a través del PWM, además, con estos patrones de conmutación será posible eliminar armónicos o lograr una reducción de pérdidas en los transistores causado por conmutaciones.

A lo largo de los años se desarrollaron técnicas de conmutación basadas en el PWM estas pueden ser clasificadas en tres grupos principales, PWM programado, PWM-modulado y espacio de vectores - PWM. De entre estas técnicas, las más populares son los PWM-modulados [51].

De los parámetros importantes a definir se encuentra el índice de modulación m_{idx} , que es la relación entre la amplitud del voltaje de referencia v_{spwm} a frecuencia f_{spwm} y la mitad del voltaje de CD $\frac{v_{cd}}{2}$, definido como:

$$m_{idx} = \frac{v_{spwm}}{\frac{v_{cd}}{2}} \quad (2.49)$$

y el valor normalizado de la frecuencia de la señal portadora m_f , (también conocido como la relación frecuencia-modulación) es:

$$m_f = \frac{f_{\Delta}}{f_{spwm}} \quad (2.50)$$

2.6.1 Técnica PWM sinusoidal-unipolar

También conocida como SPWM, en esta técnica se compara en tiempo real una señal sinusoidal alternante de referencia v_{spwm} , contra una señal triangular moduladora de mayor frecuencia v_{Δ} , para determinar la conmutación ó estado de los transistores de cada polo/rama en el inversor. Al realizar esta comparación si, el voltaje de referencia v_{spwm} es mayor a la señal moduladora v_{Δ} entonces, el transistor superior es activado para obtener un voltaje de salida con valor $\frac{v_{CD}}{2}$, con v_{spwm} menor a v_{mod} se activa el transistor inferior y se tendrá un voltaje de salida de $-\frac{v_{CD}}{2}$. Con esta modulación es posible obtener una amplitud pico-pico máxima de v_{cd} y para mantener lineal la relación de modulación con la amplitud de referencia se tendrá que cumplir que, $v_{spwm} \leq v_{cd}$ trae como consecuencia que, el índice de modulación m_{idx} tendrá que ser menor o igual a uno, en la figura 2.13 se resume la operación de la técnica SPWM para una rama de transistores.

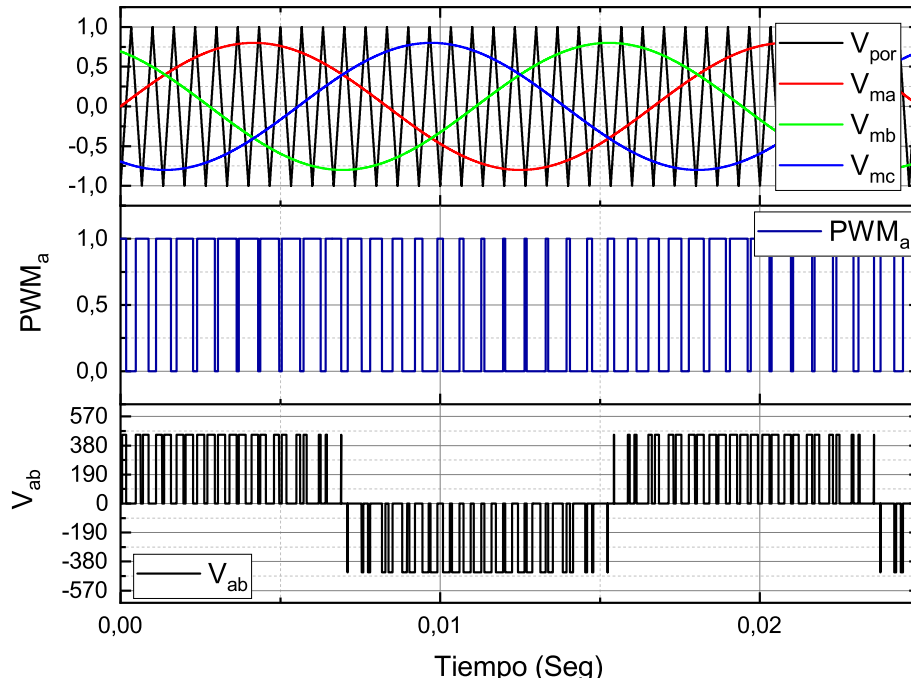


FIGURA 2.13: Generación de señales PWM, donde V_{por} es la señal portadora y v_{ma} , v_{mb} y v_{mc} son las señales moduladas; PWM_a es la señal PWM de la fase a y v_{ab} es el voltaje de línea entre la fase a y b.

Para mantener las características de la señal modulada v_{spwm} es necesario que la frecuencia normalizada m_f sea un múltiplo impar de 3 y mayor a 21 [40] de esta manera las tres fases generadas serán idénticas desplazadas entre sí $\frac{2\pi}{3}$, sin armónicos pares y si la componente fundamental v_m varia linealmente con respecto al voltaje de referencia v_{spwm} se cumple:

$$v_m = v_{spwm} \sin \omega t \quad (2.51)$$

Por lo cual el voltaje de referencia es idéntico al voltaje de fase, si (2.51) se escribe en términos del índice de modulación m_{idx} como:

$$v_m = m_{idx} \frac{v_{cd}}{2} \sin \omega t \quad (2.52)$$

Como $v_{spwm} \leq \frac{v_{cd}}{2}$ entonces $0 \leq m_{idx} \leq 1$, esta última relación es conocida como el rango lineal de modulación ya que, dentro de este rango el voltaje v_m variará linealmente con respecto a v_{spwm} , en este caso es posible considerar al PWM como un amplificador de voltaje con ganancia unitaria, en la figura 2.14 se representa la generación de los estados de conmutación de las fases abc y de línea $a-b$ con respecto al voltajes de referencia.

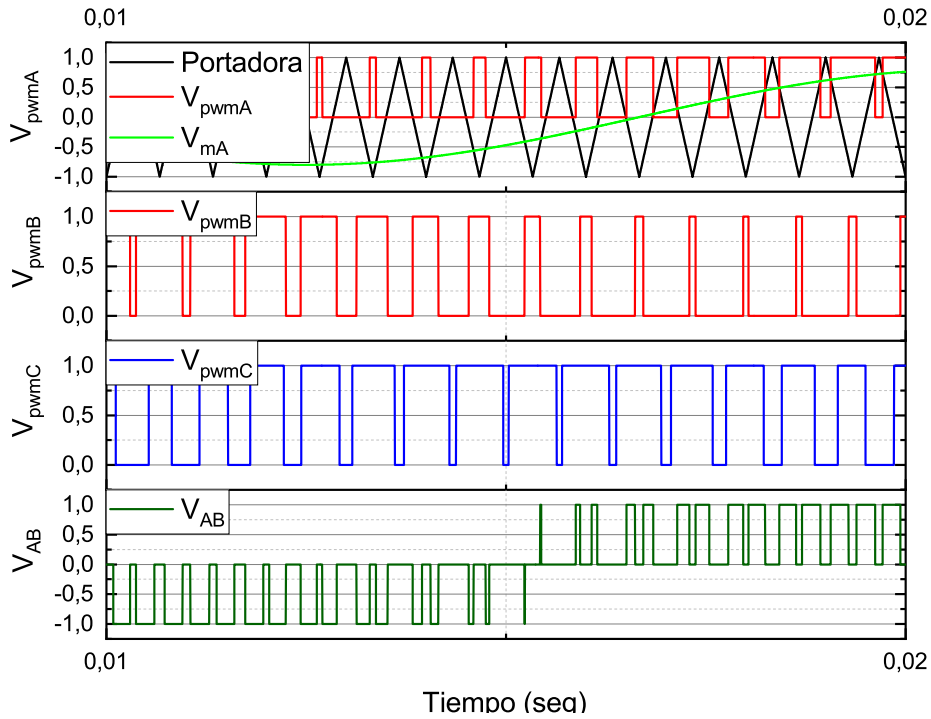


FIGURA 2.14: Generación de las señales PWM centradas para las tres fases.

Como ya se mencionó, el valor máximo de la amplitud fundamental v_m es $\frac{v_{cd}}{2}$, dentro de la región lineal, por lo tanto, la amplitud máxima de línea será $\frac{\sqrt{3}v_{cd}}{2}$, entonces se puede escribir:

$$v_{ab} = m_{idx} \sqrt{3} \frac{v_{cd}}{2}; \quad 0 \leq m_{idx} \leq 1 \quad (2.53)$$

Capítulo 3

Técnicas de sincronización

La fase, amplitud y frecuencia de la red eléctrica son parámetros críticos para la operación de inversores interconectados con estas redes por lo tanto, en estas aplicaciones se requiere que los parámetros sean detectados con rapidez y precisión para asegurar que se generen de forma correcta las señales de referencia. Por ello, a continuación se muestra el modelado de algunas técnicas de sincronización basadas en el PLL para sistemas trifásicos.

3.1 Lazo de fijación de fase (PLL)

PLL o Lazo de fijación de fase (por sus siglas en inglés phase-locked loop) este es un sistema capaz de generar una oscilación cuya fase con respecto a una señal de entrada se mantiene acotada [52], actualmente esta estrategia es ampliamente utilizada debido a su robustez ante la presencia de armónicos y ante perturbaciones en la red, además se ha trabajado para que esta funcione en condiciones de desbalance en la red eléctrica [53]. El funcionamiento clásico de un PLL es calcular la diferencia de fase entre la tensión medida y la estimada, regulando la tensión estimada mediante un sistema de control hasta que la diferencia sea cero [54]. Existen diversas variaciones de este método [55], en la figura 3.1 se muestra la estructura genérica para un PLL; Como su nombre lo indica, el bloque detector de fase (DF) mide el ángulo de fase entre la señal de entrada con la señal de salida, después pasa por un filtro de lazo (FL) el cual actúa como el control del sistema, la salida de este controla un oscilador controlado por voltaje (OCV) que es una señal triangular cuyo ángulo de fase, θ_{est} , es proporcional a $\Delta\omega(t)$, el cual es usado para monitorear la señal de entrada [56, 57].

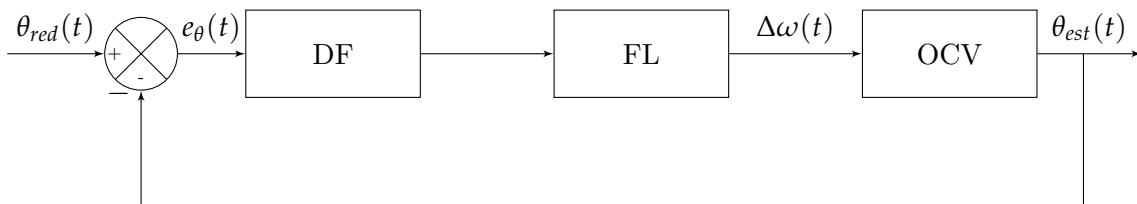


FIGURA 3.1: Lazo de fijación de fase genérico, *PLL*.

3.2 Lazo de fijación trifásico SRF-PLL

EL SFR-PLL está diseñado en base con la transformada de Clark y Park, esto con el fin de convertir el marco de referencia natural abc al marco de referencia síncrono dq . En la figura 3.2 se muestra el diagrama a bloques del SRF-PLL; la red trifásica está representada con los vectores de voltaje de fase \vec{U}_{abc} con un ángulo de θ_{red} , este vector se transforma al marco de referencia síncrono

dq con la transformada de Park con lo cual se obtienen los vectores \vec{u}_{dq} ; Si el voltaje u_q se controla con la señal θ_{est} de tal forma que el voltaje siga una referencia U_q^* y esta se establece a un valor de cero, entonces, al lograr el control se podrá estimar el ángulo θ_{est} que es proporcional a la integral la frecuencia $\Delta\omega$ que a su vez corresponderá con la frecuencia de la red eléctrica $\omega_{red}(t)$, entonces los voltajes U_{dq} aparecerán como voltajes en CD el cual estará en dependencia del ángulo θ_{est} . Además, el voltaje u_q será proporcional a la amplitud de la red eléctrica u_{abc} , como resultado del uso del SRF-PLL es posible la estimación de parámetros de la red eléctrica como lo son amplitud, fase y frecuencia, valores de utilidad para sistemas interconectados con la red.

Debido a que el marco dq rota en sincroniza con el marco natural abc con una velocidad angular positiva, el SRF-PLL trabaja de manera adecuada en redes trifásicas balanceadas.

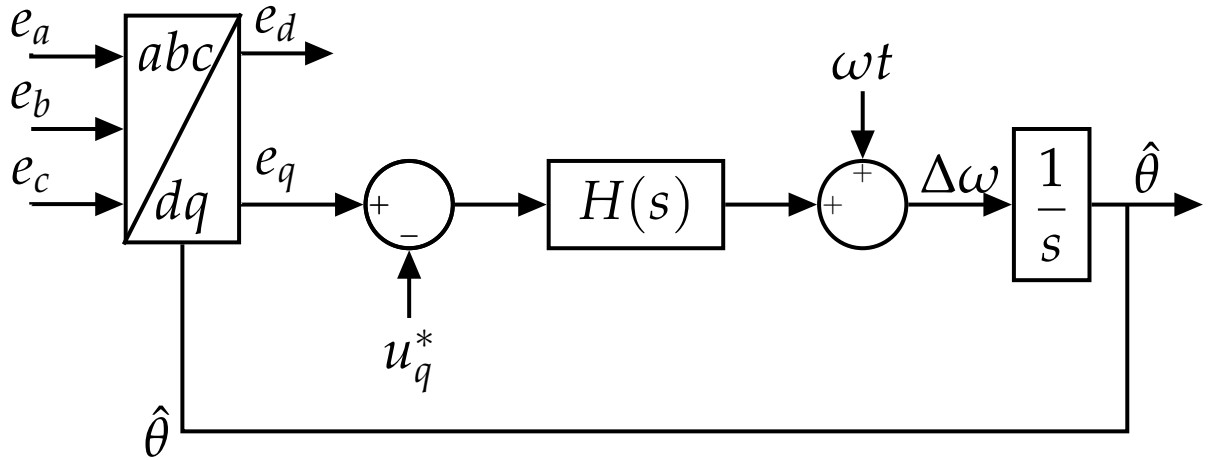


FIGURA 3.2: Diagrama del lazo de fijación de fase en marco de referencia síncrono dq .

Para realizar el análisis del SRF-PLL se toma la ecuación (2.23) para la representación de los voltajes trifásicos, y la matriz de transformación de $abc/dq0$ (3.2) :

$$\begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} = E \begin{bmatrix} \cos \theta_{red} \\ \cos(\theta_{red} - \frac{2\pi}{3}) \\ \cos(\theta_{red} + \frac{2\pi}{3}) \end{bmatrix} \quad (3.1)$$

Se tiene la matriz de transformación para el marco de referencia síncrono es:

$$T_{dq0} = \frac{2}{3} \begin{bmatrix} \cos \theta_{dq} & \cos(\theta_{dq} - \frac{2\pi}{3}) & \cos(\theta_{dq} + \frac{2\pi}{3}) \\ \sin \theta_{dq} & \sin(\theta_{dq} - \frac{2\pi}{3}) & \sin(\theta_{dq} + \frac{2\pi}{3}) \\ \cos(\theta_{dq} + \frac{2\pi}{3}) & \sin(\theta_{dq} + \frac{2\pi}{3}) & 1 \end{bmatrix} \quad (3.2)$$

Al realizar la transformación del marco de referencia natural al marco de referencia síncrono queda la expresión:

$$\begin{bmatrix} e_d \\ e_q \\ e_0 \end{bmatrix} = T_{dq0} \vec{E}_{abc} = E \frac{2}{3} \begin{bmatrix} \cos \theta_{dq} & \cos(\theta_{dq} - \frac{2\pi}{3}) & \cos(\theta_{dq} + \frac{2\pi}{3}) \\ \sin \theta_{dq} & \sin(\theta_{dq} - \frac{2\pi}{3}) & \sin(\theta_{dq} + \frac{2\pi}{3}) \\ \cos(\theta_{dq} + \frac{2\pi}{3}) & \sin(\theta_{dq} - \frac{2\pi}{3}) & 1 \end{bmatrix} \begin{bmatrix} \cos \theta_{red} \\ \cos(\theta_{red} - \frac{2\pi}{3}) \\ \cos(\theta_{red} + \frac{2\pi}{3}) \end{bmatrix} \quad (3.3)$$

Con el desarrollo de las operaciones de la ecuación 3.3 se obtienen las ecuaciones que representan al sistema trifásico en el marco de referencia dq despreciando a la componente 0 puesto que al ser un sistema trifásico de tres hilos esta componente no aparecerá en el sistema.

$$\begin{bmatrix} E_d \\ E_q \end{bmatrix} = E \begin{bmatrix} \cos(\theta_{red} - \theta_{est}) \\ \sin(\theta_{red} - \theta_{est}) \end{bmatrix} \quad (3.4)$$

Donde E_d y E_q son los voltajes de la red eléctrica representado en componentes de DC, E es la amplitud de la red eléctrica, θ_{red} como el ángulo de la red y si definimos al ángulo estimado como $\theta_{est} = \hat{\theta}_r$. Este sistema no lineal es la representación matemática de la figura 3.2, en donde los voltajes E_d y E_q están en función de la diferencia de los ángulos $\theta_{red} - \hat{\theta}_r$.

Con el fin de lograr el control del voltaje E_q es necesario simplificar la expresión anterior (3.4), por lo tanto se asume que $\theta_{red} \approx \hat{\theta}_r$ y se define $\theta_{red} - \hat{\theta}_r = \Delta\theta$, entonces $\Delta\theta \approx 0$, esto significa que el ángulo de la red eléctrica y el ángulo estimado son similares, por lo tanto, el PLL está enganchado con la fase de la señal de entrada, debido a esto ahora es posible eliminar la no linealidad del seno, $\sin(\Delta\theta) \approx \theta_{red} - \hat{\theta}_r$, por lo que es posible escribir lo siguiente:

$$\begin{bmatrix} E_d \\ E_q \end{bmatrix} = E \begin{bmatrix} 1 \\ \Delta\theta \end{bmatrix} \quad (3.5)$$

Como resultado de la ecuación 3.5, se observa que si la $\Delta\theta = 0$ (el PLL está enganchado) entonces, $E_d = E$ la amplitud de la red eléctrica se refleja en la componente d .

Para que $E_q = \Delta\theta = 0$ es necesario realizar el control de esta señal entonces, $E_q = E_q^*$ y se define que $U_q^* = 0$, ahora se cuenta con un PLL que es capaz de seguir los cambios de fase de la señal de entrada, siempre y cuando E_q se controle de tal forma que esta siempre sea cero; Ahora que se cuenta con este modelo simplificado y que puede ser tratado como un sistema de control lineal puesto que la planta ahora es representada por un integrador y si se considera el tiempo de muestreo, que está dado por el controlador, el sistema pasa a ser modelado con un retraso $G(s)$, un integrador y un controlador; la función de transferencia de la planta con el retraso se muestra en la ecuación 3.7 y en la figura 3.3 se muestra el diagrama del SRF-PLL linealizado donde, $H(s)$ es el controlador PI además se aprecia que E aparece en el lazo de control como una ganancia la cual tendrá repercusiones sobre el sistema, si los voltajes de la red eléctrica varían, ya sea a causa de disturbios, desbalances, etc. se modificara esta ganancia generando alteraciones en el lazo.

3.2.1 Sintonización de ganancias

El método para la sintonización de ganancias SO, por sus siglas en inglés (*symmetrical optimum*), está optimizado para que el margen de fase tenga su máximo a dada frecuencia de corte ω_c [58]. El margen de fase está definido como el rango de grados en el que la señal puede desplazarse sin perder estabilidad. En la gráfica la amplitud y fase serán simétricas alrededor de la frecuencia ω_c [59].

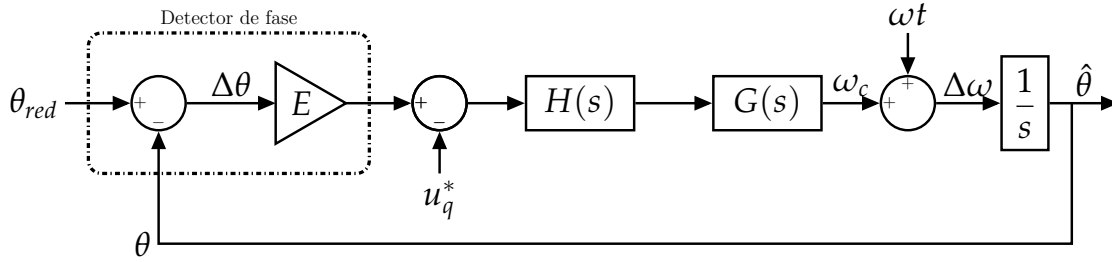


FIGURA 3.3: Diagrama de bloques del modelo linealizado para el SRF-PLL.

Se define un modelo de una función de transferencia (3.6), en donde k es una constante que será simétrica alrededor del punto $\omega = \omega_0$ [60].

$$F(s) = \frac{\omega_0^2(k s + \omega_0)}{s^2(s + k\omega_0)} \quad (3.6)$$

La función de transferencia de lazo abierto de la planta y el retardo es:

$$W(s) = G(s) \frac{E}{s} = \left(\frac{1}{1 + s1.5T_s} \right) \left(\frac{E}{s} \right) \quad (3.7)$$

Donde T_s es el tiempo de muestreo.

Se define la función de transferencia del PI (filtro pasa bajas) como:

$$H(s) = k_{PLL} \frac{1 + sT_{PLL}}{sT_{PLL}} \quad (3.8)$$

Donde k_{PLL} y t_{PLL} son las ganancias asociadas al PI; las cuales serán calculadas utilizando el método *symmetrical optimum*(SO)[40].

Tomando en cuenta las funciones anteriores, la función de lazo abierto del sistema queda como:

$$H_{ol}(s) = k_{PLL} \left(\frac{1 + sT_{PLL}}{sT_{PLL}} \right) \left(\frac{1}{1 + s1.5T_{PLL}} \right) \left(\frac{E}{s} \right) \quad (3.9)$$

Al reescribir la función (3.9) para que sea similar a (3.6) y así encontrar las ganancias del controlador:

$$\begin{aligned} H_{ol}(s) &= k_{PLL} \left(\frac{1 + sT_{PLL}}{sT_{PLL}} \right) \left(\frac{1}{1 + s1.5T_{PLL}} \right) \left(\frac{E}{s} \right) \\ &= \frac{k_{PLL} E}{T_s} \frac{\left(s + \frac{1}{T_{PLL}} \right)}{s^2 \left(s + \frac{1}{T_s} \right)} = \frac{k_{PLL} E}{\alpha T_s} \frac{\left(\alpha s + \frac{\alpha}{T_{PLL}} \right)}{s^2 \left(s + \frac{1}{T_s} \right)} \end{aligned} \quad (3.10)$$

En donde α es un factor de normalización, partiendo de la comparación de las ecuaciones (3.9) y (3.6), se obtienen las ganancias del controlador en función del factor de normalización α y con frecuencia de corte de ω_c :

$$\begin{aligned}\omega_c &= \frac{1}{\alpha T_s} \\ T_{PLL} &= \alpha^2 T_s \\ k_{PLL} &= \frac{1}{\alpha E T_s}\end{aligned}\quad (3.11)$$

Al sustituir la ecuación 3.30 en la ecuación 3.10 se puede extraer el factor de amortiguamiento, ζ , quedando la relación de la ecuación 3.12.

$$\zeta = \frac{\alpha - 1}{2} \quad (3.12)$$

En este trabajo de tesis se trabajará con una frecuencia de muestro $f_s = 8.1$ kHz y sobre este valor se calculan los valores de la tabla 3.1, se ocupan dos valores de α para así tener distintos anchos de banda para el controlador P-I y así comprobar cómo se comporta el sistema bajo distintas perturbaciones.

TABLA 3.1: Ganancias para frecuencia de muestro de 8.1 kHz y distintos valores para α .

α	ω_c	ζ	T_{PLL}	k_{PLL}
6	900.00 $\frac{rad}{seg}$	2.50	0.00666667	5.01099294
12	450.00 $\frac{rad}{seg}$	5.50	0.02666667	2.50549647
20	270.00 $\frac{rad}{seg}$	9.50	0.07407407	1.50329788

Para ver el comportamiento del SRF-PLL ante diversos valores de α , en la figura 3.4 se muestran las respuestas en frecuencia, se aprecia en las gráficas que la magnitud es cercana a cero en la frecuencia ω_c y que la fase se encuentra alrededor del valor pico.

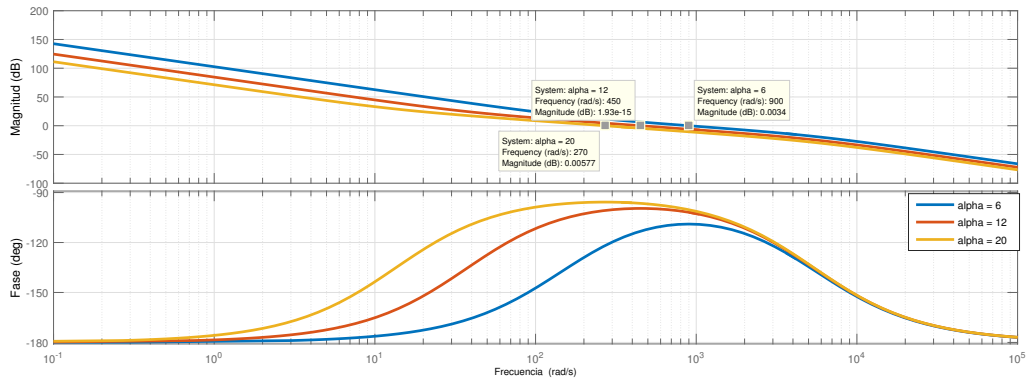


FIGURA 3.4: Respuesta en frecuencia del lazo abierto para el SFR-PLL con valores de α de 20, 12 y 6.

La respuesta al escalón del SRF-PLL se muestra en la figura 3.5, en donde el sobretiro más pronunciado se tiene para $\alpha = 20$ y es la respuesta más rápidas en comparación con las otras dos respuestas.

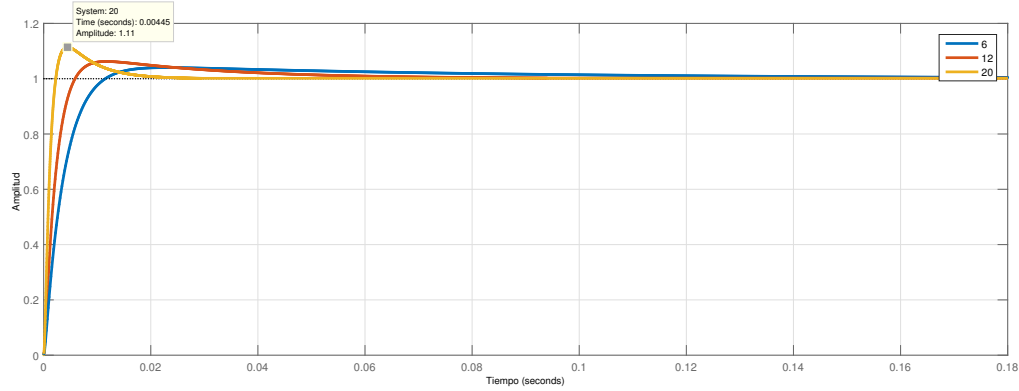


FIGURA 3.5: Respuesta al escalón unitario del SFR-PLL para distintos valores de α .

3.2.2 Impacto de disturbios

Como ya fue definido en el capítulo anterior, una red en desbalance esta compuesta por tres componentes simétricas $v = v^+ + v^- + v^0$. Al escribir a la red eléctrica en función de las componentes simétricas:

$$\begin{aligned} u_{abc}^+ &= E^+ \left(\cos(\phi_+), \cos(\phi_+ - \frac{2\pi}{3}), \cos(\phi_+ + \frac{2\pi}{3}) \right) \\ u_{abc}^- &= E^- \left(\cos(\phi_-), \cos(\phi_- - \frac{2\pi}{3}), \cos(\phi_- + \frac{2\pi}{3}) \right) \\ u_{abc}^0 &= E^0 (\cos(\phi_0), \cos(\phi_0), \cos(\phi_0)) \end{aligned} \quad (3.13)$$

De la expresión anterior se observa que las componentes de secuencia *cero*, no alteran el valor de e_d debido a la simetría que estas señales presentan, por lo tanto el comportamiento del SRF-PLL no se verá afectado por estas componentes. Debido a la aparición de las componentes negativas, se creara una componentes igual a $e_n \sin(\phi_0 + \phi_{red})$, esto se traduce en la aparición de una oscilación con el doble de la frecuencia nominal de la red cuando el sistema esta desbalanceados, que a su vez se transmitirán hasta en ángulo estimado $\hat{\omega}_r$ por lo cual, esta señal se verá deformada.

Si la red presenta corrientes en CD y estas componentes son iguales a, d_a, d_b, d_c , entonces estas señales generarán una componente montada sobre e_d con un valor igual a:

$$\frac{2}{3} \left(d_a \cos(\phi_{red}) + d_a \cos(\phi_{red} - \frac{2\pi}{3}) + d_a \cos(\phi_{red} + \frac{2\pi}{3}) \right)$$

Si la componente de CD es simétrica esta oscilación se anulará, de otra forma aparecerá montada con una frecuencia igual a la de la señal de entrada.

Ante la presencia de armónicos en la red de orden n se producirá dos componentes nuevas sobre u_q , estas componentes tendrán oscilaciones en los armónicos $n - 1$ y $n + 1$, pero dada las características pasa-bajas del SRF-PLL, la distorsión por armónicos de ordenes elevados se verán reducidas. Así, para armónicos de orden mayor al décimo se pueden eliminar con el uso del filtro pasa-bajas en el lazo de control mientras que, para armónicos de frecuencia baja, el filtrado sera infructuoso [18].

3.3 DSRF-PLL

DSRF por sus siglas en inglés *decoupled double synchronous reference frame*, esta técnica se enfoca en la detección de la secuencia positiva de las componentes de voltaje a frecuencia fundamental esto permite la operación en redes desbalanceadas. Para lograrlo se define un vector de voltaje desbalanceado que consta tanto de componentes con secuencias positivas y negativas que son expresadas en un marco de referencia síncrono doble con el objetivo de detectar la componente con secuencia negativa y cancelarla al sumarla con su valor inverso. [61]

Al considerar una red eléctrica desbalanceada y sin presencia de armónicos, los voltajes de fase se pueden expresar como:

$$\vec{e}_{abc}^{+-0} = \vec{e}_{abc}^+ \cos(\omega_r t - k\frac{2\pi}{3}) + \vec{e}_{abc}^- \cos(-\omega_r t - k\frac{2\pi}{3}) + \vec{e}_{abc}^0 \cos(\omega_r t + \phi^0) \quad (3.14)$$

Donde los superíndices +1, -1 y 0 son los coeficientes para indicar las secuencias, positiva, negativa y cero, respectivamente; k , toma los valores $k = 0, 1$ y -1 para las fases a, b y c. respectivamente Para expresar a los voltajes en el marco $\alpha\beta$ se utiliza la transformada de Clarke:

$$\vec{e}_{\alpha\beta\gamma}^{+-0} = [T_{\alpha\beta\gamma}] \begin{bmatrix} \vec{e}_a^{+-0} \\ \vec{e}_b^{+-0} \\ \vec{e}_c^{+-0} \end{bmatrix} \quad (3.15)$$

Al desarrollar la ecuación (3.15) se llega a la ecuación (3.16) que representa a la red trifásica desbalanceada en el marco de referencia $\alpha\beta$, en esta expresión se puede notar que la secuencia positiva $\alpha\beta^{+1}$ es consistente y rota a una frecuencia de ω_r mientras que para la secuencia negativa $\alpha\beta^{-1}$ se encuentra rotando a $-\omega_r$.

$$\begin{aligned} \vec{e}_{\alpha\beta\gamma}^{+-0} &= \begin{bmatrix} \vec{e}_\alpha^{+-0} \\ \vec{e}_\beta^{+-0} \end{bmatrix} \\ &= e^{+1} \begin{bmatrix} \cos(\omega_r t) \\ \sin(\omega_r t) \end{bmatrix} + e^{-1} \begin{bmatrix} \cos(\omega_r t + \phi^{-1} - \theta) \\ -\sin(\omega_r t + \phi^{-1} - \theta) \end{bmatrix} \end{aligned} \quad (3.16)$$

De la expresión anterior se observa la aparición del vector \vec{e}^{-1} que, en el marco dq propiciará la aparición de una componente $\vec{d}\vec{q}_{2\omega}$ con velocidad $2\omega_r$ montada sobre los ejes dq con el fin de eliminar esta perturbación se propone la generación de una componente negativa $-\vec{d}\vec{q}_{2\omega}$ para que al ser sumada con la que se genera por el desbalance de la red $\vec{d}\vec{q}_{2\omega}$ se eliminen y de esta manera se tenga una estimación de los parámetros de la red.

El método DSRF está compuesto por dos marcos de referencia, dq^{+1} que rota a velocidad ω_r y dq^{-1} rotando con frecuencia negativa $-\omega_r$, de esta forma el vector de voltaje e se puede expresar de la siguiente expresión:

$$\begin{aligned} e_{dq}^+ &= [T_{dq}^+] \vec{e}_{\alpha\beta} \\ &= e^+ \begin{bmatrix} \cos(\omega_r t - \hat{\theta}) \\ \sin(\omega_r t - \hat{\theta}) \end{bmatrix} + e^- \begin{bmatrix} \cos(-\omega_r t + \phi^{-1} + \hat{\theta}) \\ \sin(-\omega_r t + \phi^{-1} - \hat{\theta}) \end{bmatrix} \\ e_{dq}^- &= [T_{dq}^-] \vec{e}_{\alpha\beta} \\ &= e^+ \begin{bmatrix} \cos(\omega_r t + \hat{\theta}) \\ \sin(\omega_r t + \hat{\theta}) \end{bmatrix} + e^- \begin{bmatrix} \cos(-\omega_r t + \phi^{-1} + \hat{\theta}) \\ \sin(-\omega_r t + \phi^{-1} + \hat{\theta}) \end{bmatrix} \end{aligned} \quad (3.17)$$

En la figura 3.6, se muestran las secuencias positivas y negativas en el doble marco de referencia rotatorio donde dq^{+1} rota con velocidad positiva ω' y el marco dq^{-1} que rota a velocidad negativa $-\omega'$ cuyo ángulo es $-\theta'$.

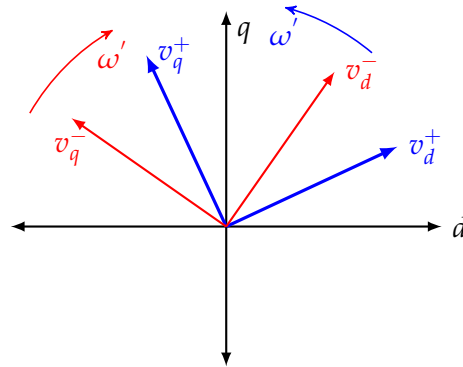


FIGURA 3.6: Diagrama fasorial del marco de referencia $dq0$ y la red eléctrica.

Al suponer que la fase estimada $\hat{\theta}$ es igual que a la fase de red ωt_r entonces se tiene que, $\sin(\omega t_r - \hat{\theta}) \approx (\omega t_r - \hat{\theta})$, $\cos(\omega t_r - \hat{\theta}) \approx 1 - \frac{(\omega t_r)^2}{2}$ y $-\omega t_r - \hat{\theta} \approx -2\omega t_r$. De esta forma la ecuación (3.17) se puede linealizar como:

$$\begin{aligned} \vec{e}_{dq^+} &\approx e^{+1} \begin{bmatrix} 1 \\ \omega t_r - \hat{\theta} \end{bmatrix} + e^{-1} \begin{bmatrix} \cos(-2\omega t_r + \phi^{-1}) \\ \sin(-2\omega t_r + \phi^{-1}) \end{bmatrix} \\ \vec{e}_{dq^-} &\approx e^{+1} \begin{bmatrix} \cos(2\omega t_r) \\ \sin(\omega t_r) \end{bmatrix} + e^{-1} \begin{bmatrix} \cos(\phi^{-1}) \\ \sin(\phi^{-1}) \end{bmatrix} \end{aligned} \quad (3.18)$$

Los valores de los ejes dq^+ y dq^- corresponden con la amplitud de los vectores e^+ y e^- mientras 2ω corresponde al acoplamiento entre los ejes que aparece como consecuencia de los vectores que rotan en direcciones contrarias, para eliminar estas oscilaciones se propone usar una celda de desacoplamiento (CD).

De las expresiones (3.18) se pone en evidencia que los valores dq^{+1} y dq^{-1} son valores que corresponden a las amplitudes de las señales sinusoidales de la red eléctrica v^{+1} y v^{-1} , mientras que las oscilaciones 2ω corresponden al acoplamiento entre los ejes que aparece como consecuencia de los vectores rotatorios en dirección opuesta. En lugar del uso de alguna etapa de filtrado para atenuar las oscilaciones con frecuencia 2ω se emplea una red de desacoplamiento que cancela los efectos de tales oscilaciones en el marco de referencia dq .

3.3.1 Desacoplamiento de señales

Para desacoplar las señales se propone un vector $\begin{pmatrix} n \\ m \end{pmatrix}$ cuyos elementos consisten en dos señales con frecuencia $n\omega$ y $m\omega$, en donde n y m podrán ser positivas y negativas a frecuencia fundamental ω , por lo tanto, el vector de voltajes propuesto es:

$$\vec{e}_{\alpha\beta} = \begin{bmatrix} e_\alpha \\ e_\beta \end{bmatrix} = e^n \begin{bmatrix} \cos(n\omega t_r + \phi) \\ \sin(n\omega t_r + \phi) \end{bmatrix} + e^m \begin{bmatrix} \cos(m\omega t_r + \phi^m) \\ \sin(m\omega t_r + \phi^m) \end{bmatrix} \quad (3.19)$$

Al estar el PLL sincronizado con la red eléctrica se tiene que $\hat{\theta} = \omega t_r$ entonces, la ecuación (3.19) se puede expresar en termino de los marcos de referencia dq^n y dq^m , de la siguiente forma:

$$\begin{aligned}
e_{dq^n} &= \begin{bmatrix} e_{d^n} \\ e_{q^n} \end{bmatrix} \\
&= e^m \cos(\phi^m) \begin{bmatrix} \cos((n-m)\omega t_r) \\ -\sin((n-m)\omega t_r) \end{bmatrix} + e^m \sin(\phi^m) \begin{bmatrix} \sin((n-m)\omega t_r) \\ \cos((n-m)\omega t_r) \end{bmatrix} \\
e_{dq^m} &= \begin{bmatrix} e_{d^m} \\ e_{q^m} \end{bmatrix} \\
&= e^m \cos(\phi^n) \begin{bmatrix} \cos((n-m)\omega t_r) \\ \sin((n-m)\omega t_r) \end{bmatrix} + e^n \sin(\phi^n) \begin{bmatrix} -\sin((n-m)\omega t_r) \\ \cos((n-m)\omega t_r) \end{bmatrix}
\end{aligned} \tag{3.20}$$

Para la ecuación (3.20) la amplitud de las oscilaciones en los ejes dq^n se obtiene a partir de los valores medios del vector dq^m y viceversa, y para ello se utiliza un filtro pasa baja de primer orden, con la siguiente función:

$$FPB(s) = \frac{\omega_c}{s + \omega_c} \tag{3.21}$$

Con las ecuaciones anteriores se obtiene la celda de desacoplamiento mostrada en la figura 3.8, en donde el vector nm toma los valores $n = 1, m = -1$ la red de desacoplamiento de señales se muestra en la figura 3.7, esta red de desacopla la información de las secuencias positiva y negativa de sistemas desbalanceados en corriente o voltaje.

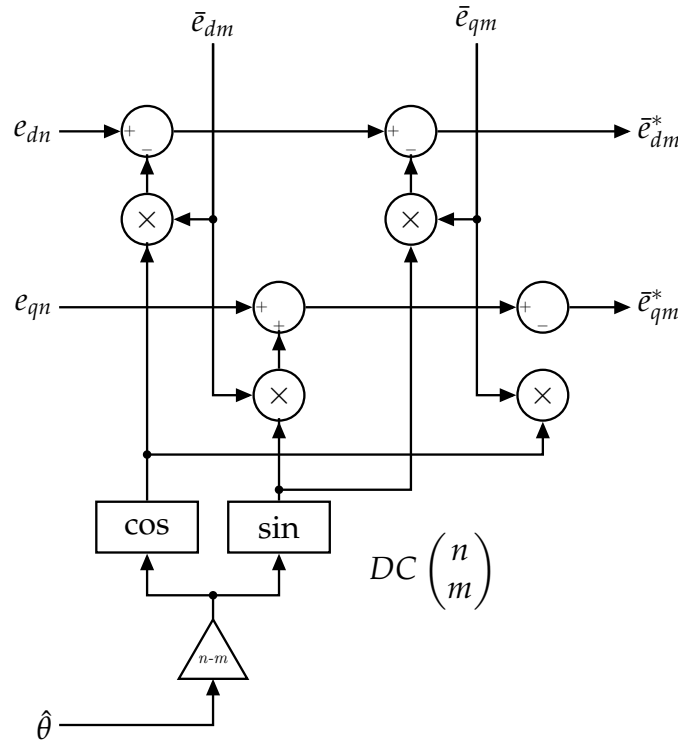


FIGURA 3.7: Red de desacoplamiento para los marcos de referencia dq^n y dq^m .

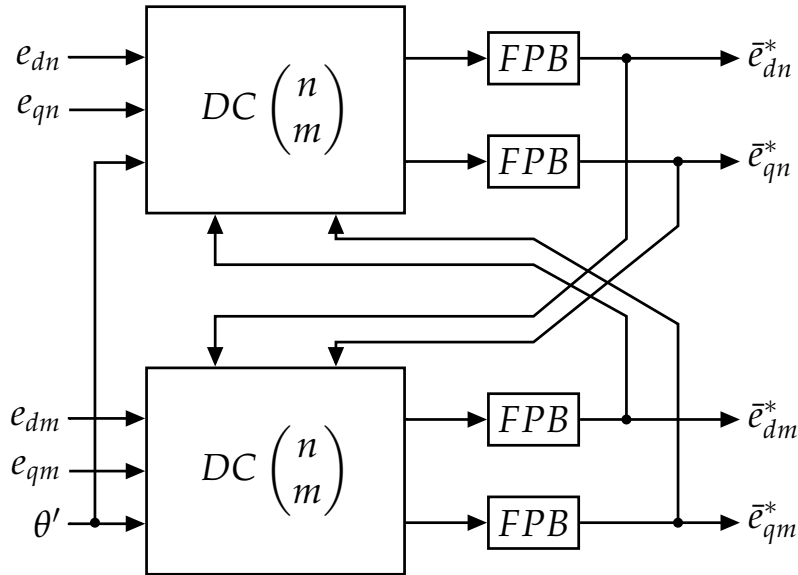


FIGURA 3.8: Celda de desacoplamiento para la cancelación de los efectos de e^m sobre el marco de referencia dq^n .

3.4 DSOGI-QSG PLL

Este sistema para la estimación de parámetros de la red eléctrica está compuesto por tres bloques principales, el generador de cuadratura (SOGI), un módulo para calcular las secuencias positivas y un bloque SRF-PLL. La estructura DSOGI (*Dual Second Order Generalized Integrator*) se basa en el integrador generalizado de segundo orden (SOGI) que se define como [62]:

$$GI(s) = \frac{\omega_0 s}{s^2 + \omega^2} \quad (3.22)$$

Donde ω representa a la frecuencia de resonancia del SOGI. Para sintonización de este método es dependiente de la frecuencia ω_0 , así que pueden suscitarse problemas si la frecuencia cambia por ello, se requiere de una sintonización adaptativa respecto a la frecuencia de resonancia, por lo tanto, la frecuencia de resonancia del SOGI es ajustada con la frecuencia estimada por el PLL $\hat{\omega}_0$ como consecuencia de estas retroalimentaciones, la complejidad del sistema se verá aumentada puesto el margen de estabilidad dinámica se verá reducido y como consecuencia se limitará el ancho de banda del PLL lo que hará que sea más compleja la sincronización con la red. El SOGI es un filtro tipo *notch* en donde la variable k controla la selectividad del filtro, si el valor se reduce entonces el ancho de banda del filtrado disminuye como consecuencia la respuesta dinámica se ve reducida lo que ocasiona que el sistema se vuelva lento [63].

Como se ha presentado, es posible analizar un sistema trifásico en desbalance desde el punto de vista de la descomposición las componentes de voltaje desbalanceadas en conjuntos de componentes simétricas balanceadas como se presenta en el capítulo 2, las componentes simétricas pueden ser aplicadas en el dominio del tiempo al hacer uso de la transformada de Lyon; y de acuerdo con éste método, un vector de voltaje v_{abc} que está compuesto por tres señales sinusoidales desbalanceadas se puede dividir en secuencias instantáneas de voltaje, positiva, negativa y cero al aplicar las siguientes transformaciones [64]:

$$v_{abc}^+ = [T_+]v_{abc}; \quad \begin{bmatrix} v_a^+ \\ v_b^+ \\ v_c^+ \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & a & a^2 \\ a^2 & 1 & a \\ a & a^2 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.23)$$

$$v_{abc}^- = [T_-]v_{abc}; \quad \begin{bmatrix} v_a^- \\ v_b^- \\ v_c^- \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & a^2 & a \\ a & 1 & a^2 \\ a^2 & a & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.24)$$

$$v_{abc}^0 = [T_0]v_{abc}; \quad \begin{bmatrix} v_a^0 \\ v_b^0 \\ v_c^0 \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.25)$$

Dado que, en los sistemas trifásicos cableados por tres hilos, el principal interés radica en controlar las secuencias de corrientes tanto positivas como negativas, por ello es importante seguir las secuencias positivas de las componentes de voltaje en el punto de interconexión; Entonces tenemos que la secuencia de componentes v_{abc} se puede expresar en el marco de referencia $\alpha\beta$, esto se realiza usando la ecuación (2.30), lo que nos lleva a:

$$\begin{aligned} v_{\alpha\beta}^+ &= [T_{\alpha\beta}] v_{abc}^+ \\ v_{\alpha\beta}^- &= [T_{\alpha\beta}] v_{abc}^- \end{aligned} \quad (3.26)$$

Al sustituir 3.23 y 3.24 se obtiene:

$$\begin{aligned} v_{\alpha\beta}^+ &= [T_{\alpha\beta}] [T_+] v_{abc}^+ \\ v_{\alpha\beta}^- &= [T_{\alpha\beta}] [T_-] v_{abc}^- \end{aligned} \quad (3.27)$$

Al aplicar la transformada inversa $[T_{\alpha\beta}]^{-1}$

$$\begin{aligned} v_{\alpha\beta}^+ &= [T_{\alpha\beta}] [T_+] [T_{\alpha\beta}]^{-1} v_{abc}^+ \\ v_{\alpha\beta}^- &= [T_{\alpha\beta}] [T_-] [T_{\alpha\beta}]^{-1} v_{abc}^- \end{aligned} \quad (3.28)$$

Al desarrollar las matrices se llega a las siguientes expresiones:

$$\begin{aligned} v_{\alpha\beta}^+ &= [T_{\alpha\beta+}] v_{\alpha\beta}; \quad [T_{\alpha\beta+}] = \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} \\ v_{\alpha\beta}^- &= [T_{\alpha\beta-}] v_{\alpha\beta}; \quad [T_{\alpha\beta-}] = \begin{bmatrix} 1 & q \\ -q & 1 \end{bmatrix} \end{aligned} \quad (3.29)$$

en donde $q = e^{\frac{-j\pi}{2}}$ el cual representa un retraso de la fase en el dominio temporal para obtener una versión en cuadratura de las señales de entrada.

Para realizar el retraso creado por q se hace uso de un generador de señales de cuadratura (*QSG, Quadrature Signal Generator*), en este caso es realizado por un filtro basado en el SOGI-QSG que es un método efectivo para obtener, a partir de las señales sinusoidales de entrada, su respectiva señal de cuadratura, además las características de filtrado del SOGI-QSG que atenúan los efectos creados por la distorsión de armónicos de orden alto.

La estructura DSOGI se muestra en la 3.9 en ella se tienen dos estructuras SOGI-QSG, que están alimentados por los voltajes v_α y v_β , y cuya función es la generación de las señales de cuadratura qv_α y qv_β , que a su vez alimentan al bloque extractor de componentes simétricas(ECS), que se obtiene

a partir de la ecuación 3.29, cuya salida corresponde a los voltajes v_α^+ y v_β^- que son procesados por el PLL para así lograr estimar el ángulo de la red eléctrica de la secuencia positiva.

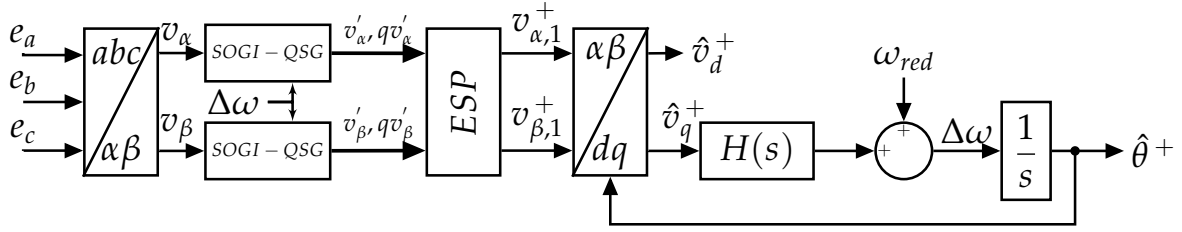


FIGURA 3.9: Estructura del SOGI-QSG-PLL para estimar el ángulo de la red eléctrica.

En la figura 3.10 se presenta el diagrama general de un filtro tipo GI cuyas funciones de transferencia están dadas por las ecuaciones 18 y 19. En ellas se representan dos tipos de salida $v'(s)$ y $qv'(s)$, siendo esta última la señal de cuadratura de $v(s)$ y además pasa por un filtrado pasa bajas.

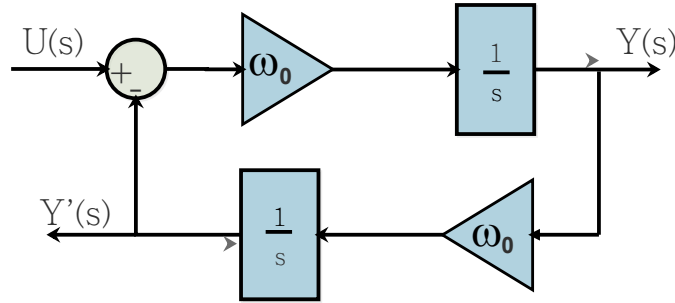


FIGURA 3.10: Diagrama de bloques del SOGI.

$$\begin{aligned} \frac{v'(s)}{v(s)} &= \frac{\omega_0 s}{s^2 + \omega_0^2} \\ \frac{qv'(s)}{v(s)} &= \frac{\omega_0}{s^2 + \omega_0^2} \end{aligned} \quad (3.30)$$

Este tipo de sistema presenta resonancia, la cual causa que la salida crezca en amplitud dando como resultado que ésta se sature lo cual repercute en las variables de los sistemas discretos, por ello que al cerrar el lazo, en la salida se puede prevenir este comportamiento no deseado, quedando el sistema como se aprecia en la figura 3.11, además se añade una variable k que sirve para modificar la selectividad de frecuencias en el filtrado.

La función de transferencia del sistema queda expresado por las ecuaciones 3.31.

$$\begin{aligned} \frac{v'(s)}{v(s)} &= \frac{k\omega_0 s}{s^2 + k\omega_0^2 s + \omega_0^2} \\ \frac{qv'(s)}{v(s)} &= \frac{k\omega_0^2}{s^2 + k\omega_0 s + \omega_0^2} \end{aligned} \quad (3.31)$$

En la figura 3.12 se muestra la respuesta en frecuencia de la estructura SOGI, en ella se observa que esta corresponde con la de un filtro pasa bandas cuya respuesta se ve afectada por el valor de k ,

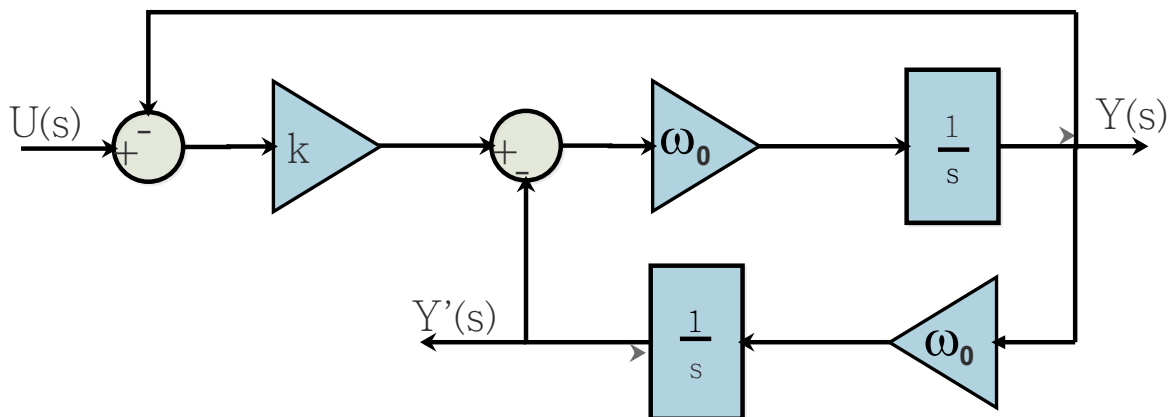


FIGURA 3.11: Estructura SOGI con retroalimentación para evitar la saturación de variables

esta variable controla la selectividad de frecuencias del filtro, es decir, que tan angosto es el rango de frecuencias que podrán pasar sin ser atenuadas.

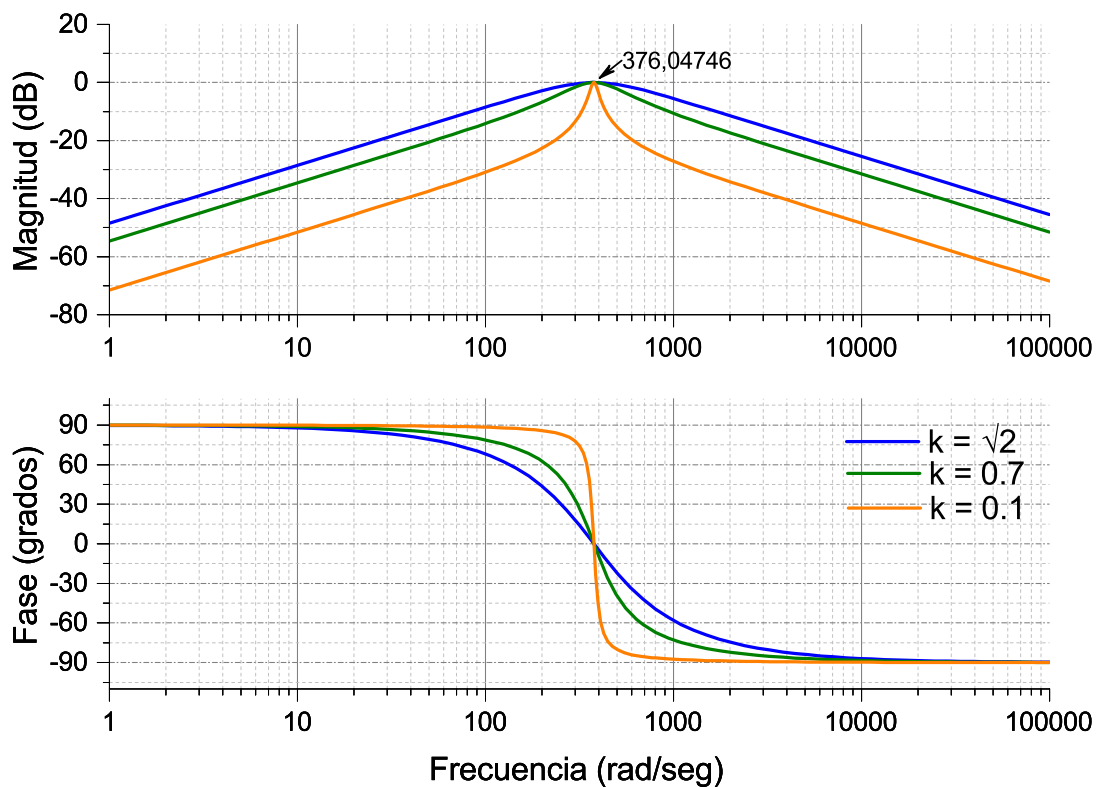


FIGURA 3.12: Respuesta en frecuencia del filtro SOGI, con $\omega_0 = 120\pi$ y tres valores distintos para k .

En la figura 3.13 se muestra el bloque que se encarga de extraer las componentes positivas éste bloque se crea a partir de la transformada $[T_{\alpha\beta+}]$ de la ecuación 3.29, y se alimenta con las señales que se generan en los bloques SOGI-QSG.

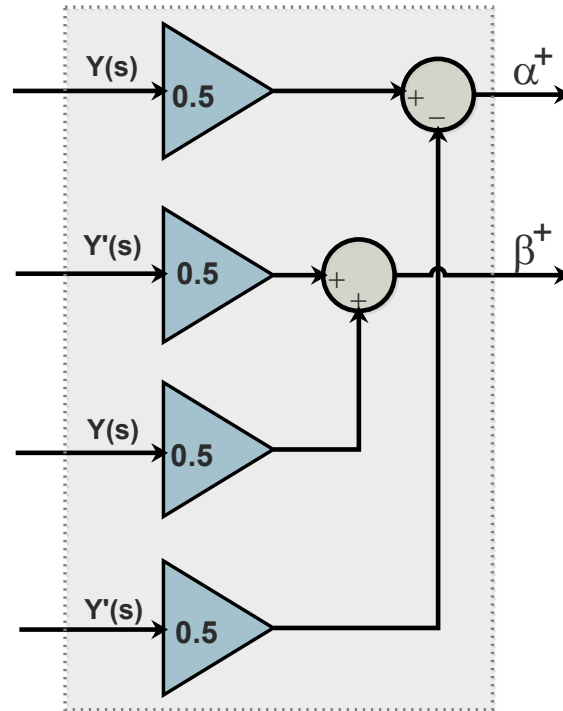


FIGURA 3.13: Módulo para calcular las secuencias positivas de α y β .

3.5 DSOGI-FLL PLL

Partiendo del análisis del DSOGI-QSG de la sección anterior, este algoritmo de sincronización engancha al ángulo de fase con su oscilador interno que es generada paralelamente a partir de la estimación de la frecuencia, esto permite que el DSOGI-QSG se mantenga sintonización apropiadamente. Sin embargo, las características resonantes inherentes al bloque hacen que trabaje como un oscilador controlado por voltaje, lo que lleva a la idea de introducir un lazo de control simple para adaptar automáticamente el centro de resonancia de la frecuencia del SOGI en la entrada del bloque y así descartar el uso del bloque PLL de la estructura DSOGI-PLL.

Para tener un SOGI-QSG cuyo funcionamiento se ajuste automáticamente se inicia con el análisis de la señal de error ϵ_v y estudiar como centrar la frecuencia de resonancia del SOGI-QSG para que sea regulada con esta señal de error. Con ello, se tiene que la función de transferencia de la señal de error está dada por:

$$E(s) = \frac{\epsilon_v}{v}(s) = \frac{s^2 + \omega'^2}{s^2 + k + \omega' + \omega'^2} \quad (3.32)$$

De la respuesta en frecuencia de la función de transferencia (3.32) graficada en la figura 3.14 se observa que esta responde a un filtro tipo *notch* de segundo orden, con ganancia cero en el centro

de la frecuencia, una característica importante de esta función es el salto de fase que se lleva a cabo en la señal de salida de 180° cuando la frecuencia de la señal ω cambia de un valor inferior de ω' a un valor superior. Esta propiedad es utilizada para el análisis del sistema.

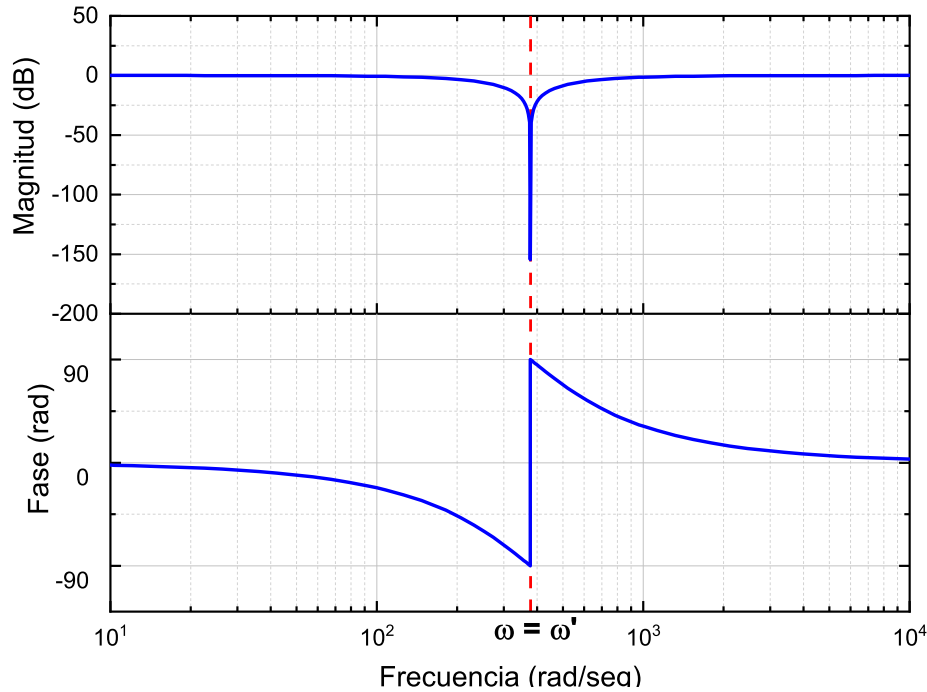


FIGURA 3.14: Respuesta en frecuencia para el error generado por el DSOGI-QSG.

3.5.1 SOGI-FLL

Del comportamiento de la respuesta en frecuencia de las funciones de transferencia de la señal qv' y ϵ_v se observa que cuando la frecuencia de la señal de salida es menor a la frecuencia de resonancia $\omega < \omega'$, las señales de salida están en fase y para el caso contrario $\omega > \omega'$ estas tendrán fases opuestas.

Por lo tanto, el error de la frecuencia ϵ_f se puede definir como producto de las señales qv' y ϵ_v . Dado que el valor de ϵ_f será positivo cuando $\omega < \omega'$ y tomara un valor negativo para $\omega > \omega'$, con este error de frecuencia es posible realizar de forma sencilla un lazo de enganchamiento de frecuencia FLL, por sus siglas en inglés.

En la figura 3.15 se muestra el bloque para realizar el control del error de la frecuencia, en el lazo se utiliza una integral con ganancia negativa $-\gamma$ para hacer que la componente ϵ_f sea cero, esto se realiza al mover la frecuencia central (de resonancia) hasta que esta coincida con la frecuencia de entrada ω y de esta forma incrementar la rapidez de la sincronización del sistema [65, 66, 67].

El desempeño y la respuesta dinámica del SOGI-FLL dependen del cálculo adecuado de las variables k y γ para lograr que el sistema detecte de forma eficaz la amplitud y frecuencia de la red eléctrica.

Del diagrama de la figura 3.15 se obtienen las ecuaciones en estados de espacio:

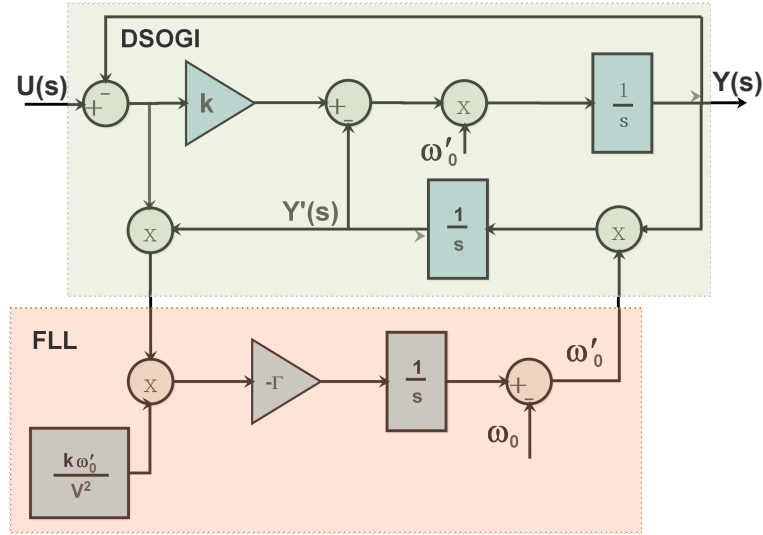


FIGURA 3.15: Diagrama del SOGI-FLL.

$$\dot{\mathbf{x}} = \begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \end{bmatrix} = \mathbf{A}\mathbf{x} + \mathbf{B}v = \begin{bmatrix} -k\omega' & -\omega'^2 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} + \begin{bmatrix} k\omega' \\ 0 \end{bmatrix} v \quad (3.33)$$

$$\mathbf{y} = \begin{bmatrix} v' \\ qv' \end{bmatrix} = \mathbf{C}\mathbf{x} = \begin{bmatrix} 1 & 0 \\ 0 & \omega' \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \quad (3.34)$$

$$\dot{\omega}' = \gamma x_2 \omega' (v - x_1) \quad (3.35)$$

Donde $\mathbf{x} = [x_1, x_2]^T$ y $\mathbf{y} = [v', qv']^T$, son los vectores de salida del SOGI-QSG.

Al considerar que las condiciones de operación del sistema se mantienen estables cuando FLL tenga las ganancias adecuadas, entonces, $\dot{\omega}' = 0$, $\omega = \omega'$ y $x_1 = v$ entonces, el vector de estados en estado estacionario para el SOGI-QSG es:

$$\dot{\mathbf{x}}|_{\dot{\omega}'=0} = \begin{bmatrix} \bar{\dot{x}}_1 \\ \bar{\dot{x}}_2 \end{bmatrix} = \begin{bmatrix} 0 & -\omega'^2 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} \bar{x}_1 \\ \bar{x}_2 \end{bmatrix} \quad (3.36)$$

Para una señal sinusoidal de entrada con valor $v = V \sin(\omega t + \phi)$, el vector de salida en estado estacionario esta dado por:

$$\bar{\mathbf{y}} = \begin{bmatrix} v' \\ qv' \end{bmatrix} = V \begin{bmatrix} \sin(\omega t + \phi) \\ \cos(\omega t + \phi) \end{bmatrix} \quad (3.37)$$

Después del desarrollo matemático de las expresiones anteriores se llega a la expresión que describe al error de frecuencia en estado estacionario como:

$$\bar{\epsilon}_f = \omega' \bar{x}_2 \bar{\epsilon}_v = \frac{\bar{x}_2^2}{k} (\omega_1 - \omega_2) \quad (3.38)$$

De la expresión (3.38) se prueba que ϵ_f contiene información sobre el error realizado al estimar la frecuencia lo cual lo hace ideal como señal de control en el FLL. Sin embargo, al ser una señal no lineal, las técnicas de control lineal no pueden ser aplicadas para encontrar el valor de la ganancia

γ del FLL.

Para encontrar estas ganancias se realizan algunas definiciones, en donde $\omega' \approx \omega$, por lo tanto, $\omega'^2 - \omega^2$ se puede aproximar como $2(\omega' - \omega)\omega'$, con ello el modelo en pequeña señal del FLL queda descrito como:

$$\dot{\omega}' = -\gamma \bar{\epsilon}_f = \frac{\gamma}{k} \bar{x}_2^2 (\omega' - \omega) \omega' \approx -2 \frac{\gamma}{k} \bar{x}_2^2 (\omega' - \omega) \quad (3.39)$$

Al tomar a $v = V \sin(\omega t + \phi)$ como señal de entrada para el SOGI-FLL, se obtiene:

$$\bar{x}_2^2 = \frac{V^2}{2\omega^2} |D(j\omega)|^2 [1 + \cos(2(\omega t + \phi + \angle D(j\omega)))] \quad (3.40)$$

Los términos $|D(j\omega)|$ y $\angle D(j\omega)$ tienden a tomar valores de 1 y 0 respectivamente, cuando la frecuencia detectada por el bloque FLL se engancha con la frecuencia de entrada $\omega' \rightarrow \omega$. En las proximidades de la operación de estado estacionario del FLL, \bar{x}_2^2 presentara una componente de CD con un valor de $\frac{V^2}{2\omega^2}$ además de un término de CA con oscilaciones del doble de la frecuencia de entrada. Por lo tanto, la dinámica promedio del FLL cuando $\omega' \approx \omega$ y cuando la componente de CA del término \bar{x}_2^2 ha sido omitida, se puede describir la dinámica del FLL como:

$$\dot{\bar{\omega}}' = \frac{\gamma V^2}{k\omega} (\bar{\omega}' - \omega) \quad (3.41)$$

La ecuación anterior (3.41) aclara la relación que existe entre la respuesta dinámica del FLL, la ganancia del SOGI-QSG y los parámetros de la señal de entrada. Esta expresión lleva a la normalización de γ , al utilizar variables de retroalimentación y que llevan a la linealización del sistema, con la expresión de la ecuación (3.42), esta linealización no es dependiente de los parámetros de la red eléctrica o de las ganancias del mismo SOGI-QSG además, se puede definir el tiempo de respuesta en función de la variable Γ .

$$\gamma = \frac{k\omega'}{V^2} \Gamma \quad (3.42)$$

Se obtiene que la función de transferencia de primer orden del FLL, es:

$$\frac{\bar{\omega}'}{\omega} = \frac{\Gamma}{s + \Gamma} \quad (3.43)$$

El tiempo de asentamiento se obtiene a partir de :

$$t_{s(FLL)} \approx \frac{4.6}{\Gamma} \quad (3.44)$$

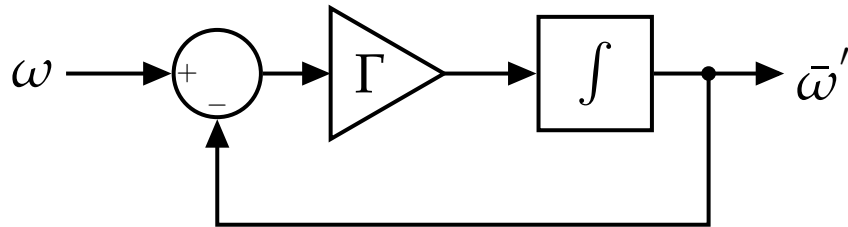


FIGURA 3.16: Modelo simplificado del sistema de adaptación de frecuencia FLL.

3.5.2 DSOGI-FLL

Aunque es posible el uso de dos bloques FLL para que el DSOGI-QSG opere con normalidad, es posible reducir el uso a un solo bloque FLL puesto que, las señales v_α y v_β tienen la misma frecuencia. Por esta razón el DSOGI utiliza solamente un bloque FLL en donde las señales de error de frecuencia generadas por los bloques QSG de α y β han sido combinadas al calcular una señal de error promedio:

$$\epsilon_f = \frac{\epsilon_{f(\alpha)} + \epsilon_{f(\beta)}}{2} = \frac{1}{2}(\epsilon_\alpha q v'_\alpha + \epsilon_\beta q v'_\beta) \quad (3.45)$$

La ganancia de este FLL de dos dimensiones es normalizada al utilizar el cuadrado de la amplitud de la secuencia positiva $(v_\alpha^+)^2 + (v_\beta^+)^2$, en la figura 3.17 se muestra el diagrama FLL para el DSOGI.

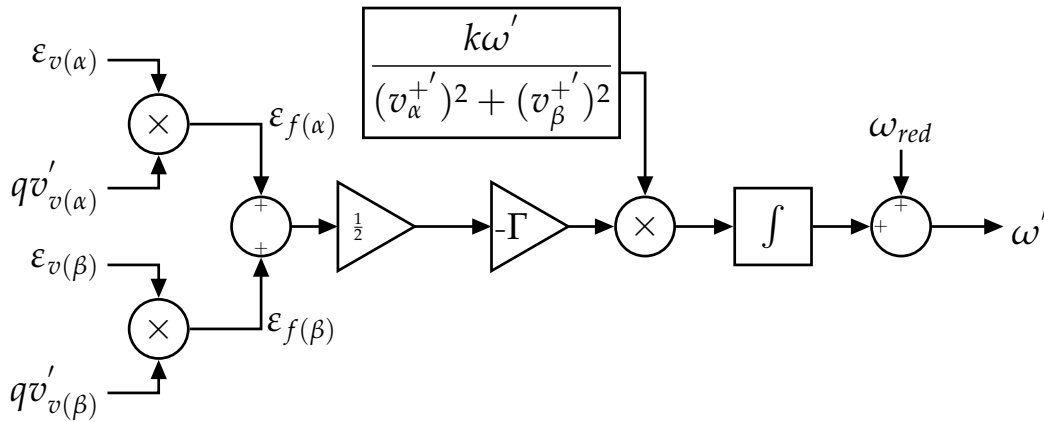


FIGURA 3.17: Estructura del FLL para el DSOGI.

El DSOGI-FLL cancela completamente el error en estado estacionario durante la estimación del ángulo de fase además en comparación con el DDSRF-PLL, las señales obtenidas son más suaves cuando la red está desbalanceada.

En la figura 3.18 se muestra el diagrama DSOGI-FLL, el bloque FLL se alimenta de las señales generadas por los bloques SOGI-QSG y por la frecuencia estimada por el PLL, $\Delta\omega$, de esta forma se elimina el lazo del DSOGI-PLL puesto que la frecuencia de resonancia de estos bloques se estima en el FLL.

3.6 MAFdq-PLL

3.6.1 Filtro MAF

Por sus siglas en inglés *moving average filter* (MAF), son filtros que son lineales en fase de respuesta al impulso finita (FIR) y mantienen estas características bajo ciertas condiciones. Son sencillos de realizar y efectivos en términos de carga computacional [68, 69, 69, 63, 70].

Un filtro MAF con señal de entrada $x(t)$ y como salida $\bar{x}(t)$ se describe en el dominio temporal como:

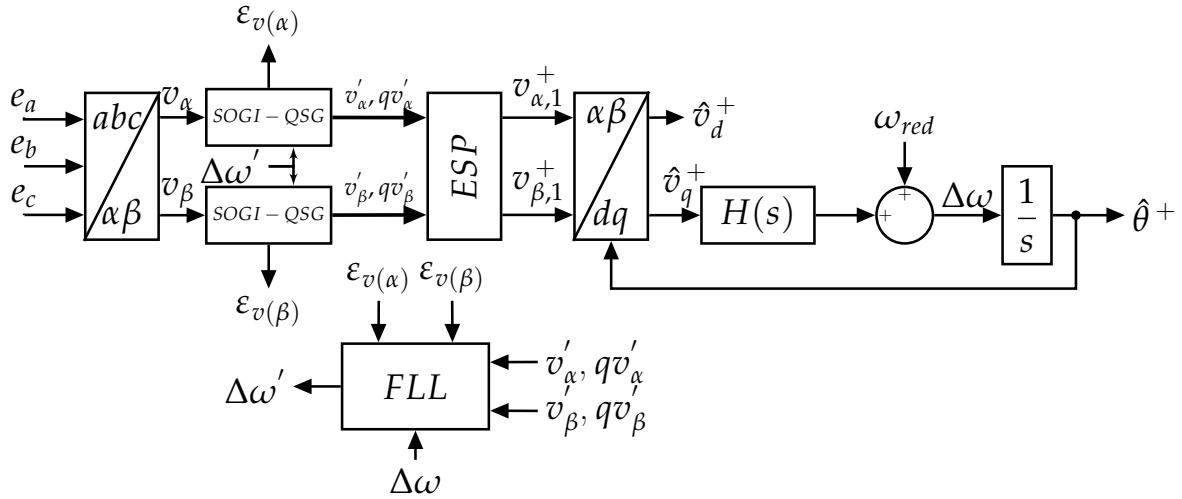


FIGURA 3.18: Diagrama de bloques del esquema DSOGI-FLL para la estimación del ángulo y frecuencia de la red eléctrica.

$$\bar{x}(t) = \frac{1}{t_w} \int_{t-T_w}^t x(\tau) d\tau \quad (3.46)$$

Donde T_w es el tamaño de la ventana, a partir de (3.46) se obtiene la función de transferencia del filtro MAF, como:

$$G_{MAF}(s) = \frac{\bar{x}(s)}{x(s)} = \frac{1 - e^{-T_w s}}{T_w s} \quad (3.47)$$

De la función de transferencia (3.47) se observa que el MAF necesita de un tiempo igual al del tamaño de la ventana T_w para que este llegue a estado estacionario. Por ello entre más larga sea la ventana la respuesta del MAF se hará más lenta.

Al sustituir $s = j\omega$ en (3.47) se obtiene que la magnitud y fase del MAF se expresan como:

$$G_{MAF}(j\omega) = \left| \frac{\sin(\omega T_w / 2)}{\omega T_w / 2} \right| \angle -\frac{\omega T_w}{2} \quad (3.48)$$

Con la expresión anterior (3.48) se observa que a frecuencias cero, el MAF, tiene ganancia unitaria y a frecuencias $f = n/T_w$ con $(n = 1, 2, 3, \dots)$. la ganancia será de cero. Con este comportamiento se tiene un filtro que deja pasar la componentes de CD y bloquea completamente las componentes con frecuencias múltiplos de $1/T_w$, en la figura 3.19 se observa la respuesta en frecuencia donde la ventana $T_w = 0.00833$, que corresponde a una frecuencia de 120Hz y se observa que en múltiplos de esta frecuencia la señal esta atenuada y además sufre cambios de fase de 180° .

Discretización del MAF

Las ecuaciones previas describen al filtro MAF en el dominio continuo; Para llevar a cabo la implementación en el DSP es necesario realizar la discretización del filtro, para ello se propone una ventana de dimensión de N -muestras, donde N es un entero positivo, y con T_s como el periodo de muestreo se tiene que el tamaño de la ventana se puede expresar en estos términos como, $T_w = NT_s$

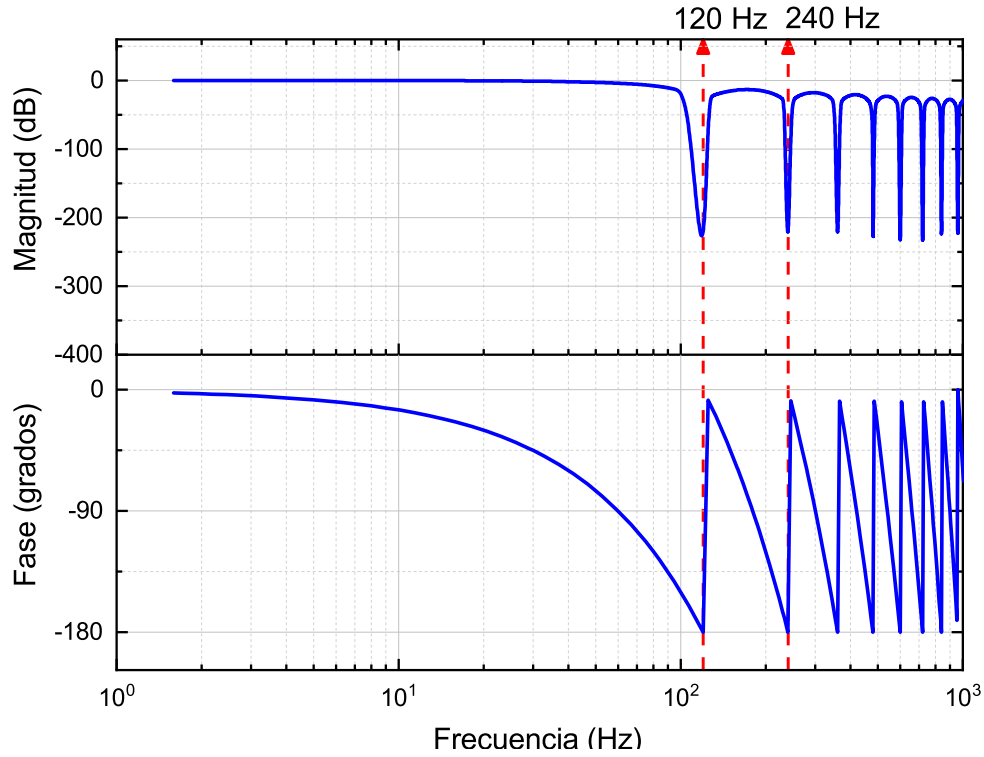


FIGURA 3.19: Respuesta en frecuencia para el filtro MAF con $T_w s = 0.00833$.

con esta expresión y con (3.46), la ecuación que describe en el tiempo discreto al filtro MAF, queda como:

$$\bar{x}(k) = \sum_{i=0}^{N-1} x(k-i) \quad (3.49)$$

Donde k es la muestra actual. Al expresar la ecuación anterior en el dominio Z se tiene que:

$$\begin{aligned} \bar{X}(z) &= G_{MAF}(z)X(z) \\ &= \frac{1}{N}(X(z) + z^{-1}X(z) + \dots + z^{-(N-1)}X(z)) \\ &= \left(\frac{1}{N} \sum_{i=0}^{N-1} z^{-i} \right) X(z) \\ &= \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} X(z) \end{aligned} \quad (3.50)$$

De (3.50) se obtiene el diagrama, figura 3.20, el cual se implementará en el microcontrolador; este consta de dos puntos de suma, una multiplicación y dos *buffers* uno de ellos de tamaño N .

En la figura 3.21 se muestra el diagrama para realizar la separación de las componentes positivas con el filtrado MAF, el filtrado de señales es realizado en el marco de referencia dq con frecuencia de corte de 120 Hz. En la etapa de filtrado se genera una señal θ_{nf} que alimenta a los bloques de transformación.

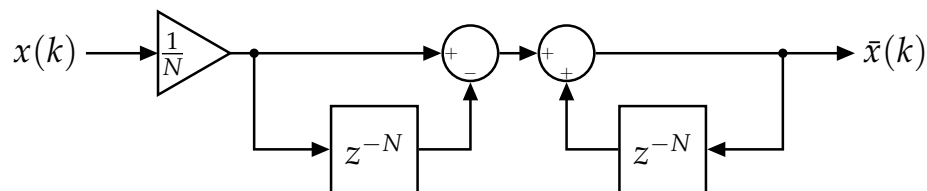


FIGURA 3.20: Diagrama de bloques del modelo discretizado del MAF para su implementación en microcontroladores, [69].

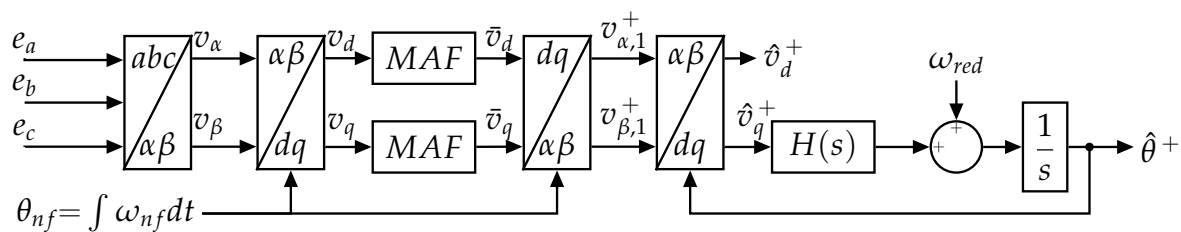


FIGURA 3.21: Diagrama del PLL con filtrado MAF en el marco de referencia dq , [69].

;

Capítulo 4

Implementación

En este capítulo se muestra cómo se realizó el sistema completo, se inicia con la parte de la planta que esta implementada en HIL; en la primer sección se muestran los parámetros de operación con los que la planta, red eléctrica, inversor, *bus* de CD, sensores y las cargas, se configuró para las pruebas. Y con ello la configuración de las conexiones entre los dispositivos.

El programa de Typhoon SCADA, es utilizado para el monitoreo de señales tales como, corrientes, potencia y voltajes, además se controlan algunos parámetros como lo son voltajes y cargas en la red eléctrica.

Para las últimas dos secciones se muestra lo que se realizó para implementar los controladores, de corriente y algoritmos de sincronización en la tarjeta DSP "F28335", para generar los códigos se empleó *SimCoder* de PSIM en donde se mezcló programación a bloques y código C.

4.1 Hardware in the Loop

En las pruebas con el *Hardware in the LOOP* (HIL) las señales reales de un controlador son conectadas a un sistemas de pruebas que *simula* la realidad [71] de esta forma se puede probar el diseño del controlador ya que la emulación en HIL muestra cómo responde el controlador en tiempo real ante estímulos que, virtualmente, son reales; un ejemplo de este sistema es un simulador de vuelo, en donde los elementos de la cabina como controles, etc. son idénticos en *hardware* a los que se encuentran en una cabina real.

4.1.1 Typhoon HIL

El dispositivo que se utilizó para emular la red eléctrica y al inversor fue el *Typhoon HIL402* este dispositivo cuenta con cuatro núcleos, tiene una resolución de 20ns para generación de señales PWM y una frecuencia de actualización de 1MHz (1 μ s), 16 entradas analógicas, 16 salidas analógicas y 32 salidas y entradas digitales.

4.1.2 Inversor interconectado a la red

Para la implementación del sistema eléctrico que comprende a, la red eléctrica, filtro, contactores, cargas, sensores, inversor y el *bus* de CD se utilizó el programa *Schematic Editor* en el cual se *dibujó* el sistema completo y en donde se establecieron las entradas/salidas para su posterior conexión con el DSP.

El circuito que se realizó se muestra en la figura 4.1, de izquierda a derecha se tienen los siguientes dispositivos, una fuente de voltaje V_{bus} que alimenta al inversor los valores de la resistencia y capacitor de *link* son de R_{dc} y C_{link} respectivamente; a la salida del inversor se tienen las tres fases v_a, v_b y v_c y en el nodo entre el filtro L se conectan los sensores de corriente, a través de la

medición entregada por estos sensores el DSP controla la corriente que se inyecta a la red eléctrica. El filtro L esta modelado como un inductor y un resistor conectados en serie con valores de L_{fil} y R_{fil} respectivamente. El contactor se encarga de la conexión/desconexión del inversor con la red eléctrica, y el comportamiento de este se controla desde el DSP. Entre el contactor y la red eléctrica se encuentra el bloque de mediciones eléctricas que sirven para medir la calidad de la energía que es generada por el inversor, este se detalla en la figura 4.2.

Del lado de la red eléctrica se tienen dos bloques para la generación de fallas de fase, etiquetados como "falla de fase" que son controlados desde SCADA, la idea de estos bloques es generar un corto circuito entre fases con una impedancia de valor de z_{ct} , el bloque GND crea un corto circuito entre las fases v_a y v_{gnd} (neutro), mientras el bloque BC genera un corto entre las fases v_b y v_c . En la parte inferior de estos bloques se encuentran conectadas las cargas, del lado inferior izquierdo se encuentra la carga del tipo estrella con dos configuraciones, carga balanceada y desbalanceada. Mientras del lado inferior derecho se tiene a la carga tipo Δ con dos configuraciones, carga balanceada y desbalanceada. Para la selección de las cargas, controladas desde SCADA, se utilizan contactores, en donde a los polos normalmente cerrados se conectan las cargas balanceadas. El valor de las cargas balanceadas es de L_{bal} y R_{bal} mientras para las cargas desbalanceadas estas son de L_{des} y R_{des} .

Por último, del lado extremo derecho, se encuentran las fuentes que simulan a los voltajes generados por la red eléctrica con impedancia de L_{grid} y R_{grid} cuyos valores corresponden con los de una red fuerte, la fuente trifásica superior se utiliza para emular fallas tipo *notch* y variaciones de frecuencia mientras que la fuente inferior es utilizada para generar disturbios en voltaje.

En el bloque de mediciones eléctricas mostrado en la figura 4.2 se muestra la forma en que se realizaron las mediciones en el punto de interconexión, los sensores de voltaje Vpc_{ABC} miden el voltaje de fase, mientras que la corriente se mide con los sensores denominados Ipc_{ABC} , estos sensores cuentan con filtros *antialiasing* (filtros pasa-bajas de primer orden) con un valor de f_{ca} . Con los datos proporcionados por los sensores se mide el THD, donde para la corriente se realiza el promedio de las tres fases y para el voltaje solo se mide el THD de la fase A. Para la medición de la potencia activa (P) y reactiva (Q), y el factor de potencia se utiliza el bloque etiquetado como "potencia".

En la tabla 4.1 se resumen los valores que se ocuparon para emular la red eléctrica, incluye impedancias de filtro y red eléctrica, sensores, entre otros valores.

Las señales de control del inversor y el contactor, en el punto de interconexión, se utilizan señales que provienen directamente de la tarjeta DSP y a su vez esta lee los valores de sensores de corriente $Iinv_{abc}$ y de voltaje Vpc_{abc} procedentes del HIL, en la tabla se muestran la asignación de pines de entrada/salida para el Typhoon 402 y el DSP. Cabe aclarar que solo son necesarias tres señales PWM, una por fase o rama, ya que con estas señales el inversor del HIL genera la señal correspondiente para el transistor inferior con tiempos muertos de $1\mu S$ para ambos flancos. La señal *On / Off*, simula un interruptor que envía una señal al DSP para indicar que se conecte con la red eléctrica para comenzar con la inyección de potencia o detiene la inyección de potencia y desconecta el inversor, el led de falla indica que ha ocurrido una falla en el inversor y el led de encendido indica que el sistema está operando.

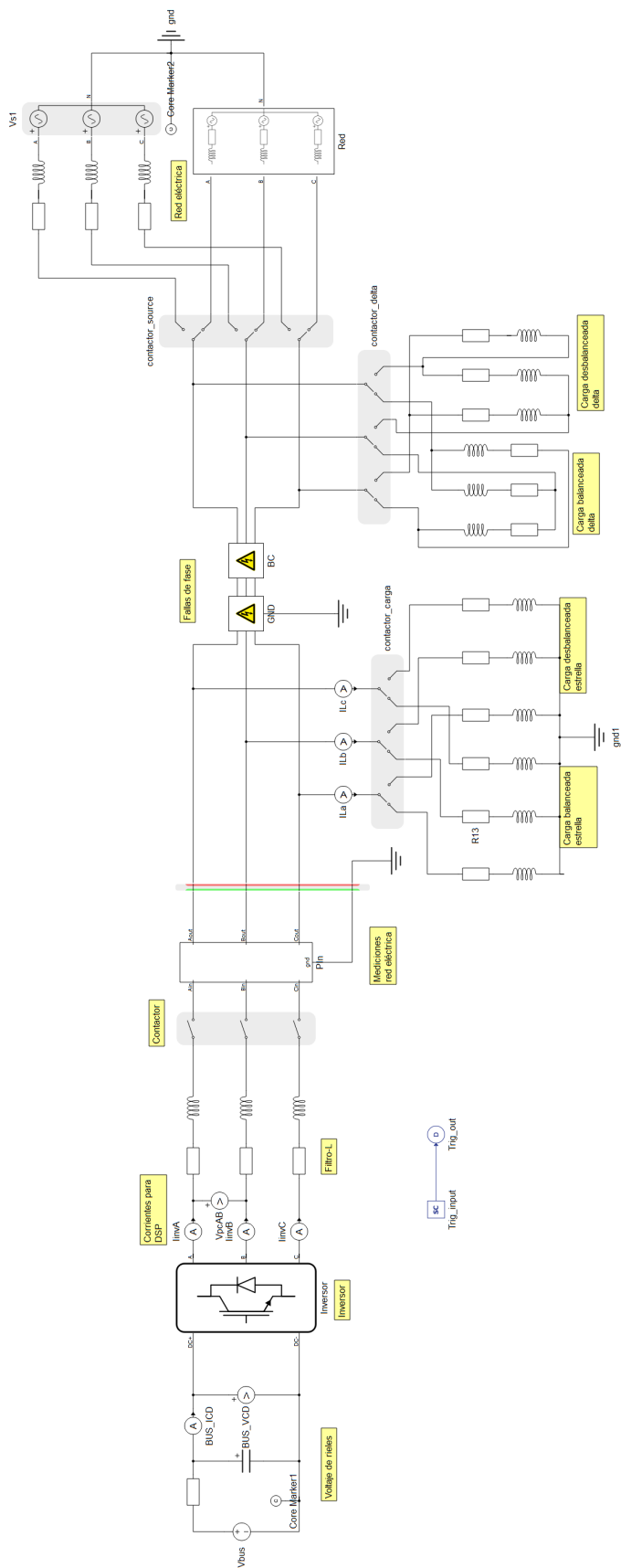


FIGURA 4.1: Esquema eléctrico que se implemento en HIL.

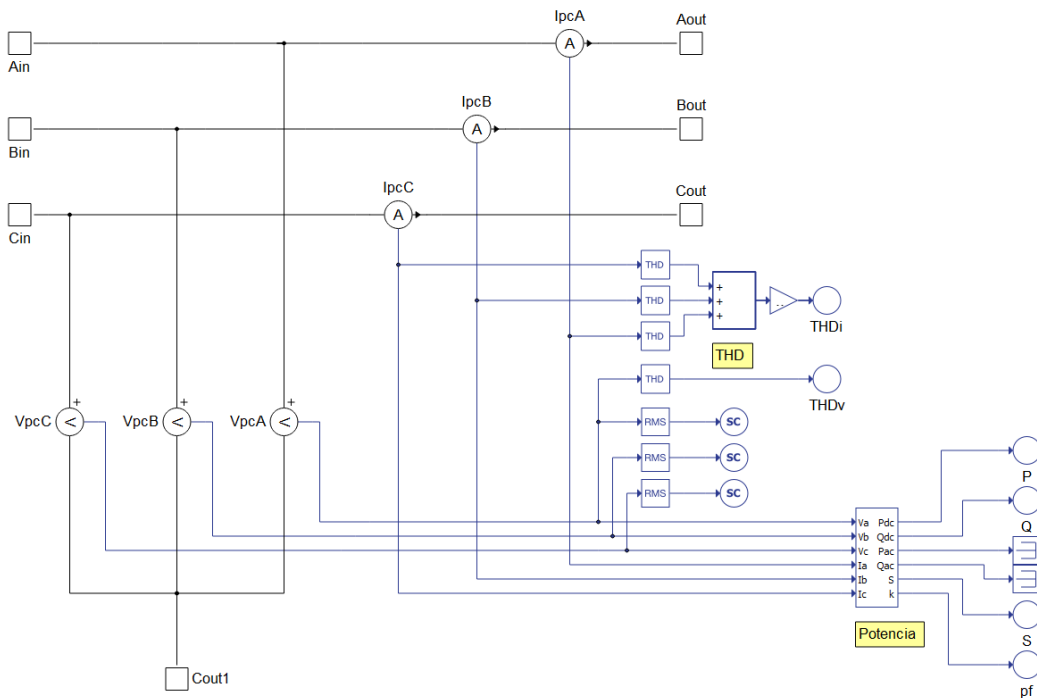


FIGURA 4.2: Bloque de mediciones eléctricas en el punto de interconexión.

TABLA 4.1: Parámetros usados para la emulación del sistema de recuperación de energía.

Parámetro	Nombre	Valor
Inductancia de red	L_{grid}	171.35 mH
Resistencia de la red	R_{grid}	6.46 m Ω
Inductancia dl filtro	L_{fil}	2.2 mH
Resistencia del filtro	R_{fil}	10 mH
Impedancia de las cargas		
Resistencia de carga balanceada	R_{bal}	2.5 Ω
Indutancia carga balanceada	L_{bal}	100 mH
Resistencias de carga desbalanceada	R_{des}^{123}	5, 2.5 y 1.25 Ω
Inductancias de carga desbalanceada	L_{des}^{123}	0.2, 50 y 10 mH
Filtro <i>antialiasing</i>	f_{ca}	2 kHz
Impedancia de corto	z_{ct}	50 m Ω
Voltaje CA	v_{abc}	127 V_{RMS}
Voltaje CD	V_{bus}	750 VCD
Resolución de sensores		
Corriente CA	$I_{inv_{ABC}}$	10 mV/A
Voltaje CA	$V_{pc_{ABC}}$	200mV/V
bus CD	Bus_{VCD}	2.5 mV/V

TABLA 4.2: Asignación de pines digitales, de entrada/salida, y analógicos para la realizar la conexión entre HIL y el DSP.

Señales digitales HIL		Señales DSP - F28335
<i>Señales PWM</i>	<i>Pin de entrada</i>	<i>Señal PWM</i>
PWM_{va}	DI32	EPWM-1A
PWM_{vb}	DI31	EPWM-2A
PWM_{vc}	DI30	EPWM-3A
Contactador PI_n	27	GPIO-6
<i>Señal de salida</i>	<i>Pin de salida</i>	<i>Entrada DSP</i>
Led de falla	DI29	GPIO-06
On / Off	DI28	GPIO-08
Led de encendido	DI27	GPIO-10
<i>Salidas analógicas</i>		<i>Entradas analógicas</i>
Iin_A	AO1	A0
Iin_B	AO2	A1
Iin_C	AO3	A2
Vpc_A	AO4	A3
Vpc_B	AO5	A4
Vpc_C	AO6	A5
BUS_{DC}	AO7	A6

4.1.3 Monitoreo en SCADA

HIL SCADA, es una herramienta que permite el monitoreo y control de las señales que provienen del sistema implementado en el HIL en tiempo real. Con este programa se creó la interfase para la captura de señales y para controlar parámetros en la red eléctrica o la generación de fallas/disturbios.

SCADA se basa en el uso de *widgets* que, en combinación con programación en *Python*, generan interfaces gráficas para controlar los procesos del HIL o del controlador así como para la adquisición de datos relevantes.

La interfase utilizada en esta tesis se muestra en la figura 4.3, la interfase gráfica se divide en cuatro secciones, dos de ellas son para la captura de señales en el bloque superior izquierdo se capturan las señales de importancia para su posterior análisis, mientras el bloque inferior solo es para monitorear señales. Los dos bloques restantes, el primero es para el control las fuentes trifásicas de la red eléctrica, generación de fallos y disturbios, el segundo bloque es para el control del voltaje del bus de CD y para controlar la conexión/desconexión del sistema con la red eléctrica.



FIGURA 4.3: Interfase gráfica en HIL SCADA, para el control del sistema eléctrico.

En esta herramienta es necesario asignar y configurar las salidas analógicas para que estas concuerden con los valores, en ganancias, con los propuestos tabla 4.1, en tabla 4.3 se muestra la configuración de las señales de salida.

TABLA 4.3: Configuración de las salidas analógicas del HIL.

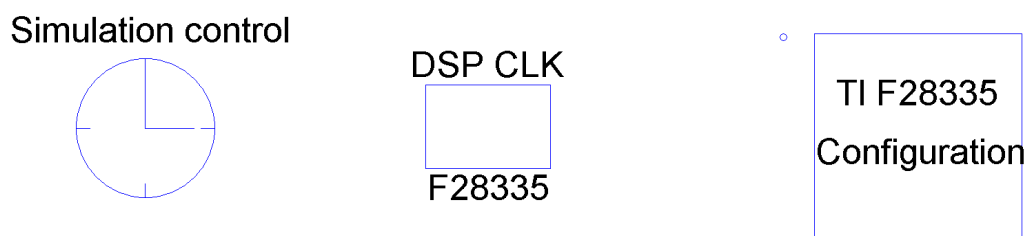
Salida	Señal	Ganancia	Offset
AO1	Pin.VpcA	60	0
AO2	Pin.VpcB	60	0
AO3	Pin.VpcC	60	0
AO4	IinvA	30	0
AO5	IinvA	30	0
AO6	IinvA	30	0
AO7	BUS_VCD	210	-5

4.2 DSP F28335

Para la generación de los códigos para la programación de la DSP, se decidió ocupar la suite de *SimCoder* de PSIM, esta permite generar programas basados en bloques que brindan gran flexibilidad por diversas razones, no se requiere conocimientos avanzados para la configuración de la tarjeta F28335 lo que permite enfocarse en la generación de algoritmos, ofrece la posibilidad de utilizar código C, se pueden simular los algoritmos con la parte eléctrica por lo que la detección de errores relacionados con el algoritmo se realiza en esta etapa.

4.2.1 Configuración del DSP

Antes de iniciar con la creación de los algoritmos es necesario configurar y añadir los periféricos que son necesarios para el sistema funcione de manera correcta. Para ello se añaden los bloques mostrados en la figura 4.4, en el primer bloque de izquierda a derecha se tiene a *Simulation control*, en este bloque se selecciona a la tarjeta en este caso fue la *TI F28335* y el *RAM Debug*, en el bloque *DSP CLK* se configura la frecuencia del reloj externo y la frecuencia de operación del DSP en este caso los valores fueron 30 MHz y 150 MHz respectivamente. En el último bloque se asignan las salidas y entradas digitales.

FIGURA 4.4: Bloques usados para la configuración de *SimCoder* y del DSP.

4.2.2 Adquisición de señales

Para capturar señales analógicas se utilizó el módulo *A/D converter*, este se configuró para operar con ganancias unitarias en CD, el comportamiento de este periférico se configuró para capturar señales en modo *start-stop 8-channel* por lo tanto, cuando el ADC recibe una señal de disparo con frecuencia f_s , iniciará con el muestreo de los canales del 0 al 7, el ADC solo puede leer señales

eléctricas que se encuentran dentro del rango de voltajes comprendido entre 0 V y +3 VCD.

En la figura 4.5 se muestran las conexiones internas, en el bloque izquierdo se simula la instrumentación electrónica acondiciona las señales eléctricas para que estas tengan un *offset* de 1.5 V y limita los rangos de voltajes permitidos. Una vez adquiridas las señales analógicas el bloque derecho ajusta los voltajes, esto consiste en la eliminación del *offset* y las multiplica por ganancias para que tengan la misma magnitud que la señal real, la ganancias para los sensores de voltaje AC, corriente y voltaje DC son, 200, 100 y 700 respectivamente.

Una vez ajustadas las señales de voltajes y corrientes, pasa a los bloques en donde se realizan las transformaciones de marcos de referencia, para las señales de corriente se transforma del marco *abc* al *dq*, para los voltajes solo se transforman de *abc* a $\alpha\beta$.

La señal de voltaje de DC pasa por un filtro pasa-bajas de primer orden con $f_{cLP} = 40\text{Hz}$.

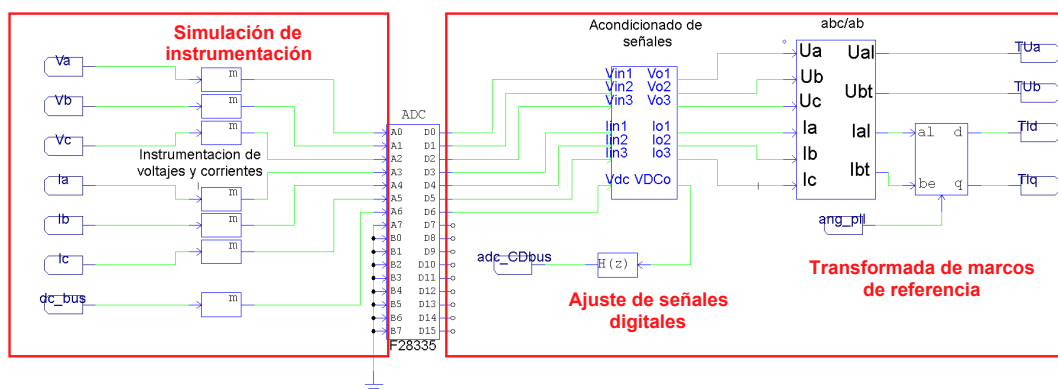


FIGURA 4.5: Captura de señales analógicas.

4.2.3 Generación de PWM

Para la generación de las señales PWM se utilizó el módulo *3-phase PWM generator*, este se encarga de modular las señales sinusoidales trifásicas en el ancho de pulso y a su vez genera las señales inversas con tiempos muertos para los transistores de las partes bajas. De inicio se seleccionan los pines de salida que corresponden con los PWM, EPWM-1A, 2A Y 3A y EPWM-1B, 2B Y 3B para los transistores de la parte alta y baja respectivamente. Se selecciona la frecuencia de las señales f_{PWM} , la forma de la señal portadora se establece en triangular. Se configura la introducción de ruido a las mediciones causado por la conmutación de los transistores.

En la figura 4.6 se muestra la conexión interna del DSP para generar las señales PWM, de izquierda a derecha se tienen a los bloques para transformar las señales en el marco *dq* al marco *abc*, estas últimas se conectan al bloque del PWM para que sean moduladas, las señales de la con fase *u*, *v* y *w* corresponden a las fases A, B y C respectivamente.

4.2.4 Entradas y salidas digitales

El DSP solo utiliza una entrada digital cuya función es la de indicar al programa el inicio/fin de la inyección de potencia a la red eléctrica. Mientras que las salidas se utilizan por indicadores luminosos, se cuenta con un led que indica falla, y otro led que indica que el sistema está operativo, mientras la tercer salida se conecta directamente al contactor para controlar la apertura/cierre del contactor ubicado entre la red eléctrica y el inversor. Las salidas y entradas digitales se asignan conforme a lo establecido en la tabla 4.2, sin ser necesaria otra configuración extra.

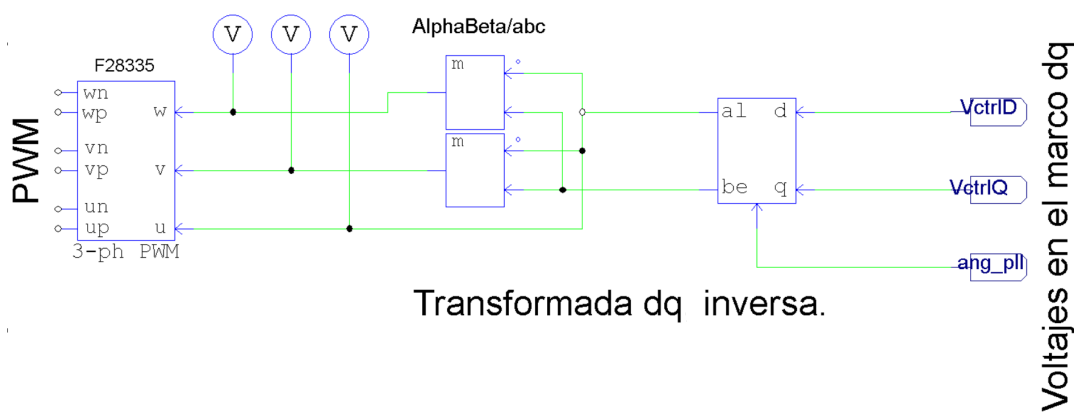


FIGURA 4.6: Modulación de las señales en el marco dq en señales PWM.

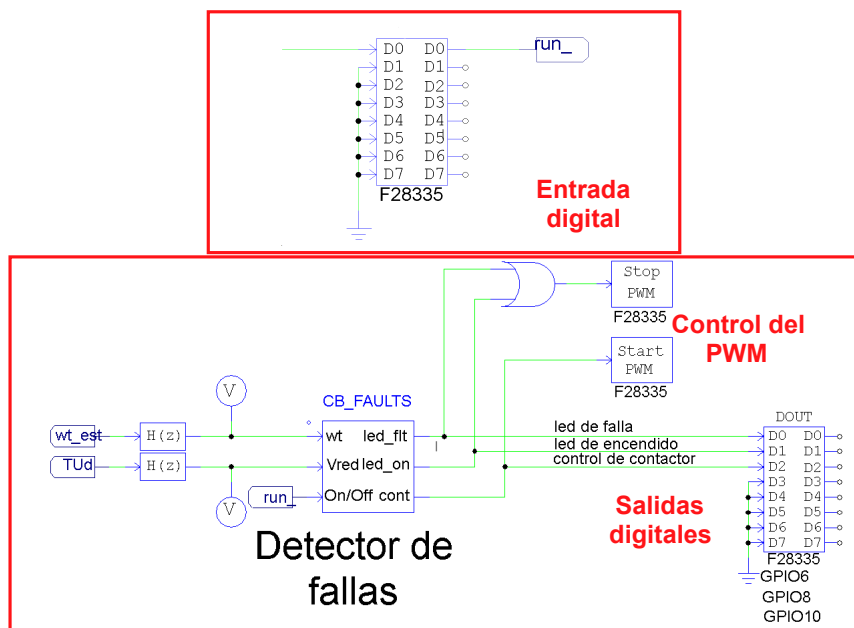


FIGURA 4.7: Bloques de entrada y salida, digitales.

Como se ha observado en la imagen anterior las salidas digitales están controladas por un bloque detector de fallas que a su vez controla al bloque PWM, la lógica de este se explicará en secciones posteriores.

4.3 Controlador de corriente

EL control de corrientes se realizó como se muestra en la figura 4.8, en este bloque se tienen las siguientes señales de entradas, I_{dr} e I_{qr} como corrientes de referencia, I_d e I_q son las corrientes inyectadas a la red eléctrica, U_r es el voltaje de fase de la red eléctrica y V_{DC} es el voltaje del bus de CD. Las salidas son dos señales en el marco de referencia dq , v_d y v_q , estas son las señales se modulan para generar el PWM.

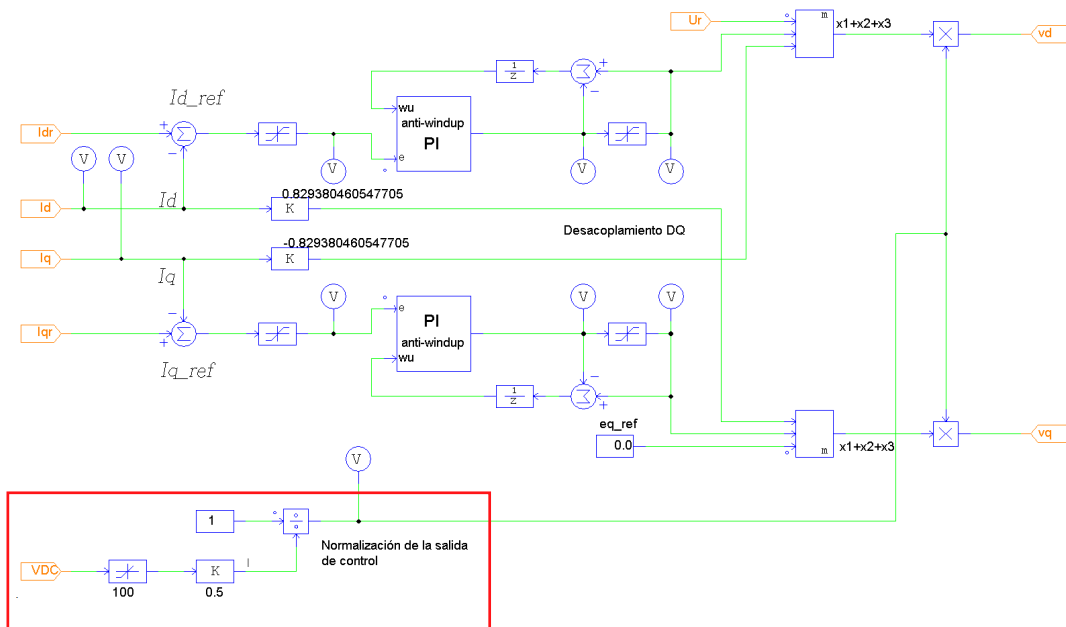


FIGURA 4.8: Control de corriente en el marco dq con desacoplamiento de señales $\omega_d i_q$ y $\omega_q i_d$.

De la figura anterior se observa que se utilizaron dos bloques de programación en C para realizar los controladores PI con anti-windup, esto para evitar la saturación de los integradores y eliminar el picos de corriente excesivos durante el transitorio de conexión con la red eléctrica. En el recuadro rojo, se realizan las operaciones necesarias para normalizar la salida del voltaje del bus de CD para que este concuerde con el ancho de pulso.

En la figura 4.9 se muestra el diagrama general del control de corriente, este consta del bloque de control de corrientes y el bloque para el cálculo de corrientes de referencia, este último bloque genera las corrientes de referencia en base a las potencias de referencia P_{ref} y Q_{ref} y los voltajes de la red eléctrica v_q y v_d .

4.4 Protecciones

El algoritmo de protecciones detecta cuando el voltaje o la frecuencia se salen de los rangos permitidos, marcados por los estándares revisados en el capítulo 2, para tomar las medidas adecuadas.

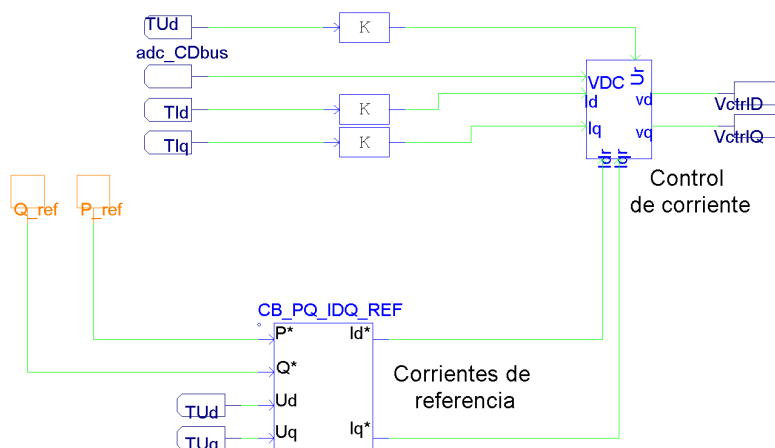


FIGURA 4.9: Control de corrientes con señales de entrada y generación de corrientes de referencia.

las pruebas que se realizaron son para la evaluación de los tiempos de activación de las protecciones. Cuando el algoritmo detecta un voltaje mayor a 1.1 p.u. o menor a 0.9 p.u. envía una señal para desactivar las señales PWM y para desconectar el inversor de la red eléctrica a través del contactor. Lo mismo sucede al detectar una frecuencia mayor o menor a la permitida.

De esta manera se evitan posibles daños al inversor o que se generen disturbios en la red eléctrica, en la figura 4.10 se muestra el diagrama de conexión para las protecciones en el DSP.

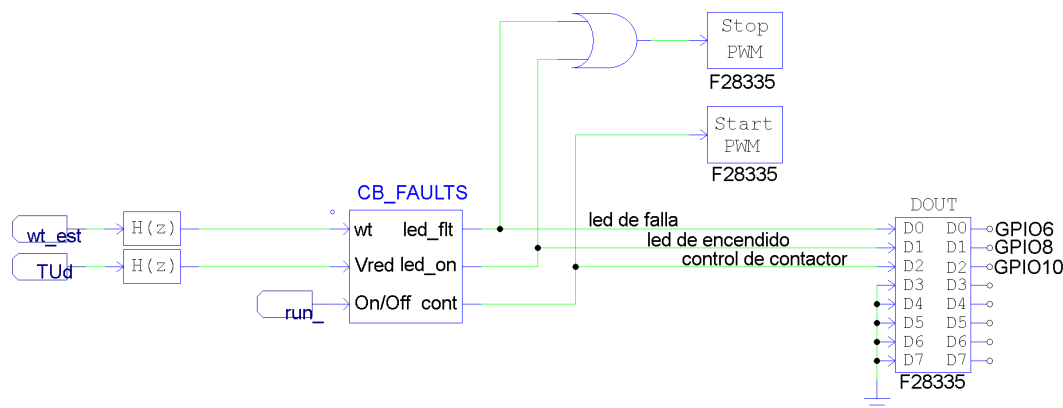


FIGURA 4.10: Diagrama para la detección de anomalías y activación de protecciones.

4.5 Algoritmos de sincronización

4.5.1 SRF-PLL

El algoritmo para probar el SRF-PLL se realizó en código C para eliminar errores de retroalimentación que se presentaban al integrarlo con otras técnicas de filtrado, en la figura 4.11 se muestran los bloques utilizados, a partir de este bloque se pueden estimar las señales de voltaje, frecuencia y ángulo de fase.

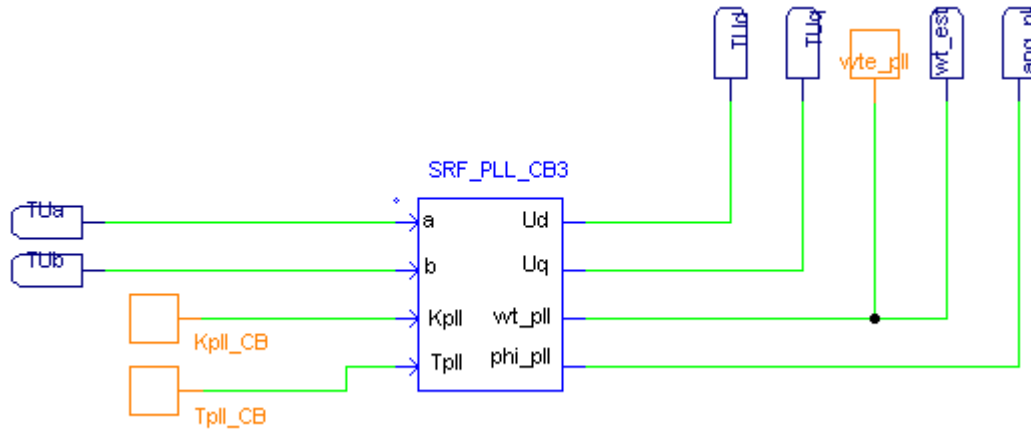


FIGURA 4.11: Bloque C, para el SRF-PLL.

Las ganancias que se ocuparon en el controlador fueron, $k_{pll} = 2.050549647$ para la parte proporcional y de $t_{pll} = 0.02666667$ para la parte integral.

4.5.2 DSRF-PLL

El algoritmo que se utilizó se muestra en la figura 4.12 éste está compuesto por tres partes, de izquierda a derecha, los bloques de transformación $\alpha\beta/dq$, bloque para desacoplar las señales y el PLL, se utilizan dos bloques de transformación dq , el superior es para las componentes positivas y el inferior es para las componentes negativas, mientras que el bloque de desacoplamiento se realizó en código C, a la salida de este se tienen las señales, vDp y vQp que corresponden con los voltajes equivalentes de las componentes positivas mientras, vDn y vQn son las componentes negativas.

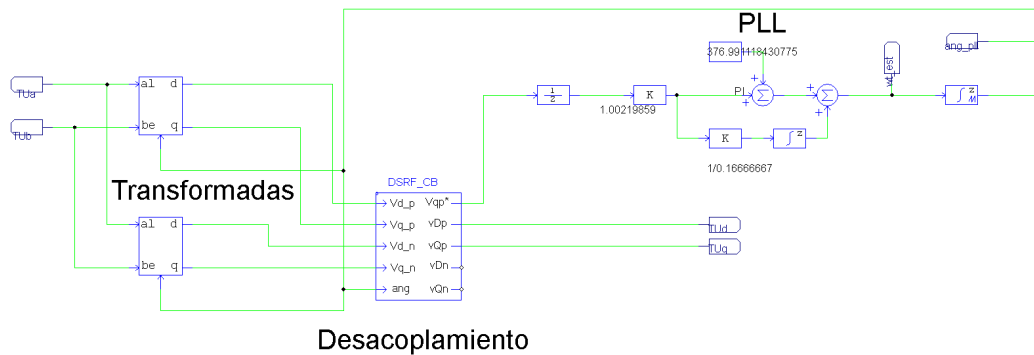


FIGURA 4.12: Programa a bloques para el algoritmo DSRF-PLL.

Las señales que representan a los voltajes de las componentes simétricas internamente pasan por un filtro pasa-bajas de primer orden con frecuencia de corte $f_c \approx 42\text{Hz}$ y las ganancias del PLL son, $k_{pll} = 1.00219859$ para la parte proporcional y de $t_{pll} = 0.0.16666667$ para la parte integral.

4.5.3 DSOGI-PLL

El algoritmo del DSOGI-QSG consta de cuatro bloques principales, a la entrada se tiene al bloque DSOGI-QSG que se encarga de generar las señales ortogonales $q\alpha'q\beta'$ de los voltajes de entrada $\alpha\beta$, estos voltajes pasan por el extractor de componentes positivas (ECP), como producto se obtienen los voltajes $\alpha^+\beta^+$

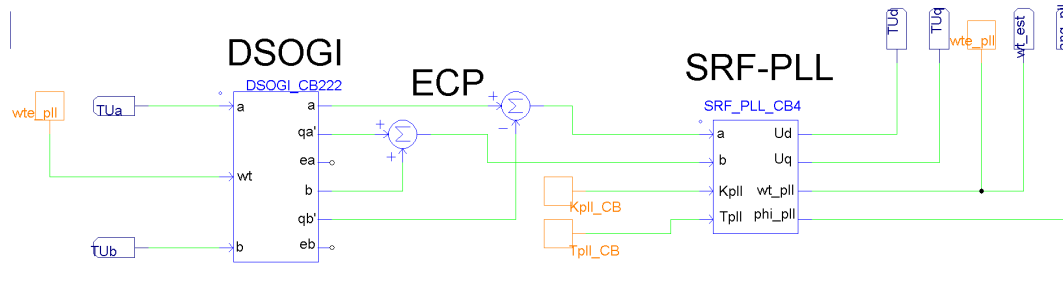


FIGURA 4.13: Programa a bloques para el algoritmo DSOGI-QSG.

Se utiliza un valor de $k = 1.414$ en el bloque DSOGI y las ganancias del PLL son, $k_{pll} = 2.50549647$ para la parte proporcional y de $t_{pll} = 0.02666667$ para la parte integral.

4.5.4 DSOGI-FLL

Las constantes que se utilizaron en el DSOGI-QSG se mantienen sin cambios mientras, la constante de normalización Γ toma un valor de 96 con esto se tiene un tiempo de asentamiento de 100ms. En la figura 4.14 se muestra el diagrama que se utilizó para la generación del código.

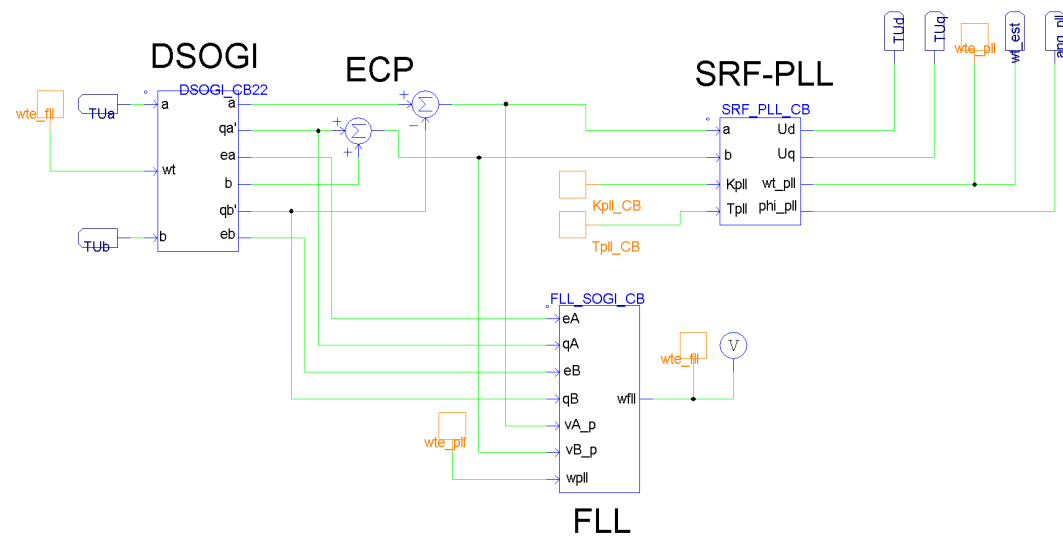


FIGURA 4.14: Programa a bloques del algoritmo DSOGI-FLL.

Las ganancias del PLL son, $k_{pll} = 1.00219859$ para la parte proporcional y de $t_{pll} = 0.01666667$ para la parte integral.

4.5.5 MAF-PLL

En la figura 4.15 se muestra el diagrama del MAF, este está alimentado por dos señales de voltaje en el marco $\alpha\beta$ las cuales pasan a través del bloque MAF para remover componentes simétricas negativas y de esta forma se alimenta al bloque de transformación $dq/\alpha\beta$ donde el ángulo para realizar esta operación se genera con un integrador donde la referencia es la frecuencia nominal de la red eléctrica. Debido a que el número de muestras ($N=135$) es un numero impar se utilizan dos bloques MAF por señal para que al realizar la suma de estas señales la frecuencia de corte quede centrada en 120 Hz.

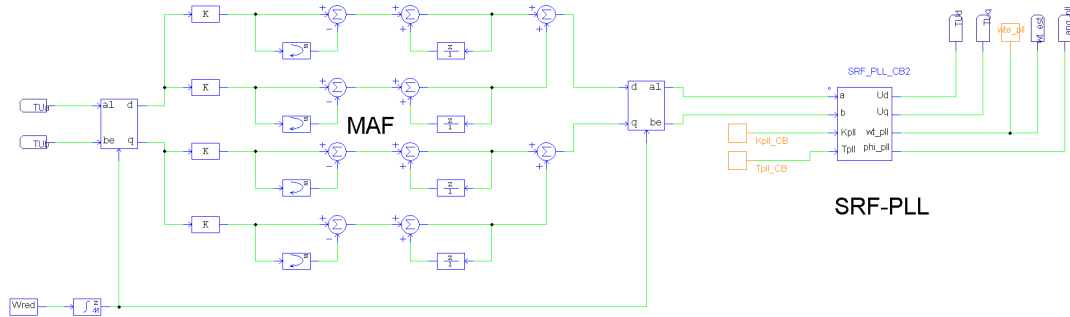


FIGURA 4.15: Programa a bloques del algoritmo MAF-PLL.

Se ocuparon las ganancias del PLL con valores de, $k_{pll} = 1.00219859$ para la parte proporcional y de $t_{pll} = 0.0.16666667$ para la parte integral.

Capítulo 5

Evaluación de técnicas PLL

El análisis que se ha llevado a cabo para evaluar a las técnicas de sincronización está basado en el impacto que estas tienen sobre el control de corriente y como consecuencia, el efecto que éstas tienen sobre la calidad de la energía que es inyectada a la red eléctrica. Con esto en cuenta las mediciones que se muestran a continuación están enfocadas en la medición de la calidad energética que el inversor provee, y estas son:

- Potencia activa (P).
- Potencia reactiva (Q).
- Factor de potencia (f.d.p.).
- THD en corriente y voltaje.

Con la cuantificación de estos parámetros será posible determinar cuál es la técnica de sincronización que mejor se desempeña ante la presencia de disturbios en la red eléctrica. Las pruebas que se realizaron son las que, la literatura marca, generan un mayor impacto sobre el sistema y además son las más críticas a detectar, estas son, el transitorio al conectarse a la red para iniciar con la inyección de energía, desbalance en fases, variación de frecuencia, armónicos en la red, cargas desbalanceadas en conexiones δ y estrella, fallas de fase-tierra y fase-fase; Las fallas que se introdujeron al sistema son sostenidas (duraciones mayores a 1 segundo) y transitorias (menores a un 16 mS).

Dado que los algoritmos de sincronización generan parámetros relacionados con la red (voltaje, frecuencia, ángulo y en algunos casos detección de fallas) y estos son utilizados para la detección de fallos y con ello la activación oportuna de las protecciones. Por ello se evalúa el impacto que los disturbios tienen sobre la detección oportuna de las fallas, las protecciones que fueron objeto de evaluación se muestran a continuación:

- Detección de *isla*.
- Sobrevoltaje.
- Bajovoltaje.
- Sobrefrecuencia.
- Bajofrecuencia.
- Falla fase-tierra.
- Falla fase-fase.

5.1 Calidad de la energía

En esta sección se muestran los resultados enfocados en la calidad de la energía que el FED provee a la red eléctrica, las mediciones que se utilizan son las de potencia activa, y potencia reactiva las cuales nos indican la cantidad de potencia que se está inyectando o absorbiendo en la red eléctrica, el factor de potencia que es un parámetro que provee información sobre la calidad de la energía, siendo 1 el valor ideal que se tendría que alcanzar, el THD en la corriente nos indica que tan distorsionada está la señal que se inyecta a la red eléctrica, se muestran las señales de voltaje para mostrar que no existe distorsión en las fases como consecuencia de la operación del inversor.

5.1.1 Conexión a la red

Teniendo en mente que el inversor se conectara y desconectara de la red eléctrica en diversas ocasiones, es importante conocer el comportamiento de las señales y sobre todo la afectación a la que la red eléctrica se ve sometida con potencia nominal.

En las figuras 5.1 y 5.2 se muestra el comportamiento del transitorio de corriente durante el cierre del contactor, en esta etapa el inversor inyecta 30 kW.

El comportamiento de la potencia, voltajes y corrientes durante la conexión del inversor a la red fue similar para las cinco pruebas, se midió el tiempo que tarda el sistema en llegar a la potencia de referencia es de aproximadamente un ciclo (16mS), sin picos de corriente, el voltaje de la red eléctrica se distorsiona en las tres fases por un periodo de tiempo menor a 1mS, sin embargo permanece dentro de los límites de la norma y sin que la amplitud del voltaje salga de los límites.

La diferencia más notable durante las pruebas, se presentaron en el contenido armónico de la corriente que se mantiene por debajo del 5% del total.

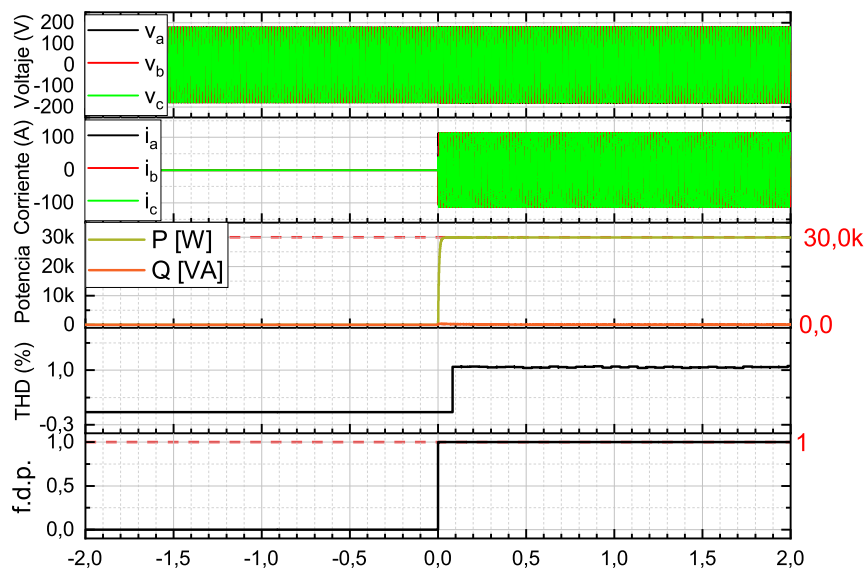


FIGURA 5.1: Comportamiento del inversor al conectarlo a la red eléctrica, SRF-PLL.

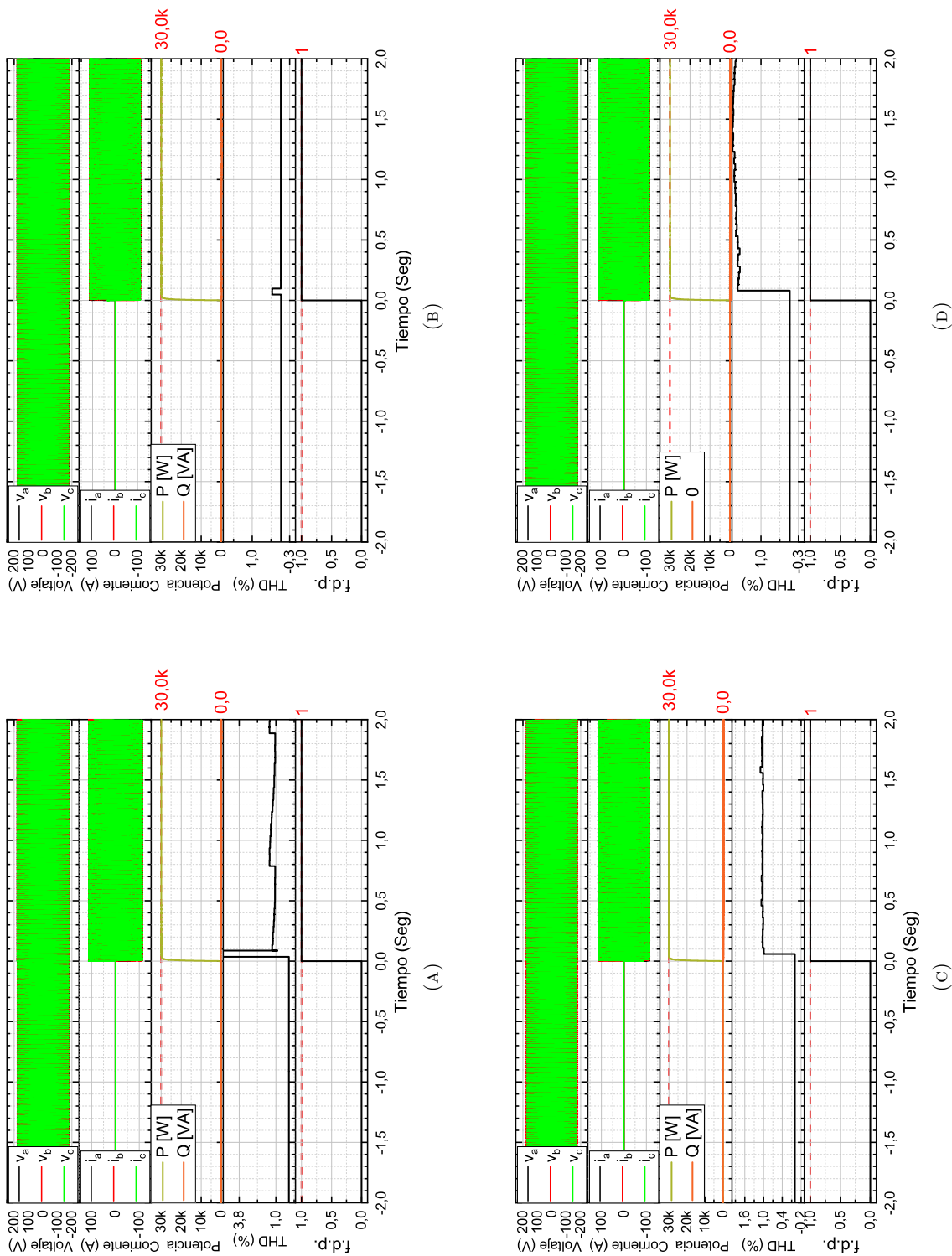


FIGURA 5.2: Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, durante la conexión a la red.

De los resultados mostrados en las gráficas anteriores, durante el transitorio se observaron afectaciones las cuales se encuentran dentro de los parámetros permitidos por las normas. Tampoco se obtuvieron picos de corriente que afecten al inversor, en general durante el transitorio de conexión el sistema se mantuvo estable sin que se observaran variaciones considerables.

5.1.2 Operación nominal

En estado estacionario y bajo condiciones nominales es posible notar que el comportamiento de los algoritmos de sincronización afectan a la operación del controlador de corriente, se llega a esta conclusión dado que, éstos algoritmos son las únicas variaciones que se introducen al algoritmo para inyectar energía a la red eléctrica, con las mediciones se tiene que el DSOGI, FLL y el SRF son los más precisos en la detección de los parámetros de la red eléctrica ya que son los que menor THD generan en la corriente. Cabe mencionar el SRF, en esta prueba, muestra que su desempeño es bastante alto puesto es el que menor THD genera.

De las mediciones al voltaje de la red eléctrica ningún algoritmo de sincronización altero las magnitudes ni generó variaciones o fluctuaciones tanto en voltaje como en frecuencia. Para el algoritmo DDSRF se observa una variación considerable del THD en la corriente, en las figuras 5.3 y 5.4 se muestran las señales capturadas durante la prueba.

En la gráfica correspondiente al SRF se muestra que la corriente que se inyecta a la red es de 30kW y con un f.d.p. mayor al 99%, además el THD que se genera ronda el 1.1%, las señales que se generan con este algoritmo no afectan a los parámetros de la red eléctrica.

Para todas las técnicas de sincronización se inyecta potencia activa de 30 kW y con f.d.p. del 99% lo cual indica que la fase entre el voltaje y la corriente se mantienen muy parecidas, en cuanto al THD en corriente es donde se notan las mayores diferencias, esto indica que la corriente contiene armónicos, de los algoritmos que se probaron el DSRF es donde el THD oscila de manera más notorio sin embargo el MAF es el que introduce mayor contenido armónico alcanzando hasta el 2%.

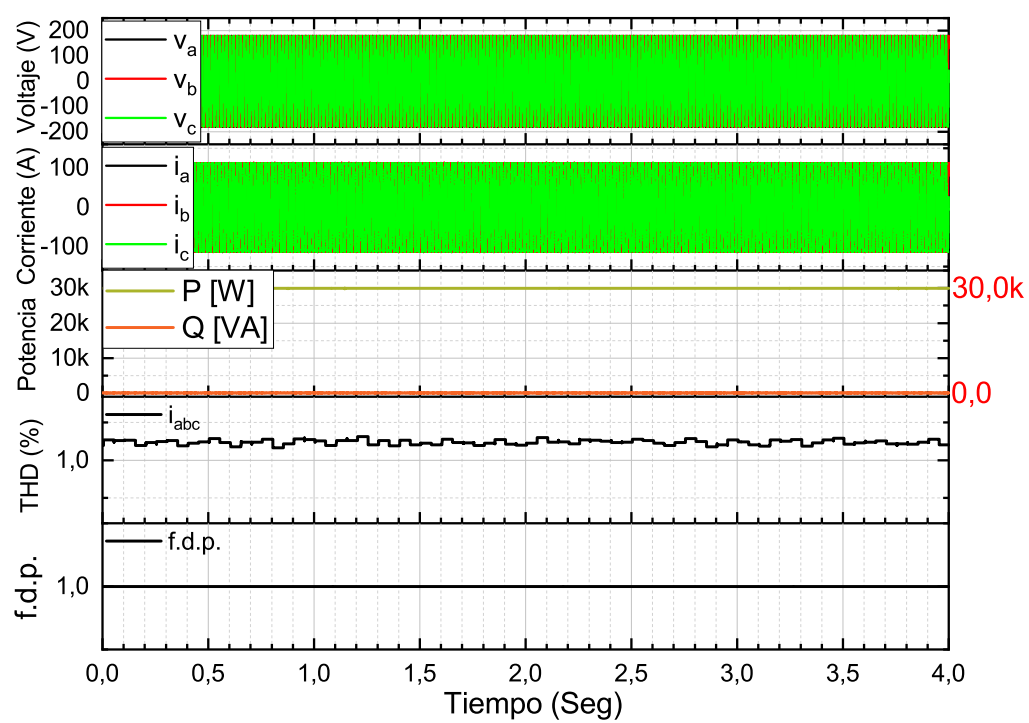


FIGURA 5.3: Comportamiento del inversor en estado estacionario y bajo condiciones nominales, SRF-PLL.

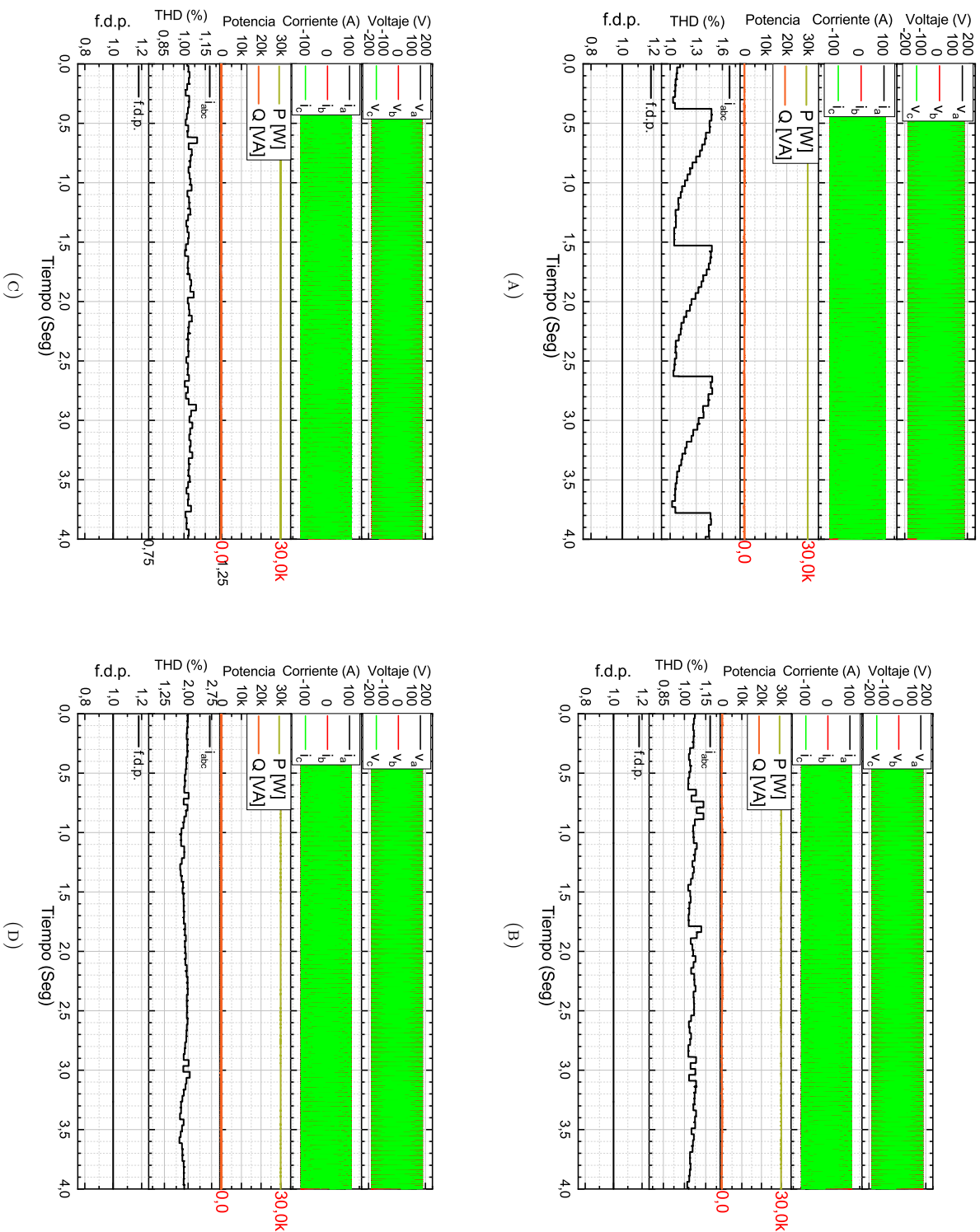


FIGURA 5.4: Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, durante estado estacionario y bajo condiciones nominales.

5.1.3 Operación en desbalance

Las pruebas de desbalance de voltajes se realizaron en tres partes, para la primera el análisis se hizo tomando en cuenta que las tres fases tienen voltajes mayores a al nominal $v_{abc} > 127V$, pero dentro de los límites permitidos por la norma. En el segundo, el análisis se llevó a cabo con voltajes menores al nominal $v_{abc} < 127V$, para el tercer caso se generaron voltajes por encima/debajo del voltaje nominal, los resultados se muestran en las siguientes gráficas; Las figuras 5.5 y 5.6 muestran el primer caso, se observa que los niveles de THD en las corrientes no se vieron afectados de forma significativa, manteniéndose por debajo del límite del 5%.

En las figuras 5.5 y 5.6 se muestran los resultados cuando en la red eléctrica se presenta desbalance en las fases con valores de $v_a = 1.1p.u.$, $v_b = 1.05p.u.$, y $v_c = 1.07p.u.$, todos estos valores están dentro de los límites de operación permitidos por las normas de CFE.

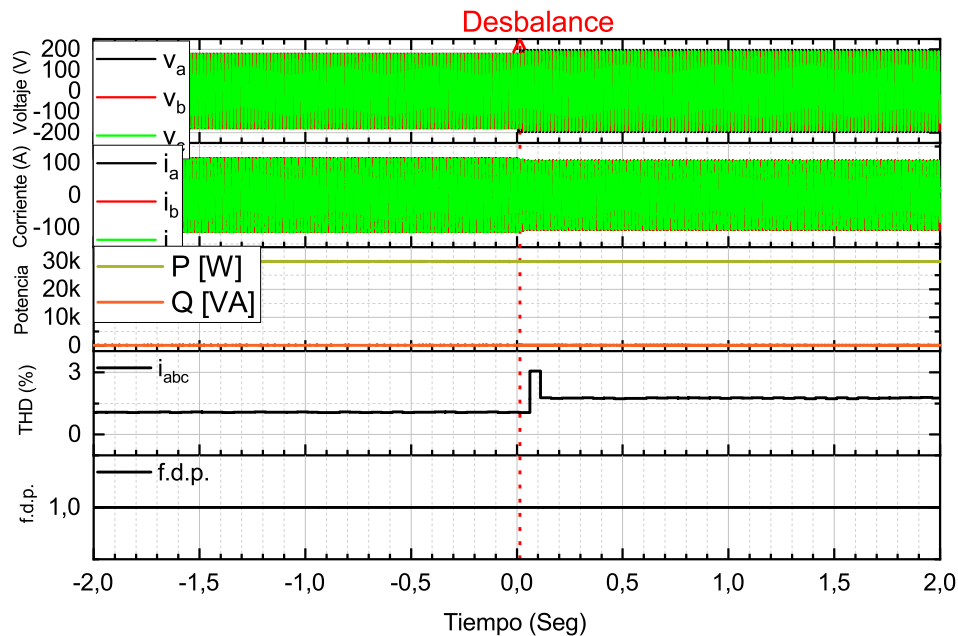
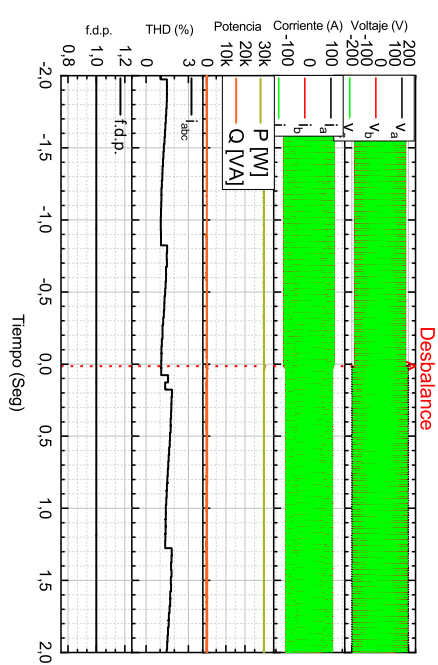


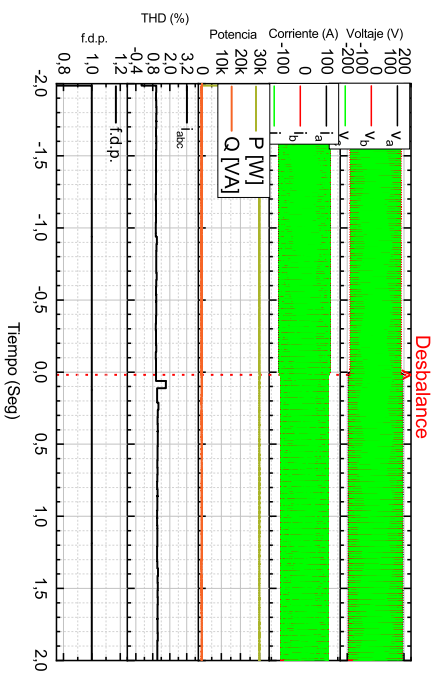
FIGURA 5.5: Comportamiento del inversor en presencia de desbalance en las fases, $v_a = 1.1p.u.$, $v_b = 1.05p.u.$, y $v_c = 1.07p.u.$, SRF-PLL.

Durante esta prueba se miden dos segundos antes del disturbio en los voltajes con el fin de comparar el comportamiento de los algoritmos antes y después, en la gráfica correspondiente al SRF se observa como el THD, de corriente, incrementa sin ser significativo mientras que los demás algoritmos se mantienen operando de manera normal sin que se observen alteraciones en la generación de energía.

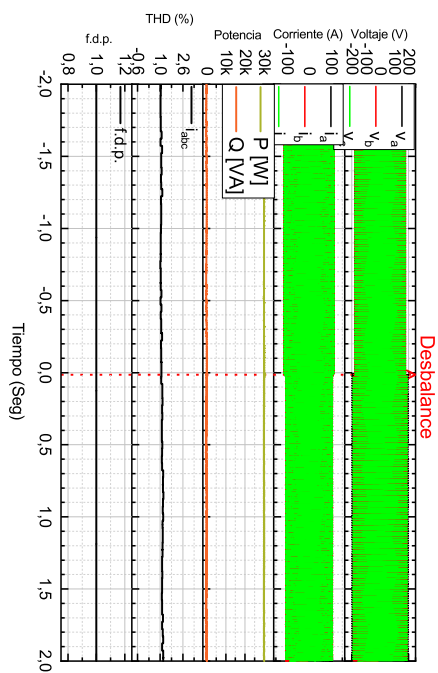
Durante la segunda prueba con voltajes desbalanceados se tienen voltajes inferiores al voltaje nominal con valores de, $v_a = 0.9p.u.$, $v_b = 0.95p.u.$, y $v_c = 0.93p.u.$, al igual que la prueba anterior el SRF es el único algoritmo que parece ser afectado por la aparición de las componentes negativas



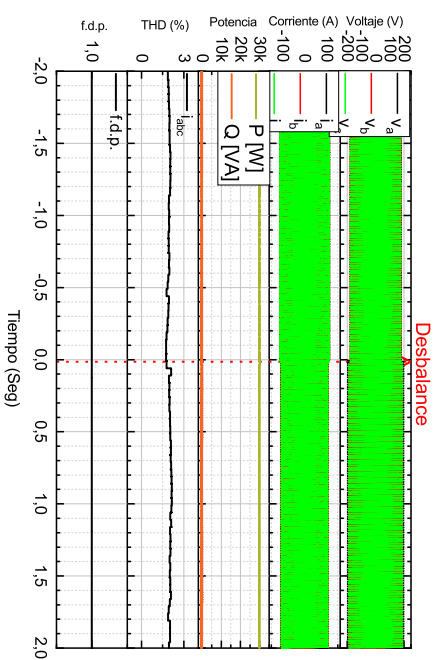
(A)



(B)



(C)



(D)

FIGURA 5.6: Comparación entre los algoritmos, (A) DSRF, (B) DSOGL, (C) DSOGL-PLL y (D) MCF, en presencia de desbalance en las fases, $v_a = 1.1p.u.$, $v_b = 1.05p.u.$, y $v_c = 1.07p.u.$,

en la red eléctrica sin que este llegue a ser significativo para provocar alteraciones en la generación de la red eléctrica, en las figuras 5.7 y 5.8 se observan los resultados de esta prueba.

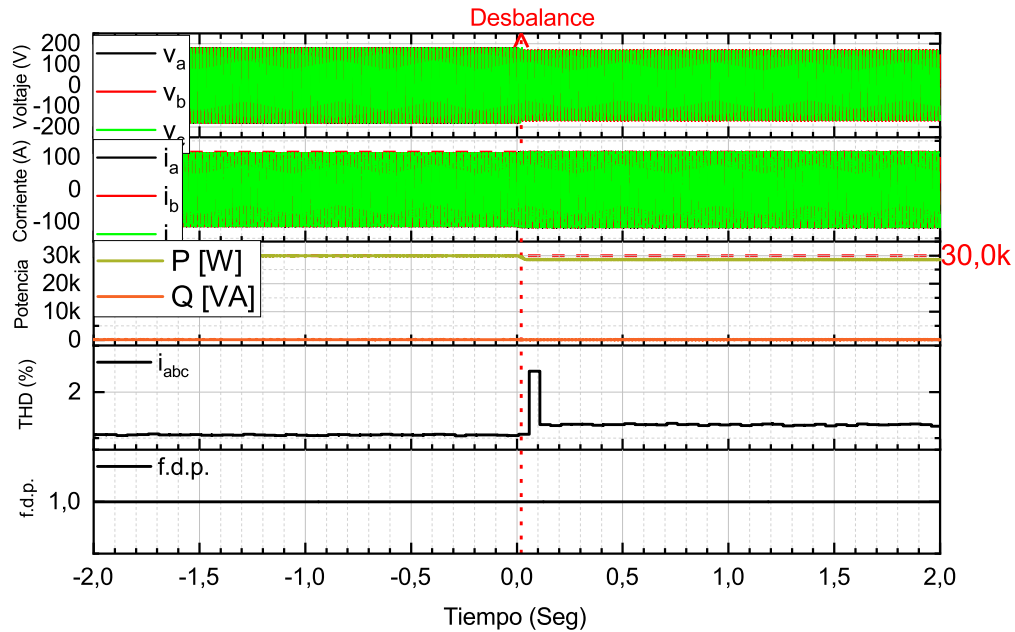
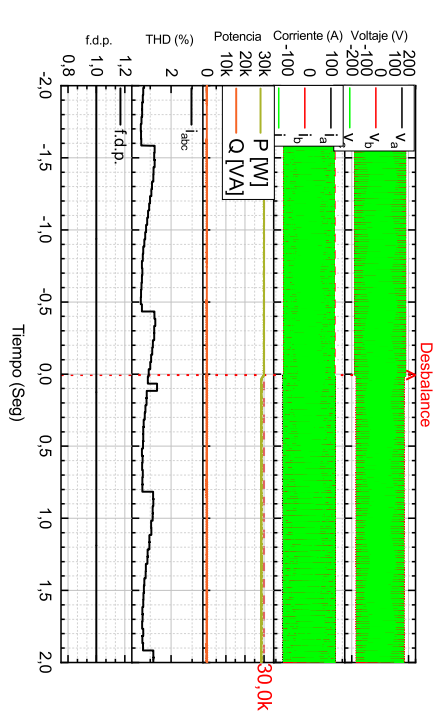
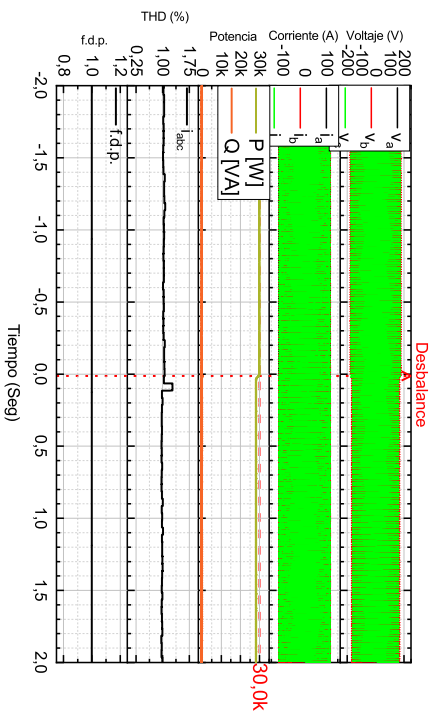


FIGURA 5.7: Comportamiento del inversor en a presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 0.95p.u.$ y $v_c = 0.93p.u.$, SRF-PLL.

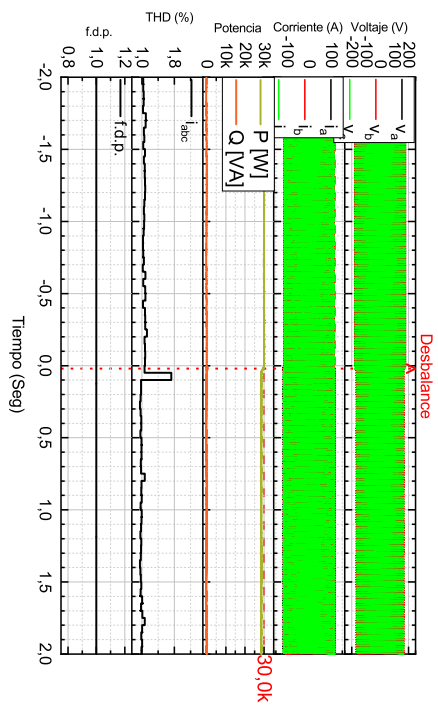
En la tercer prueba de voltajes desbalanceados se generaron voltajes con valores de $v_a = 0.9p.u.$, $v_b = 1.1p.u.$ y $v_c = 1.04p.u.$, valores por arriba/abajo del valor nominal, esta prueba fue la que más evidenció los problemas de estimación de los parámetros en los algoritmos de sincronización. El SRF fue el más afectado llegando a sobrepasar el límite, del 5% de THD en corriente, y también se observaron oscilaciones en la potencia introducida junto con en el DDSRF también se notaron afectaciones en la generación pues el THD se incrementó considerablemente pero dentro de los límites de operación. En cuanto al MAF, DSOGI y FLL no se notaron incrementos considerables en el THD, pero resultó afectada la potencia inyectada a la red eléctrica con ligeras oscilaciones que se presentaron en las mediciones, en las figuras 5.9 y 5.10 se muestran las mediciones que se obtuvieron en las pruebas.



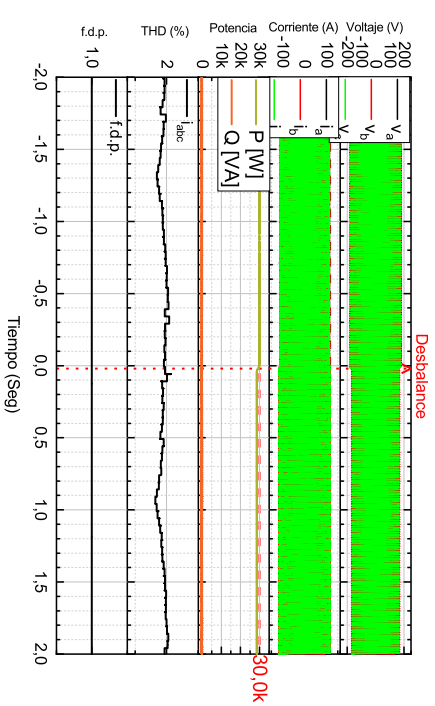
(A)



(B)



(C)



(D)

FIGURA 5.8: Comparación entre los algoritmos, (A) DSRF, (B) DSOGL, (C) DSOGL-PLL y (D) MCF, en presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 0.95p.u.$, y $v_c = 0.93p.u.$.

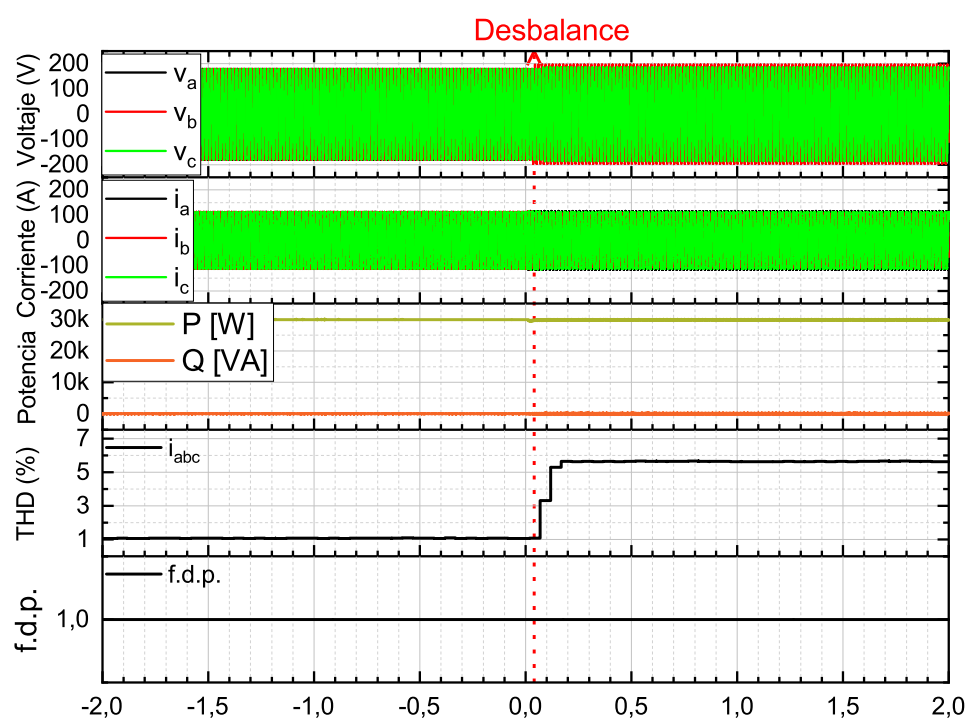


FIGURA 5.9: Comportamiento del inversor en a presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 1.1p.u.$, y $v_c = 1.04p.u.$, SRF-PLL.

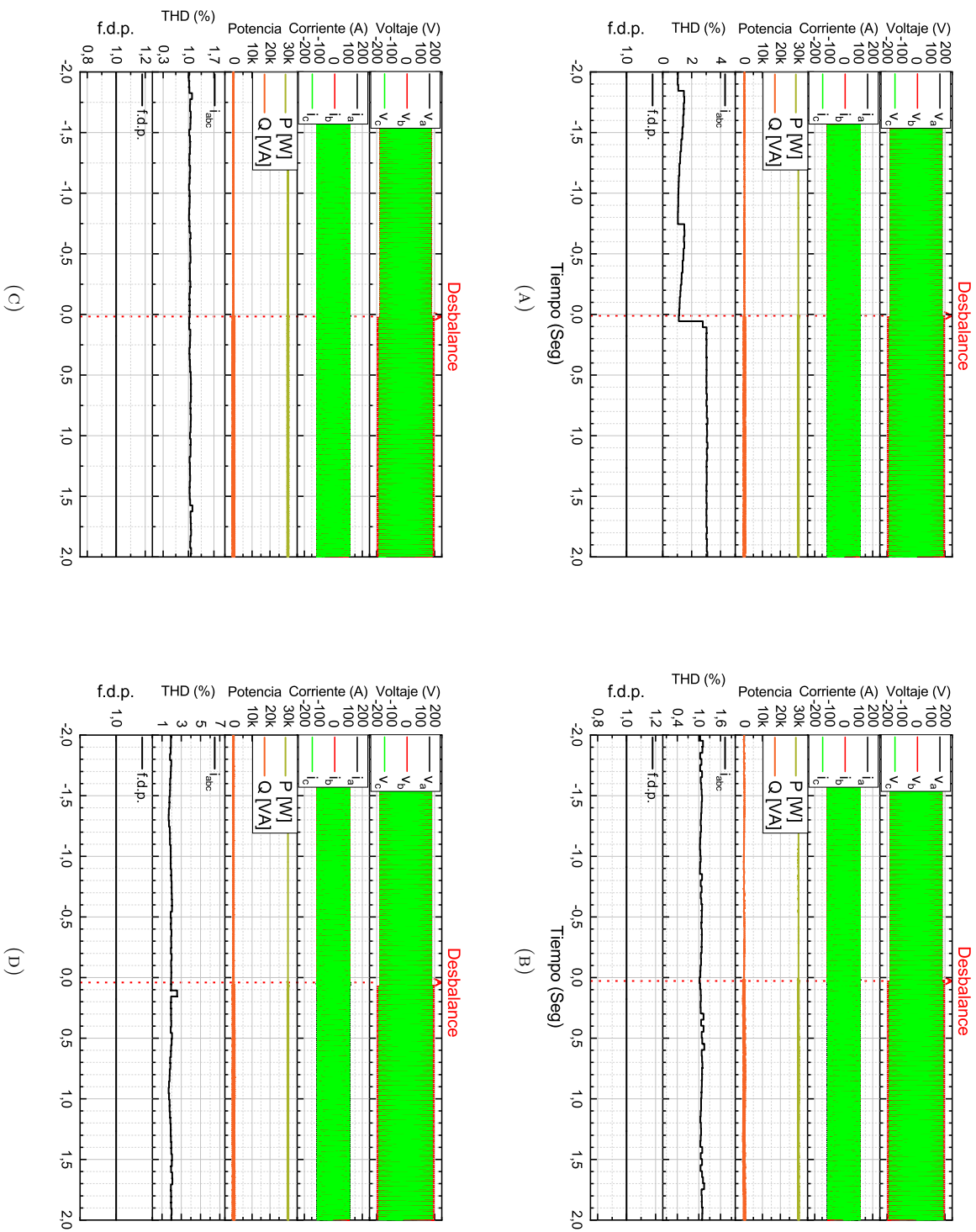


FIGURA 5.10: Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de desbalance en las fases, $v_a = 0.9p.u.$, $v_b = 1.1p.u.$, y $v_c = 1.04p.u.$.

5.1.4 Operación con armónicos

Los armónicos son parte importante de las pruebas puesto que estos son los que más afectan el rendimiento de la inyección de energía, para ello se inyectaron armónicos siendo considerados hasta el 3er armónico, en la tabla 5.1 se muestran las componentes y la magnitud de los armónicos inyectados en la red eléctrica. En las figuras 5.1 y 5.11 se muestran los resultados de las pruebas donde se muestra que el THD total en voltaje alcanzo el 12.6%, muy por encima de los límites.

Las afectaciones que generan los armónicos al SRF hacen que la corriente que se inyecte a la red eléctrica tengan, el THD encima de los valores permitidos, los algoritmos MAF, DDSRF, DSOGI y FLL se mantuvieron operando dentro de los límites establecidos por las normas sin embargo, se midieron oscilaciones en la inyección de potencia reactiva a la red eléctrica.

Con esto se comprueba que solo el SRF no puede operar cuando hay armónicos en la red eléctrica puesto comprometería la integridad de la red eléctrica y dispositivos conectados a ella.

TABLA 5.1: Contenido de armónicos para la red eléctrica.

Armónico	Magnitud [p.u.]
3	0.1
5	0.07
7	0.05
11	0.03
13	0.009

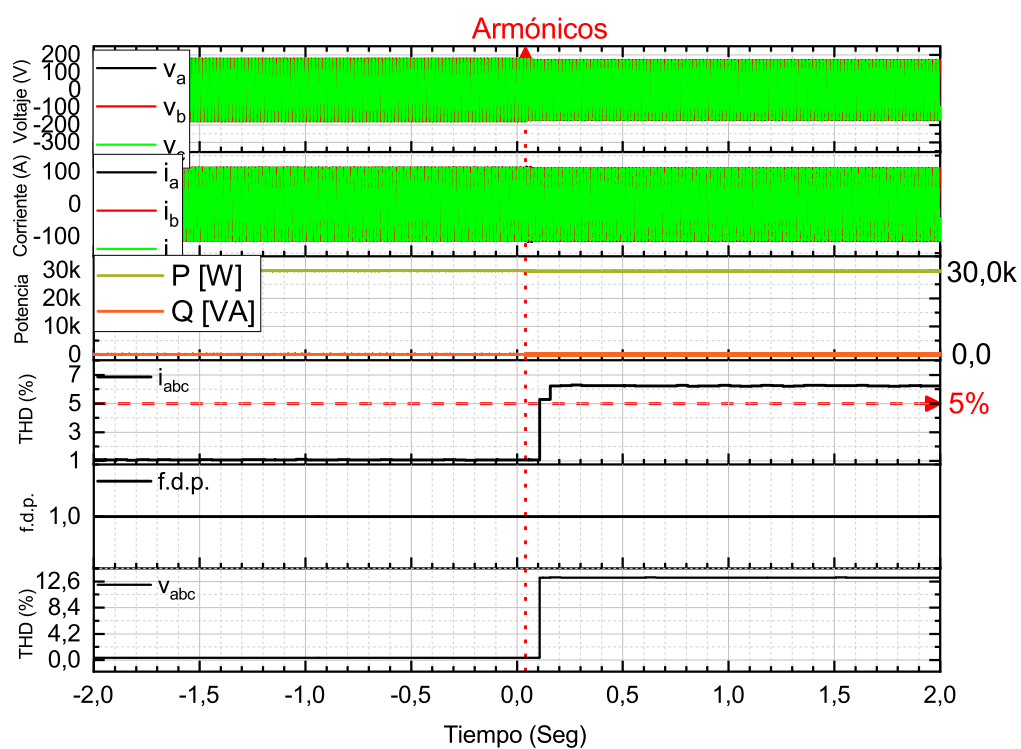


FIGURA 5.11: Inyección de armónicos a la red eléctrica, SRF-PLL.

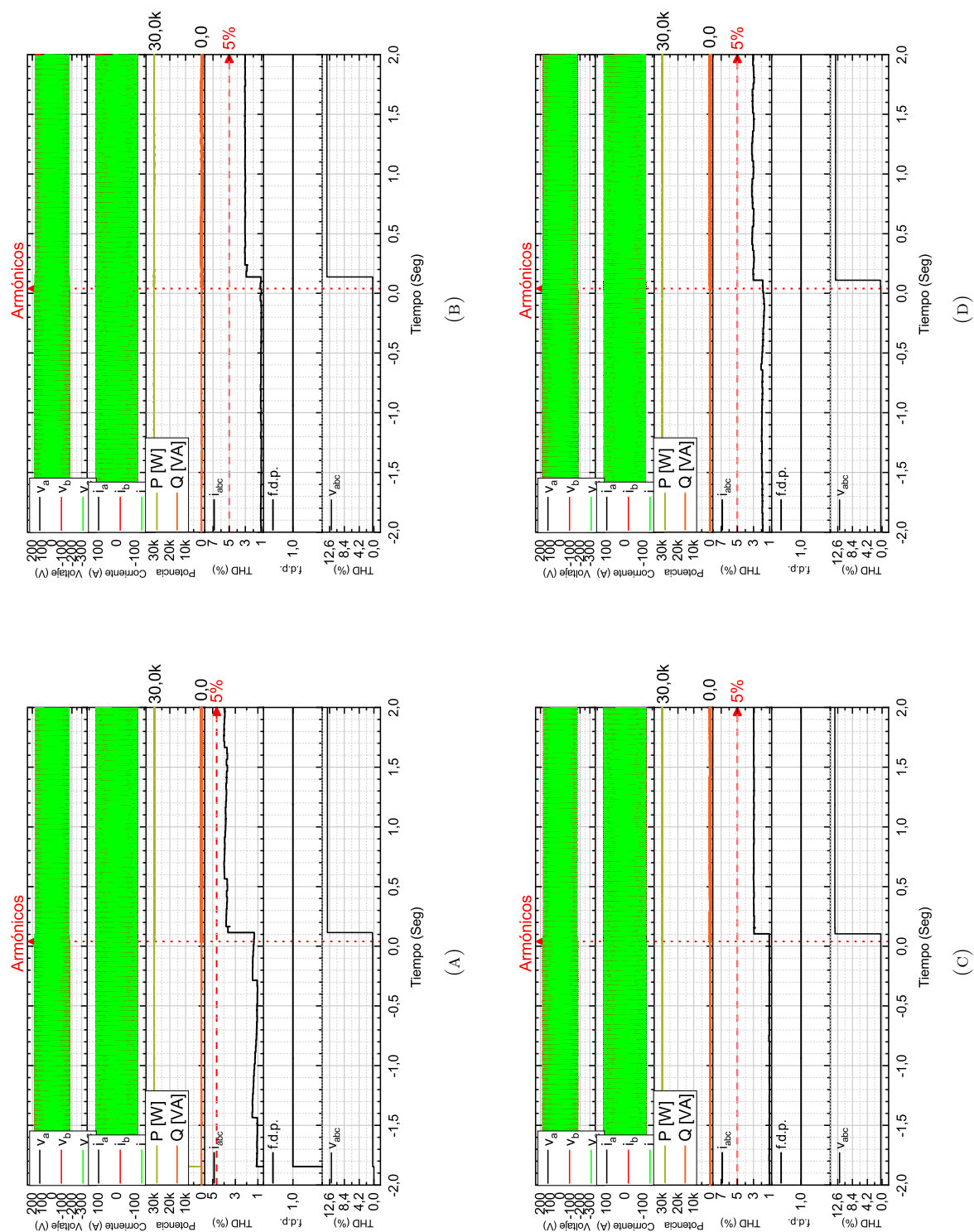


FIGURA 5.12: Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de armónicos en la red.

5.2 Protecciones

En la sección de protecciones solo se realizaron pruebas relacionadas con la magnitud de voltaje y frecuencia, pues estas están directamente relacionadas con los algoritmos de sincronización dejando a un lado las protecciones en corriente las cuales, para este análisis, no se consideran al no estar relacionadas estrechamente con los algoritmos PLL.

Para comprobar el funcionamiento de este bloque, se midió el tiempo necesario para la detección de las fallas desde que estas ocurren hasta que se desconecta el sistema de la red eléctrica, cabe aclarar que el contactor que controla la conexión con la red actúa de manera ideal sin tener retrasos en su accionamiento.

5.2.1 Fallos de fase

Las fallas de fase se presentan cuando dos o mas fases hacen contacto entre ellas o con tierra, lo que generan que el sistema entre en desbalance afectando magnitud y fase entre ellas.

La primer prueba consiste en realizar una falla de fase a tierra (la fase entra en contacto con el neutro/tierra), debido a la dinámica del SFR es el sistema que detecta la falla con mayor rapidez sin embargo, los demás algoritmos detectan a tiempo esta falla.

Durante la desconexión se observa que el voltaje en la red eléctrica se ve afectado, siendo el mas notable en la figura 5.14 (C).

Cabe destacar que durante la falla el SRF altera de manera considerable las formas de onda de corriente durante la falla, esto puede generar efectos no deseados en el inversor y en sobre la red eléctrica, los algoritmos restantes se mantienen relativamente estables en las formas de onda de las corrientes.

La siguiente prueba consiste en generar una fallo de fase-fase (dos fases entran en corto circuito entre si), durante esta prueba se midió un pico de corriente de alrededor de 150 considerable en con el SRF además de que se tiene una considerable distorsión en las formas de onda de corrientes junto con el DDSRF. Los demás algoritmos mantuvieron formas de onda estables.

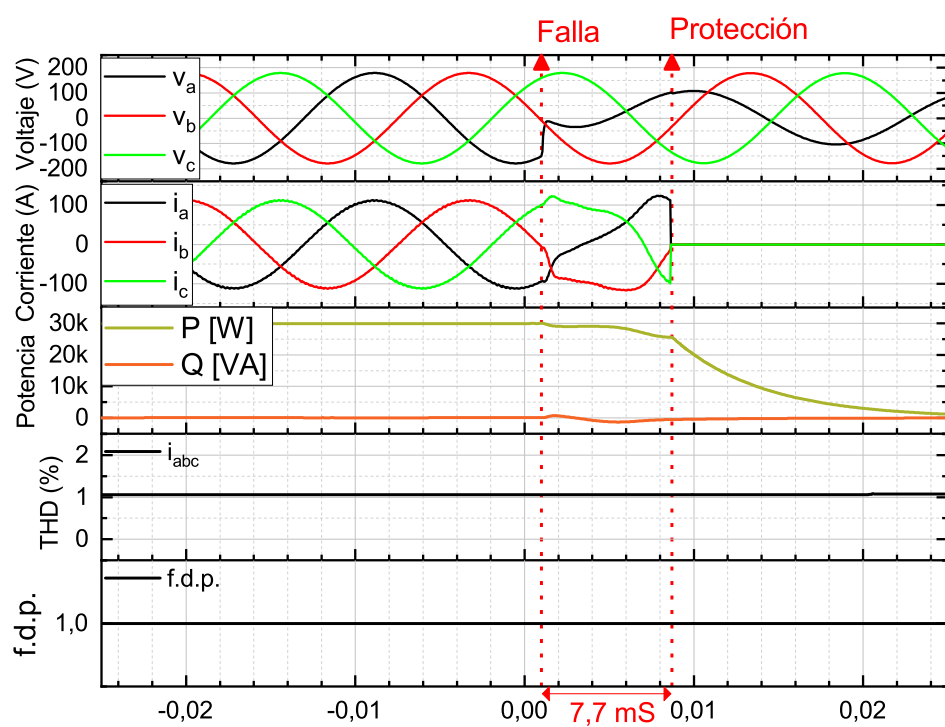


FIGURA 5.13: Comportamiento del inversor durante fallo de fase a tierra, $v_a - v_{gnd}$ SRF-PLL.

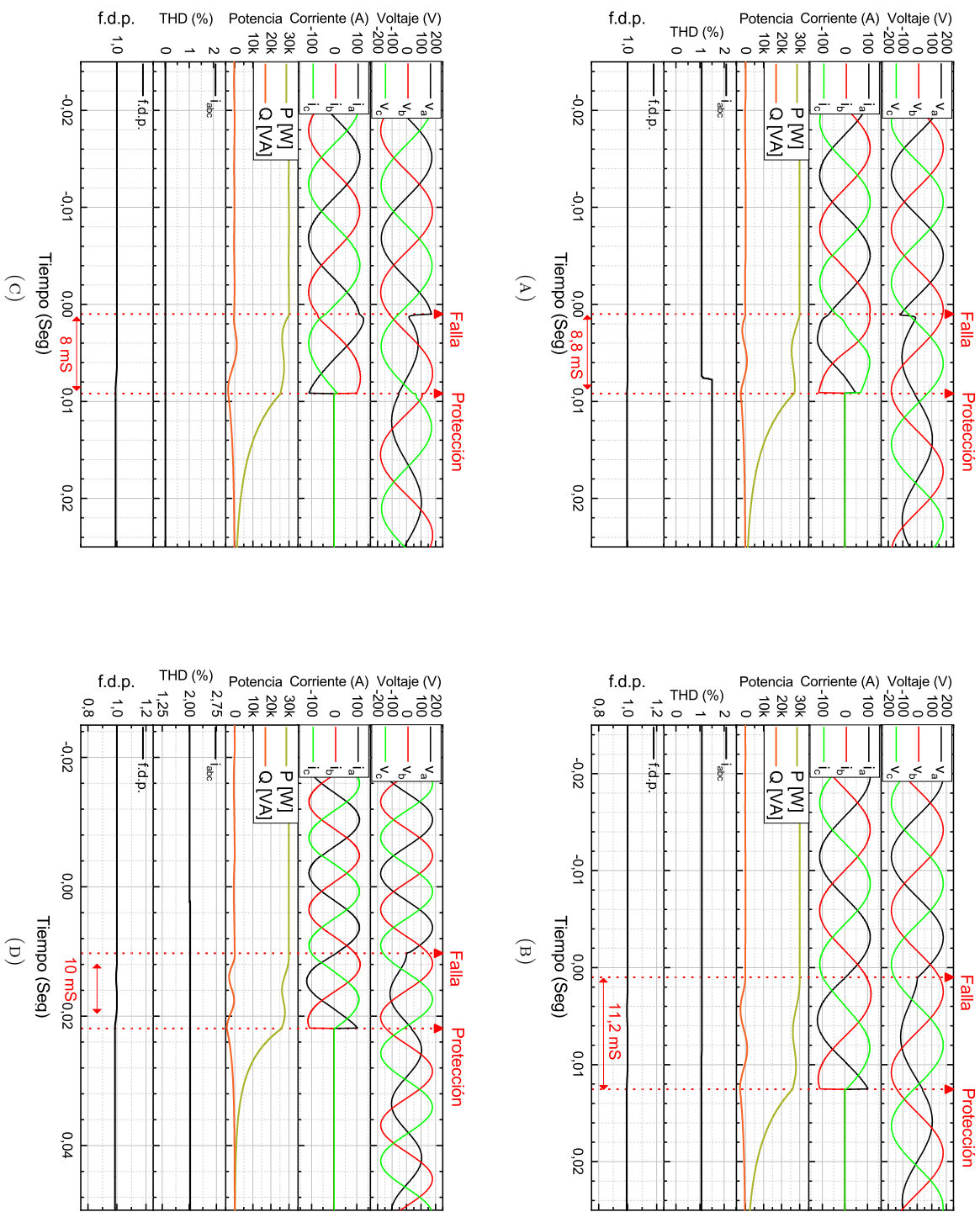


FIGURA 5.14: Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, ante fallo de fase a tierra, v_a, v_{gnd} .

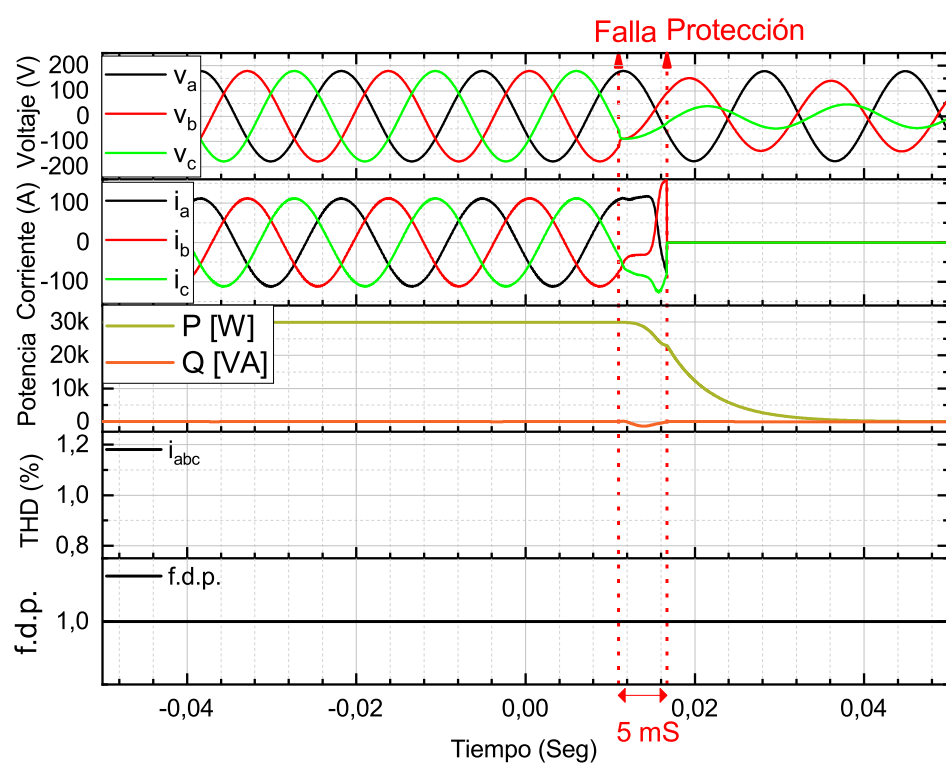


FIGURA 5.15: Comportamiento del inversor durante la falla de fase-fase, $v_b - v_c$, para el algoritmo SRF-PLL.

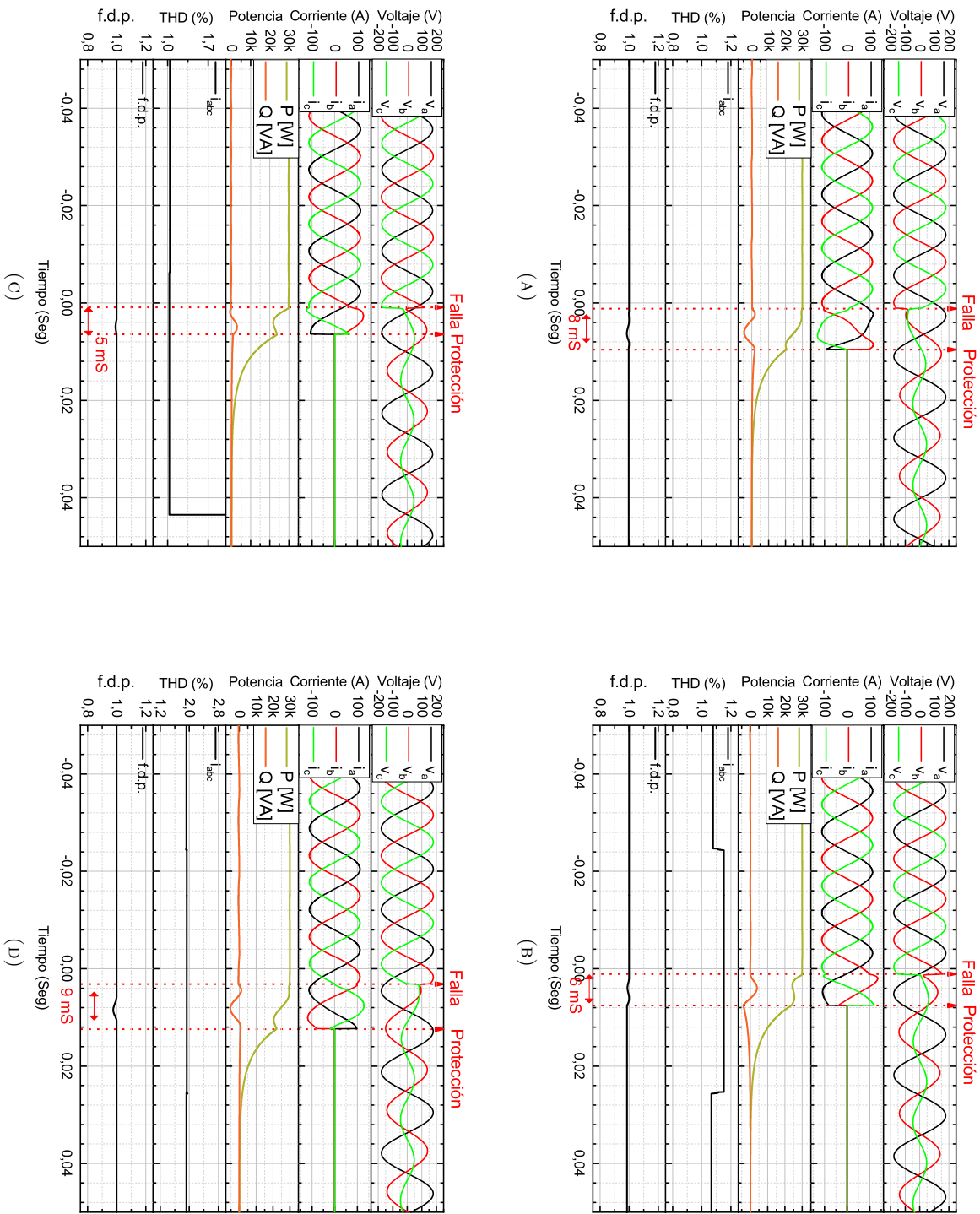


FIGURA 5.16: Comparación entre los algoritmos, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, ante la presencia de fallos del tipo de fase-fase, $v_b - v_c$.

5.2.2 Disturbios de voltajes

Para las pruebas de disturbios en voltajes se generaron sobre voltajes y bajo voltajes con magnitudes mayores y menores a los límites permitidos por las normas, de 1.11 p.u. para simular sobre tensión y de 0.89 p.u. para la generación de bajo voltajes

Sobre voltaje

En esta prueba en general las señales de corrientes de todos los algoritmos se mantienen estables durante la falla siendo el DDSRF el algoritmo que más tiempo tarde en detectar esta condición, en las figuras 5.17 y 5.18 se muestran los resultados.

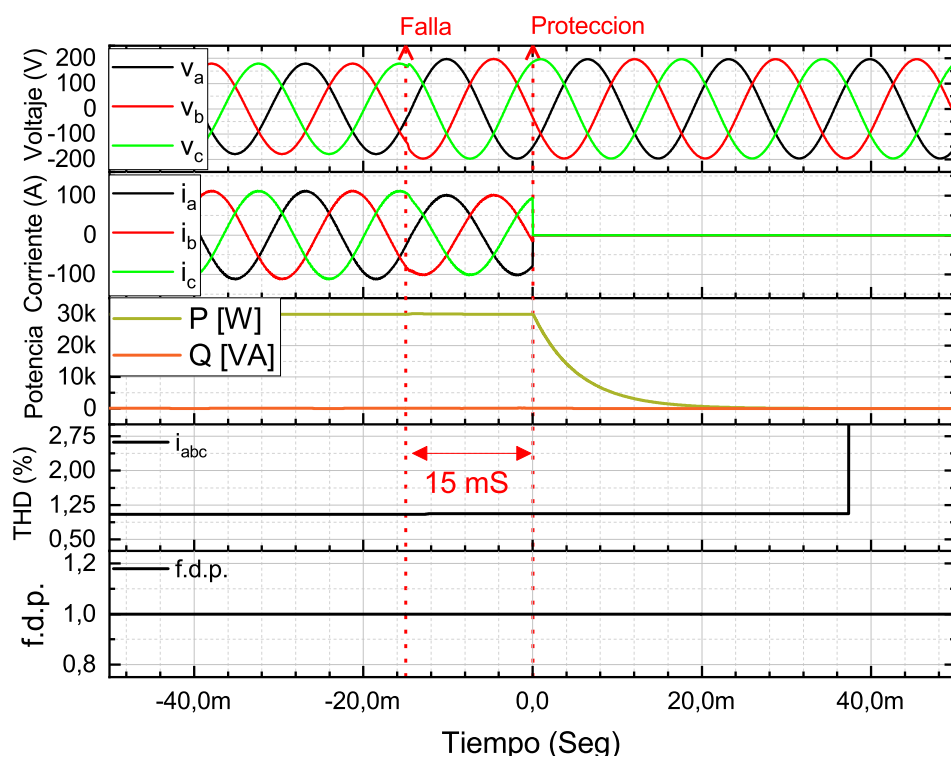


FIGURA 5.17: Detección de sobrevoltaje en la red eléctrica con un valor de $v_{abc} = 1.11 p.u.$, SRF-PLL.

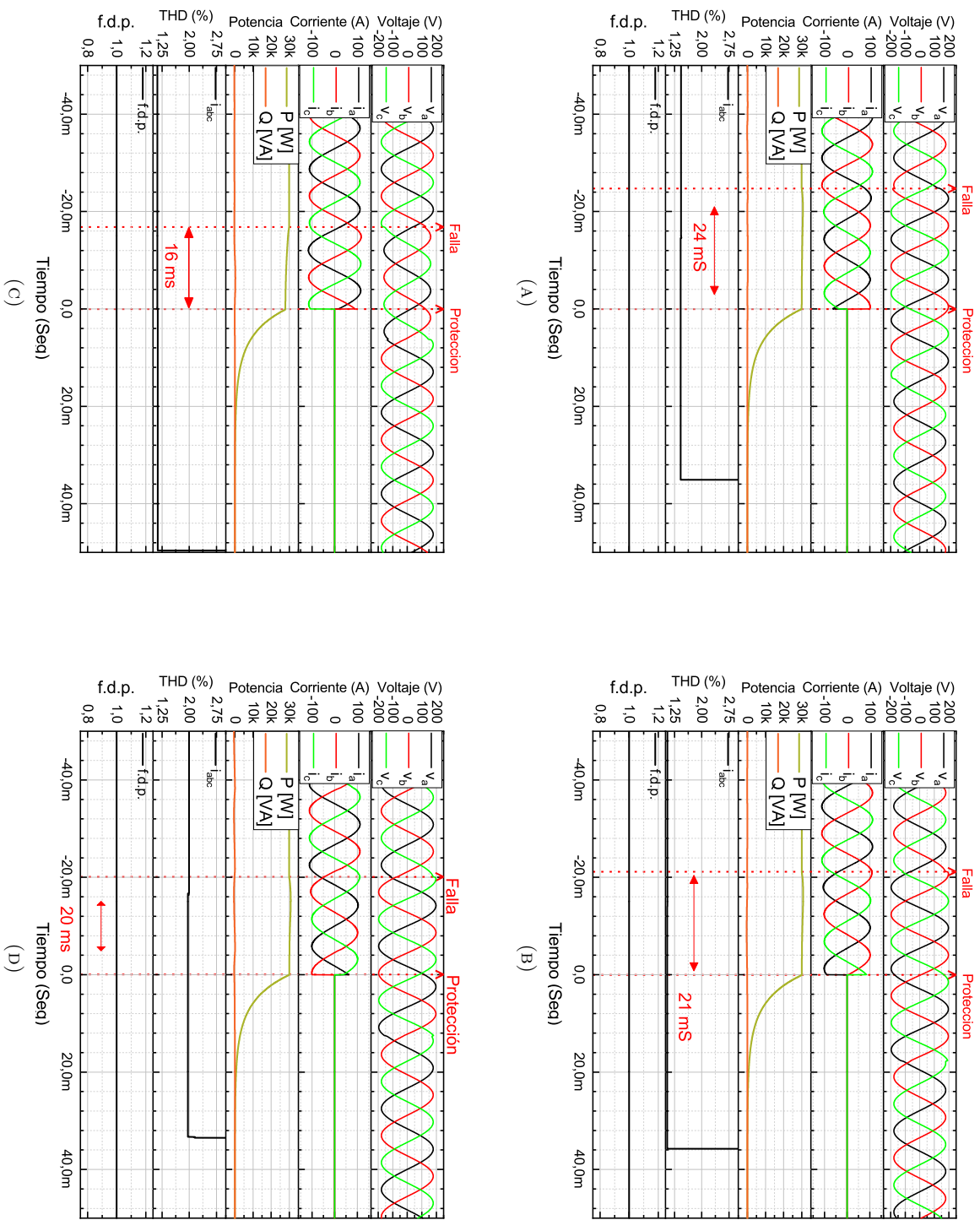


FIGURA 5.18: Detección de sobrevoltaje en la red eléctrica con $t_{abc} = 1.11 p.u.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF, en presencia de armónicos en la red.

Bajo voltaje

Durante esta prueba el DDSRF el algoritmo que más tiempo tarde en detectar la anomalía en la red eléctrica sin embargo las formas de onda de las corrientes se mantienen estables durante el periodo de falla.

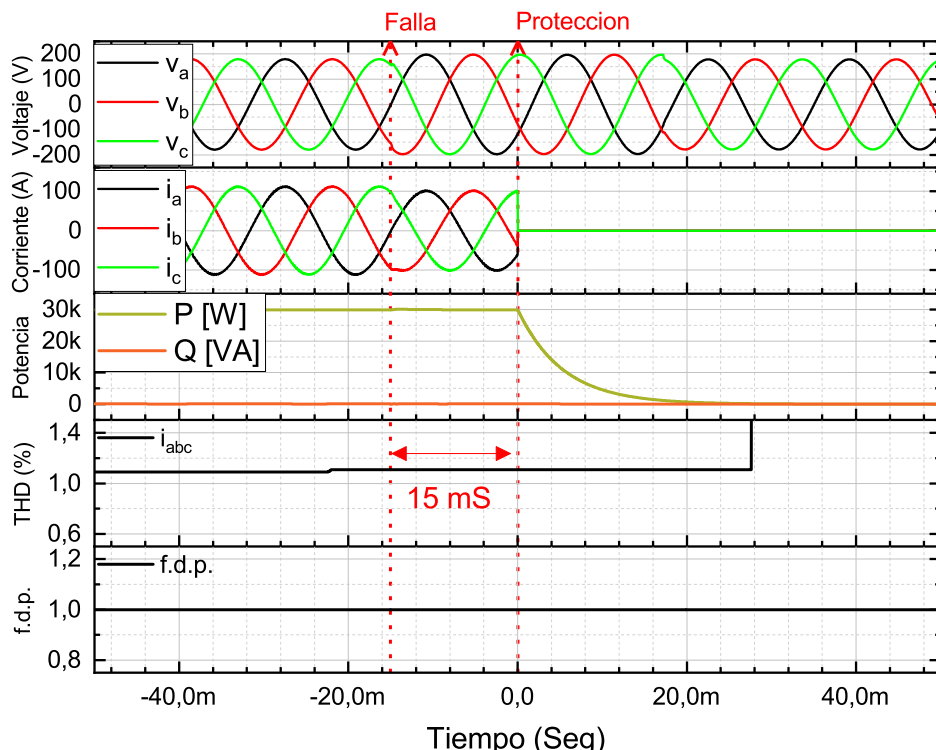


FIGURA 5.19: Detección de bajo voltaje en la red eléctrica con un valor de $v_{abc} = 0.89p.u.$, SRF-PLL.

Detección de isla

Esta condición es importante puesto que evita el sistema inyecte energía cuando la red eléctrica esta desenergizada, se considera que el sistema esta en esta condición cuando la red eléctrica cae por debajo del 0.1 p.u. del valor nominal, y de acuerdo con la norma mexicana no se deberá operar por un periodo mayor a 5 segundos.

En esta prueba el SRF tardo 3mS en detectar la falla mientras que el que más tardo fue el MAF con un retraso de 16mS .

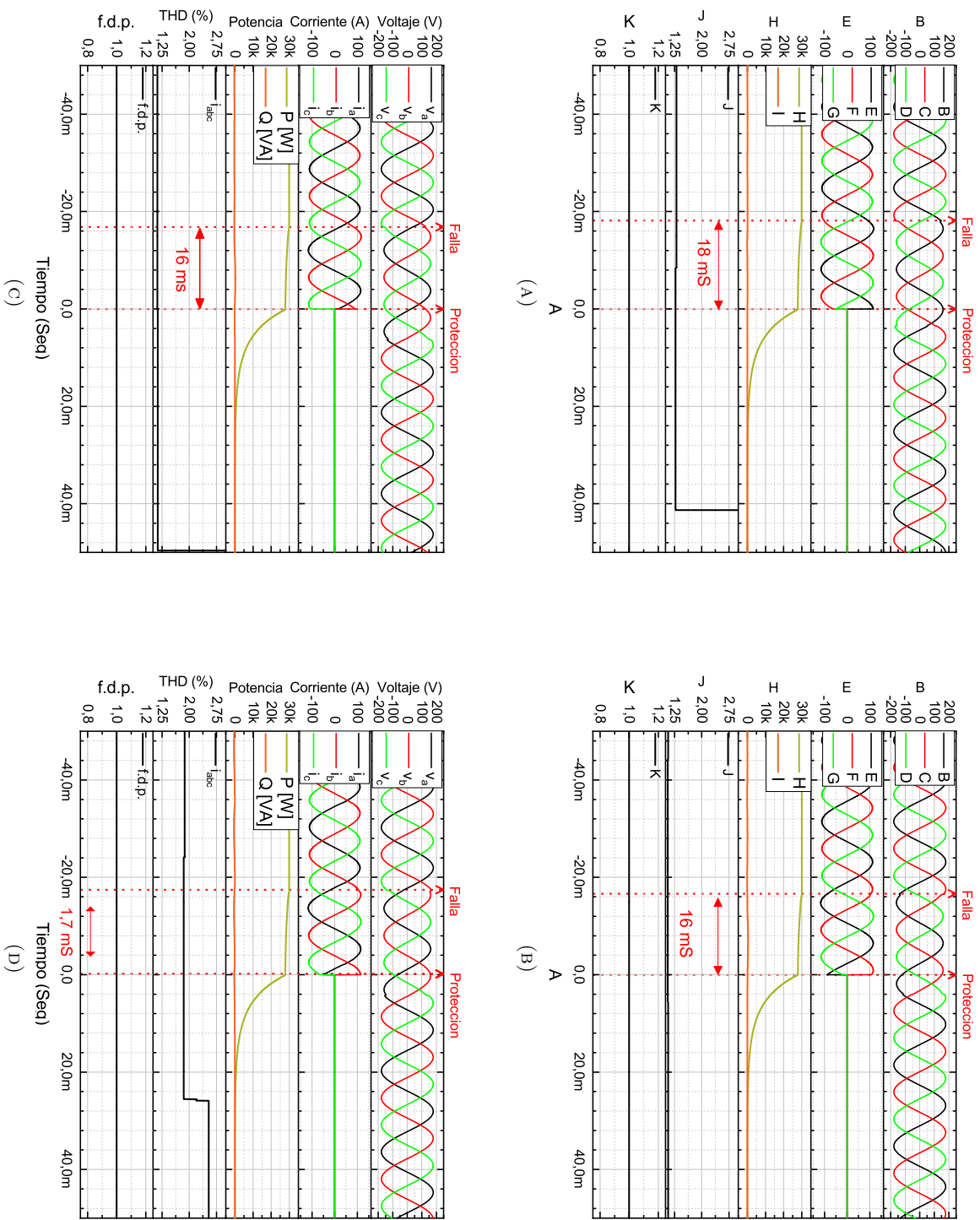


FIGURA 5.20: Detección de bajo voltaje en la red eléctrica con $\tau_{abc} = 0.89p.u.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF..

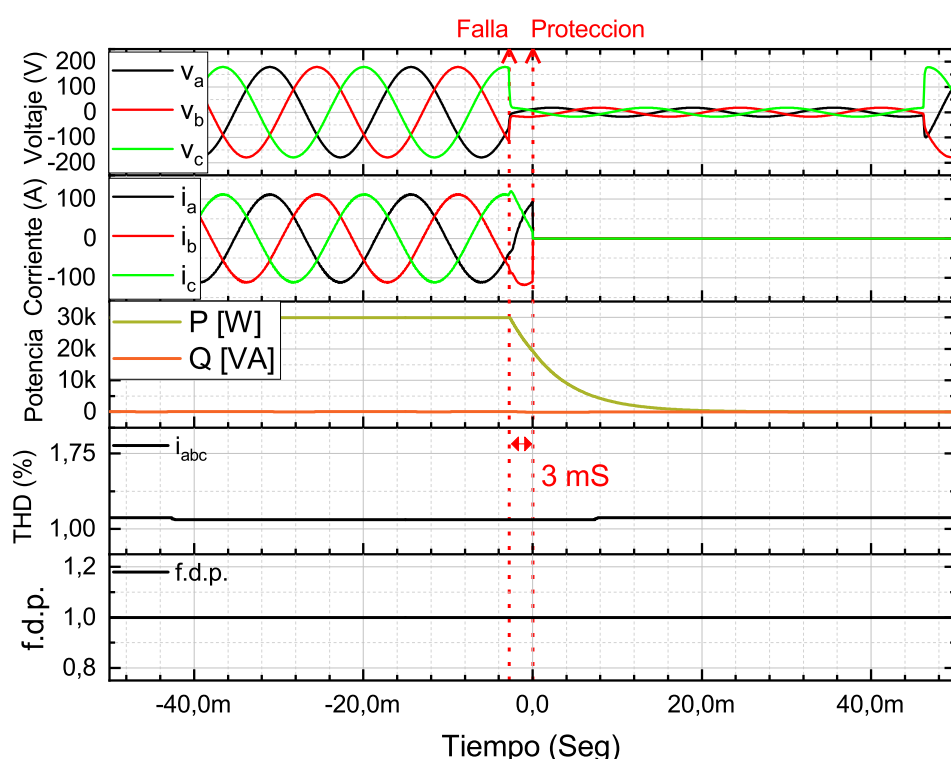


FIGURA 5.21: Operación del inversor durante el modo isla de la red eléctrica $v_{abc} = 0.1p.u.$ para el SRF-PLL.

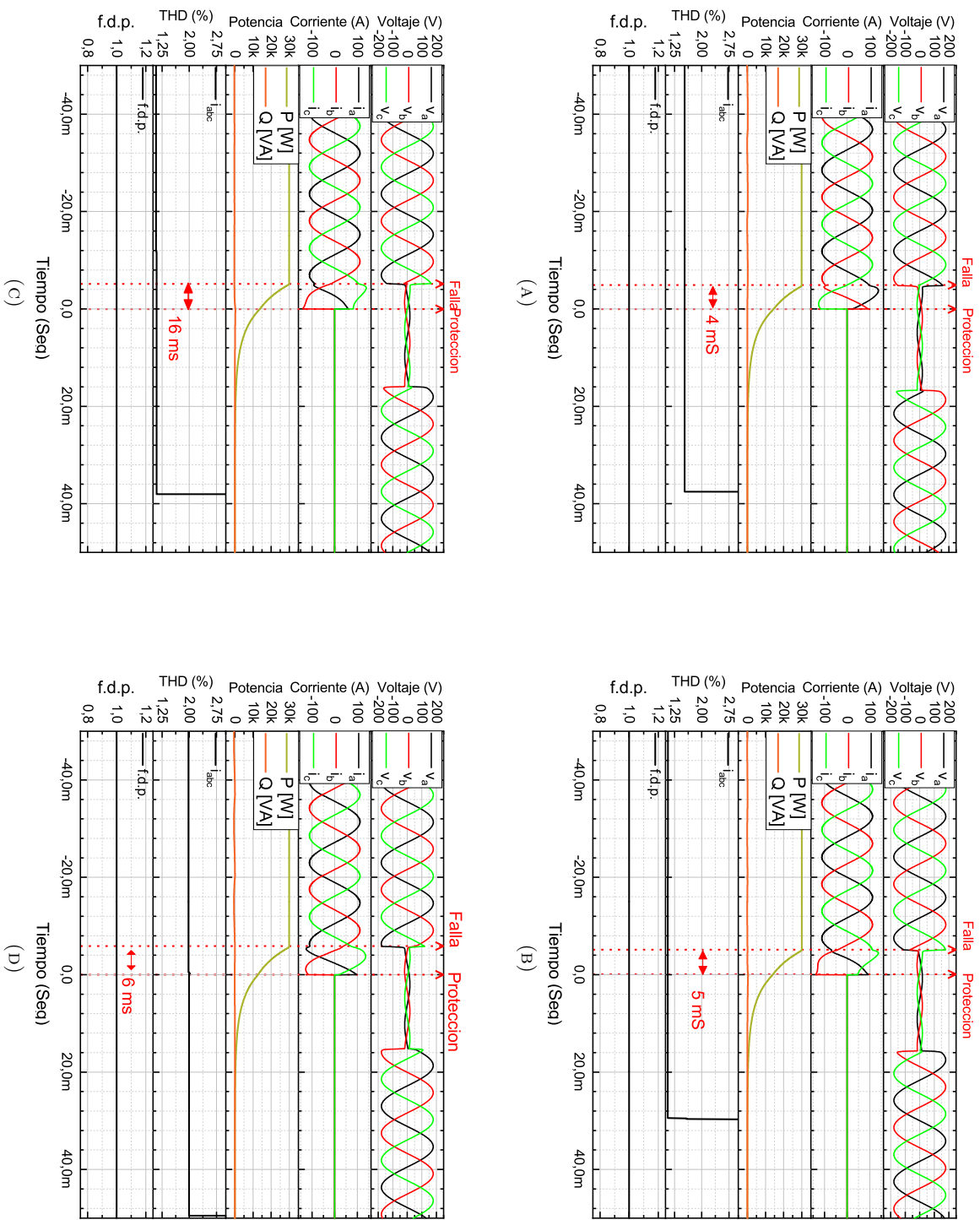


FIGURA 5.22: Operación del inversor durante el modo isla de la red eléctrica $v_{abc} = 0.1p.u.$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF.

5.2.3 Disturbios de frecuencia

La frecuencia de la red eléctrica es un parámetro que da indicios sobre la potencia en la red eléctrica, si la frecuencia es alta entonces, en la red eléctrica hay un exceso de energía en cambio cuando la frecuencia baja la carga conectada en la red eléctrica excede a la potencia proveída por la red. Por ello es importante que el sistema solo opere dentro de los límites de frecuencia permitidos para evitar daños a la red.

Las pruebas que se realizaron consisten en incrementar y reducir la frecuencia por arriba/debajo de los límites establecidos.

En las figuras 5.23 y 5.24 se tienen los resultados cuando la frecuencia incrementa más allá de los límites permitidos siendo el SRF la más rápida con 12ms y el DSOGI el más lento con 20ms para detectar sobre frecuencia.

Sobre frecuencia

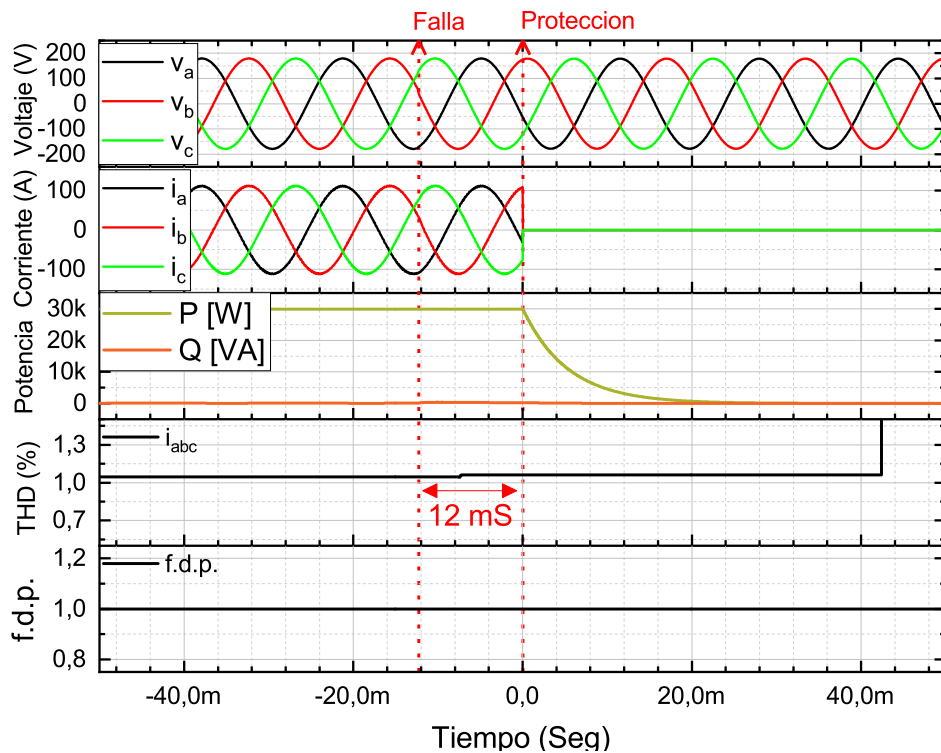


FIGURA 5.23: Detección de frecuencias “altas” en la red eléctrica con un valor de $f_{abc} = 60.8\text{Hz.}$, SRF-PLL.

Bajo frecuencia

Los resultados obtenidos durante la prueba para la detección de bajo frecuencia se muestra en las figuras 5.25 y 5.26 el SRF detecto el cambio de frecuencia en solo 12ms mientras que el más lento fue DSOGI con 20ms. Durante las pruebas se midió que los algoritmos de sincronización pudieron operar durante estas fallas sin generar desperfectos en las formas de onda.

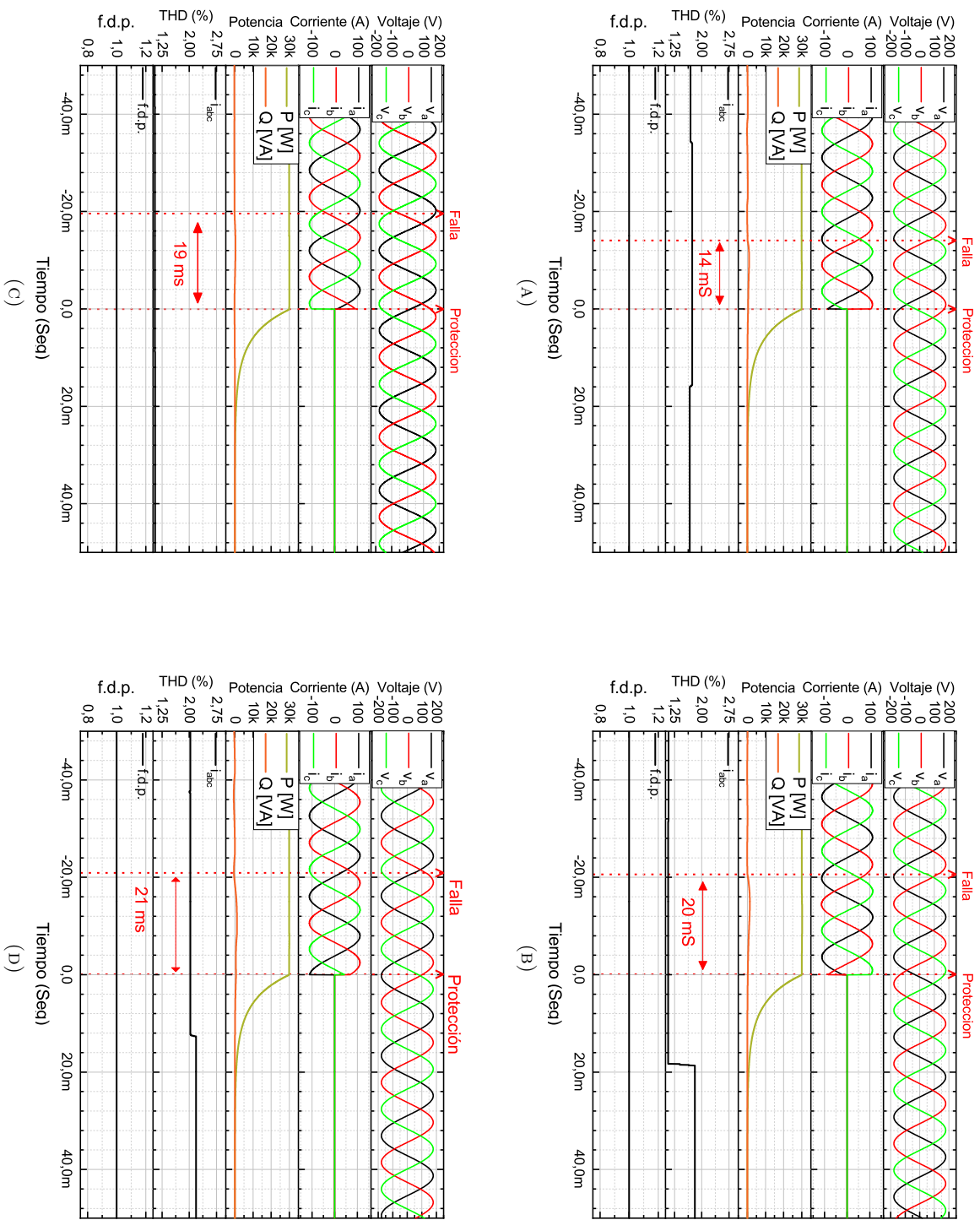


FIGURA 5.24: Detección de frecuencias "altas" en la red eléctrica con $f_{abc} = 60.8\text{Hz}$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF.

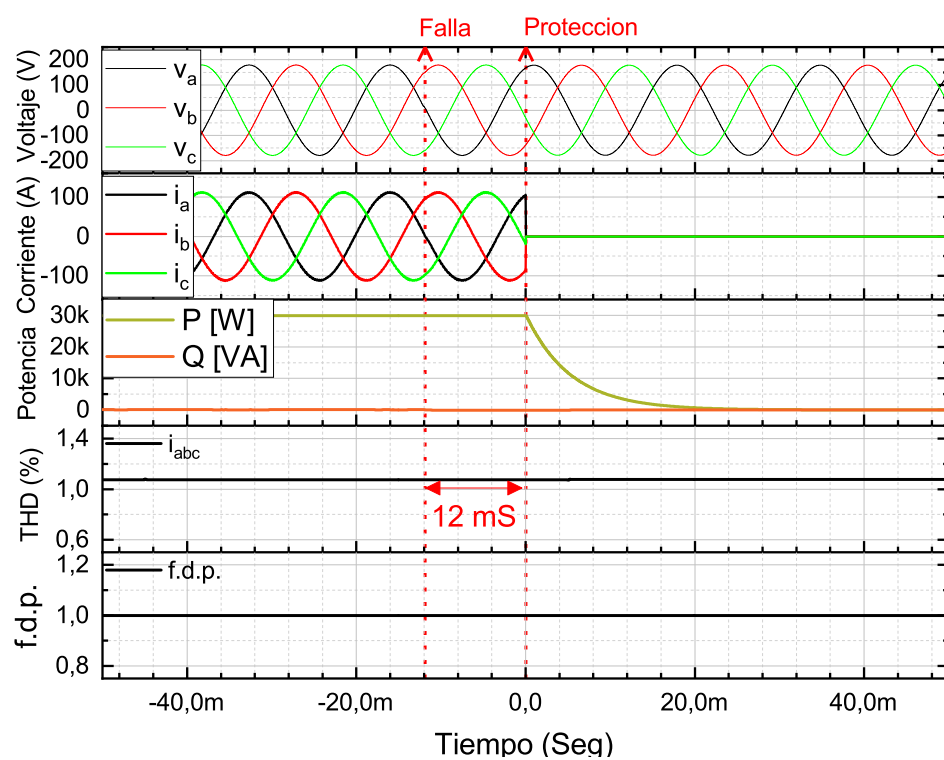


FIGURA 5.25: Detección de frecuencias bajas en la red eléctrica con un valor de $f_{abc} = 59.1\text{Hz}$, SRF-PLL.

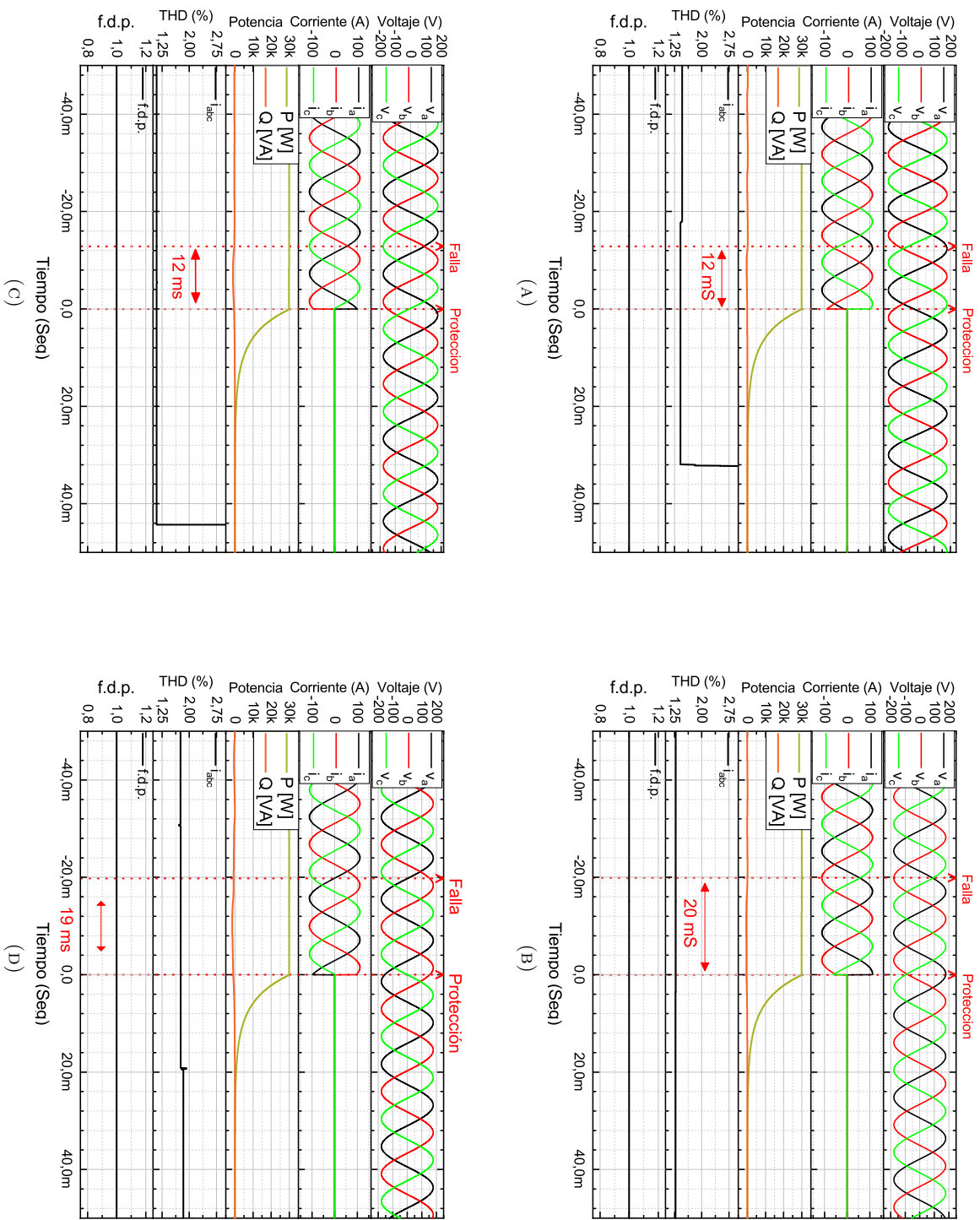


FIGURA 5.26: Detección de frecuencias bajas en la red eléctrica con $v_{abc} = 59.1\text{Hzp.u.}$, (A) DSRF, (B) DSOGI, (C) DSOGI-PLL y (D) MCF.

5.3 Comparativa de operación

El análisis se enfoca en la medición del THD generado por los distintos algoritmos, pues durante las pruebas este parámetro fue el que más varió al cambiar de técnica, por lo cual es un parámetro que indica el desempeño de la técnica de sincronización.

5.3.1 Activación de protecciones

En la tabla 5.2 se resumen los tiempo de respuesta para la activación de las protecciones, cabe aclarar que para la activación de protecciones en frecuencia se añadió un bloque de retardo de $8.3ms$ y para las protecciones de voltajes/fases se utiliza un retardo de $1mS$, por lo tanto, es posible modificar estos valores para reducir o ampliar el tiempo de retardo para la activación de las protecciones. De los resultados obtenidos se observa que los algoritmos que detectan fallas de manera más rápida son el SRF y el FLL, sin embargo, las normas IEEE 1547Y UL 1741 para dispositivos interconectado a la red eléctrica deben operar en condiciones de fallo por, al menos, 160ms. Acorde con las mediciones la técnica que mejor desempeño tuvo durante las condiciones de fallo fue la DSOGI-FLL, debido a que no genero perturbaciones importantes en la red eléctrica a diferencia del SRF que genero distorsión armónica, sobre la corriente, considerable y el algunos casos llego a ser mayor al 5%.

TABLA 5.2: Tiempos de respuesta para la activación de las protecciones.

PLL \ Disturbios	Tiempos de respuesta [mSeg]						
	$v_a - v_{gnd}$	$v_b - v_c$	Sobre-voltaje	Bajo-voltaje	Isla	Sobre-frecuencia	Bajo-frecuencia
SRF	8	5	15	15	3	12	12
DSRF	9	8	24	18	4	14	12
DSOGI	11	6	21	16	5	20	20
FLL	8	5	16	16	5	19	12
MAF	10	9	20	17	6	21	19

5.3.2 Análisis de operación

En las siguientes tablas se muestran comparaciones de la operación entre las distintas técnicas de sincronización, se incluyen datos de potencia activa y reactiva, THD en corriente y el factor de potencia, los datos que se muestran son mediciones de 8 segundos de duración en do.

En la tabla 5.3 se muestran los datos obtenidos de la operación nominal del sistema donde se capturaron 4 segundos de datos y a partir de estas datos, se observa que la variación de la potencia activa que se inyecta a la red eléctrica entre las técnicas de sincronización no varia de forma considerable, la variación de la potencia reactiva es notable siendo el DSOGI el que mas oscila, en la parte del THD de corriente el algoritmo FLL fue el que menor THD generó con un valor promedio de 1.05% con picos de hasta 1.09% junto con el SRF donde de midieron valores de THD del .071%, el MAF fue el que más THD inyectó a la red, con valores pico de hasta 2.052% y un valor promedio de 1.89%. En el apartado de factor de potencia las técnicas de sincronización no alteraron de forma considerable este parámetros puesto que en todas las pruebas este se mantuvo con valores superiores al 0.99.

En este apartado el algoritmo que mejor se desempeña es el DSOGI-FLL, ya que es el que menor THD generó en las señales de corriente.

TABLA 5.3: Calidad de la energía en operación nominal.

PLL	Parámetro	P [W]	Q [VAR]	THD _i [%]	f.d.p.
	Medición				
SRF	<i>Promedio</i>	29.90k	78	1.071	1
	<i>s</i>	12	24	0.009	2 μ
	<i>Mínimo / máximo</i>	29.87 k / 29.93 k	-1 / 134	1.04 / 1.09	1 / 1
DSRF	<i>Promedio</i>	29.90 k	66	1.22	0.99
	<i>s</i>	10	89	0.16	6 μ
	<i>Mínimo / máximo</i>	29.87 k / 29.93 k	-295 / 205	1.18 / 1.48	0.99 / 1
DSOGI	<i>Promedio</i>	29.96 k	-83	1.05	0.99
	<i>s</i>	33	120	0.022	14 μ
	<i>Mínimo / máximo</i>	29.87 k / 30.00 k	-401 / 157	1.019 / 1.13	0.99 / 1
FLL	<i>Promedio</i>	29.89k	-273	1.033	0.99
	<i>s</i>	56.6	100	0.015	31 μ
	<i>Mínimo / máximo</i>	29.78 k / 30.00 k	-557 / -76	1.00 / 1.09	0.99 / 1
MAF	<i>Promedio</i>	29.899 k	-265.9	1.89	0.99
	<i>s</i>	11.79	199.53	0.074	61 μ
	<i>Mínimo / máximo</i>	29.86 k / 29.93 k	-640 / 82	1.72 / 2.052	0.99 / 1

En la tabla 5.4 se muestra el análisis de los datos, cuando hay presencia de armónicos en la red eléctrica, los valores que no varían de técnica a técnica fueron la potencia activa y el f.d.p., en el primer parámetro las variaciones son menores y para el segundo se mantiene con valores del 0.99. El THD de voltaje que se introduce a la red eléctrica alcanza el 13.2% del valor nominal, con estos datos se midió que el FLL mantuvo la generación de energía estable y con el menor THD de todos con un valor de 2.94% y picos de 2.98%, en contraste, el SRF superó el límite de distorsión en 1.19% por encima del máximo establecido y con picos que alcanzaron valores de 6.28%. Las técnicas DSRF, DSOGI Y MAF, se mantuvieron dentro de los límites siendo su operación aceptable.

Por último, se analiza el comportamiento ante la presencia de desbalances en la red eléctrica, la tabla 5.5 muestra los datos obtenidos, en donde la potencia activa y el f.d.p. son valores que no se ven afectados por la presencia de armónicos en la red.

La técnica SRF, genero más armónicos en la corriente con valores que alcanzaron el 5.63% y con picos de 5.65% valores por encima de lo límites, en cuanto a las demás técnicas analizadas todas se mantuvieron dentro de los rangos de operación, siendo el FLL la técnica que menor THD genera con valores que oscilan entre el 1.02% y el 1.10%, el DSRF se mantuvo con valores promedios de 3.03% , el DSOGI con un valor promedio del 1.07% y para el MAF el THD alcanza valores promedio de 1.90% con picos de 2.08%.

TABLA 5.4: Calidad de la energía en presencia de armónicos.

PLL	Parámetro Medición	P [W]	Q [VAR]	THD _i [%]	THD _v [%]	f.d.p.
SRF	<i>Promedio</i>	29.66 k	81	6.19	13.18	0.99
	<i>s</i>	42	202	0.34	0.76	23 μ
	<i>Mínimo / máximo</i>	29.54 k / 29.75 k	-306 / 409	1.07 / 6.28	13.22	0.99 / 1
DSRF	<i>Promedio</i>	29.81	78	3.82	13.11	0.99
	<i>s</i>	42	308	0.24	1.12	47 μ
	<i>Mínimo / máximo</i>	29.70 k / 29.93 k	-702 / 573	1.32 / 4.00	13.21	0.99 / 1
DSOGI	<i>Promedio</i>	29.86	-55	2.97	13.08	0.99
	<i>s</i>	54	300	0.27	1.81	57 μ
	<i>Mínimo / máximo</i>	29.64 k / 30.17 k	-941 / 439	1.07 / 3.06	13.34	0.99 / 1
FLL	<i>Promedio</i>	29.82 k	-292	2.94	13.85	0.99
	<i>s</i>	69	286	0.094	0.63	0.1 m
	<i>Mínimo / máximo</i>	29.63 k / 29.95 k	-942 / 225	1.03 / 2.989	13.41	0.99 / 1
MAF	<i>Promedio</i>	29.84	-255	3.05	13.15	0.99
	<i>s</i>	38	324	0.11	0.90	0.1 m
	<i>Mínimo / máximo</i>	29.67 k / 30.00 k	-1023 / 382	1.84 / 3.20	13.21	0.99 / 1

TABLA 5.5: Calidad de la energía con desbalance en las fases de, $v_a = 0.9p.u.$, $v_b = 1.1p.u.$, y $v_c = 1.04p.u.$

PLL	Parámetro Medición	P [W]	Q [VAR]	THD [%]	f.d.p.
SRF	<i>Promedio</i>	29.82 k	60	5.63	0.99
	<i>s</i>	73	143	0.009	13 μ
	<i>Mínimo / máximo</i>	29.69 k / 29.95 k	-192 / 297	5.61 / 5.65	0.99 / 1
DSRF	<i>Promedio</i>	29.87 k	67	3.03	0.99
	<i>s</i>	228	375	0.02	72 μ
	<i>Mínimo / máximo</i>	29.52 k / 30.22 k	-597 / 752	3.00 / 3.09	0.99 / 1
DSOGI	<i>Promedio</i>	29.94 k	-66	1.07	0.99
	<i>s</i>	222	392	0.027	79 μ
	<i>Mínimo / máximo</i>	29.94 k / 30.32 k	-838 / 681	1.03 / 1.14	0.99 / 1
FLL	<i>Promedio</i>	29.86 k	-273	1.05	0.99
	<i>s</i>	273	461	0.01	0.1 m
	<i>Mínimo / máximo</i>	29.44 k / 30.227 k	-1073 / 443	1.02 / 1.10	0.99 / 1
MAF	<i>Promedio</i>	29.87 k	-259	1.90	0.99
	<i>s</i>	218	422	0.09	0.1 m
	<i>Mínimo / máximo</i>	29.53 k / 30.20 k	-1075 / 595	1.68 / 2.08	0.99 / 1

5.4 Conclusiones

Se realizó un sistema con capacidad de sincronización con la red eléctrica y de potencia nominal de 30kW/h, esto se hizo con un algoritmo para el control de potencia PQ en lazo abierto, donde al manejar las corrientes en el marco dq es posible la manipulación de la potencia activa y reactiva que se inyecta o absorben a la red para alcanzar valores de f.d.p. superiores al 99% y que el contenido armónico (THD) no supere el 5% total, esto permite que se entregue energía con la mejor calidad. Durante las pruebas no se detectaron alteraciones a la red eléctrica provocadas por la entrada en operación del inversor.

Con el fin de validar el comportamiento de las técnicas de sincronización se realizaron distintas pruebas para medir el comportamiento de estas ante distintos escenarios, para ello se indujeron fallas en la red eléctrica en donde se generaron desbalances en las fases, fallas de fase a fase, fase tierra, etc., y situaciones de disturbios en la red, se introdujeron variaciones de frecuencia para analizar la respuesta del sistema ante cambios en la respuesta del inversor.

Con los resultados obtenidos del análisis de las señales ante diversos escenarios, se midió que el comportamiento del algoritmo SRF-PLL se desempeña de manera excelente ante condiciones ideales en la red eléctrica pero en la presencia de disturbios o fallas, el desempeño se ve comprometido de manera significativa lo que puede generar desperfectos en la red eléctrica o en el inversor lo que ocasiona que sus rangos de operación se vean reducidos debido a las anomalías que se pueden presentar en la red.

El DSRF, obtuvo un desempeño pobre en comparación con los tres algoritmos restante, puesto que la durante operación de este algoritmo las anomalías en la red afectaron de manera grave los parámetros que se estiman. El DSOGI muestra un comportamiento aceptable, ya que la inyección de energía con esta técnica de sincronización provoca que el sistema pueda operar en presencia de disturbios o fallas en la red eléctrica, además, ofrece la posibilidad de estimar voltajes de componentes simétricas negativas. El FLL, es una técnica que mejora el comportamiento dinámico del DSOGI, al eliminar el lazo de retroalimentación de la frecuencia, esto se observó en las diversas pruebas que se realizaron donde mantuvo los valores de THD en corriente más bajo incluso en la presencia de fallas y disturbios de la red eléctrica, esto permite que el sistema pueda operar durante más tiempo y así aprovechar de manera más eficiente la energía en el bus de DC, asimismo, es capaz de estimar voltajes simétricos negativos, esta característica permite la regulación de voltaje lo cual es de utilidad para micro redes donde las FED deben regular a la red.

Con los resultados de las pruebas se comprueba que la dinámica de los PLL afecta la operación de la inyección de la energía, dado que estos estiman parámetros que son usado por el algoritmo para el control de corrientes, por ello es importante el análisis de estas técnicas en conjunto con los sistemas de generación distribuida.

Como trabajo futuro se dejan las bases para realizar pruebas con sistemas interconectados a la red eléctrica en donde se permita la compensación de desbalances o en frecuencia, esto gracias a que algunos de los algoritmos que se presentaron tienen la capacidad de estimar las componentes negativas y con ellas se pueden compensar los voltajes de las fases, esto es de gran utilidad para micro redes en donde no se tiene un sistema central que genere y regule la energía que circula por las redes eléctricas.

Apéndice A

A continuación se incluyen las portadas de los artículos presentados en los congresos de l IEEE-ROPEC 2019 y el CNIES-IPN 2019 presentados en el mes de noviembre.

Grid-Tied Power Inverter for Energy Saving in Metro Trains Based on a Dual Second Order Generalized Integrator

1st Edgar Daniel Javier Hernández¹, 2nd Edgar Peralta Sánchez², 3rd Gerardo Mino Aguilar³,
4th Alejandro Hernández Maldonado⁴

Benemérita Universidad Autónoma de Puebla

Puebla, México

edgard.javier@alumno.buap.mx¹, edgar.peraltas@correo.buap.mx², gerardo.mino@correo.buap.mx³,
alejandromaldonadohe@alumno.buap.mx⁴

Abstract—This paper addresses the development of a system to recover the energy regenerated by Metro trains during their braking stage. The system is based on grid-tied inverters which take the surplus energy and inject it into the grid. The system is validated in a Hardware In the Loop emulation tool. A current control scheme based on the synchronous rotatory frame is utilized to handle the active and reactive powers to be injected into the grid, in order to keep synchronization between the inverter and the grid a DSOGI SRF-PLL algorithm estimates the grid phase in doing so, it is possible to operate under unbalanced grid conditions. To validate the scheme a DSP F28335 with the synchronization and control algorithms is used together with Typhoon HIL 402 which one oversees the grid and the inverter emulation.

I. INTRODUCCIÓN

La red del Sistema de Transporte Colectivo “Metro” de la ciudad de México es un sistema de transporte urbano en la que la mayoría de sus trenes funciona con motores de CD; Con un parque de 390 trenes se estimó que en el 2018 se transportaron 1.647 millones de usuarios y que el consumo eléctrico total alcanzó los 786 MW [1]; estudios realizados [2] indicaron al sistema de tracción como el responsable de consumir alrededor de un 70% del total de la energía facturada por las compañías de transporte de trenes eléctricos, además, a nivel mundial se estima [3] que este tipo de transporte consume alrededor de un 6% del total energético consumido por sistemas de transporte, mientras que para el 2040 se prevé que su incremento se duplique. Por ello se han estudiado tecnologías que ayuden a reducir el consumo energético de los trenes eléctricos [4], [5], [6], [7], uno de ellos es el frenado regenerativo, este se ha utilizado en trenes de transporte urbano y autos logrando recuperar un porcentaje de la energía cinética acumulada durante los trayectos, en energía eléctrica; esta puede ser almacenada, pero es necesaria una infraestructura costosa y la capacidad de recuperación dependerá de los sistemas de almacenamiento con los que cuenten ya sean baterías, supercapacitores, etc. Otra técnica para recuperar la energía desperdiciada durante el frenado consiste en el uso de inversores, los cuales, al estar interconectados a la red eléctrica no tienen una limitante a la hora de recuperar

energía y ésta puede ser reutilizada por los usuarios que se encuentren conectados a la red eléctrica, estudios mostraron [7] que es posible recuperar hasta un 40% de la energía que actualmente es desaprovechada, lo cual supondría ventajas económicas para las compañías de transporte y también en términos ambientales. Estos sistemas convierten el voltaje CD de la barra guía el cual aumenta cuando un tren cercano se encuentra en etapa de frenado, en voltaje alterno que se sincroniza con el voltaje de la red eléctrica, esta etapa es crucial dado que para lograr detectar la fase de la red es necesario contar con algoritmos que sean inmunes al ruido como lo pueden ser armónicos, fluctuaciones de voltaje, etc. En este documento se muestra un esquema que permite la sincronización del inversor con la red eléctrica y es robusto a seguir funcionando aún ante presencia de disturbios para así mantener la operación del sistema lo más estable posible sin que altere los parámetros nominales de la red con el propósito de generar ahorros energéticos que a su vez se reflejen en reducciones de la factura eléctrica.

II. INVERSOR TRIFÁSICO INTERCONECTADO A LA RED

Las tareas de control para las fuentes de energía distribuida incluyen el control digital de la corriente, supresión y absorción de voltajes de polarización en CD, la eliminación de armónicos en la red, el control de la potencia activa y reactiva, manejo de posibles disturbios en la red, como lo son variaciones de voltaje, frecuencia y pérdida del control. La figura 1 muestra el diagrama general para la recuperación de la energía, en donde, se tiene un controlador de corriente PI, para el inversor, que maneja la potencia que se inyecta a la red con las corrientes de referencia calculadas con un bloque para medir la calcular la potencia compleja P y Q; para evitar el pobre comportamiento de este controlador en el marco de referencia natural, V_{abc} , donde se generan errores como son, la incapacidad de seguir referencias sinusoidales, error en estado estacionario distinto a cero, el bajo desempeño del integrador cuando se presenta una distorsión producida por una señal periódica lo que se traduce en una pobre capacidad al rechazo de las perturbaciones; Para ello se hace uso del marco de

ARTÍCULO NO. 150
ARTÍCULO ACEPTADO POR REFEREO

XVIII CONGRESO NACIONAL DE INGENIERÍA
ELECTROMECÁNICA Y DE SISTEMAS (CNIES 2019)

Inversor trifásico interconectado a una red eléctrica con disturbios

Edgar Daniel Javier Hernández¹, Edgar Peralta Sánchez², Gerardo Mino Aguilar³, Alejandro Hernández Maldonado⁴.
Benemérita Universidad Autónoma de Puebla
edgard.javier@alumno.buap.mx¹, edgar.peraltas@correo.buap.mx², gerardo.mino@correo.buap.mx³, alejandro.maldonadohe@alumno.buap.mx⁴

Resumen— Se presenta el desarrollo de un inversor trifásico de 30 kW interconectado a la red eléctrica de CA, que utiliza la energía en CD excedente, generada durante el frenado de los trenes del Metro. Esto es realizado mediante un control de potencia compleja, basado a su vez controlar las corrientes en el marco de referencia rotatorio síncrono dq . Para lograr la transferencia de energía desde el inversor hacia la red eléctrica se utilizan componentes simétricas positivas las cuales, se extraen a partir de las componentes generadas en los módulos DSOGI-FLL, estas señales son usadas por el PLL para estimar el ángulo de la red. Haciendo esto, el PLL es capaz de operar durante disturbios en la red eléctrica y la inyección de potencia no se ve comprometida, esto se valida en Hardware In the Loop (HIL-Typhoon) y con el DSP de la familia C2000 de Texas Instruments.

Palabras Clave — Componentes simétricas, Desbalance, DSOGI, FLL, Potencia compleja, SRF-PLL.

I. INTRODUCCIÓN

La red del Sistema de Transporte Colectivo "METRO" de la ciudad de México, es un sistema de transporte urbano que funciona en su mayoría a base de motores de CD. Cuenta con un parque de 390 trenes que en el 2018 transportaron a un total de 1,647 millones de usuarios, estimándose el consumo eléctrico en alrededor de 786 MWh [1], estudios previos [2] indicaron que el sistema de tracción es responsable de consumir alrededor del 70% del total de la energía facturada, además, se estima [3] que a nivel global, este tipo de transporte consume alrededor de un 6% del total energético consumido por sistemas de transporte, y para el 2040 se prevé que se duplique.

Se han estudiado diversos métodos para ahorrar energía [4-7] en transporte eléctrico, uno de ellos es el frenado regenerativo que ha sido utilizado en trenes de transporte urbano y automóviles para transformar la energía cinética acumulada en energía eléctrica; esta última se puede almacenar, aunque requiere de infraestructuras costosas que están limitadas por la capacidad de almacenamiento de las baterías, supercapacitores, etc. También, es posible recuperar la energía generada en el frenado con inversores interconectados a la red eléctrica (FED) los cuales son capaces de proveer energía continuamente para ser reutilizada por los usuarios que se encuentren conectados a la red; estudios indican [8] la posibilidad de recuperar hasta el 40% de la energía

desperdiciada, lo cual aportaría ventajas económicas para las compañías de transporte.

Cuando el tren se encuentra en etapa de frenado el exceso de energía se refleja con el incremento en el voltaje de CD, es en este punto donde se activa el FEDs cuya tarea es transformar el voltaje de CD a CA que es sincronizado con el voltaje de la red eléctrica, para lograr la inyección de energía es necesario detectar la fase de la red por lo que es necesario contar con algoritmos inmunes a las distorsiones como, armónicos, fluctuaciones de voltaje, desbalances, etc.

II. INVERSOR TRIFÁSICO INTERCONECTADO A LA RED

En la figura 1 se muestra el diagrama general para la recuperación de la energía, el control de la potencia compleja es realizado con un control PI en el marco de referencia rotatoria síncrono U_{dq0} , con esto se evitan los errores generados en el marco de referencia natural V_{abc} , como lo son, incapacidad de seguimiento de referencias sinusoidales, error en estado estacionario distinto a cero, bajo desempeño del integrador ante distorsiones ocasionadas por señales periódicas y baja capacidad al rechazo de las perturbaciones. El módulo PLL estima el ángulo de la red con el uso de las componentes simétricas positivas, esto brinda robustez ante condiciones de desbalance y variaciones de voltaje.

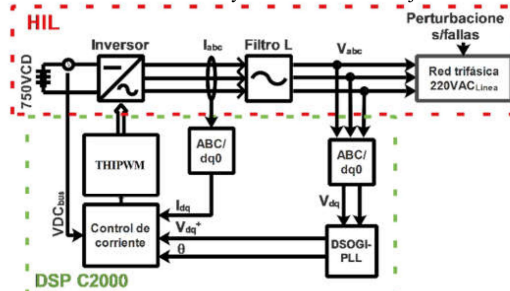


Figura 1, Diagrama general para recuperar energía. Dentro de la línea roja está el inversor y la red eléctrica emulados en HIL y en verde el algoritmo de control.

A. Sincronización ante disturbios en la red

Para facilitar el análisis de los sistemas de potencia trifásicos es posible abordarlos con vectores, ejemplo, un vector \vec{v}

Bibliografía

- [1] *METRO, tipo @ONLINE*. URL: <http://www.metro.cdmx.gob.mx/>.
- [2] Energy Information Administration. *International Energy Outlook 2016-World energy demand and economic outlook*. Vol. 0484. May. 2016. ISBN: 2025866135. DOI: [www.eia.gov/forecasts/ieo/pdf/0484\(2016\).pdf](http://www.eia.gov/forecasts/ieo/pdf/0484(2016).pdf). arXiv: EIA-0484(2013) [DOE]. URL: [www.eia.gov/forecasts/ieo/pdf/0484\(2016\).pdf](http://www.eia.gov/forecasts/ieo/pdf/0484(2016).pdf).
- [3] Shaofeng Lu y col. «Increasing the regenerative braking energy for railway vehicles». En: *IEEE Transactions on Intelligent Transportation Systems* 15.6 (2014), págs. 2506-2515. ISSN: 15249050. DOI: 10.1109/TITS.2014.2319233.
- [4] A. Kara, K. Mardikyan y S. Baran. «Application of regenerative braking energy to Istanbul metro operation system». En: *Electrical Systems for Aircraft, Railway and Ship Propulsion, ESARS* (2012), págs. 1-3. ISSN: 21659400. DOI: 10.1109/ESARS.2012.6387404.
- [5] Gabriel Réchard y Romain Gouttefangeas. «Recovering energy from train braking for traction and grid use». En: *Energy Procedia* 143 (2017), págs. 61-66. ISSN: 18766102. DOI: 10.1016/j.egypro.2017.12.648. URL: <https://doi.org/10.1016/j.egypro.2017.12.648>.
- [6] Varsha Singh. «Efficient Utilisation of Regenerative Braking in Railway». En: (2017), págs. 1421-1428.
- [7] ABB. *Transportation Expert Day - Electrification of public transport*. Reporte. ABB, 2018.
- [8] Y. Lu y col. «Status analysis of regenerative braking energy utilization equipments in urban rail transit». En: *2017 IEEE Transportation Electrification Conference and Expo, Asia-Pacific, ITEC Asia-Pacific 2017* (2017). DOI: 10.1109/ITEC-AP.2017.8080771.
- [9] *Global Mass Transit Report, tipo @ONLINE*. URL: <https://www.globalmasstransit.net/archive.php?id=17689>.
- [10] Pat Savoie. *DC Rail Transit – Wayside Energy Storage Systems*. 2017.
- [11] Johnatan Flores M. y Jessica J. Martínez R. «Propuesta de mejora del sistema de tracción-frenado para el elemento MP-68 del STC METRO». Tesis. Instituto Politécnico Nacional, 2013.
- [12] N. Jaalam y col. «A comprehensive review of synchronization methods for grid-connected converters of renewable energy source». En: *Renewable and Sustainable Energy Reviews* 59 (2016), págs. 1471-1481. ISSN: 18790690. DOI: 10.1016/j.rser.2016.01.066. URL: <http://dx.doi.org/10.1016/j.rser.2016.01.066>.
- [13] C. Cho y col. «Active Synchronizing Control of a Microgrid». En: *IEEE Transactions on Power Electronics* 26.12 (2011), págs. 3707-3719. ISSN: 1941-0107. DOI: 10.1109/TPEL.2011.2162532.
- [14] Bhavna Jain, Shailendra Jain y R.K. Nema. «Control strategies of grid interfaced wind energy conversion system: An overview». En: *Renewable and Sustainable Energy Reviews* 47 (2015), págs. 983 -996. ISSN: 1364-0321. DOI: <https://doi.org/10.1016/j.rser.2015.03.063>. URL: <http://www.sciencedirect.com/science/article/pii/S1364032115002166>.

- [15] Agurtzane Etxegarai y col. «Review of grid connection requirements for generation assets in weak power grids». En: *Renewable and Sustainable Energy Reviews* 41 (2015), págs. 1501-1514. ISSN: 1364-0321. DOI: <https://doi.org/10.1016/j.rser.2014.09.030>. URL: <http://www.sciencedirect.com/science/article/pii/S136403211400803X>.
- [16] S. Golestan, J. M. Guerrero y J. C. Vasquez. «Three-Phase PLLs: A Review of Recent Advances». En: *IEEE Transactions on Power Electronics* 32.3 (2017), págs. 1894-1907. ISSN: 1941-0107. DOI: 10.1109/TPEL.2016.2565642.
- [17] V. Kaura y V. Blasko. «Operation of a phase locked loop system under distorted utility conditions». En: *IEEE Transactions on Industry Applications* 33.1 (1997), págs. 58-63. ISSN: 1939-9367. DOI: 10.1109/28.567077.
- [18] *Enhanced Phase-Locked Loop Structures for Power and Energy Applications*. New Jersey: John Wiley & Sons, Inc., 2014.
- [19] V. Kaura y V. Blasko. «Operation of a phase locked loop system under distorted utility conditions». En: *IEEE Transactions on Industry Applications* 33.1 (1997), págs. 58-63. ISSN: 1939-9367. DOI: 10.1109/28.567077.
- [20] P. Rodríguez y col. «Double Synchronous Reference Frame PLL for Power Converters Control». En: *2005 IEEE 36th Power Electronics Specialists Conference*. 2005, págs. 1415-1421. DOI: 10.1109/PESC.2005.1581815.
- [21] Z. Wu y col. «Comparative performance evaluation of PLLs based on filtering techniques for grid-integration of renewable energy systems». En: *2017 2nd International Conference on Power and Renewable Energy (ICPRE)*. 2017, págs. 1001-1006. DOI: 10.1109/ICPRE.2017.8390684.
- [22] P. Xiao, K. A. Corzine y G. K. Venayagamoorthy. «Multiple Reference Frame-Based Control of Three-Phase PWM Boost Rectifiers under Unbalanced and Distorted Input Conditions». En: *IEEE Transactions on Power Electronics* 23.4 (2008), págs. 2006-2017. ISSN: 1941-0107. DOI: 10.1109/TPEL.2008.925205.
- [23] P. Rodríguez y col. «New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions». En: *2006 37th IEEE Power Electronics Specialists Conference*. 2006, págs. 1-7. DOI: 10.1109/pesc.2006.1712059.
- [24] P. Rodríguez y col. «Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions». En: *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*. 2006, págs. 5173-5178. DOI: 10.1109/IECON.2006.347807.
- [25] R. M. Santos Filho y col. «Comparison of Three Single-Phase PLL Algorithms for UPS Applications». En: *IEEE Transactions on Industrial Electronics* 55.8 (2008), págs. 2923-2932. ISSN: 1557-9948. DOI: 10.1109/TIE.2008.924205.
- [26] C. H. da Silva y col. «A Digital PLL Scheme for Three-Phase System Using Modified Synchronous Reference Frame». En: *IEEE Transactions on Industrial Electronics* 57.11 (2010), págs. 3814-3821. ISSN: 1557-9948. DOI: 10.1109/TIE.2010.2040554.
- [27] F. Gonzalez-Espin, E. Figueres y G. Garcera. «An Adaptive Synchronous-Reference-Frame Phase-Locked Loop for Power Quality Improvement in a Polluted Utility Grid». En: *IEEE Transactions on Industrial Electronics* 59.6 (2012), págs. 2718-2731. ISSN: 1557-9948. DOI: 10.1109/TIE.2011.2166236.

- [28] M. Karimi-Ghartemani y M. R. Iravani. «A method for synchronization of power electronic converters in polluted and variable-frequency environments». En: *IEEE Transactions on Power Systems* 19.3 (2004), págs. 1263-1270. ISSN: 1558-0679. DOI: 10.1109/TPWRS.2004.831280.
- [29] M. Karimi-Ghartemani y M. R. Iravani. «A new phase-locked loop (PLL) system». En: *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems. MWSCAS 2001 (Cat. No.01CH37257)*. Vol. 1. 2001, 421-424 vol.1. DOI: 10.1109/MWSCAS.2001.986202.
- [30] M. Karimi-Ghartemani y M. R. Iravani. «A nonlinear adaptive filter for online signal analysis in power systems: applications». En: *IEEE Transactions on Power Delivery* 17.2 (2002), págs. 617-622. ISSN: 1937-4208. DOI: 10.1109/61.997949.
- [31] Y. Terriche y col. «Multiple-Complex Coefficient-Filter-Based PLL for Improving the Performance of Shunt Active Power Filter under Adverse Grid Conditions». En: *2018 IEEE Power Energy Society General Meeting (PESGM)*. 2018, págs. 1-5. DOI: 10.1109/PESGM.2018.8586172.
- [32] S. Golestan, M. Monfared y F. D. Freijedo. «Design-Oriented Study of Advanced Synchronous Reference Frame Phase-Locked Loops». En: *IEEE Transactions on Power Electronics* 28.2 (2013), págs. 765-778. ISSN: 1941-0107. DOI: 10.1109/TPEL.2012.2204276.
- [33] S. Golestan y col. «PLL With MAF-Based Prefiltering Stage: Small-Signal Modeling and Performance Enhancement». En: *IEEE Transactions on Power Electronics* 31.6 (2016), págs. 4013-4019. ISSN: 1941-0107. DOI: 10.1109/TPEL.2015.2508882.
- [34] Zunaib Ali y col. «A new MAF based EPMAFPLL for grid connected RES with improved performance under grid faults». En: *Electric Power Systems Research* 154 (2018), págs. 130-139. ISSN: 0378-7796. DOI: <https://doi.org/10.1016/j.epsr.2017.08.013>. URL: <http://www.sciencedirect.com/science/article/pii/S0378779617303310>.
- [35] Y. Yang y col. «Benchmarking of phase locked loop based synchronization techniques for grid-connected inverter systems». En: *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*. 2015, págs. 2167-2174. DOI: 10.1109/ICPE.2015.7168077.
- [36] X. Qiang, W. Yang y H. Rong. «Phase locked loop and synchronization methods for grid-interfaced converters: a review». En: *PRZEGLĄD ELEKTROTECHNICZNY (Electrical Review)*. 2011, págs. 182-187.
- [37] H. K. Yada y M. S. R. Murthy. «Phase locked loop techniques for power quality improvement in polluted grids». En: *2016 IEEE 1st International Conference on Power Electronics, Intelligent Control and Energy Systems (ICPEICES)*. 2016, págs. 1-6. DOI: 10.1109/ICPEICES.2016.7853228.
- [38] Zunaib Ali y col. «Three-phase phase-locked loop synchronization algorithms for grid-connected renewable energy systems: A review». En: *Renewable and Sustainable Energy Reviews* 90 (2018), págs. 434-452. ISSN: 1364-0321. DOI: <https://doi.org/10.1016/j.rser.2018.03.086>. URL: <http://www.sciencedirect.com/science/article/pii/S1364032118301813>.
- [39] Surajit; Chattopadhyay, Madhuchhanda; Mitra y Samarjit; Sengupta. *Electric Power Quality*. Springer US, 2010. ISBN: 978-94-007-0634-7. DOI: 10.1007/978-94-007-0635-4.
- [40] Muhammad Rashid. *POWER ELECTRONICS HANDBOOK*. Elsevier Science, 2010. ISBN: 9780123820372.
- [41] Chan Wai-Kai, ed. *The electrical engineering handbook*. Elsevier Academic Press, 2005. ISBN: 9780121709600.

- [42] Josep Seymour y Terry Horsley. *Los siste tipos de problemas en el suministro eléctrico*. Inf. téc. APC, Schneider Electric, 2018.
- [43] «The Authoritative Dictionary of IEEE Standards Terms, Seventh Edition». En: *IEEE Std 100-2000* (2000), págs. 1-1362. ISSN: null. DOI: 10.1109/IEEESTD.2000.322230.
- [44] Gerardo Manuel Robledo Leal. «Calidad de la Energía Eléctrica: Camino a la Normalización». En: *Simposio de Metrología 2008, Centro Nacional de Metrología SM2008-S5B2-1188-7* (2008), pág. 1. URL: https://www.cenam.mx/simposio2008/sm{_}2008/memorias/S5/SM2008-S5B2-1188.pdf.
- [45] «Grid Synchronization in Three-Phase Power Converters». En: *Grid Converters for Photovoltaic and Wind Power Systems*. John Wiley y Sons, Ltd, 2010. Cap. 8, págs. 169-204. ISBN: 9780470667057. DOI: 10.1002/9780470667057.ch8. eprint: <https://onlinelibrary.wiley.com/doi/pdf/10.1002/9780470667057.ch8>. URL: <https://onlinelibrary.wiley.com/doi/abs/10.1002/9780470667057.ch8>.
- [46] *Resolución por la que la Comisión Reguladora de Energía expide las Reglas Generales de Interconexión al Sistema Eléctrico Nacional para generadores o permisionarios con fuentes de energías renovables o cogeneración eficiente*. Comisión Reguladora de Energía, 2012. URL: <http://www.cre.gob.mx/documento/2195.pdf>.
- [47] *Resolución Núm. RES/142/2017*. Diario Oficial de la Federación, 2017.
- [48] Gianfranco Chicco y Andrea Mazza. «100 Years of Symmetrical Components». En: *Energies* 12.3 (2019), pág. 450. ISSN: 1996-1073. DOI: 10.3390/en12030450. URL: <http://dx.doi.org/10.3390/en12030450>.
- [49] P. S. R. Murty. *Power systems analysis*. Second edition. Butterworth-Heinemann, an imprint of Elsevier, 2017. ISBN: 9780081011119.
- [50] Slobodan N. Vukosavi. *Grid-Side Converters Control and Design Interfacing Between the AC Grid and Renewable Power Sources*. Ed. por Springer. ISBN: 9783319732770. DOI: <https://doi.org/10.1007/978-3-319-73278-7>.
- [51] Sang-Hoon Kim. «Chapter 7 - Pulse width modulation inverters». En: *Electric Motor Control*. Ed. por Sang-Hoon Kim. Elsevier, 2017, págs. 265 -340. ISBN: 978-0-12-812138-2. DOI: <https://doi.org/10.1016/B978-0-12-812138-2.00007-6>. URL: <http://www.sciencedirect.com/science/article/pii/B9780128121382000076>.
- [52] Federico Miyara. *PLL Lazos de fijación de fase*. Segunda ed. Rosario, Argentina, 2005.
- [53] F Blaabjerg y col. «Overview of control and grid synchronization for distributed power generation systems». En: *IEEE Transactions on Industrial Electronics* 53.5 (2006), págs. 1398-1409. ISSN: 02780046. DOI: 10.1109/TIE.2006.881997. URL: <http://www.scopus.com/inward/record.url?eid=2-s2.0-33750109723{\&}partnerID=40{\&}md5=e3aa66bfcf33dec3da2c465d97cb873c>
- [54] Allal M. Bouzid y col. «A survey on control of electric power distributed generation systems for microgrid applications». En: *Renewable and Sustainable Energy Reviews* 44 (2015), págs. 751-766. ISSN: 13640321. DOI: 10.1016/j.rser.2015.01.016. arXiv: 1505.00136. URL: <http://dx.doi.org/10.1016/j.rser.2015.01.016>.
- [55] Xq Guo, Wy Wu y Hr Gu. «Phase locked loop and synchronization methods for grid-interfaced converters: a review». En: *PRZEGLAD ELEKTROTECHNICZNY (Electrical Review)* 4 (2011), págs. 182-187. ISSN: 0033-2097. DOI: R.87NR4/2011. URL: <http://red.pe.org.pl/articles/2011/4/48.pdf>.

- [56] Md Ruhul Amin y Shamsul Aizam Zulkifli. «A framework for selection of grid-inverter synchronisation unit: Harmonics, phase-angle and frequency». En: *Renewable and Sustainable Energy Reviews* 78.December 2016 (2017), págs. 210-219. ISSN: 18790690. DOI: 10.1016/j.rser.2017.04.074.
- [57] Atul Gupta y col. «Comparative Study of Single Phase PLL Algorithms for Grid Synchronization Applications». En: *International Journal of Electronics and Communication Technology* 7109 (2012), págs. 237-245. ISSN: 2230-9543.
- [58] *The control handbook*. 2. ed. The electrical engineering handbook series. CRC Press, 2011. ISBN: 9781420073669.
- [59] Jim Ogren. *PLL design for inverter grid connection*. Inf. téc. Uppsala Universitet, 2011.
- [60] Andre L. S. Barbosa, George Acioli Júnior y P. Rezende Barros. «SYMMETRICAL OPTIMUM BASED PI CONTROL REDESIGN». En: 2014.
- [61] Pedro Rodriguez y col. «Decoupled Double Synchronous Reference Frame PLL for Power Converters Control». En: *IEEE Transactions on Power Electronics* 22.2 (2007), págs. 584–592. ISSN: 0885-8993. DOI: 10.1109/TPEL.2006.890000.
- [62] A. A. Nazib, D. G. Holmes y B. P. McGrath. «Decoupled DSOGI-PLL for Improved Three Phase Grid Synchronisation». En: *2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)*. IEEE, 2018, págs. 3670–3677. ISBN: 9784886864055. DOI: 10.23919/IPEC.2018.8507364. URL: <https://ieeexplore.ieee.org/document/8507364/>.
- [63] Mona Abo El Dahb, Yoichi Shiraishi y Shoji Tatsuno. «Simulation Based Design for Inverter Power Supply». En: *IPSSJ Online Transactions* 3 (2010), págs. 186–193. ISSN: 1882-6660. DOI: 10.2197/ipsjtrans.3.186.
- [64] Zhen Xin y col. «A new second-order generalized integrator based quadrature signal generator with enhanced performance». En: *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. IEEE, 2016, págs. 1–7. ISBN: 9781509007370. DOI: 10.1109/ECCE.2016.7854722. URL: <http://ieeexplore.ieee.org/document/7854722/>.
- [65] Qingzeng Yan y col. «A DSOGI-FLL-Based Dead-Time Elimination PWM for Three-Phase Power Converters». En: *IEEE Transactions on Power Electronics* 34.3 (2019), págs. 2805–2818. ISSN: 0885-8993, 1941-0107. DOI: 10.1109/TPEL.2018.2839659.
- [66] Kalpeshkumar R. Patil e Hiren H. Patel. «Performance of shunt active power filter with DSOGI-FLL Under distorted grid voltage». En: *2017 Second International Conference on Electrical, Computer and Communication Technologies (ICECCT)*. IEEE, 2017, págs. 1–6. ISBN: 9781509032396. DOI: 10.1109/ICECCT.2017.8117997. URL: <http://ieeexplore.ieee.org/document/8117997/>.
- [67] P. Rodriguez y col. «Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions». En: *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*. IEEE, 2006, págs. 5173–5178. ISBN: 9781424403905. DOI: 10.1109/IECON.2006.347807. URL: <https://ieeexplore.ieee.org/document/4153695/>.
- [68] Saeed Golestan y col. «PLL With MAF-Based Prefiltering Stage: Small-Signal Modeling and Performance Enhancement». En: *IEEE Transactions on Power Electronics* 31.6 (2016), págs. 4013–4019. ISSN: 0885-8993, 1941-0107. DOI: 10.1109/TPEL.2015.2508882.
- [69] Saeed Golestan y col. «Moving Average Filter Based Phase-Locked Loops: Performance Analysis and Design Guidelines». En: *IEEE Transactions on Power Electronics* 29.6 (2014), págs. 2750–2763. ISSN: 0885-8993, 1941-0107. DOI: 10.1109/TPEL.2013.2273461.

-
- [70] Mitra Mirhosseini y col. «A Three-Phase Frequency-Adaptive Phase-Locked Loop for Independent Single-Phase Operation». En: *IEEE Transactions on Power Electronics* 29.12 (2014), págs. 6255–6259. ISSN: 0885-8993, 1941-0107. DOI: 10.1109/TPEL.2014.2328657.
- [71] ¿Qué es *Hardware-in-the-Loop*, tipo @ONLINE. URL: <https://www.ni.com/es-mx/innovations/white-papers/17/what-is-hardware-in-the-loop-.html>.