



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA
FACULTAD DE CIENCIAS DE LA ELECTRÓNICA
MAESTRÍA EN INGENIERÍA ELECTRÓNICA, OPCIÓN
INSTRUMENTACIÓN ELECTRÓNICA

**Tesis presentada para obtener el grado de:
Maestro en Ingeniería en Electrónica**

**Síntesis de un frente analógico en banda ultra ancha
para aplicaciones biomédicas**

Lic. Juan Carlos García Gutiérrez*

Director de tesis:

Dr. Víctor Rodolfo González Díaz

Asesor de tesis:

Dr. Luis Abraham Sánchez Gaspariano

Asesor de tesis externo:

Dr. Gerardo Molina Salgado

Agradecimientos

Agradezco a mi madre Virginia por su motivación y esfuerzo, a mi hermano Armando Gabriel por su ejemplo y disciplina, y a mi hermana Tania por su apoyo y ánimo constantes.

Agradezco profundamente a mis asesores, el Dr. Víctor Rodolfo y el Dr. Luis Abraham, por su guía, apoyo y valiosa contribución al éxito de este proyecto.

Deseo expresar mi más sincero agradecimiento a mis sinodales: al Mtro. Nicolás, al Dr. Jesús Manuel y a la Dra. Josefina, por su tiempo dedicado durante la revisión y evaluación de este trabajo.

Agradezco sinceramente a todos mis compañeros de maestría, quienes compartieron conmigo momentos de aprendizaje, colaboración y amistad. En especial: a Aldo, Arturo, Rafael, Eduardo, Antonio, Daniel, Javier, Abraham, Alberto e Isaac.

A los profesores que marcaron mi formación académica.

Finalmente, agradezco a la Benemérita Universidad Autónoma de Puebla, y en particular a la Facultad de Ciencias de la Electrónica.

Asimismo, quiero expresar mi más sincero agradecimiento a SECIHTI por el financiamiento brindado durante el desarrollo de este trabajo.

Juan Carlos García Gutiérrez

Tabla de Contenido

Agradecimientos	II
Lista de Nomenclatura	VI
Lista de Figuras	VII
Lista de Tablas	X
1 Introducción	1
1.1 Antecedentes	1
1.2 Planteamiento del problema y Justificación	3
1.3 Objetivos	5
1.3.1 General	5
1.3.2 Específicos	5
1.4 Estado del arte	6
2 Marco Teórico	9
2.1 Modulación Digital	9
2.2 Principios de banda ancha ultra	10
2.3 Técnicas de síntesis de banda ancha ultra	11
2.3.1 Impulsos de radio banda ancha ultra (IR-UWB)	11
2.3.2 Modulación de frecuencia de ultra banda ancha (FM-UWB)	13
2.3.3 Comparación entre IR-UWB y FM-UWB	16
3 Modelo comportamental de un transceptor para FM-UWB con bloques de RF en CppSim	18
3.1 CppSim	18
3.2 Bloques de RF para el transmisor FM-UWB en CppSim	19
3.2.1 Modelo comportamental del <i>Sub-carrier</i>	19
3.2.2 Modelo comportamental del Oscilador Controlado por Voltaje	21
3.2.3 Modelo comportamental del Amplificador de Potencia	22
3.3 Simulación del transmisor FM-UWB en CppSim	23
3.4 Bloques de RF para un receptor de FM-UWB en CPPSIM	25
3.4.1 Demodulador regenerativo: Modelo comportamental del amplificador de bajo ruido	25
3.4.2 Demodulador regenerativo: Modelo comportamental del primer filtro pasa bajas	26
3.4.3 Demodulador regenerativo: Modelo comportamental del detector de envoltura	26
3.5 Simulación del demodulador regenerativo FM-UWB en CppSim	27

3.5.1	Demodulador BFSK: Modelo comportamental del filtro pasa baja y pasa banda de segundo orden Butterworth	28
3.5.2	Demodulador BFSK: Modelo comportamental del restador y comparador	29
3.6	Simulación del demodulador BFSK en CppSim	30
3.7	Resultados del modelo comportamental del transceptor	31
3.8	Conclusiones	35
4	Síntesis de un transmisor de FM-UWB en tecnología CMOS con modelos industriales en Cadence	38
4.1	<i>Sub-carrier</i>	39
4.1.1	Comparador Schmitt Trigger	39
4.1.2	Generador de onda triangular con comparador Schmitt Trigger	41
4.1.3	Diseño del comparador Schmitt Trigger	42
4.1.4	Diseño del generador de onda triangular con voltaje de entrada digital (0 V y 0.8 V)	43
4.1.5	Layout	46
4.2	Oscilador controlado por voltaje (VCO)	48
4.2.1	Conceptos básicos	48
4.2.2	Oscilador de anillo	49
4.2.3	Diseño del oscilador controlado por voltaje	51
4.2.4	Layout	53
4.3	Amplificador de Potencia (PA)	54
4.3.1	Fundamentos de amplificadores de potencia	55
4.3.2	Amplificador de potencia clase A	57
4.3.3	Amplificador de potencia clase AB	58
4.3.4	Propuesta de diseño: PA clase A	58
4.3.5	Simulación	61
4.3.6	Layout	62
4.4	Comparación del transmisor FM-UWB diseñado en tecnología CMOS	64
5	Síntesis de un receptor de FM-UWB en tecnología CMOS con modelos industriales en Cadence	65
5.1	Amplificador de Bajo Ruido	65
5.1.1	Consideraciones de diseño	66
5.1.2	Topología para el LNA	68
5.1.3	LNA propuesto.	70
5.1.4	Comparación entre amplificadores de bajo ruido	73
5.1.5	Layout	74
5.2	Comparador con bloque diferencial	76
5.2.1	Propuesta de comparador	77
5.2.2	Simulación	78
5.2.3	Layout	79
5.3	Filtro GM-C	80
5.3.1	Filtros Bicuadráticos	81
5.3.2	Simulación	83
5.4	Conclusiones	84
6	Conclusiones y trabajo futuro	85

TABLA DE CONTENIDO

V

6.1	Resumen y conclusiones	85
6.2	Recomendaciones	86
6.3	Trabajo futuro	87
	Bibliografía	88
	Apéndices	94

Lista de Nomenclatura

Abreviaturas

ASK	Amplitude Shift Keying
BFSK	ABinary Frequency Shift Keying
CMOS	Complementary Metal-Oxide-Semiconductor
DDS	Direct Digital Synthesis
ECG	Electrocardiogram
FCC	Federal Communications Commission
FM-UWB	Frequency-Modulation Ultra-wideband
FSK	Frequency Shift Keying
IoT	Internet of Things
IR-UWB	Impulse-Radio Ultra-wideband
LNA	Low Noise Amplifier
LO	Local Oscillator
NF	Noise Figure
PA	Power Amplifier
PSD	Power Spectral Density
PSK	Phase Shift Keying
RF	Radio Frequency
UWB	Ultra-wideband
VCO	Voltage-Controlled Oscillator

Lista de Figuras

1.1.1 (a) Máscara espectral PSD de UWB. (b) Proyección del aumento de ventas de unidades de UWB.	2
1.1.2 Arquitectura típica de un transceptor de RF digital.	3
1.2.1 Cámara UWB de 7x7 pixeles [14].	4
2.1.1 Principales tipos de modulación digital.	10
2.3.1 Arquitectura de transmisor IR-UWB.	11
2.3.2 Comportamiento de un transmisor IR-UWB	12
2.3.3 Pulsos gaussianos.	13
2.3.4 Comportamiento de un transmisor IR-UWB.	14
2.3.5 Arquitecturas típicas de un receptor FM-UWB (a) demodulador con línea de retraso; (b) demodulador regenerativo; (c) demodulador de línea de retardo de banda base y (d) demodulador de filtro de paso de doble banda [29].	15
2.3.6 Señales demoduladas en tiempo continuo [29].	16
2.3.7 PSD de modulación IR-UWB y FM-UWB.	17
3.2.1 Bloque propuesto para el transmisor FM-UWB.	19
3.2.2 Ondas triangulares de 1 MHz y 2 MHz en CPPSIM.	20
3.2.3 (a) VCO a 5 GHz y (b) señal generada por el PA a 5 GHz.	21
3.3.1 Señal digital y señal triangular generada por el <i>sub-carrier</i> simulados a 100 μ s.	23
3.3.2 Señal del PA simulada a 5 ns.	24
3.3.3 PSD de la señal transmitida.	24
3.4.1 Bloques del demodulador regenerativo FM-UWB.	25
3.5.1 Demodulador regenerativo FM-UWB.	27
3.5.2 Demodulador BFSK.	28
3.6.1 Demodulador BFSK 1.	30
3.6.2 Demodulador BFSK 2.	31
3.7.1 Transceptor completo.	32
3.7.2 Señal transmitida y recibida del transceptor.	34
3.8.1 Transceptor completo en Virtuoso.	37
4.0.1 Transmisor a diseñar.	38

4.1.1 Tipos de comparadores	39
4.1.2 Comparador Schmitt Trigger.	40
4.1.3 Gráfica del comparador Schmitt Trigger [37].	40
4.1.4 Oscilador de onda triangular.	41
4.1.5 (a) Comparador Schmitt Trigger propuesto y (b) simulación del comparador Schmitt Trigger.	42
4.1.6 Generador de onda triangular propuesto.	44
4.1.7 (a) Simulación con entrada digital '0' y (b) simulación con entrada digital '1'.	45
4.1.8 (a) Simulación del comportamiento con entrada digital y (b) simulación del comportamiento con entrada digital ampliada.	45
4.1.9 Layout del comparador Schmitt-Trigger.	46
4.1.10 Layout del sub-carrier.	47
4.2.1 (a) Onda de un oscilador de anillo y (b) onda de anillo de 3 etapas.	48
4.2.2 Métodos de obtención de frecuencias bajas: a) añadiendo capacitancias, b) aumentar el número de anillos, c) longitud de canal más grande y d) divisores de frecuencias [33, 41].	50
4.2.3 VCO tipo anillo: a) bloque controlado por un NMOS y b) gráfica de ganancia del oscilador (K_{VCO}) [33, 41].	50
4.2.4 VCO propuesto.	51
4.2.5 Respuesta transitoria cuando $V_{CTRL} = 1.1$ V (5.08 GHz).	52
4.2.6 Ganancia de frecuencia K_{VCO}	52
4.2.7 Curva de ruido de fase del VCO.	53
4.2.8 Variaciones de frecuencia con respecto a la temperatura.	53
4.2.9 Layout del VCO.	54
4.3.1 Tipos de amplificadores con CMOS.	56
4.3.2 PA tipo A con inductor.	57
4.3.3 Amplificador de potencia clase AB con sistema de polarización.	58
4.3.4 Curvas I_D vs V_{GS} con diferentes anchos de canal.	60
4.3.5 Propuesta de amplificador de potencia clase A.	60
4.3.6 Respuesta en el tiempo del PA clase A.	61
4.3.7 Parámetros S del PA.	62
4.3.8 Layout del PA.	62
4.3.9 Layout del PA, version ampliada del transistor.	63
5.1.1 (a) LNA con topología push-pull y (b) topología escalera.	69
5.1.2 Respuesta en magnitud del filtro.	70
5.1.3 LNA propuesto.	71
5.1.4 Parámetros de dispersión (S_{11} , S_{21}) y figura de ruido (NF) del LNA en función de la frecuencia.	71

5.1.5 Respuesta transitoria del LNA con una señal de 5 GHz.	72
5.1.6 Factor de estabilidad K del LNA.	73
5.1.7 Layout del LNA 1.	75
5.1.8 Layouts de los amplificadores LNA: (a) LNA 2 y (b) LNA 3.	75
5.2.1 Comparador ideal.	76
5.2.2 (a) Comparador con par diferencial amplificada y con latch y (b) comparador (par diferencial).	77
5.2.3 (a) Comparador respuesta transitoria 1 (potencia $106\ \mu\text{W}$) y (b) comparador respuesta transitoria 2.	78
5.2.4 Respuesta del comparador DC.	79
5.2.5 Layout del comparador.	80
5.3.1 (a) Filtro pasa bajas de primer orden y (b) transconductor operacional CMOS diferencial.	82
5.3.2 (a) Respuesta en magnitud y (b) respuesta en fase del filtro.	83

Lista de Tablas

1.4.1 Transceptores IR-UWB.	7
1.4.2 Transceptores IR-UWB y FM-UWB.	8
2.3.1 Ventajas y desventajas entre IR-UWB y FM-UWB [17].	16
3.7.1 Ecuaciones de los bloques del modelo comportamental	33
3.7.2 Comparación de modelos comportamentales.	35
4.1.1 Variación de frecuencia y potencia con la temperatura	46
4.3.1 Comparación entre clases de amplificadores de potencia [33, 42].	55
4.4.1 Comparación de diseños de osciladores de RF	64
5.1.1 Clasificación de topologías y análisis de no linealidad en LNA.	66
5.1.2 Comparación de diferentes LNAs	74

Introducción

1.1. Antecedentes

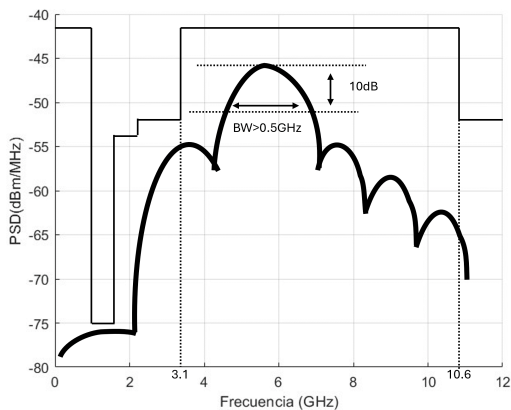
La Asamblea General de la ONU estableció los principales problemas a resolver [1] para la agenda 2030, entre los que destacan:

1. Salud y bienestar.
2. Energía accesible y no contaminante.
3. Industria, innovación e infraestructura.
4. Ciudades y comunidades sostenibles.
5. Internet de las cosas (IoT).

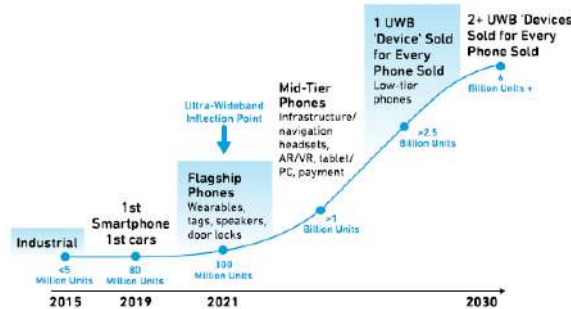
Dadas las problemáticas mencionadas, se ha promovido la investigación de nuevas herramientas, entre las que destaca el Internet de las cosas (IoT), que día a día tiene una repercusión en el uso cotidiano. Para poder transmitir la información a alta velocidad con una baja potencia, existen protocolos de uso diario, como Wi-Fi y bluetooth; otros menos comunes, como Zigbee, y algunos emergentes, tal es el caso de **banda ultra ancha** (o por sus siglas en inglés UWB).

La tecnología de banda ultra ancha (UWB) presenta características únicas que la distinguen de las propiedades clásicas de los diferentes tipos anchos de banda para las comunicaciones por radio. La tecnología UWB data desde 1901, cuando Guillermo Marconi hizo uso de pulsos de muy corta duración para transmisión de información en código Morse. En 1960, se empleó esta técnica para aplicaciones militares como códigos encriptados y radares. Estas particularidades han generado un notable interés desde la apertura al público por parte de la Comisión Federal de Comunicaciones (FCC) de los Estados Unidos en el año 2002 [2-4].

En particular, la FCC indica que una señal pueda ser clasificada como UWB debe tener un ancho de banda superior a 500 MHz en un rango de 10 dB o posea el 20 % de su ancho de banda (ver figura 1.1.1a) para una frecuencia central f_s entre 3.1 GHz y 10.6 GHz en la densidad de potencia espectral (PSD). La PSD no debe superar los -41.3 dBm/MHz [4, 5].



(a) Máscara espectral PSD de UWB.



(b) Proyección del aumento de ventas de unidades de UWB [6].

Figura 1.1.1: (a) Máscara espectral PSD de UWB. (b) Proyección del aumento de ventas de unidades de UWB.

Con las características de UWB, se presentan distintos escenarios de aplicación, por ejemplo en un futuro muy cercano las cámaras podrían tener dispositivos de autoenfoco UWB, radares para asistir en maniobras de aparcamiento [3], su uso en la domótica y en áreas recientes la biomedicina.

En la figura 1.1.1b se muestra un aumento del 2000 % de dispositivos UWB en teléfonos inteligentes [6], este aumento exponencial se ha logrado gracias a la reducción del tamaño de transistores CMOS [7].

Desarrollar tecnología de UWB en aplicaciones médicas es una tendencia de investigación emergente en los últimos años. El primer intento de utilizar el radar de UWB en aplicaciones médicas fue en el monitoreo e imagen del cuerpo humano en 1993 [8]. En 1996, el uso biomédico de los radares UWB se describe mejor con trazados fotográficos y de muestra [9]. Además, el radar UWB tiene un nivel de potencia promedio muy bajo y es muy eficiente en energía. Otra aplicación de UWB es el diseño de transceptores en dispositivos para el monitoreo cardiovascular [10].

Transceptor

El transceptor es un dispositivo que se contiene dos bloques: el transmisor y el receptor que permiten trabajar en señales de radiofrecuencia (RF). Existen diferentes arquitecturas de los transceptores. La elección adecuada de la arquitectura genera buena eficiencia de transmisión y recepción de datos, bajo consumo de potencia, simplicidad en el diseño electrónico, reducción en el área que se utiliza, costos y el número de elementos del chip.

La arquitectura de un transceptor RF digital se muestra en la figura 1.1.2.

Es importante mencionar los dos bloques principales en el transceptor: banda base (back-end)

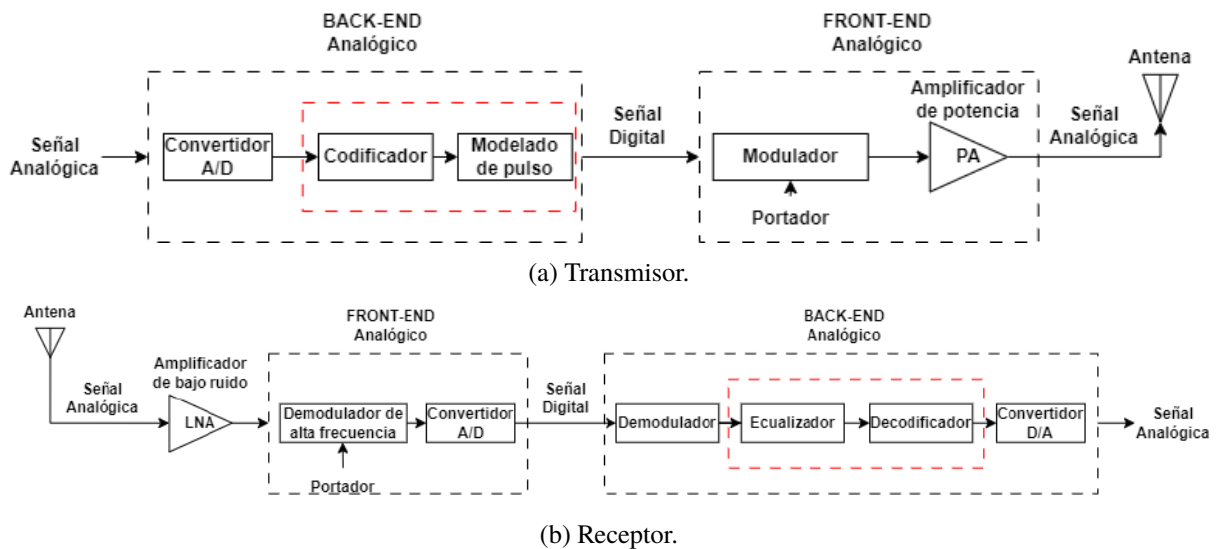


Figura 1.1.2: Arquitectura típica de un transceptor de RF digital.

y frente analógico (front-end). Estos se diferencian con la entrada y salida, es decir, el bloque de banda base convierte señales analógicas a señales digitales para dispositivos de RF, caso contrario al frente analógico, el cual convierte señales analógicas en señales digitales.

1.2. Planteamiento del problema y Justificación

En 2022, el mercado mundial de UWB alcanzó ganancias por 96.12 millones de dólares y los países que están aportando sus inversiones a esta tecnología son Estados Unidos, China, Japón, India, el medio oriente (Arabia Saudita, Emiratos Árabes Unidos y Catar) y en menor medida Latinoamérica (Brasil, México y Colombia) [11].

El incremento exponencial de la tecnología UWB se dio en la pandemia del COVID-19; en dos áreas de aplicación: localización y biomédica. En cuanto a la primera, la localización de personas con síntomas del COVID-19 fue crucial para detener el contagio en países como China y Corea del Sur [12], y la segunda aplicación que tiene un auge desde el inicio de la década es la tecnología biomédica. En comparación con los rayos X y el ultrasonido, las señales UWB ofrecen una alternativa atractiva para la obtención de imágenes del cerebro, corazón y pulmones [12], además ya existen resultados toma de imágenes en el interior de un estómago de un cerdo [10]. Con un radar biomédico UWB, es posible monitorear las señales ECG continua e inalámbricamente de las funciones vitales y, así, evitar el uso de cables eléctricos alrededor del paciente y minimizar el tiempo de espera del paciente. Sin embargo, el área biomédica no es la única beneficiada con los avances de UWB, otras áreas de interés son las aplicaciones en el sistema de imágenes, las redes de sensores inalámbricos para posicionamiento [13]. Un ejemplo es el diseño de una cámara 7x7 píxeles (ver figura 1.2.1) que utiliza un chip CMOS

que se conecta con antenas UWB omnidireccionales 3D de 2x2 para capturar imágenes con una alta resolución de profundidad y selectividad de ángulo en dos dimensiones [14].

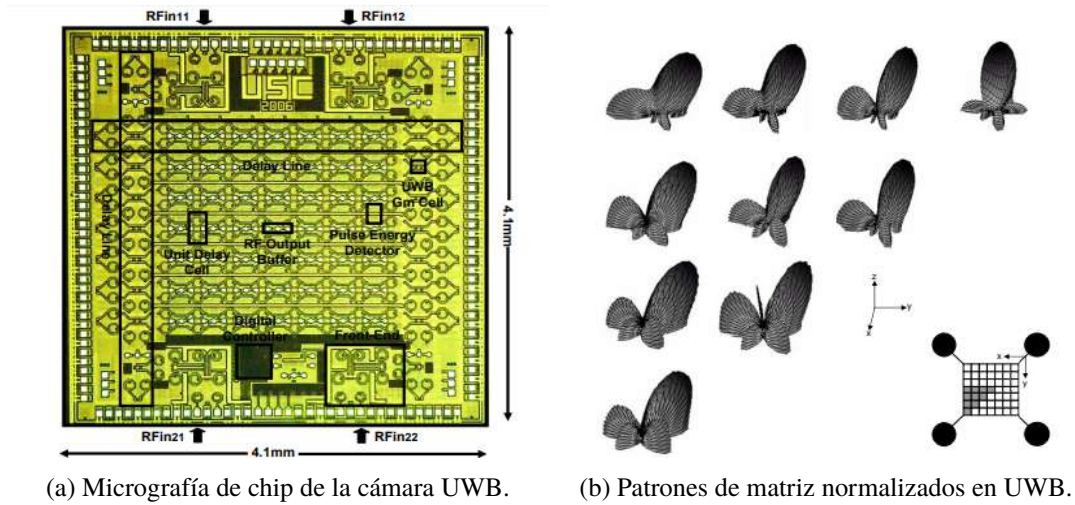


Figura 1.2.1: Cámara UWB de 7x7 pixeles [14].

Bajo la problemática planteada, este trabajo de tesis sintetizará una arquitectura CMOS para un frente analógico en UWB para aplicaciones biomédicas, en el cual se desarrollará un modelo comportamental para definir las máscaras espectrales que constituyen la banda ultra ancha, además de validar los diseños y realizar un patrón geométrico para una futura fabricación.

1.3. Objetivos

1.3.1. General

- Sintetizar un frente analógico en tecnología CMOS para aplicaciones de radio pulsada de banda ultra ancha.

1.3.2. Específicos

1. Realizar un modelo comportamental de la arquitectura del transceptor propuesto.
2. Definir las máscaras espectrales de UWB.
3. Diseñar el transceptor con un proceso de manufactura CMOS en herramientas de diseño electrónico.
4. Validar cuantitativamente el diseño.
5. Realizar el patrón geométrico (layout) del sistema preparándolo para una futura fabricación.

1.4. Estado del arte

En años recientes, la dependencia de la transmisión de datos a alta velocidad ha incrementado exponencialmente, como se observa en la Fig. 1.1.1b, esto se ha generado en el estudio y análisis de nuevas técnicas de transmisión y recepción de datos. Actualmente, la tecnología que está siendo implementada en diversos dispositivos es la UWB.

La técnica de impulsos de corta duración por banda ultra ancha (o por sus siglas en inglés IR-UWB) es ideal para sistemas de localización precisa con restricciones de energía, gracias a su alta resolución temporal y resistencia a interferencias. En el año 2019, se publicó un transceptor de UWB para la detección de ocupación y signos vitales. El sistema de comunicación utiliza modulación de encendido y apagado (OOK) y consume una potencia récord de $680 \mu\text{W}$ y puede detectar la respiración y el latido cardíaco humanos hasta 15 y 5 m, respectivamente. En [15] se diseñó un transceptor para aplicaciones de IoT, el dispositivo fue fabricado en tecnología CMOS de 28 nm, ocupando un área de 1.33 mm^2 , con un rango de tasa de transmisión de 0.11 a 31.2 Mbps, donde su banda de frecuencia va de 6 a 9 GHz. En [16] un transceptor basado en la norma IEEE 802.15.4z propone una arquitectura de receptor con inversores y transmisión polar, logrando bajo consumo y robustez. Utiliza un PLL distribuido de dos etapas para recepción multicanal simultánea, lo que reduce el tiempo de medición y el consumo. El sistema opera con 8.9 mW en transmisión y 21.5 mW por canal en recepción, y tolera interferencias fuera de banda de hasta -33 dBm , destacándose como una solución eficiente para entornos exigentes.

En el año 2022, se publicó un estudio [17] donde se describe las dos principales técnicas de diseño de transceptores UWB; IR-UWB y FM-UWB. Además, el artículo añadió el diseño de un transceptor UWB implementado con la tecnología FM-UWB en tecnología CMOS de 65 nm, con una frecuencia central de 8 GHz y tasa de transmisión de datos de 2 Gbps. En [18] se presenta un transmisor FM-UWB de baja potencia y complejidad, diseñado para aplicaciones WBAN. Implementado en tecnología CMOS de 130 nm usando herramientas Cadence, el transmisor opera en la banda de 3.4 GHz a 3.9 GHz. El sistema completo, alimentado a 1.2 V, consume $398 \mu\text{W}$ y ocupa un área activa de 0.04 mm^2 . Y con [19] presenta la implementación de un transmisor FM-UWB de baja potencia en tecnología CMOS estándar de 130 nm, diseñado para operar en el rango de 3.328 GHz a 4.608 GHz. El sistema emplea un oscilador de relajación para generar la subportadora, calibrada mediante un bucle de enganche de fase (PLL), mientras que la portadora de RF se genera con un oscilador controlado por voltaje (VCO). Un esquema de calibración basado en PLL permite ajustar las frecuencias límite de la banda de operación. El transmisor consume $835 \mu\text{W}$ con una fuente de 1.2 V a una tasa de 500 kbps, alcanzando una eficiencia energética de 1.67 nJ/bit .

En la tabla 1.4.1 se muestran los diferentes tipos de transmisores IR-UWB publicados en la literatura y en la tabla 1.4.2 se muestran los transmisores FM-WUB.

	[20]	[15]	[16]	[21]	[22]
Tipo de UWB	IR-UWB	IR-UWB	IR-UWB	IR-UWB	IR-UWB
Modulación digital	OOK	OOK	OOK	MPPM	MPPM
Tecnología CMOS (nm)	40	28	28	65	65
Banda de Frecuencia (GHz)	6.8-8.2	6-9	3-10	3.5-6	3-5
Velocidad de transmisión de datos (Mbps)	-	0.1/0.85/ 62.4/124.8	27.2	1125	500
Arquitectura	TX/RX	TX/RX	3TX/RX	TX/RX	TX/RX
Potencia en la transmisión (mW)	19*	8.7 @124MHz	8.9	*28	*34
Potencia en la recepción (mW)	19*	21	-	*28	*34
Bloque de transmisión	FLL	SYS-PLL	SYS-PLL	DTC	DTC
Bloque de recepción	Coherente	Coherente	Coherente	No coherente	No coherente
Sensibilidad (dBm)	-	-	-83	-68	-61

Tabla 1.4.1: Transceptores IR-UWB.

	[23]	[17]	[18]	[19]	[24]
Tipo de UWB	IR-UWB	FM-UWB	FM-UWB	FM-UWB	FM-UWB
Modulación digital	OOK	BFSK	BFSK	BFSK	8-PSK
Tecnología CMOS (nm)	55	65	130	180	-
Banda de Frecuencia (GHz)	7.29-8.78	3.5-4.5	3.4-3.9	3.32-4.6	3-5
Velocidad de transmisión de datos (Mbps)	-	1	0.25	0.1	0.25/0.5/ 0.75
Arquitectura	TX/RX	TX/RX	TX	TX	TX/RX
Potencia en la transmisión (mW)	118.1*	8.3	0.398*	0.83	-
Potencia en la recepción (mW)	118.1*	-	-	-	-
Bloque de transmisión	PLL	PLL	PLL	PLL	PLL
Bloque de recepción	Coherente	N-C (Det. Frec)	-	-	No coherente (Env. Det.)
Sensibilidad (dBm)	-	-	-	-	-

Tabla 1.4.2: Transceptores IR-UWB y FM-UWB.

Capítulo 2

Marco Teórico

En este capítulo se explican las bases y el funcionamiento de los sistemas de banda ultra ancha, además de las clasificaciones y reglas que rigen su funcionamiento.

2.1. Modulación Digital

La modulación digital es el proceso por el cual una señal digital se convierte en una señal analógica continua (portadora) [25] que puede ser transmitida a través una antena. Este proceso permite la transmisión eficiente de información digital sobre medios analógicos.

En la modulación digital, los datos binarios modulan una señal portadora, que generalmente es una onda sinusoidal de frecuencia fija. Existen varios métodos de modulación digital, cada uno de los cuales ajusta uno o más parámetros de la señal portadora (frecuencia, fase o amplitud) para representar los datos digitales.

- Modulación por desplazamiento de amplitud (ASK)

La amplitud de la señal portadora cambia para representar los valores de los datos binarios. Un nivel de amplitud representa un bit '1', mientras que una amplitud menor (o incluso cero) representa un bit '0'. Aunque es sencillo de implementar, ASK es muy sensible al ruido, lo que puede afectar la calidad de la señal en entornos ruidosos.

- Modulación por desplazamiento de frecuencia (FSK)

La frecuencia de la señal portadora varía para representar los datos digitales. Una frecuencia específica representa el bit '1', y otra frecuencia representa el bit '0'. FSK es más resistente al ruido que ASK, pero requiere más ancho de banda para su transmisión.

- Modulación por desplazamiento de fase (PSK)

La fase de la señal portadora se cambia para representar diferentes valores binarios. Este método es muy eficiente en términos de ancho de banda y es menos sensible al ruido en comparación con ASK.

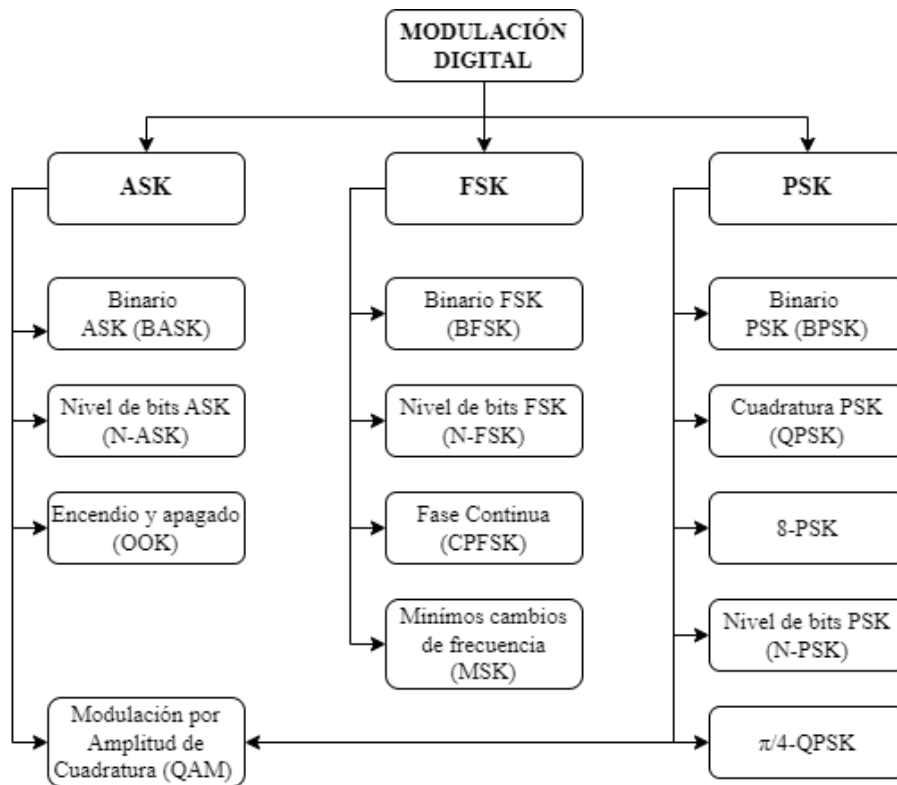


Figura 2.1.1: Principales tipos de modulación digital.

En esta tesis se utilizará la técnica de modulación BFSK para la modulación digital.

2.2. Principios de banda ancha ultra

Los orígenes de la comunicación UWB datan desde 1901, cuando Guillermo Marconi hizo uso de pulsos de muy corta duración para transmitir secuencias de código Morse. No fue hasta 1960 que se empezó a usar la tecnología para aplicaciones militares como radares o comunicaciones encriptadas y no es hasta el año 2002 que la FCC autoriza su uso para aplicaciones comerciales. En este sentido, UWB no es una tecnología reciente, sino una nueva forma de aplicar una tecnología ya antes establecida. [3-5].

La FCC define la densidad espectral de potencia que debe tener una señal UWB, la cual debe ser menor a -41.3 dBm/MHz y un ancho de banda superior a 500 MHz o tener una banda fraccional mayor (W_f) al 20 % [26].

El ancho de banda fraccional (W_f) se define como:

$$W_f = \frac{2(f_h - f_l)}{f_h + f_l} * 100 \% \quad (2.2.1)$$

Donde f_h es la frecuencia más alta y f_l es la frecuencia más baja, teniendo en cuenta que estas frecuencias se miden a partir del punto máximo 10 dB, el espectro tiene que estar establecido entre 3.1 GHz y 10.6 GHz [26].

Las técnicas más usadas para el uso de UWB son IR-UWB, FM-UWB y frecuencia intermedia (o en inglés uncertain-IF). En lo concerniente a la transmisión por Radio Pulsada de Banda Ultra Ancha (IR-UWB), consiste en la transmisión por pulsos de duración extremadamente corta, típicamente en el orden de nanosegundos, por medio de una antena especializada. Debido a su corta duración, el consumo de potencia general de los sistemas es reducido.

2.3. Técnicas de síntesis de banda ancha ultra

2.3.1. Impulsos de radio banda ancha ultra (IR-UWB)

Como se observa en la figura 2.3.1, el transmisor está compuesto por cuatro bloques principales: generador de pulsos, oscilador local, mezclador (multiplicador) y amplificador de potencia, o por sus siglas en inglés PA (Power Amplifier) [27].

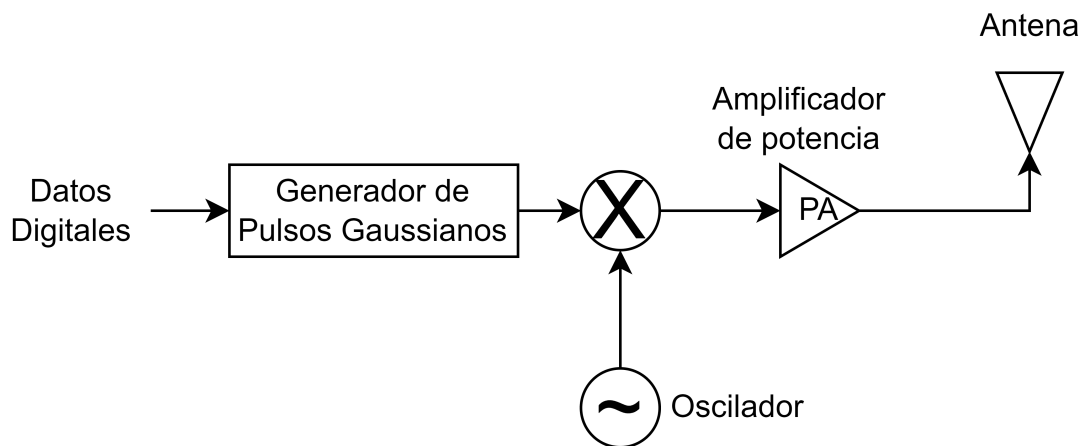


Figura 2.3.1: Arquitectura de transmisor IR-UWB.

El generador de pulsos tiene como entrada datos digitales y salida pulsos gaussianos (ver figura 2.3.2b), cabe destacar que los pulsos gaussianos pueden ser de primer, segundo y tercer orden. El oscilador local (LO por sus siglas en inglés) debe tener como frecuencia central entre 3.6-10.1 GHz, esto es, para que se garantice las características de la máscara espectral de UWB. En la figura 2.3.2a se seleccionó una frecuencia de 6 GHz. Después, las dos señales son mezcladas (figura 2.3.2c) para finalmente obtener el espectro electromagnético. Las desventajas del uso de esta técnica radica en la complejidad del diseño del generador de pulsos y el mezclador, ya que estos componentes tienen que trabajar en el orden de frecuencia de GHz, aunque en el diseño de

un receptor la complejidad puede ser reducida usando receptores del tipo no-coherente [22]. Sin embargo, la técnica IR-UWB es de alta velocidad, alcanzando tasas de transmisión máximas 480 Mbps.

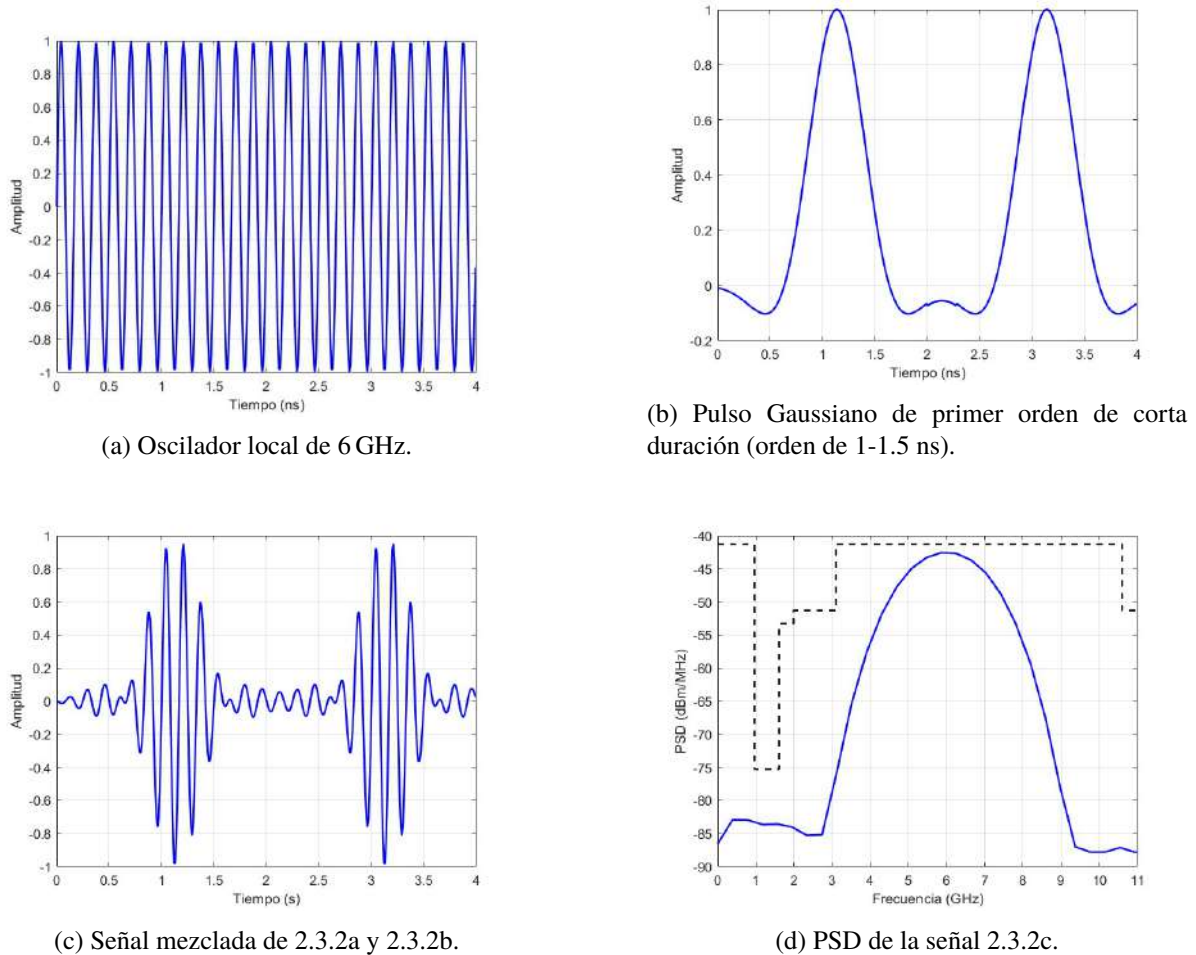


Figura 2.3.2: Comportamiento de un transmisor IR-UWB

La tecnología IR-UWB tienen características que marcan diferencias contra otra tecnologías inalámbricas basada en canales de banda angosta (como bluetooth IEEE 8002.15.1) o en canales de banda ancha (Wi-Fi IEEE 802.11g).

Tipos de pulsos usados en IR-UWB

Los pulsos típicamente usados en IR-UWB son los pulso gaussianos, por su sencilla implementación en tecnología CMOS, además, tiene un gran componente en de corriente directa [27].

- **Pulso gaussiano:** Su ecuación esta dado por:

$$p_1(t) = \frac{1}{\tau\sqrt{2\pi}} \exp \left[-\frac{1}{2} \left(\frac{t}{\tau} \right)^2 \right] \tag{2.3.1}$$

- **Mono pulso ciclo gaussiano:** Su ecuación esta dado por:

$$p_2(t) = K_1 \frac{-2t}{\tau^2} \exp \left[- \left(\frac{t}{\tau} \right)^2 \right] \quad (2.3.2)$$

- **Doble pulso ciclo gaussiano:** Su ecuación esta dado por:

$$p_3(t) = K_2 \frac{-2}{\tau^2} \left(1 - \frac{2t^2}{\tau^2} \right) \exp \left[- \left(\frac{t}{\tau} \right)^2 \right] \quad (2.3.3)$$

En la figura 2.3.3 se muestran los pulsos gaussianos descritos en las ecuaciones 2.3.1, 2.3.2 y 2.3.3, donde el pulso más utilizado en la transmisión es el mono pulso gaussiano.

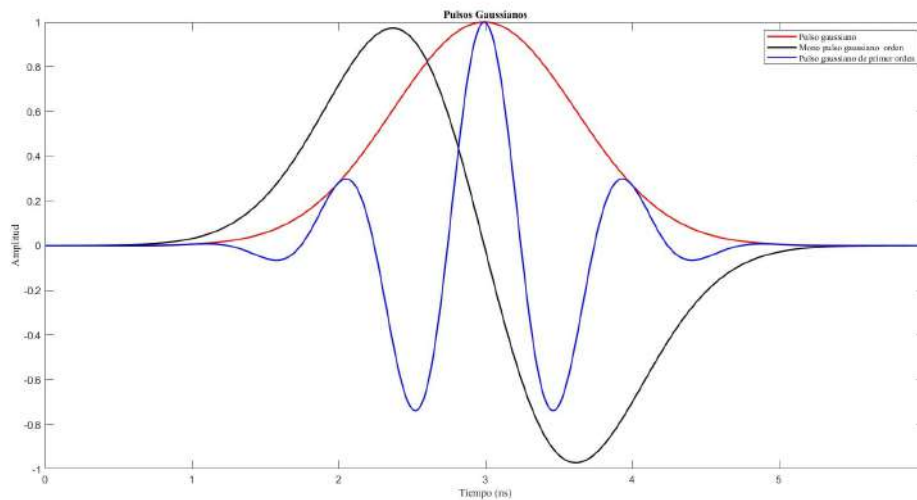


Figura 2.3.3: Pulsos gaussianos.

2.3.2. Modulación de frecuencia de ultra banda ancha (FM-UWB)

En la FM-UWB, se puede ver como una técnica de barrido de frecuencias, donde la señal incrementa su frecuencia y decrementa con respecto en el tiempo. A esta señal se le conoce en inglés como *chirp* [28]. La señal *chirp* tiene como modelo matemático la ecuación 2.3.4.

$$S_{(FM-UWB)} = A * \cos(w_c * t + \sigma * t(t)) \quad (2.3.4)$$

Donde la w_c es la frecuencia central de la señal *chirp* y, además, tiene como equivalente a $W_c = 2\pi f$ y σ es la variación con respecto del tiempo de la fase, este último tiende a cambiar

su valor entre valores positivos y negativos; aunque en algunas excepciones cambia su valor de acuerdo al diseño implementado [28].

La FM-UWB se caracteriza por convertir señales digitales en señales triangulares en un primer bloque (sub-carrier en inglés), es decir, es FM-UWB es del tipo de modulación por cambios de frecuencia (o por sus siglas en inglés *FSK*) [17, 28]. Como se observa en la figura 2.3.4b, la señal digital cuando es '1' tiene como salida una onda triangular frecuencia $w(t)$ y cuando es '0' tiene como frecuencia de salida $2 * w(t)$; en otras palabras, realiza una primera modulación, en la segunda etapa se realiza una conversión de onda triangular a onda sinusoidal ($S_{triangular}(t)$) donde la frecuencia varía con respecto a la magnitud de la onda triangular, así:

$$S_{sinusoidal}(t) = A \sin([f_c + h(t)]t) \quad (2.3.5)$$

Donde, $h(t)$ es la señal triangular.

Finalmente, en la tercera etapa aumenta su amplitud con un amplificador de potencia (PA), esta deberá tener una potencia no mayor de -41.3 dBm/MHz.

$$S_{UWB} = A * S_{sinusoidal}(t) \quad (2.3.6)$$

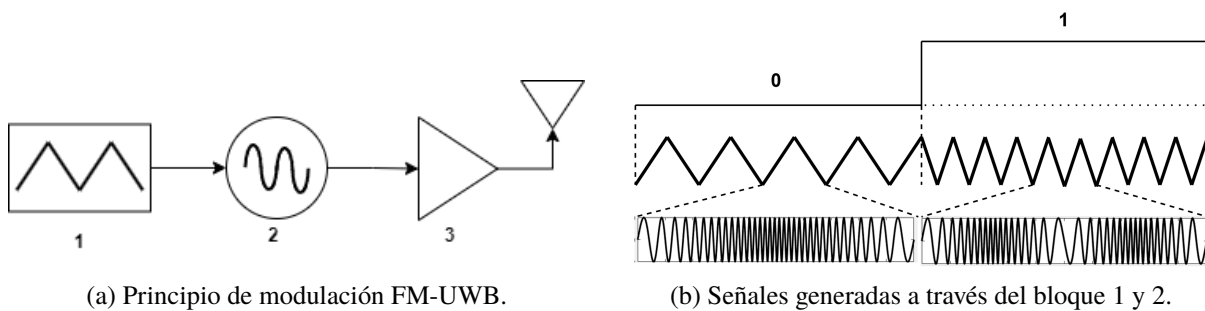


Figura 2.3.4: Comportamiento de un transmisor IR-UWB.

Transmisores FM-UWB

La arquitectura de los transmisores FM-UWB se ha mantenido sin cambios durante los últimos años. Considerando su simplicidad (2.3.4a), no existe algún cambio significativo que aumente su calidad. Cada transmisor consta de tres bloques: generadora de onda triangular (sub-carrier en inglés), un Oscilador Controlado por Voltaje (o por sus siglas en inglés VCO) y un amplificador de potencia (o por sus siglas en inglés PA). La generadora subportadora sintetiza una onda

triangular; normalmente trabaja a una frecuencia de 1 MHz hasta 10 MHz, para accionar el VCO. La forma más rápida de implementarlo es a través de sintetizadores digitales directos (o por sus siglas en inglés DDS). Un DDS principalmente opera con un DAC y un filtro pasa bajas, es decir, la señal está muestreada y con el filtro hace que las muestras no estén escalonadas; sin embargo, la señal triangular no puede acercarse a frecuencias superiores a los 50 MHz, porque si la señal es muestreada 20 veces la frecuencia fundamental, quiere decir que la señal de reloj está trabajando a 1 GHz, lo que sería difícil de implementar, para eliminar estos inconvenientes se puede utilizar un oscilador de relajación dentro (o no) de un PLL [28].

El bloque VCO y PA son los componentes que consumen más potencia por la frecuencia de trabajo en orden de GHz. Para disminuir la potencia es ocupar la menor cantidad de componentes, por ejemplo, él, en vez de utilizar un PLL es mejor ocupar un oscilador de anillos o de bobina. Y, finalmente, un PA es el elemento que consume la mayor cantidad de potencia.

Receptores FM-UWB

En la figura 2.3.5, se muestran las cuatro principales arquitecturas de recepción encontradas en la literatura [28, 29]. Cada uno de los demoduladores convierte la señal senoidal de la figura 2.3.4b en una señal triangular o senoidal con una frecuencia fija f_C , lo cual entra a un demodulador FSK para su reconstrucción en señal digital.

En la figura 2.3.6 se muestran el comportamiento de las señales después de la demodulación. Como se observa, la señal puede ser una del tipo senoidal o triangular.

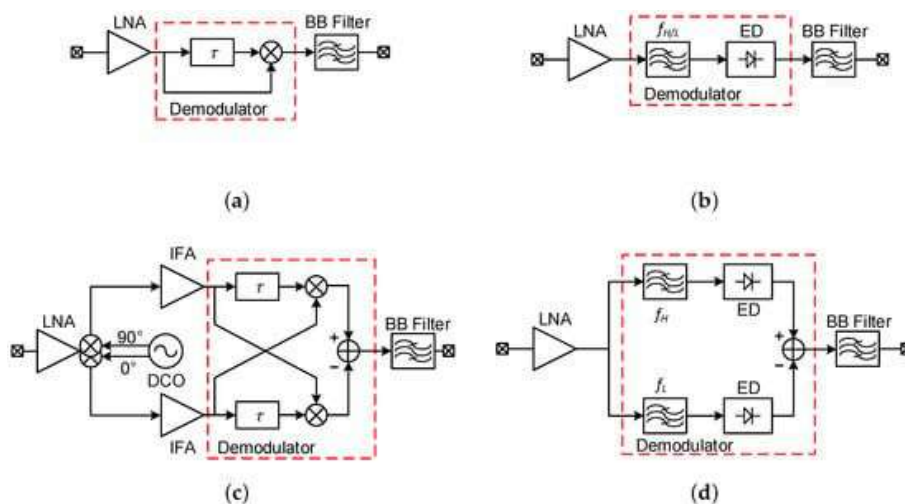


Figura 2.3.5: Arquitecturas típicas de un receptor FM-UWB (a) demodulador con línea de retraso; (b) demodulador regenerativo; (c) demodulador de línea de retardo de banda base y (d) demodulador de filtro de paso de doble banda [29].

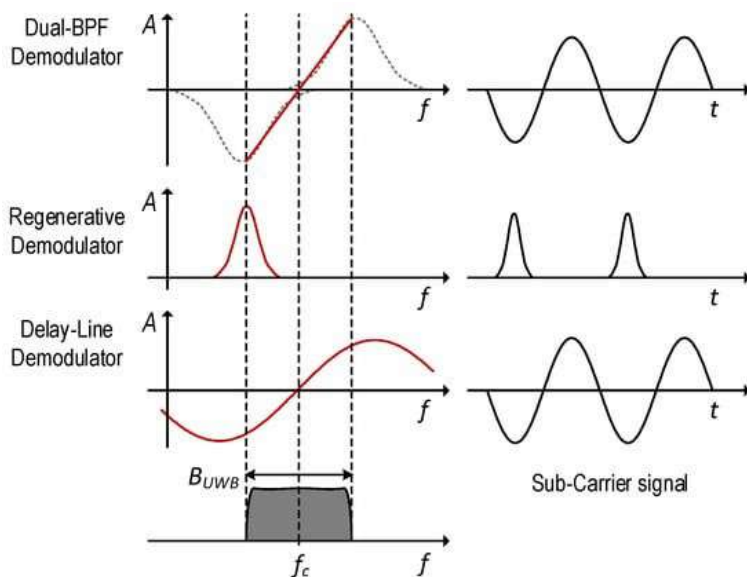


Figura 2.3.6: Señales demoduladas en tiempo continuo [29].

2.3.3. Comparación entre IR-UWB y FM-UWB

En la tabla 2.3.1, se observa las principales diferencias entre la modulación IR-UWB y FM-UWB, la eficiencia energética en IR-UWB porque los pulsos de corta duración está en el orden de los nanosegundos (0.5-4 ns.), FM-UWB emplea una modulación de frecuencia continua, donde la señal se desplaza entre varias frecuencias en función de la información a transmitir, el cual es más cercano al espectro ensanchado. En cuanto a su complejidad de implementación, IR-UWB requiere circuitos de sincronización precisos debido a los pulsos cortos, por lo que aumenta la complejidad de diseño comparado con FM-UWB; sin embargo, la eficiencia energética es superior por la corta duración de sus pulsos. Finalmente, las aplicaciones para IR-UWB son de posicionamiento y radar por la alta resolución temporal de los pulsos, y FM-UWB son en la comunicación de datos de corto alcance por su estabilidad de frecuencia y menor susceptibilidad al ruido [28, 30, 31].

Tipo	IR-UWB	FM-UWB
Señal	Pulso de corta duración	Modulación de frecuencias UWB
Eficiencia de energía	Mejor	Media
Implementación	Compleja	Sencilla
Sensibilidad	Peor	Mejor
Transferencia de datos	Alta (100 Mbps)	Media (5 Mbps)

Tabla 2.3.1: Ventajas y desventajas entre IR-UWB y FM-UWB [17].

En la figura 2.3.7, se muestra la densidad de potencia espectral (o por sus siglas en inglés PSD), IR-UWB posee un PSD baja y distribuida ampliamente, esto significa que la energía se dispersa sobre un ancho de banda amplio, en cambio, FM-UWB su modulación es más uniforme

donde la energía se concentra en su totalidad en el ancho de banda en el que opera, además su derrame espectral está por debajo de -100 dBm/MHz, esto quiere decir que la transmisión de información es menos susceptible al ruido.

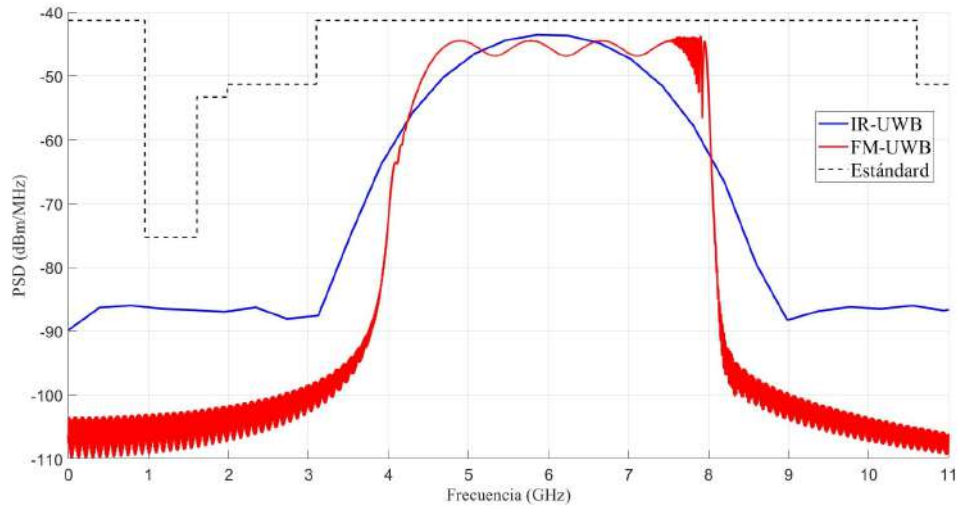


Figura 2.3.7: PSD de modulación IR-UWB y FM-UWB.

Capítulo 3

Modelo comportamental de un transceptor para FM-UWB con bloques de RF en CppSim

Esta sección presenta la simulación del transmisor a nivel comportamental en CppSim, utilizando librerías de RF. Se describen brevemente los componentes empleados y se detalla el uso del esquema de modulación digital **BFSK** para el transmisor.

3.1. CppSim

CppSim es una plataforma de simulación basada en C++ para el diseño y verificación de sistemas digitales y analógicos, comúnmente usada en el diseño de circuitos integrados. Su flexibilidad permite la integración con otros software de diseño, como MATLAB, Simulink y Cadence, lo que mejora su aplicabilidad en diseños complejos y en pruebas previas a la fabricación.

Algunas de sus características son:

1. **Rendimiento alto:** Al estar basado en C++, ofrece una simulación más rápida que otras herramientas de simulación de hardware.
2. **Modalidad:** Los usuarios pueden definir modelos de componentes y combinarlos para crear simulaciones de sistemas complejos.
3. **Ampliamente utilizado en diseño de RF y sistemas mixtos:** Los usuarios pueden definir modelos de componentes y combinarlos para crear simulaciones de sistemas complejos.
4. **Interfaz con herramientas de diseño:** La compatibilidad con MATLAB/Simulink, Python y Cadence permite diseñar y simular sistemas integrados que incluyen control digital y subsistemas analógicos.

3.2. Bloques de RF para el transmisor FM-UWB en CppSim

La transmisión de datos digitales se basan en la modulación digital, donde las más usadas son la modulación QPSK, BFSK y QAM, debido a su fácil integración y diseño en tecnología CMOS. El esquema de modulación elegido es el **BFSK** para el diseño del sub-carrier. El modelo propuesto se observa en la figura 3.2.1.

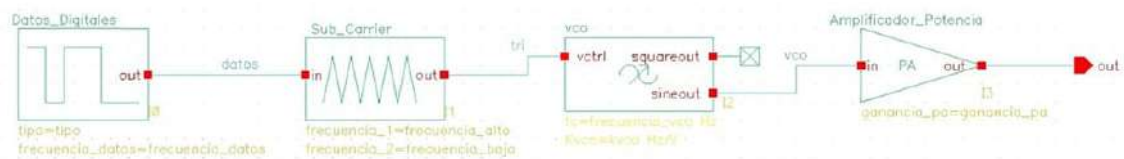


Figura 3.2.1: Bloque propuesto para el transmisor FM-UWB.

La configuración con la que se desea trabajar es el siguiente:

1. La tasa de transmisión de la entrada de datos digitales es de 125 kbps.
2. El *sub-carrier* opera como un modulador **BFSK**, donde la frecuencia de operación es: 2 MHz cuando recibe un '1' lógico y 1 MHz cuando se recibe un '0' lógico.
3. Las características del VCO son las siguientes:
 - Frecuencia central (F_{VCO}) de 4 GHz.
 - Ganancia de frecuencia (K_{VCO}) de 2 GHz.
4. El amplificador de potencia debe tener voltaje pico-pico de salida máximo de 160 mV, esto es para garantizar las características que se define la UWB.

Una vez cumplidas las características, se tiene el modelo comportamental del transmisor.

3.2.1. Modelo comportamental del *Sub-carrier*

Un *sub-carrier* es un modulador digital cuya característica principal es convertir los n datos digitales en una onda triangular de n frecuencias, por lo tanto, de acuerdo con su tipo de implementación se puede realizar todos los tipos de modulación digital; sin embargo, tiene sus desventajas. La primera desventaja es el método más común de diseño: sintetizador digital directo (o por sus siglas en inglés DDS).

La estructura básica de un DDS incluye un registro de fase acumulativa, una tabla de onda (almacenada en una ROM), y un convertidor digital-analógico (DAC). La frecuencia de salida

de un DDS está determinada por el valor en el acumulador de fase, que se incrementa con cada ciclo de reloj. Al controlar la tasa de incremento del acumulador, el DDS genera señales de frecuencia ajustable en tiempo real. Esta capacidad hace que los DDS sean populares en aplicaciones de RF, comunicaciones, y pruebas electrónicas, donde se requieren señales de frecuencia ajustable y precisión [32]. No obstante, la frecuencia máxima que genera la onda el DDS depende de la frecuencia de reloj, por ende, la frecuencia de un DDS no pasa de los 5 MHz. Existe otra técnica de diseño, *sub-carrier* y es, a través de compradores Schmitt-trigger, técnica utilizada en este trabajo de tesis que se mencionará en el capítulo 4.

CppSim permite simular ondas triangulares con su descripción matemática. La ecuación de una onda triangular se observa en 3.2.1.

$$v_{tri}(t) = \frac{4A}{T} \left| t - \frac{T}{2} \left(2 \left\lfloor \frac{t}{T} + \frac{1}{2} \right\rfloor + 1 \right) \right| - A \quad (3.2.1)$$

Donde:

1. A es la amplitud máxima.
2. T es el periodo de muestreo de la onda, se define como $T = \frac{1}{f}$, donde f es la frecuencia.
3. t es el tiempo.

Los resultados de la simulación se observa en la figura 3.2.2.

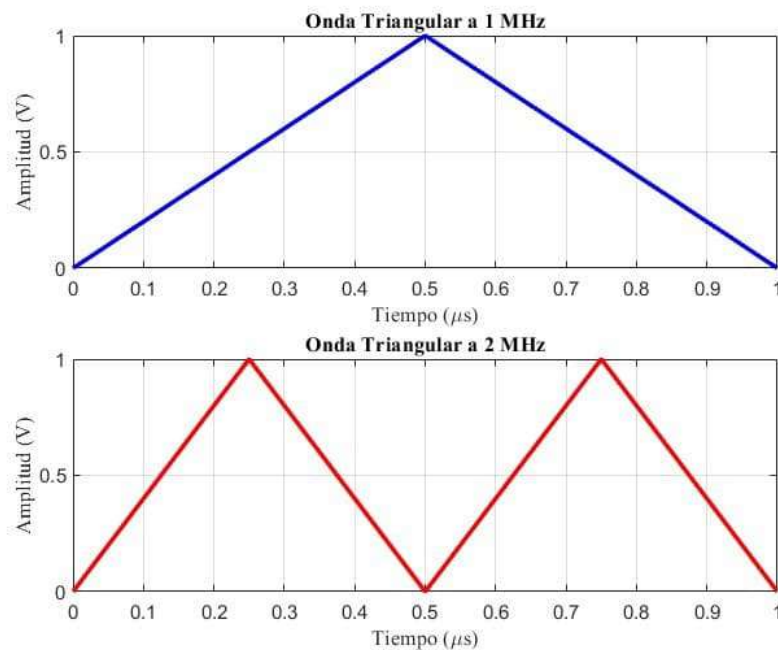


Figura 3.2.2: Ondas triangulares de 1 MHz y 2 MHz en CPPSIM.

3.2.2. Modelo comportamental del Oscilador Controlado por Voltaje

Un Oscilador Controlado por Voltaje (o por sus siglas en inglés VCO) es un dispositivo electrónico que genera una señal periódica cuya frecuencia es controlada por un voltaje de entrada. En otras palabras, la frecuencia de oscilación de un VCO varía en función del voltaje aplicado, permitiendo ajustar la frecuencia de salida de forma continua y precisa [33].

Los VCOs son ampliamente utilizados en sistemas de comunicación y en aplicaciones de control, como en bucles de enganche de fase (Phase-Locked Loops, PLLs), donde se sincronizan señales de alta frecuencia. También son esenciales en la modulación de frecuencia y de fase en sistemas de transmisión de datos.

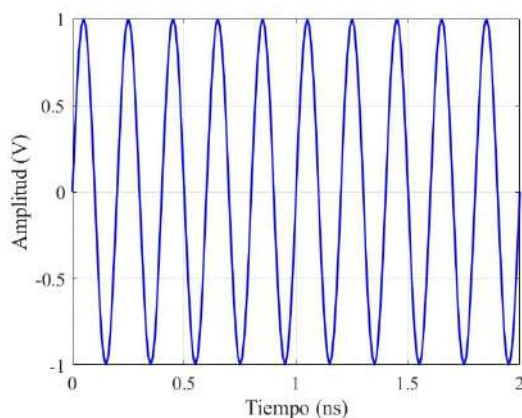
La relación matemática se describe en la ecuación:

$$v_{VCO}(t) = A \cos(\omega_{out}t) \quad (3.2.2)$$

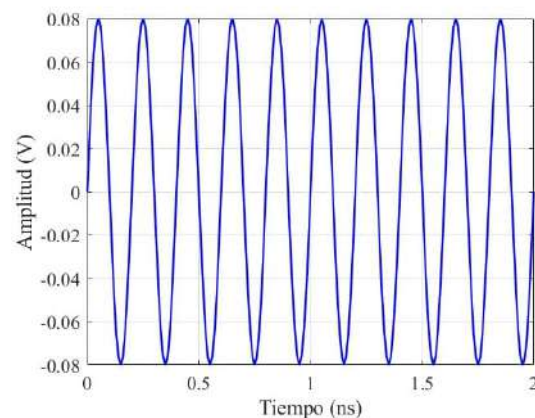
Donde:

- $\omega_{out} = K_{VCO}V_{cont} + \omega_0$, se denomina K_{VCO} como la ganancia del VCO (sus unidades son rad/s/V o Hz/V) y ω_0 es la frecuencia central en la que opera el VCO.

En la figura 3.2.3a se observa el VCO con $V_{cont} = 0.5$ V, por lo tanto la salida de frecuencia es 5 GHz.



(a) VCO a 5 GHz.



(b) Señal generada por el PA a una frecuencia 5 GHz.

Figura 3.2.3: (a) VCO a 5 GHz y (b) señal generada por el PA a 5 GHz.

3.2.3. Modelo comportamental del Amplificador de Potencia

La implementación de un amplificador de potencia (o por sus siglas en inglés PA) depende de dos factores, la carga (en sistemas RF la carga Z se establece como 50Ω) y la eficiencia energética [33], en el caso de simulación en CPPSIM solo basta con definir la ganancia salida de voltaje que entregará.

Para la obtención de la densidad de potencia espectral (PSD) se calcula con la ecuación 3.2.3

$$\begin{aligned}
 P_{(W/Hz)} &= \frac{P_{(V^2/Hz)}}{Z} \\
 P_{(dB/Hz)} &= 10 \log_{10} [P_{(W/Hz)}] \\
 P_{(dBm/Hz)} &= 10 \log_{10} \left[\frac{P_{(W/Hz)}}{1m} \right] = 10 \log_{10} [P_{(W/Hz)}] + 10 \log_{10} [1000] = P_{(dB/Hz)} + 30 \\
 P_{(dBm/MHz)} &= P_{(dBm/Hz)} + 60
 \end{aligned}$$

$$P_{(dBm/MHz)} = 10 \log_{10} \left[\frac{P_{(V^2/Hz)}}{Z} \right] + 90 \quad (3.2.3)$$

Y la potencia de una señal se calcula con la ecuación 3.2.4

$$P(f) = \frac{|X(f)|^2}{N} \quad (3.2.4)$$

Donde:

- $|X(f)|^2$ es el valor absoluto de los coeficientes de Fourier.
- N es el número de muestras de la señal.
- Sus unidades normalmente son V^2/Hz o A^2/Hz .

Para calcular $X(f)$ se realiza el siguiente calculo:

$$X(f) = \text{FFT}(x(n)) \quad (3.2.5)$$

Donde:

- FFT es la transformada rápida de Fourier.
- $x(n)$ es la señal discreta de la señal $x(t)$ en intervalos n .

Para cumplir con las características de UWB el voltaje pico-pico (V_{pp}) para el PA no debe exceder los 160 mV, como se observa en la figura 3.2.3b.

3.3. Simulación del transmisor FM-UWB en CppSim

La simulación de la etapa del *sub-carrier* con una señal de entrada digital de 125 kbps se presenta en la figura 3.3.1. En esta figura, se observan claramente los cambios de frecuencia asociados a los valores lógicos de la señal digital de entrada, lo cual demuestra cómo la modulación de frecuencia responde a los niveles lógicos. Los resultados permiten visualizar el comportamiento del *sub-carrier* en función de los cambios de estado digital, confirmando su capacidad para modular la señal según los valores binarios a 125 kbps.

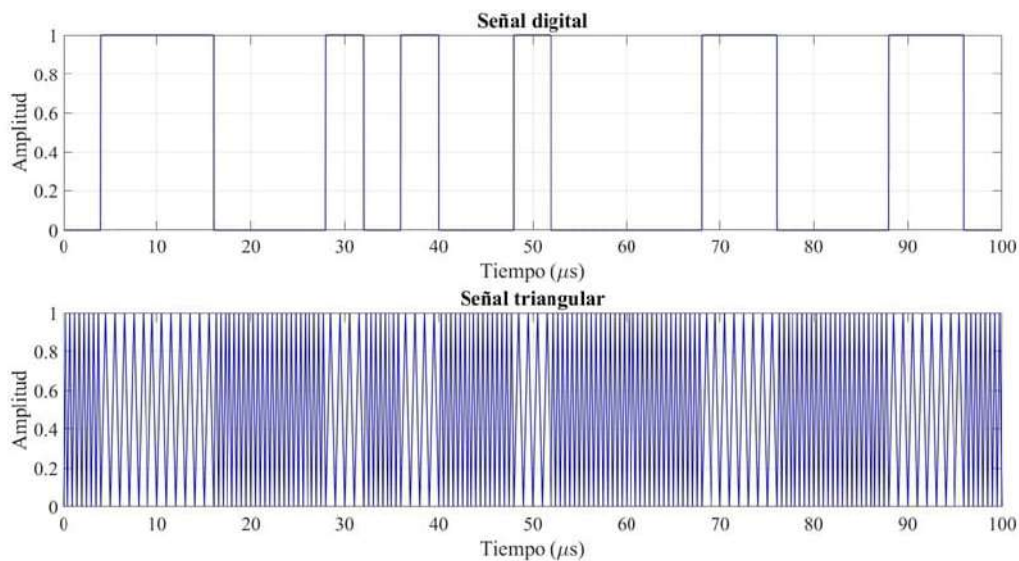


Figura 3.3.1: Señal digital y señal triangular generada por el *sub-carrier* simulados a 100 μ s.

En la figura 3.3.2 se muestra la señal con el aumento de potencia dirigido hacia la antena, donde, para facilitar su visualización, la simulación se limitó al intervalo de 5 ns. La principal ventaja de utilizar una onda senoidal es que su amplitud permanece constante, mientras que la frecuencia varía en el tiempo. Esta variación de frecuencia se debe a la forma de onda triangular del *sub-carrier*, la cual controla el VCO. El comportamiento de la frecuencia en función del tiempo permite observar cómo la modulación en frecuencia se ajusta de acuerdo con la señal del *sub-carrier*, asegurando la transmisión adecuada a través de la antena.

La PSD de la señal obtenida a través del PA se muestra en la Figura 3.3.3. Al analizar el espectro electromagnético, se observa que cumple con las normas establecidas por la FCC,

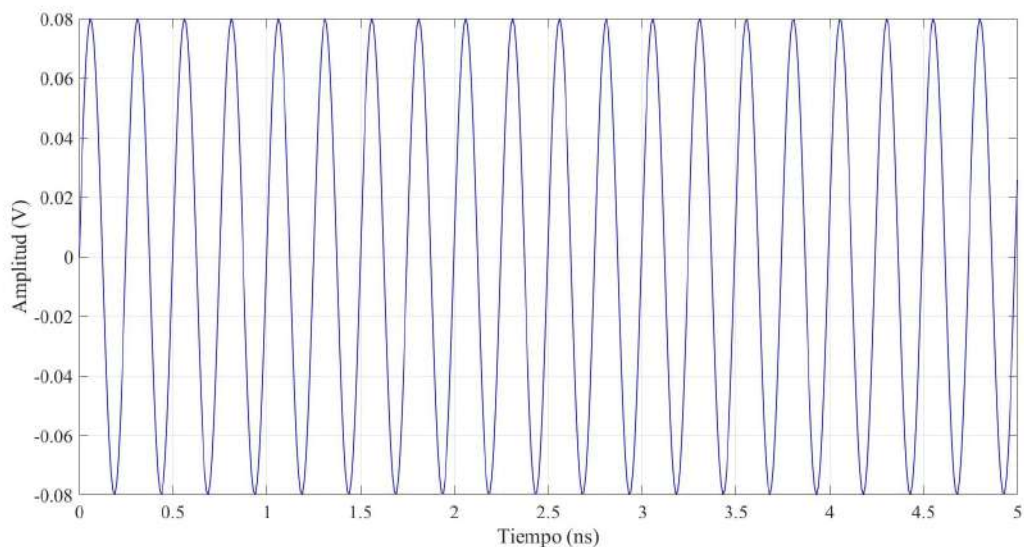


Figura 3.3.2: Señal del PA simulada a 5 ns.

las cuales especifican que la PSD no debe exceder el límite de -41.3 dBm/MHz en aplicaciones de UWB.

El análisis revela que el espectro de la señal se encuentra entre los 4 GHz y los 6 GHz, proporcionando un ancho de banda de 2 GHz, que satisface el mínimo requerido de 500 MHz para la tecnología UWB. Esto asegura que la señal cumpla tanto con el límite de PSD como con el ancho de banda necesario para las aplicaciones UWB, garantizando así la compatibilidad y el uso seguro en el espectro, sin interferencias con otros sistemas vecinos.

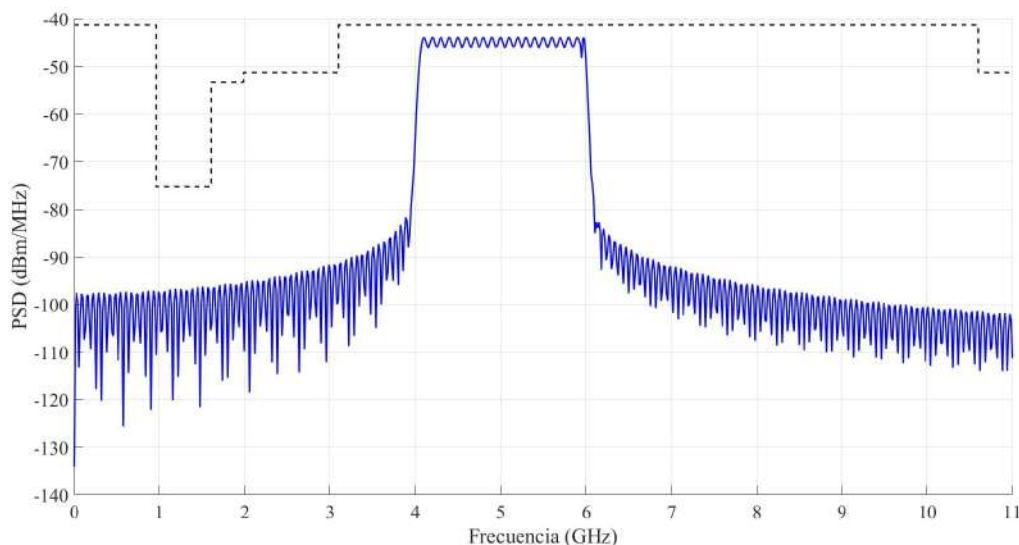


Figura 3.3.3: PSD de la señal transmitida.

3.4. Bloques de RF para un receptor de FM-UWB en CPPSIM

El receptor UWB propuesto utiliza dos tipos de demoduladores:

1. Demodulador regenerativo para FM-UWB.
2. Demodulador binario por desplazamiento de frecuencia (BFSK, por sus siglas en inglés).

3.4.1. Demodulador regenerativo: Modelo comportamental del amplificador de bajo ruido

Para el demodulador regenerativo (figura 3.4.1) tiene los siguientes bloques:

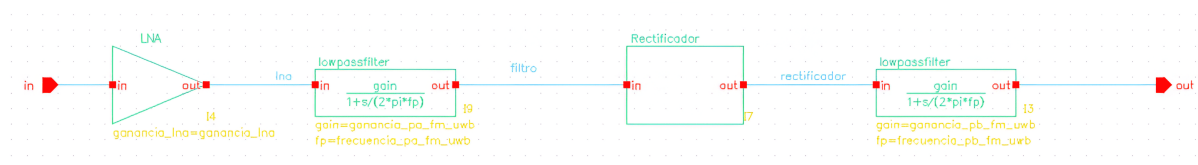


Figura 3.4.1: Bloques del demodulador regenerativo FM-UWB.

1. Un amplificador de bajo ruido (o por sus siglas en inglés LNA), con una ganancia de 5.
2. Un filtro pasa bajas de primer orden con frecuencia de corte de 4 GHz y una ganancia de 5.
3. Un detector de envoltura; formado por un rectificador (puede ser implementado por un diodo o por un circuito cuadrático) y por un filtro pasa bajas con frecuencia de corte de 10 MHz y ganancia de 10.

Cada bloque en el demodulador regenerativo tiene funciones específicas que contribuyen a la captura y procesamiento de la señal FM-UWB, optimizando la sensibilidad y selectividad del receptor. El LNA amplifica la señal de entrada con bajo nivel de ruido, mientras que el filtro pasa bajas de primer orden, elimina las frecuencias indeseadas, preparando la señal para el detector de envoltura, que extrae la modulación de frecuencia de la señal UWB.

Un amplificador de bajo ruido o LNA es un componente clave en sistemas electrónicos sensibles y de comunicación, diseñado para amplificar señales débiles, minimizando el ruido adicional que se introduce en el proceso. Esto es fundamental en aplicaciones donde se reciben señales muy débiles, como en radiofrecuencia (RF) o imágenes médicas, donde la claridad de la señal debe mantenerse para un procesamiento efectivo posterior. Los LNAs operan en etapas iniciales del sistema de recepción, donde la señal capturada aún es muy débil y susceptible al ruido.

Un LNA ideal debe tener una figura de ruido baja, alta ganancia y una buena adaptación de impedancia para maximizar la transferencia de señal sin reflejos que generen pérdidas adicionales [28, 31, 34], en el capítulo 4 se darán más detalles del diseño de un LNA.

3.4.2. Demodulador regenerativo: Modelo comportamental del primer filtro pasa bajas

Un filtro pasabajas de primer orden es un circuito que permite el paso de señales de baja frecuencia y atenúa las de alta frecuencia. Este tipo de filtro es básico en diseño de sistemas de procesamiento de señales y se implementa a menudo con componentes pasivos como resistencias y capacitores.

La frecuencia de corte, definida como la frecuencia donde la ganancia es aproximadamente el 70.7 % del valor máximo, marca el límite entre las frecuencias que el filtro permite pasar y aquellas que atenuarán considerablemente.

El modelo del sistema descrito se representa mediante la función de transferencia $H(s)$ mostrada en la ecuación 3.4.1. Esta ecuación define el comportamiento de un filtro pasa bajas de primer orden, cuya función es permitir el paso de frecuencias por debajo de un valor de corte, W_0 , mientras atenúa las frecuencias superiores.

$$H(s) = G \left[\frac{W_0}{s + W_0} \right] \quad (3.4.1)$$

Donde, W_0 es la frecuencia de corte del filtro pasa bajas y equivale a $W_0 = 2\pi * f_c$, f_c es la frecuencia medida en Hertz, y G es la ganancia del filtro pasa bajas.

3.4.3. Demodulador regenerativo: Modelo comportamental del detector de envoltura

Un detector de envoltura es un circuito que extrae la envolvente de una señal modulada, comúnmente en aplicaciones de demodulación de señales de amplitud modulada (AM). La envolvente de una señal es la línea que sigue el valor máximo de su amplitud en cada momento, y representa la información o mensaje que la señal original transporta.

El detector de envoltura funciona típicamente mediante un rectificador seguido de un filtro pasa bajas. En primer lugar, el rectificador, que puede ser un diodo o un circuito cuadrático, convierte la señal alterna en una señal de corriente directa parcial, eliminando la parte negativa de la onda.

Luego, el filtro pasa bajas y suaviza esta señal, eliminando las altas frecuencias generadas por la rectificación, de modo que se obtenga una señal que sigue de cerca la envolvente de la onda original.

3.5. Simulación del demodulador regenerativo FM-UWB en CppSim

La figura 3.5.1 ilustra el proceso completo de procesamiento de una señal FM de ultra banda ancha (FM-UWB) mediante amplificación, filtrado, rectificación y demodulación. En la primera gráfica, se observa la salida de un amplificador de bajo ruido (LNA), el cual incrementa la amplitud de la señal recibida sin añadir un nivel significativo de ruido adicional, mejorando así la relación señal-ruido. La señal aparece con una amplitud de aproximadamente ± 0.1 V.

En la segunda gráfica, la señal pasa a través de un filtro pasa bajas de 4 GHz, que permite únicamente el paso de las frecuencias inferiores. El resultado es una señal con una forma triangular, con una amplitud de alrededor de ± 0.2 V, indicando que el filtrado ha sido efectivo en reducir las frecuencias no deseadas.

La tercera gráfica muestra el resultado de la señal después de pasar por un rectificador, que convierte la señal alterna en continua.

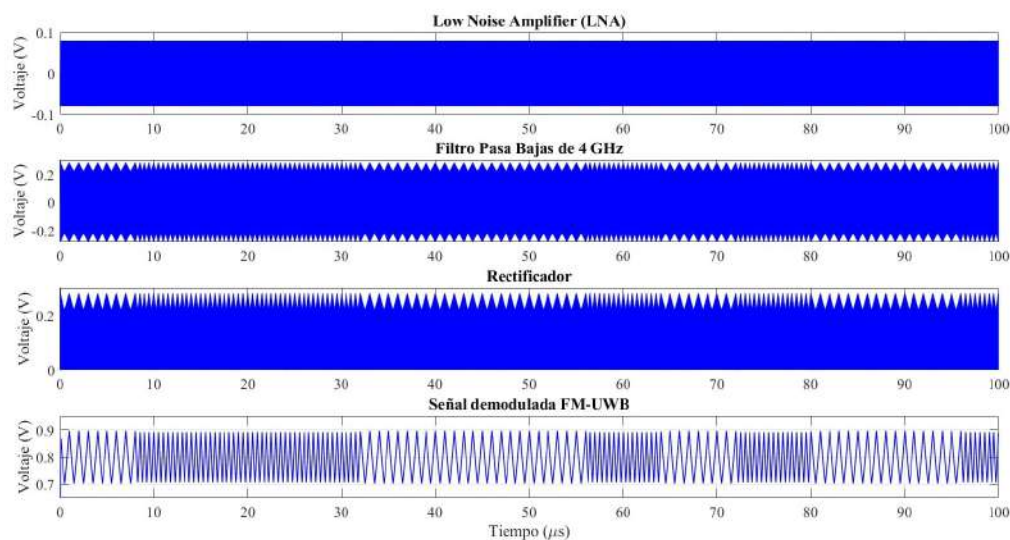


Figura 3.5.1: Demodulador regenerativo FM-UWB.

Finalmente, en la última gráfica se presenta la señal demodulada de FM-UWB, la cual es el resultado final del proceso. Esta señal es más suave y tiene una frecuencia más baja en comparación con las etapas anteriores, oscilando entre 0.7 V y 0.9 V. Esta etapa final

representa la señal útil para su análisis o transmisión de información, mostrando cómo, tras la demodulación, se logra obtener una señal que conserva la información transmitida en el sistema de comunicación de ultra banda ancha.

3.5.1. Demodulador BFSK: Modelo comportamental del filtro pasa baja y pasa banda de segundo orden Butterworth

Para el demodulador BFSK consta de los siguientes bloques:

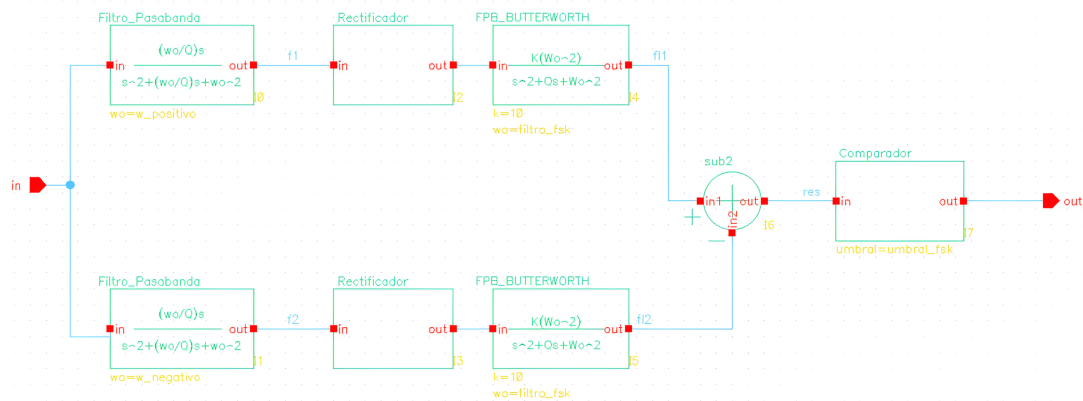


Figura 3.5.2: Demodulador BFSK.

1. Dos filtros pasa bandas de segundo orden del tipo Butterworth con frecuencia de corte de 1 MHz y 2 MHz con ganancia de 5.
2. Dos detectores de envoltura (con filtros pasa bajas de segundo orden del tipo Butterworth con frecuencia de corte de 100 kHz).
3. Restador.
4. Comparador.

Un filtro Butterworth es un tipo de filtro diseñado para tener una respuesta en frecuencia lo más plana posible en la banda de paso, es decir, sin ondulaciones ni picos. A diferencia de otros filtros, como el filtro Chebyshev o el filtro elíptico, el filtro tipo Butterworth prioriza una respuesta suave, lo que lo hace ideal para aplicaciones donde la preservación de la forma de la señal en la banda de paso es crucial. Su pendiente de atenuación aumenta gradualmente con la frecuencia fuera de la banda de paso, y su orden (el número de elementos en el circuito) determina cuán abrupta es esta transición. Este tipo de filtro es ampliamente utilizado en

procesamiento de señales y sistemas de comunicación para reducir el ruido sin distorsionar la señal. La función de transferencia de un filtro, pasa baja y pasa banda de segundo orden, se muestra en las ecuaciones 3.5.1 y 3.5.2.

$$H_1(s) = G \left[\frac{W_0^2}{s^2 + \left(\frac{W_0}{Q}\right)s + W_0^2} \right] \quad (3.5.1)$$

$$H_2(s) = G \left[\frac{\left(\frac{W_0}{Q}\right)s}{s^2 + \left(\frac{W_0}{Q}\right)s + W_0^2} \right] \quad (3.5.2)$$

Donde el factor de calidad Q tiene que ser igual a 0.7 para ser de tipo Butterworth.

3.5.2. Demodulador BFSK: Modelo comportamental del restador y comparador

Un restador y un comparador son dos circuitos electrónicos utilizados en aplicaciones de procesamiento de señales y control.

- Restador: es un circuito que calcula la diferencia entre dos señales de entrada. Esto se logra generalmente con un amplificador operacional (op-amp) en configuración de restador. La salida del restador es la resta de las tensiones de entrada $V_{OUT} = V_1 - v_2$ donde V_1 y V_2 son las dos entradas. Este tipo de circuito es útil en aplicaciones donde se necesita medir diferencias, como en instrumentación para eliminar señales comunes (ruido), en control de retroalimentación o para detectar pequeñas variaciones en señales.
- Comparador: es un circuito que compara dos tensiones de entrada y determina cuál es mayor. Utiliza un amplificador operacional configurado de modo que su salida se sature en un nivel alto o bajo dependiendo de si una entrada es mayor que la otra. Si la tensión en el terminal no inversor (+) es mayor que la del terminal inversor (-), la salida se establece en un nivel alto; si es menor, la salida se va al nivel bajo. Los comparadores son esenciales en aplicaciones como conversores analógico-digitales (ADC), generadores de señales de onda cuadrada, y sistemas de control donde se necesita una respuesta de encendido/apagado rápida según condiciones específicas.

Ambos circuitos son componentes clave en sistemas de control y procesamiento de señales, aunque cumplen funciones distintas: el restador para operaciones aritméticas y el comparador para decisiones lógicas. **El comparador tendrá como referencia 0 y entrada el voltaje**

resultante del restador.

3.6. Simulación del demodulador BFSK en CppSim

La primera gráfica de la figura 3.6.1 muestra la señal después de pasar por un filtro pasa banda centrado en 1 MHz. Este filtro disminuye la magnitud de las frecuencias fuera de este rango. Como resultado, obtenemos una señal modulada que contiene solo las componentes frecuenciales que el filtro ha permitido pasar. Este proceso es crucial en sistemas de comunicación donde se desea analizar o procesar señales de una banda específica sin interferencias de otras frecuencias.

La segunda gráfica representa la señal luego de ser filtrada por un segundo filtro pasa banda, en este caso centrado en 2 MHz. La señal resultante mantiene las características de modulación que se encuentran en esta banda, aislando otra parte de la señal original. Este proceso de filtrado por diferentes bandas ayuda a segmentar el espectro de la señal en distintas frecuencias de interés para su análisis separado.

Las siguientes dos gráficas muestran las envolventes de las señales que pasaron por los filtros de 1 MHz y 2 MHz, respectivamente. La extracción de envolvente consiste en obtener la forma de amplitud de una señal modulada, eliminando las oscilaciones de alta frecuencia y dejando solo la envolvente. Esto es útil para capturar la variación de amplitud en el tiempo, que puede contener información importante como la modulación de amplitud en la señal. La envolvente representa así el contenido informativo de cada señal filtrada.

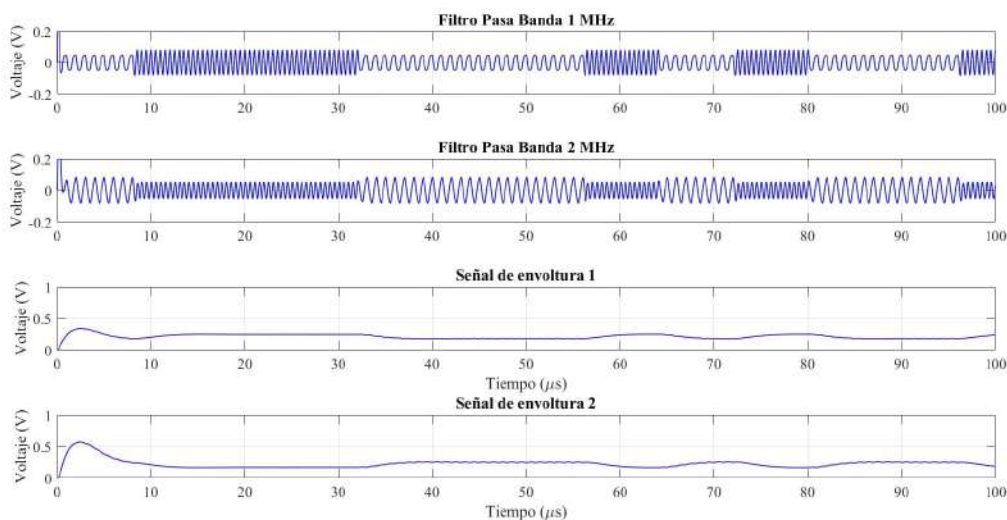


Figura 3.6.1: Demodulador BFSK 1.

La primera gráfica de la figura 3.6.2 se muestra el resultado de restar las dos envolventes

obtenidas en la imagen anterior, específicamente la Señal de Envoltura 1 y la Señal de Envoltura 2. Esta operación de resta ayuda a destacar las diferencias entre las dos señales filtradas, y permite reducir componentes comunes a ambas, como ruido o interferencias de fondo. La señal de salida del restador muestra fluctuaciones en el tiempo que indican diferencias en la modulación entre ambas señales, lo cual es útil en aplicaciones de procesamiento donde se busca comparar cambios en distintas bandas de frecuencia.

La última gráfica de esta segunda imagen muestra el resultado de aplicar un comparador a la señal obtenida tras la resta. Un comparador es un circuito que genera una salida binaria, dependiendo de si la señal de entrada supera un umbral predefinido. Cuando la salida del restador excede este umbral, el comparador emite un nivel alto (por ejemplo, 1 V); de lo contrario, emite un nivel bajo (0 V). El resultado es una señal digital que cambia de estado cada vez que la diferencia entre las envolventes cumple con el criterio del comparador. Esto permite identificar de manera clara los momentos en que ocurren eventos específicos en la señal, como picos o cambios significativos, transformando así la señal analógica en una representación digital para una posible detección o activación en sistemas electrónicos.

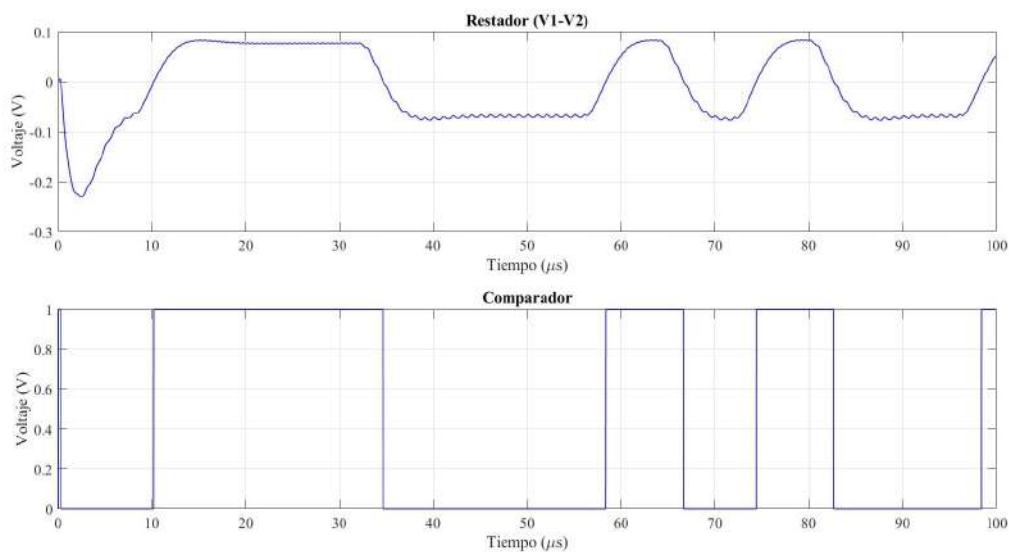


Figura 3.6.2: Demodulador BFSK 2.

3.7. Resultados del modelo comportamental del transceptor

En la figura 3.7.1 y 3.8.1 se muestra el diagrama de bloques de un sistema de comunicación digital compuesto por un transmisor y un receptor hecho en CppSim.

Transmisor:

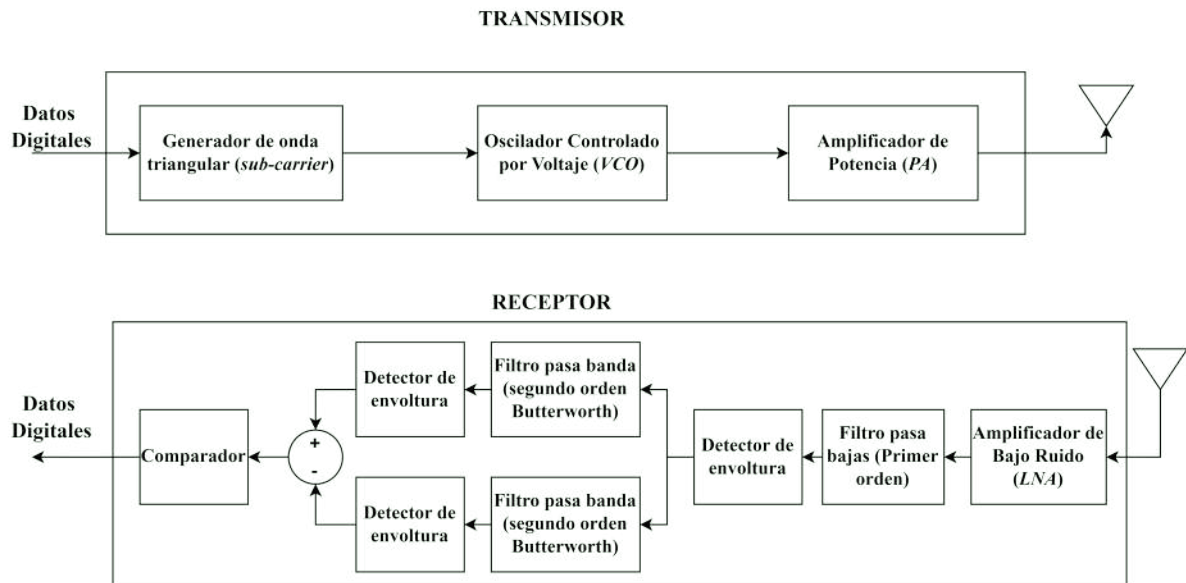


Figura 3.7.1: Transceptor completo.

1. Generador de onda triangular (sub-portadora): Se encarga de generar una señal triangular que actúa como sub-portadora para la modulación.
2. Oscilador Controlado por Voltaje (VCO): Modula la frecuencia de la sub-portadora en función de la señal de datos digitales.
3. Amplificador de Potencia (PA): Aumenta la potencia de la señal modulada para su transmisión eficiente a través de la antena.

Receptor:

1. Amplificador de Bajo Ruido (LNA): Amplifica la señal recibida desde la antena, minimizando el ruido añadido.
2. Filtro pasa bajas (primer orden): Elimina el ruido de alta frecuencia para mejorar la calidad de la señal.
3. Detector de envoltura: Extrae la envolvente de la señal para su posterior procesamiento.
4. Filtro pasa banda (segundo orden Butterworth): Selecciona la banda de frecuencia deseada, eliminando componentes fuera de la banda.
5. Comparador: Convierte la señal detectada en datos digitales. Este sistema utiliza técnicas de modulación y filtrado para transmitir y recibir datos digitales, maximizando la eficiencia y minimizando el ruido en el proceso.

En la 3.7.1 se muestran las ecuaciones que describen los bloques del propuesto transceptor, estas ecuaciones son codificadas en lenguaje C para simular su comportamiento.

En la figura 3.7.2, se tiene dos gráficos que representan una señal digital transmitida y la

Bloque	Modelo matemático
Sub-carrier	$v_{out}(t) = \frac{4A}{T} \left t - \frac{T}{2} \left(2 \left \frac{t}{T} + \frac{1}{2} \right + 1 \right) \right - A$
VCO	$v_{out}(t) = A \cos(w(t))$
PA	$v_{out}(t) = A v_{in}(t)$
LNA	$v_{out}(t) = A v_{in}(t)$
Filtro pasa bajas (Primer orden)	$V_{out}(s) = G \left[\frac{1}{s+W_0} \right] V_{in}(s)$
Filtro pasa bajas (Segundo orden)	$V_{out}(s) = G \left[\frac{W_0^2}{s^2+Q+W_0^2} \right] V_{in}(s)$
Filtro pasa banda (Segundo orden)	$V_{out}(s) = G \left[\frac{Qs}{s^2+Q+W_0^2} \right] V_{in}(s)$
Rectificador	$v_{out}(t) = v_{in}(t) $
Restador	$v_{out}(t) = v_2(t) - v_1(t)$
Comparador	$v_{out} = \begin{cases} 0 & v_{in}(t) < 0 \\ 1 & v_{in} \geq 0 \end{cases}$

Tabla 3.7.1: Ecuaciones de los bloques del modelo comportamental

correspondiente señal recibida en un sistema de comunicación digital.

El primer gráfico muestra la señal digital transmitida. La señal oscila entre dos niveles de voltaje, 0 V y 1 V, típicos de un sistema digital binario (0 y 1).

En el segundo gráfico representa la señal recibida por el receptor después de la transmisión. Se observa que la señal recibida tiene el mismo patrón de forma que la señal transmitida en el gráfico superior, lo cual indica que el receptor ha captado la secuencia de bits enviada por el emisor correctamente. Aunque la forma general y la secuencia de los pulsos se corresponden entre ambos gráficos, es posible que haya ligeras diferencias en el tiempo de las transiciones debido a pequeñas demoras o atenuaciones propias del sistema de transmisión. El retardo del sistema es 2.4291 μ s.

La coherencia entre estos dos gráficos indica que el sistema de comunicación digital está funcionando de manera efectiva. La señal recibida por el receptor refleja la misma información que fue enviada por el emisor. Esto sugiere que no ha habido una distorsión significativa ni pérdida de información durante la transmisión, lo cual es fundamental en los sistemas digitales para garantizar la integridad de los datos. La transmisión es consistente, ya que los cambios en la señal de entrada (superior) se ven reflejados de manera similar en la señal de salida (inferior), lo cual confirma que el receptor interpreta correctamente la información enviada.

En cuanto a la velocidad de transmisión, algunos trabajos alcanzan hasta 250 kbps, mientras que la propuesta aquí presentada opera a 125 kbps, en línea con diseños de baja complejidad. Para la subportadora, se emplea BFSK en la mayoría de los modelos, aunque uno utiliza 8-PSK, lo cual implica una mayor complejidad en la demodulación.

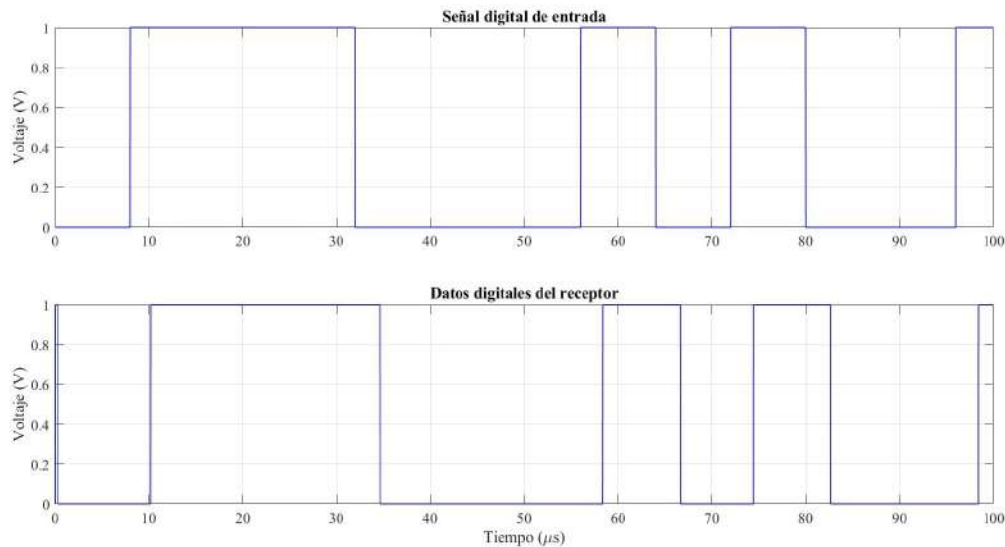


Figura 3.7.2: Señal transmitida y recibida del transceptor.

La demodulación FM varía considerablemente: algunos diseños optan por una cadena de retardo, filtro y amplificación, mientras que otros, incluido este trabajo, implementan técnicas regenerativas más eficientes. Finalmente, en la demodulación FSK/PSK, el modelo propuesto integra un filtro pasa-banda dual, un detector de energía y un restador.

En cuanto a la validación, la tabla 3.7.2 presenta una comparación entre diversos modelos comportamentales propuestos en la literatura y el modelo desarrollado en este trabajo. En cuanto al entorno de simulación, los artículos referenciados emplean *Matlab*, mientras que la propuesta de este trabajo se implementó utilizando *CppSim* y *Virtuoso*, herramientas adecuadas para simulaciones de sistemas mixtos y diseño a nivel transistor. Respecto a la integración, todos los modelos están orientados a sistemas TX/RX.

El ancho de banda también varía entre las propuestas, abarcando desde 3.5 GHz hasta 6 GHz, siendo este trabajo el que cubre el rango más amplio (4 GHz–6 GHz), cumpliendo así con los requisitos de sistemas UWB modernos.

En cuanto a la velocidad de transmisión, algunos trabajos alcanzan hasta 250 kbps, mientras que la propuesta aquí presentada opera a 125 kbps, en línea con diseños de baja complejidad y consumo. Para la subportadora, se emplea BFSK en la mayoría de los modelos, aunque uno utiliza 8-PSK, lo cual implica una mayor complejidad en la demodulación.

La demodulación FM varía considerablemente: algunos diseños optan por una cadena de retardo, filtro y amplificación, mientras que otros, incluido este trabajo, implementan técnicas regenerativas más eficientes. Finalmente, en la demodulación FSK/PSK, el modelo propuesto integra un filtro pasa-banda dual, un detector de energía y un sustractor, lo que permite una detección más robusta frente al ruido, superando en complejidad funcional a esquemas basados

únicamente en contadores o detectores de fase simples.

En conjunto, esta comparación evidencia que el modelo propuesto no solo cubre un mayor rango de frecuencia, sino que también incorpora técnicas más completas y orientadas a implementación física.

Características	[35]	[36]	[24]	[Este trabajo]
Software	Matlab	Matlab	—	CppSim / Virtuoso
Integración	ADC-TX	TX / RX	TX / RX	TX / RX
Modulación	IR-UWB	FM-UWB	FM-UWB	FM-UWB
Ancho de banda	3.5 GHz–4.5 GHz	3.75 GHz–4.25 GHz	3.5 GHz–4 GHz	4 GHz–6 GHz
Baud rate	—	125 kbps	250 kbps	125 kbps
Subportadora	—	BFSK	8-PSK	BFSK
Demodulación FM	—	Línea de retardo, filtro, amplificador	Regenerativa	Regenerativa
FSK / PSK	—	—	Detector de fase, contador de 3 bits	Filtro pasa-banda dual, detector de energía, restador

Tabla 3.7.2: Comparación de modelos comportamentales.

3.8. Conclusiones

El bloque de transmisión FM-UWB tiene las siguientes ventajas:

1. Simplicidad del diseño del circuito: los transmisores FM-UWB suelen tener una arquitectura de circuito relativamente sencilla en comparación con otras tecnologías de transmisión de banda ancha.
2. Facilidad de integración con sistemas digitales: la tecnología FM-UWB es compatible con sistemas digitales modernos, lo que permite su integración directa en plataformas de comunicación existentes.

En cuanto al receptor, a partir del análisis del proceso de filtrado, extracción de envolvente, resta y comparación de señales, se pueden concluir varios puntos clave. Primero, el uso de filtros pasa banda segmenta la señal en bandas de frecuencia específicas, permitiendo un análisis

independiente y evitando interferencias entre componentes. La extracción de la envolvente facilita la captura de variaciones de amplitud en el tiempo, destacando información relevante. La resta entre bandas elimina componentes comunes como el ruido, resaltando diferencias significativas en las señales. El comparador convierte la señal en una representación digital, útil para sistemas que requieren activaciones binarias o detección de eventos. En conjunto, esta estrategia es eficaz para reducir ruido, aislar información, y simplificar el procesamiento de señales en aplicaciones de comunicación y análisis de datos en entornos complejos.

Finalmente se muestra un sistema de comunicación digital robusto, donde la señal de entrada se transmite y se recibe con coherencia. Las pequeñas diferencias temporales, si existen, no afectan la integridad de los datos, lo que indica que el sistema está diseñado para tolerar ligeras variaciones sin perder la sincronización. La coherencia en los resultados respalda la correcta operación del sistema, permitiendo una transmisión de datos efectiva y precisa. En resumen, la consistencia en la forma y secuencia de la señal transmitida y recibida demuestra que el sistema de comunicación digital es fiable y capaz de preservar la integridad de los datos.

La Tabla 3.7.2 presenta una comparación entre diversos modelos comportamentales propuestos en la literatura y el modelo desarrollado en este trabajo. En cuanto al entorno de simulación, los artículos referenciados emplean *Matlab*, mientras que la propuesta de este trabajo se implementó utilizando *CppSim* y *Virtuoso*, herramientas adecuadas para simulaciones de sistemas mixtos y diseño a nivel transistor. Respecto a la integración, todos los modelos están orientados a sistemas TX/RX, salvo uno que únicamente aborda la etapa ADC-TX.

En cuanto a la modulación, la mayoría de los modelos emplean FM-UWB, incluyendo este trabajo. Además, el diseño propuesto destaca por cubrir el rango de ancho de banda más amplio (4 GHz–6 GHz), cumpliendo con las exigencias de aplicaciones UWB modernas.

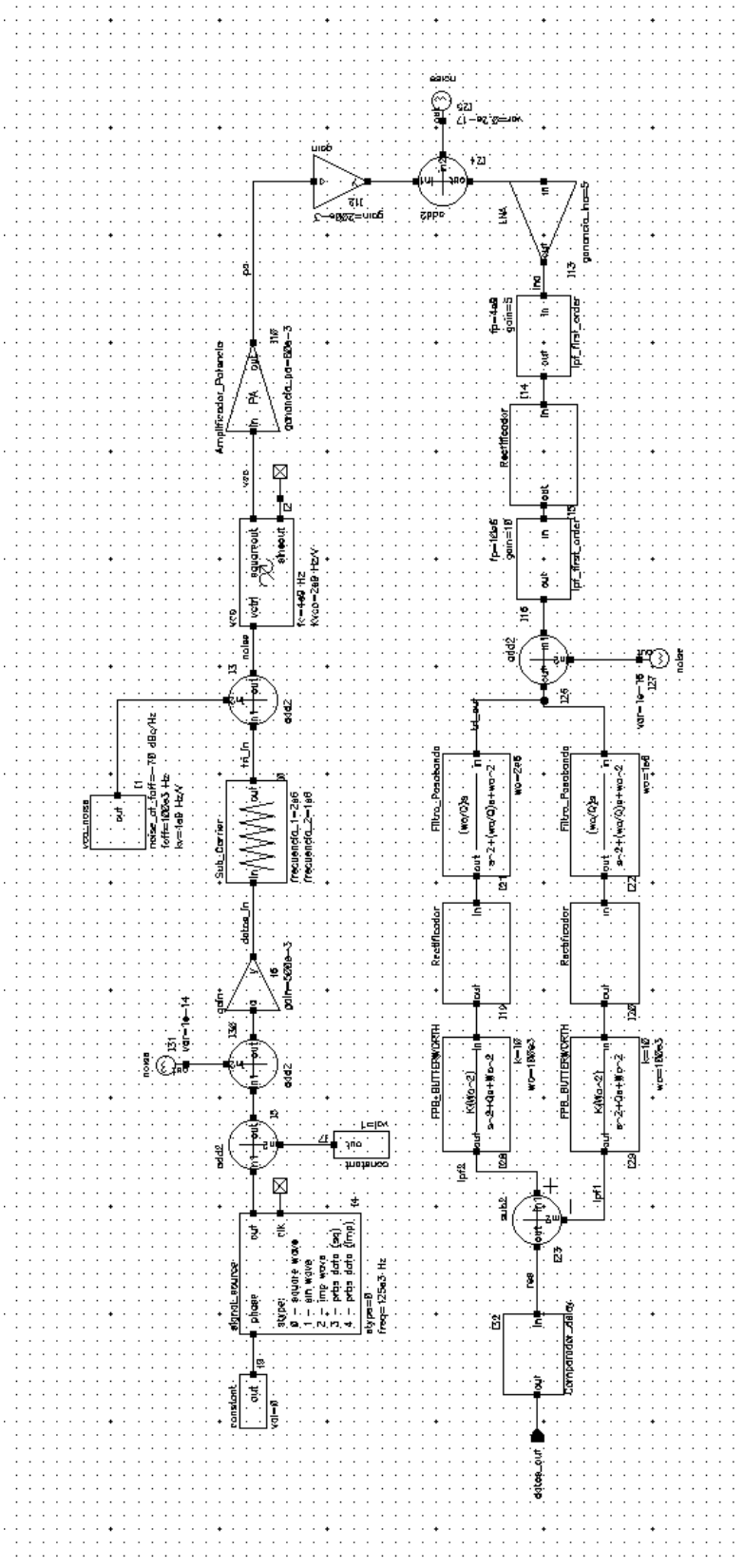


Figura 3.8.1: Transceptor completo en VirtuoSO.

Capítulo 4

Síntesis de un transmisor de FM-UWB en tecnología CMOS con modelos industriales en Cadence

En este capítulo se presenta el diseño de los bloques de transmisión incluyendo la sub-portadora, el VCO y el amplificador de potencia (PA) en tecnología CMOS, detallando las arquitecturas seleccionadas para cada uno de ellos.

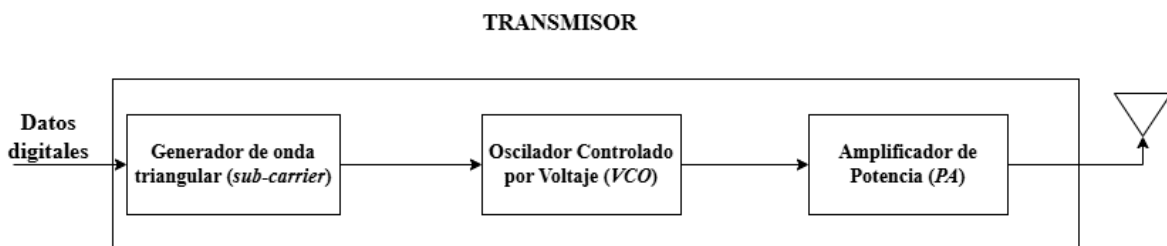


Figura 4.0.1: Transmisor a diseñar.

Las especificaciones del transceptor son las siguientes:

1. La velocidad de transmisión de datos es de 125 kbps.
2. El generador de onda triangular (*sub-carrier*) funciona como modulador digital utilizando BFSK, con frecuencias de 1 MHz y 2 MHz.
3. El oscilador controlado por voltaje (VCO) opera en frecuencias de 4 GHz y 6 GHz.
4. El amplificador de potencia debe proporcionar un voltaje pico a pico máximo de 160 mV para asegurar que la señal sea ultra banda ancha.

4.1. *Sub-carrier*

4.1.1. Comparador Schmitt Trigger

Los comparadores están involucrados en los circuitos analógicos por su fácil implementación y su versatilidad los comparadores más comunes [33, 37] se observan en la figura 4.1.1.

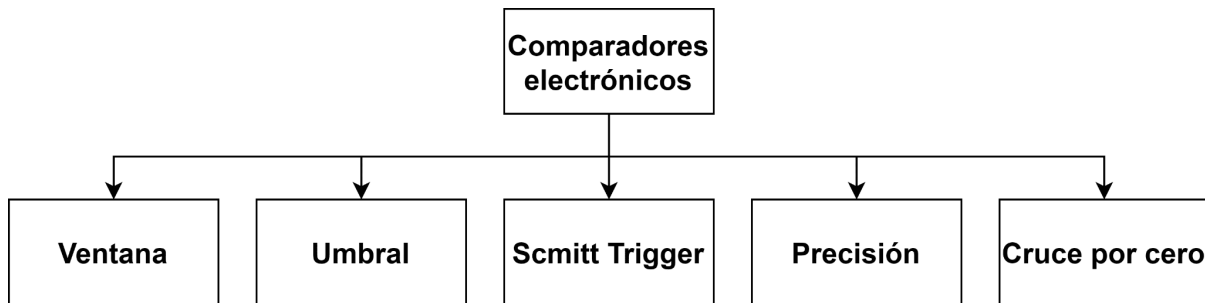


Figura 4.1.1: Tipos de comparadores

De los comparadores de la figura 4.1.1 el que destaca por el procesamiento de señales es el comparador Schmitt Trigger

El comparador Schmitt Trigger es un circuito electrónico que se utiliza para convertir una señal analógica en una señal digital, limpiando el ruido en la entrada mediante un mecanismo de histéresis. Este tipo de comparador es útil cuando la señal de entrada es inestable o presenta oscilaciones cerca del punto de comparación. Algunas de las características principales son [33, 37, 38]:

- **Histéresis:** La característica más importante del Schmitt Trigger es la histéresis, que se introduce al diseñar un voltaje de umbral distinto para los eventos de cambio de estado, ya sea alto o bajo. Esto significa que el Schmitt Trigger tiene dos niveles de umbral
- **Umbral alto (V_{SPH}):** Nivel superior al cual la salida cambia a alto.
- **Umbral bajo (V_{SPL}):** Nivel inferior al cual la salida cambia a bajo. La diferencia entre estos dos umbrales se denomina histéresis, y es lo que permite que el Schmitt Trigger no responda a señales pequeñas o ruidosas, evitando que el circuito oscile indebidamente entre estados de salida.
- **Retroalimentación positiva:** El Schmitt Trigger incorpora retroalimentación positiva, que incrementa la estabilidad de los cambios de estado. Esto le permite mantener la salida estable hasta que la señal de entrada supera los límites de histéresis.

En la figura 4.1.2, se muestra el bloque comparador Schmitt- Trigger en tecnología CMOS, este circuito tiene como ventajas entregar los voltajes V_{DD} y tierra cuando se excede los voltajes de umbral V_{SPH} y V_{SPL} (figura 4.1.3). En la figura se observa una entrada triangular con

límites de voltaje 0 V y 1 V, cuando pasa por los voltajes de umbral la salida del comparador conmuta.

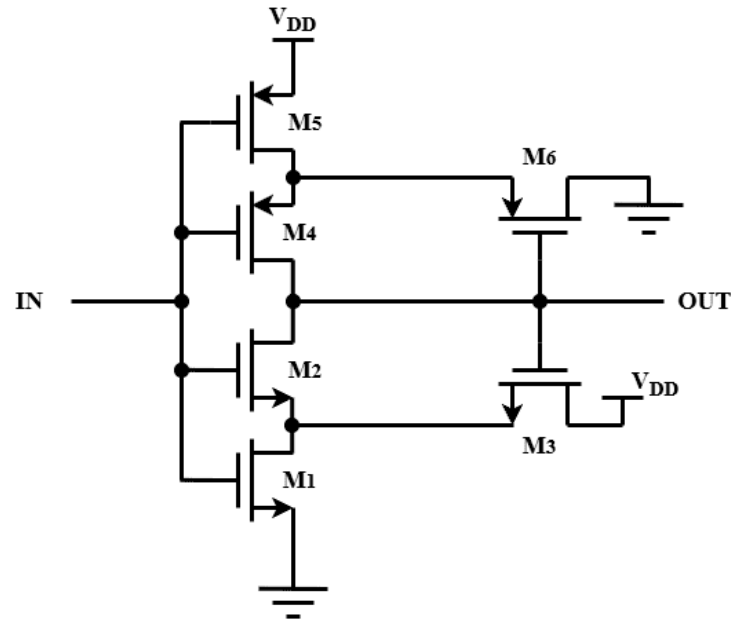


Figura 4.1.2: Comparador Schmitt Trigger.

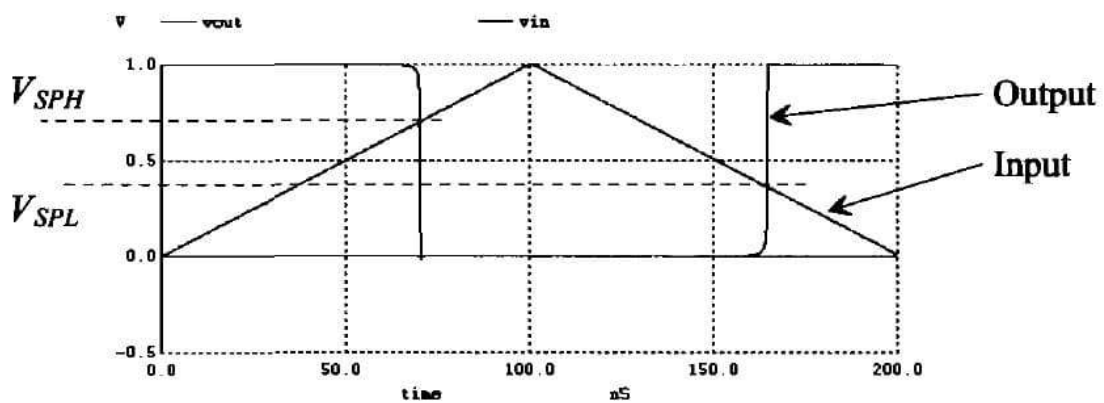


Figura 4.1.3: Gráfica del comparador Schmitt Trigger [37].

Para el cálculo de los voltajes de umbral se utilizan las ecuaciones 4.1.1 y 4.1.2, cabe destacar que éstas ecuaciones son una guía y no necesariamente te entregan los valores correctos.

$$\frac{W_1 L_3}{L_1 W_3} = \left[\frac{V_{DD} - V_{SPH}}{V_{SPH} - V_{THN}} \right]^2 \quad (4.1.1)$$

$$\frac{W_5 L_6}{L_5 W_6} = \left[\frac{V_{SPL}}{V_{DD} - V_{SPL} - V_{THP}} \right]^2 \quad (4.1.2)$$

Donde: $W_1, W_3, L_1, L_3, W_5, W_6, L_5, L_6$ son el ancho (W) y la longitud (L) del canal de los CMOS de la figura 4.1.2.

4.1.2. Generador de onda triangular con comparador Schmitt Trigger

En la figura 4.1.4 se ilustra un oscilador alternativo que emplea un Schmitt Trigger. En este circuito, los MOSFET M_1 y M_4 actúan como fuentes de corriente, reflejando la corriente en M_5 y M_6 . Cuando la salida del oscilador está en nivel bajo, M_3 está encendido y M_2 está apagado. Esto permite que la corriente constante de M_4 cargue el capacitor C . Cuando el voltaje a través de C alcanza V_{SPH} , la salida del disparador Schmitt cambia a nivel bajo. Como resultado, la salida del oscilador se eleva a un nivel alto y permite que la corriente constante de M_1 descargue C . Una vez que C se descarga hasta V_{SPL} , el disparador Schmitt cambia de estado nuevamente. Este ciclo se repite continuamente, generando así una salida de onda cuadrada [37].

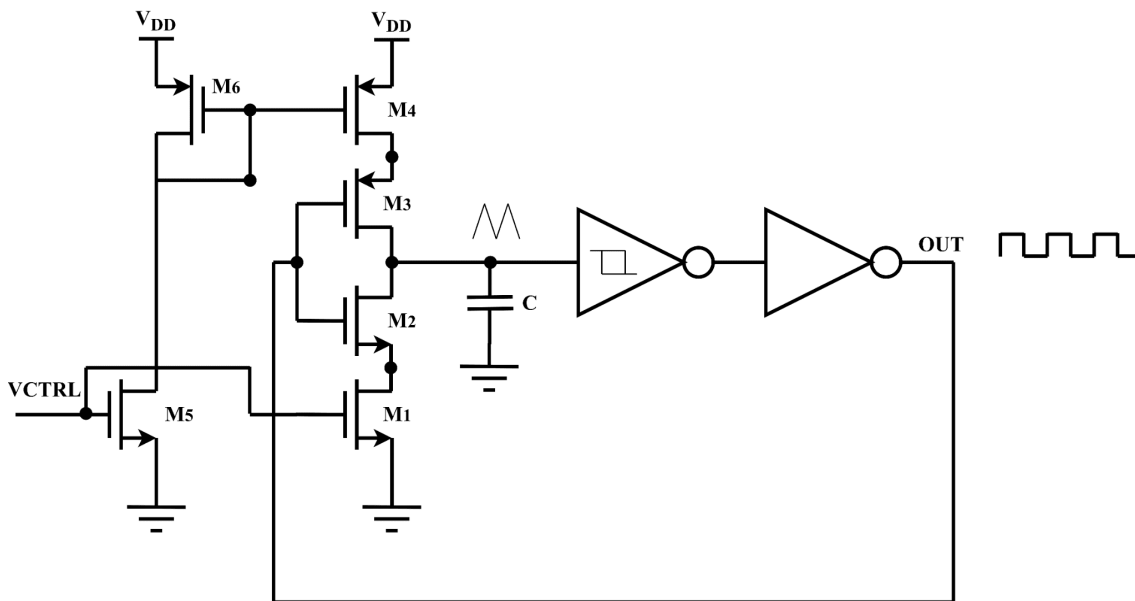


Figura 4.1.4: Oscilador de onda triangular.

Si designamos las corrientes de drenaje de M_1 y M_4 como I_{D1} e I_{M4} , podemos calcular el tiempo necesario para que el capacitor se cargue desde V_{SPL} hasta V_{SPH} .

$$t_1 = C \cdot \frac{V_{SPH} - V_{SPL}}{I_{D4}} \quad (4.1.3)$$

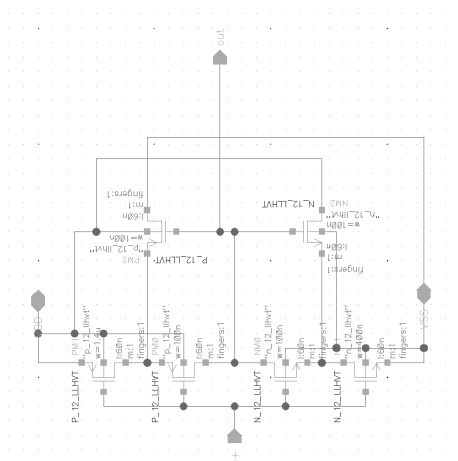
y el tiempo que toma cargar de V_{SPH} a V_{SPL} es:

$$t_2 = C \cdot \frac{V_{SPH} - V_{SPL}}{I_{D1}} \quad (4.1.4)$$

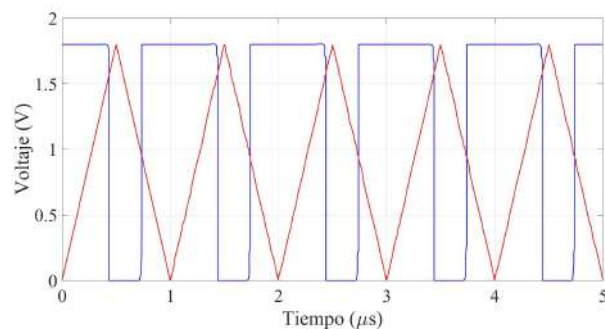
Este tipo de oscilador se conoce como oscilador controlado por voltaje (VCO), ya que la frecuencia de su salida puede ajustarse mediante un voltaje externo. Las corrientes I_{D1} e I_{M4} son controladas directamente por dicho voltaje de control. Como se explicará en el capítulo 20, la corriente en M_5 se replica en M_1 , M_4 y M_6 , con un factor de escalado que depende del tamaño relativo de los transistores.

4.1.3. Diseño del comparador Schmitt Trigger

El diseño presentado en la figura 4.1.2 ha sido elegido por su simplicidad y bajo consumo energético, lo que lo convierte en una solución eficiente para aplicaciones donde la eficiencia en el uso de energía es crítica. Este circuito permite establecer niveles de umbral bien definidos para los estados de conmutación, lo que mejora la estabilidad frente a ruido en la señal de entrada. Además, la implementación del Schmitt Trigger proporciona una histéresis inherente, lo que previene oscilaciones indeseadas y asegura un funcionamiento fiable incluso en condiciones de señal fluctuante. Gracias a estas características, el diseño no solo es eficiente en términos de consumo de potencia, sino también robusto y adecuado para su integración en sistemas de osciladores y otros circuitos de control.



(a) Comparador Schmitt Trigger propuesto.



(b) Simulación del comparador Schmitt Trigger.

Figura 4.1.5: (a) Comparador Schmitt Trigger propuesto y (b) simulación del comparador Schmitt Trigger.

Simulación

El circuito fue simulado utilizando Cadence con tecnología CMOS UMC de 65 nm y un voltaje de alimentación de 1.8 V. La figura 4.1.5b muestra los resultados de la simulación al aplicar una señal de entrada cuadrangular con niveles de umbral de 0 V y 1.8 V, y una frecuencia de 101 MHz. Esta simulación permitió verificar el comportamiento del comparador Schmitt Trigger en condiciones de operación típicas.

Los voltajes de umbral obtenidos en la simulación fueron los siguientes:

1. $V_{SPH} = 1.03 \text{ V}$

2. $V_{SPL} = 0.853 \text{ V}$

Estos niveles de umbral se emplearán para el diseño del generador de onda triangular, ya que permiten establecer los puntos de conmutación necesarios para obtener una forma de onda estable y consistente. El uso de estos valores en el generador garantiza que las oscilaciones del circuito sean precisas y mantengan una frecuencia controlada, lo cual es crucial para aplicaciones que requieren señales de alta fidelidad. Además, el ajuste adecuado de los voltajes de umbral facilita un diseño más eficiente en términos de consumo de energía, optimizando el desempeño del sistema en general.

En este contexto, los valores simulados de V_{SPH} y V_{SPL} no solo determinan los límites de conmutación del comparador, sino que también establecen la base para ajustar las características del generador de ondas, asegurando un correcto funcionamiento en diversas condiciones de carga y temperatura.

4.1.4. Diseño del generador de onda triangular con voltaje de entrada digital (0 V y 0.8 V)

Para el diseño del oscilador de onda triangular, se deben cumplir las siguientes condiciones:

1. El voltaje de control debe tener cambios de 0 V y 1.8 V.
2. El sistema debe ser capaz de generar dos señales triangulares, una con una frecuencia de 1 MHz y otra de 2 MHz, utilizando los voltajes de control especificados.

Con el propósito de satisfacer estos requisitos, se propone el circuito mostrado en la figura 4.1.6. Este diseño aprovecha el voltaje de control para activar o desactivar el transistor CMOS M_7 , lo que permite cambiar dinámicamente la frecuencia de oscilación de la señal triangular. Al alternar entre las dos frecuencias mencionadas, el circuito es capaz de funcionar como un modulador BFSK.

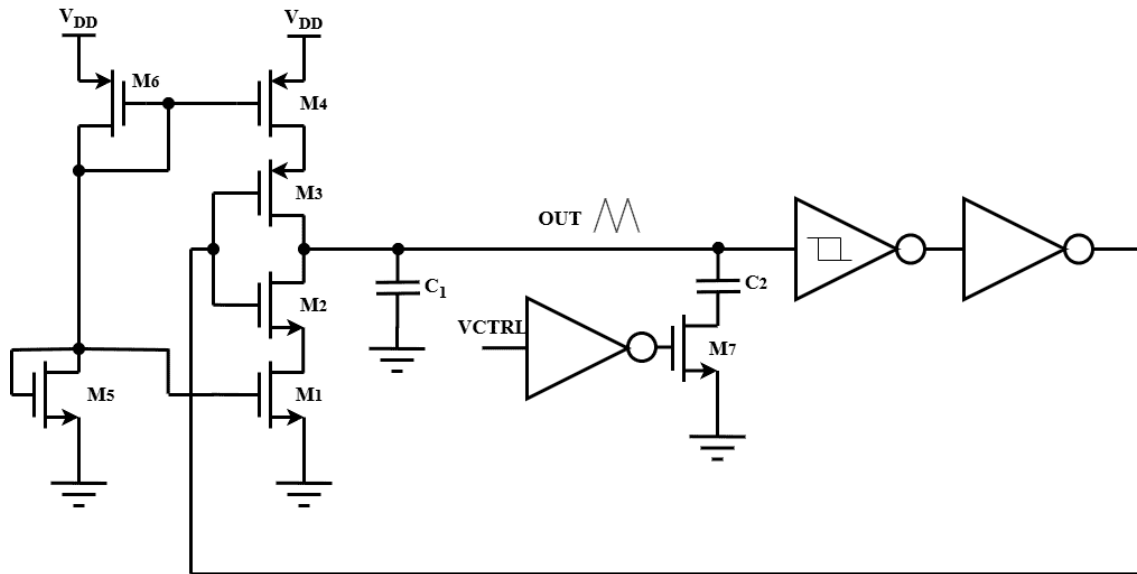


Figura 4.1.6: Generador de onda triangular propuesto.

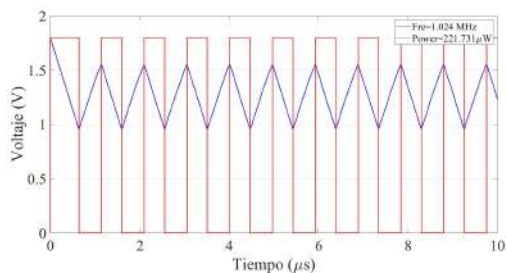
El funcionamiento del circuito se basa en la conmutación controlada del transistor M_7 . Cuando el voltaje de control es alto, el transistor se activa, reduciendo la corriente a través de ciertos elementos del circuito y, como resultado, disminuyendo la frecuencia de oscilación a 1 MHz. En contraste, cuando el voltaje de control es bajo, el transistor se desactiva, aumentando la corriente disponible y, por lo tanto, elevando la frecuencia a 2 MHz.

Este diseño no solo permite generar señales de frecuencia variable, sino que también es una solución eficiente para aplicaciones de modulación BFSK en sistemas de comunicaciones. La capacidad de cambiar entre dos frecuencias con un simple voltaje de control simplifica tanto la implementación como la integración en sistemas digitales y analógicos, optimizando el rendimiento sin un aumento significativo en el consumo de energía.

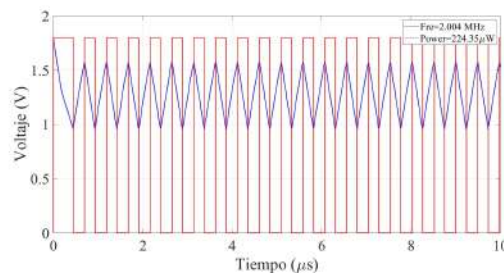
Simulación

En las simulaciones presentadas en las figuras 4.1.7a y 4.1.7b, se puede observar el resultado de aplicar señales digitales al generador de onda triangular. El sistema genera las frecuencias esperadas, alcanzando 1.024 MHz cuando la entrada digital es '0' y 2.004 MHz cuando la entrada es '1'. Estos valores cumplen con las especificaciones de diseño, demostrando que el circuito es capaz de ajustarse a las frecuencias deseadas con alta precisión.

Para verificar el funcionamiento correcto del modulador **BFSK**, se realizaron pruebas adicionales aplicando una señal digital de control que alterna entre '0' y '1'. Las figuras 4.1.8a y 4.1.8b muestran cómo el generador responde adecuadamente, cambiando la frecuencia de oscilación según el estado de la entrada digital. El sistema genera una onda triangular estable y conmutaciones precisas, lo que confirma su funcionalidad como modulador de



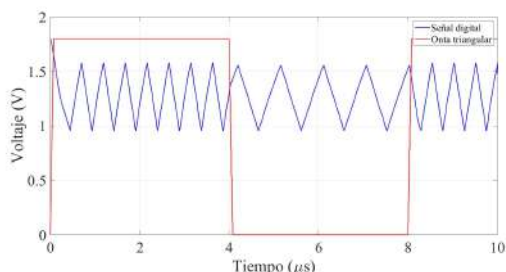
(a) Simulación con entrada digital '0'.



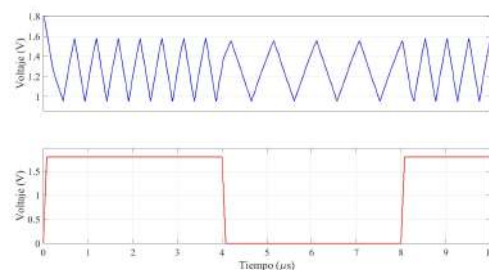
(b) Simulación con entrada digital '1'.

Figura 4.1.7: (a) Simulación con entrada digital '0' y (b) simulación con entrada digital '1'.

frecuencia.



(a) Simulación del comportamiento con entrada digital.



(b) Simulación del comportamiento con entrada digital ampliada.

Figura 4.1.8: (a) Simulación del comportamiento con entrada digital y (b) simulación del comportamiento con entrada digital ampliada.

El análisis de estas simulaciones demuestra que el circuito puede generar señales de frecuencia modulada de forma eficiente y precisa, cambiando entre 1 MHz y 2 MHz en función de la señal digital de entrada. Esto confirma que el diseño es adecuado para aplicaciones de comunicación digital que utilizan modulación BFSK, donde la precisión y la estabilidad en la frecuencia son críticas.

Además, la capacidad de operar con un voltaje de alimentación de 1.8 V y un bajo consumo de energía hace que este diseño sea ideal para su uso en sistemas integrados y aplicaciones de dispositivos portátiles. La flexibilidad del circuito para cambiar entre dos frecuencias utilizando un simple voltaje de control también reduce la complejidad de diseño en la implementación de sistemas de modulación en plataformas de baja potencia.

Finalmente, el comportamiento demostrado en las simulaciones asegura que el generador de onda triangular pueda ser utilizado no solo para modulación de señales sino también para aplicaciones donde se requiera una fuente de señal controlada y estable, como en osciladores, sintetizadores y sistemas de temporización.

Temperatura (°C)	0	27	50	75	100
Frecuencia 1 (Hz)	994.2K	1.037M	1.072M	1.108M	1.14M
Frecuencia 2 (Hz)	1.957M	2.029M	2.098M	2.171M	2.241M
Potencia W	221.1 μ	224.8 μ	228.4 μ	233 μ	237.6 μ

Tabla 4.1.1: Variación de frecuencia y potencia con la temperatura

4.1.5. Layout

La figura 4.1.9 muestra la interconexión física entre tres transistores NMOS y tres transistores PMOS, formando una celda básica del oscilador controlado por voltaje (VCO). El diseño fue dispuesto en un área compacta de aproximadamente 5 μm de ancho, optimizando el uso de espacio en el layout general del circuito.

Los valores de ancho de canal fueron seleccionados cuidadosamente para establecer los niveles de corriente adecuados en cada rama del oscilador, lo que a su vez determina los valores efectivos de voltaje umbral bajo condiciones de polarización reales. Esta relación es crítica para garantizar la correcta oscilación en el rango deseado de frecuencias.

En la figura 4.1.10 se muestra el bloque completo del subportador, donde se observan dos capacitores ubicados en los extremos. Los transistores están dispuestos de forma simétrica y separados por una cierta distancia para cumplir con las reglas de diseño y minimizar interferencias electromagnéticas o acoplamientos no deseados.

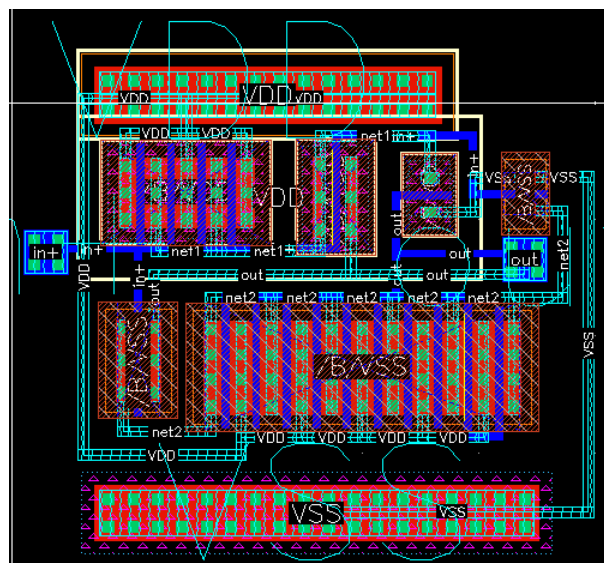


Figura 4.1.9: Layout del comparador Schmitt-Trigger.

4.2. Oscilador controlado por voltaje (VCO)

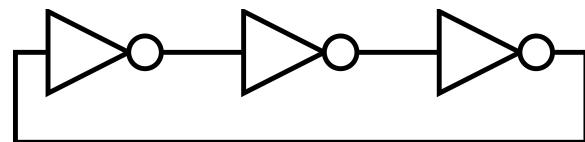
4.2.1. Conceptos básicos

Un oscilador es un circuito electrónico diseñado para generar una señal oscilante periódica, que puede adoptar diversas formas y contener diferentes armónicos. En teoría, un oscilador ideal produce una señal periódica que posee únicamente las características deseadas, sin componentes indeseados.

La clasificación de los osciladores facilita que el diseñador reconozca rápidamente las características de cada tipo. Los osciladores pueden clasificarse según sus propiedades fundamentales, como la frecuencia, el rango de sintonización o el nivel de ruido, así como por su funcionalidad, como si generan una salida monofásica o multifásica. Otra forma de clasificarlos es en función de su método de implementación, lo que ayuda a identificar sus propiedades clave y permite ubicar fácilmente nuevos diseños dentro de la clasificación en función de sus componentes.



(a) Clasificación de osciladores [39].



(b) Oscilador de anillo de 3 etapas.

Figura 4.2.1: (a) Onda de un oscilador de anillo y (b) onda de anillo de 3 etapas.

La figura 4.2.1a presenta un diagrama que clasifica varios tipos de osciladores basados en su principio de operación. Los osciladores de tiempo continuo se pueden subdividir en resonantes y no resonantes. Los osciladores resonantes se caracterizan por tener polos complejos, que pueden estar distribuidos o concentrados. Los resonadores agrupados están formados por dos elementos reactivos, como inductores y capacitores, lo cual también se aplica al circuito equivalente de un resonador distribuido. En contraste, los osciladores no resonantes emplean únicamente un elemento reactivo, ya sea un inductor o un capacitor. Para que un oscilador no resonante funcione, se necesita una resistencia y un lazo de retroalimentación, que transforman polos reales en complejos sin requerir múltiples elementos reactivos.

4.2.2. Oscilador de anillo

Un oscilador de anillo es un circuito electrónico que genera una señal oscilante mediante la realimentación de una cadena de inversores (NOT) en bucle cerrado. Es una de las configuraciones de osciladores más sencillas y ampliamente utilizadas en circuitos integrados debido a su simplicidad y facilidad de implementación.

Un oscilador de anillo se compone de un número impar de inversores conectados en serie, con la salida del último inversor realimentada a la entrada del primero, formando un bucle cerrado. La idea clave es que cada inversor introduce un retardo al cambiar el estado lógico (de '0' a '1' o de '1' a '0'), lo que causa que la señal circule por el anillo. La realimentación en bucle crea una situación en la que la señal nunca se estabiliza, sino que continúa cambiando, generando así una oscilación periódica [33, 40, 41].

Sus características principales son:

Frecuencia de Oscilación: La frecuencia de oscilación está determinada por el número de etapas (inversores) y el tiempo de retardo de cada inversor. Se puede expresar aproximadamente como:

$$f = \frac{1}{2nt_d} \quad (4.2.1)$$

Donde:

1. n es el número de inversores (debe ser impar).
2. t_d es el tiempo de retardo de cada inversor.

Periodo de Oscilación: El periodo (T) es el inverso de la frecuencia:

$$T = 2nt_d \quad (4.2.2)$$

Número de etapas: Debe ser impar para que el circuito sea inestable y, por lo tanto, oscile. Con un número par de inversores, el circuito se estabilizaría en un nivel lógico constante ('0' o '1').

Para alcanzar la frecuencia deseada, disponemos de cuatro alternativas:

1. Añadir capacitancia en cada nodo.
2. Incrementar la cantidad de etapas.

3. Extender la longitud de los transistores.
4. Reducir la frecuencia de salida mediante un divisor por un factor n.

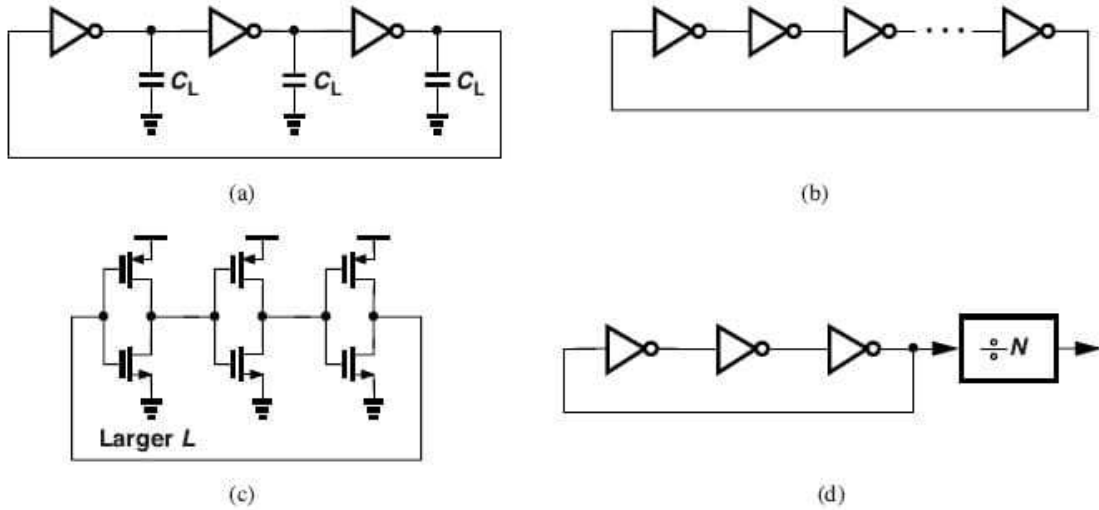


Figura 4.2.2: Métodos de obtención de frecuencias bajas: a) añadiendo capacitancias, b) aumentar el número de anillos, c) longitud de canal más grande y d) divisores de frecuencias [33, 41].

La figura 4.2.3 muestra un circuito de oscilador controlado por voltaje (VCO) basado en un oscilador de anillo con control de frecuencia mediante transistores MOSFET.

El transistor M_3 controla la corriente a través del circuito, regulando así la frecuencia de oscilación. Al ajustar V_{cont} , se modifica la corriente en el oscilador, lo que cambia su frecuencia.

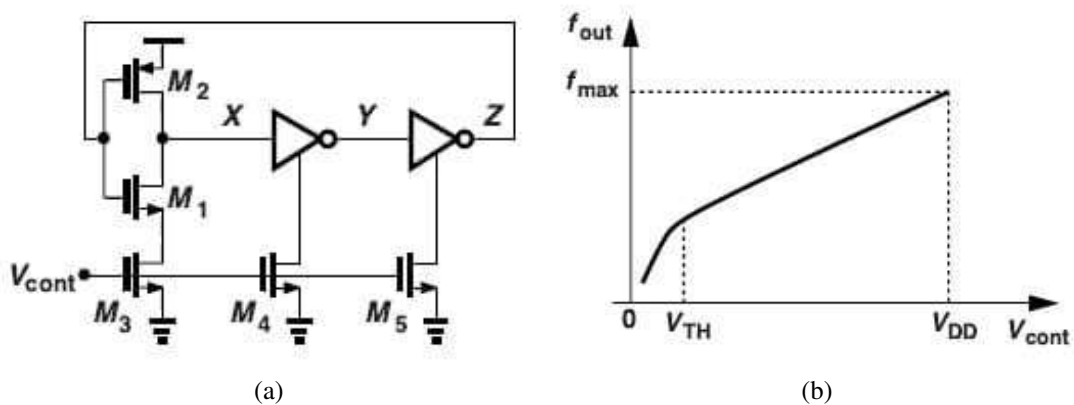


Figura 4.2.3: VCO tipo anillo: a) bloque controlado por un NMOS y b) gráfica de ganancia del oscilador (K_{VCO}) [33, 41].

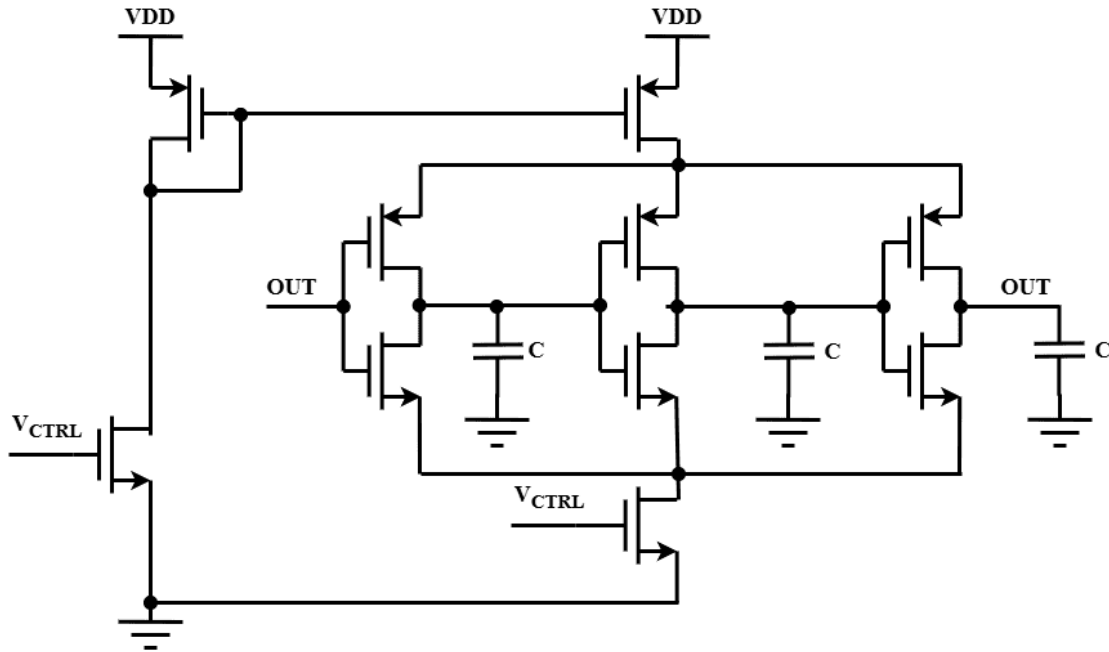


Figura 4.2.4: VCO propuesto.

4.2.3. Diseño del oscilador controlado por voltaje

El circuito de la figura 4.2.4 es un oscilador controlado por voltaje (VCO) basado en transistores MOSFET, diseñado para generar una señal de salida diferencial cuya frecuencia es ajustable mediante un voltaje de control (V_{CTRL}). Utiliza una configuración de pares diferenciales en varias etapas, alimentadas por V_{DD} , y con capacitores conectados entre las salidas para estabilizar la oscilación. El voltaje V_{CTRL} regula la corriente que fluye a través de los transistores, afectando el tiempo de carga y descarga de los capacitores, lo que permite variar la frecuencia de salida.

Simulación

En la figura 4.2.5 muestra la excursión transitoria del sistema a la frecuencia central de 5 GHz obtenido con un V_{Ctrl} de 1.1 V resultando en una excursión de 1.6 V. El sistema tiene un consumo de 488.402 μ W.

En la figura 4.2.8 muestra el ruido de fase en el oscilador a 1 MHz de la frecuencia central. Se presenta un ruido de fase de -71.7 dBc/Hz, cumpliendo con el requisito de que el ruido de fase sea inferior a -60 dBc/Hz. En la figura 4.2.6 se muestra el K_{VCO} del oscilador. Se presenta una variación de frecuencia de 3.98 GHz - 5.97 GHz variando V_{Ctrl} de 953 mV a 1.6 V

En conclusión, el VCO propuesto demuestra un rendimiento sobresaliente al cumplir con los estándares requeridos de bajo ruido de fase y un amplio rango de sintonización, lo que lo convierte en una opción ideal para aplicaciones en sistemas de comunicación. Su capacidad

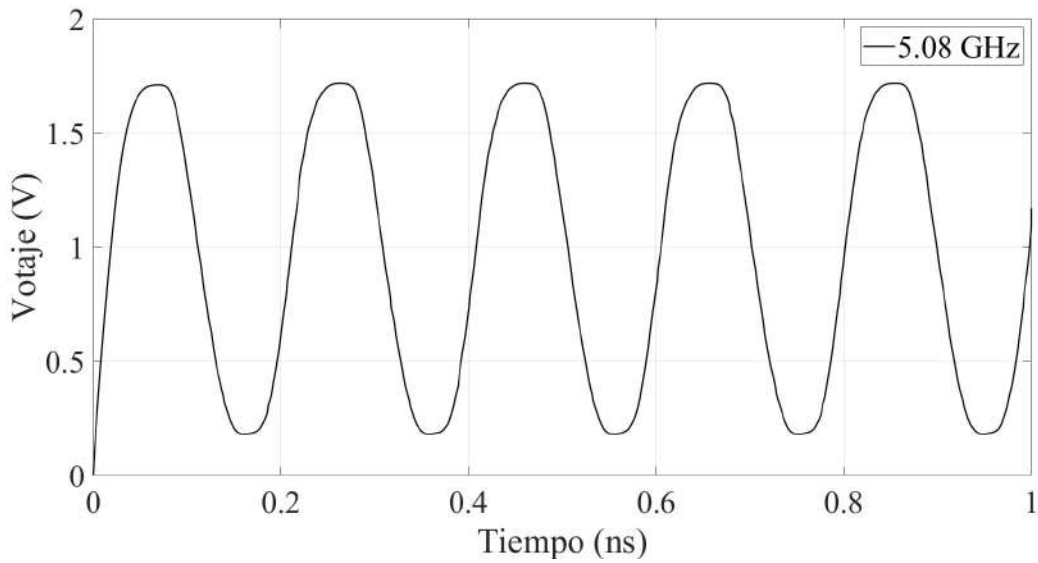


Figura 4.2.5: Respuesta transitoria cuando $V_{CTRL} = 1.1$ V (5.08 GHz).

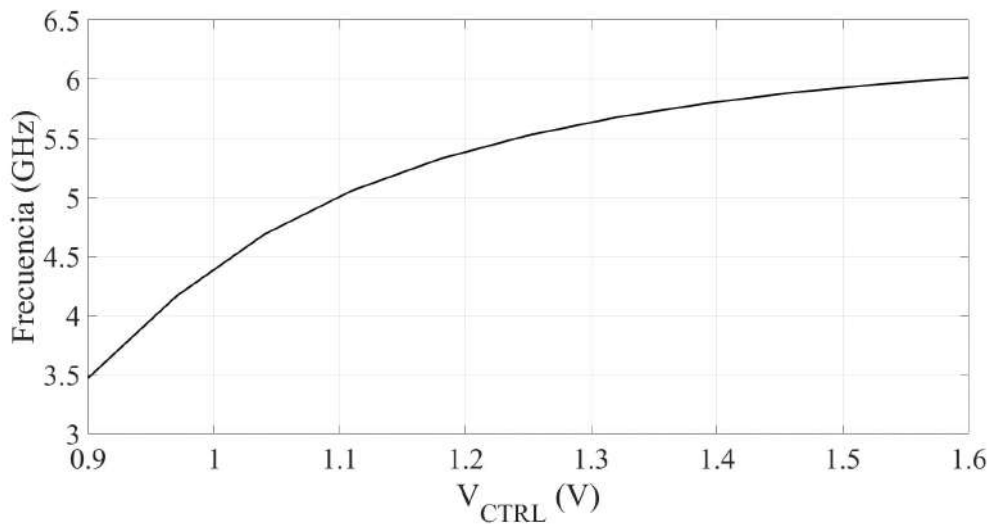


Figura 4.2.6: Ganancia de frecuencia K_{VCO} .

para mantener un nivel de ruido de fase muy por debajo de los límites especificados garantiza una señal estable y limpia, esencial para la fiabilidad en entornos donde la precisión es crítica. Además, su amplio rango de ajuste de frecuencia al variar el voltaje de control demuestra una excelente flexibilidad y sensibilidad, asegurando un control preciso de la frecuencia. Esto confirma que el diseño es adecuado para sistemas avanzados que requieren alta estabilidad y un control adaptable, como radios de alta frecuencia y sintetizadores de frecuencia.

En la figura 4.2.8 se presenta un análisis térmico del VCO, en el cual se observa que, a frecuencias más bajas, el dispositivo muestra una menor variación en la frecuencia o error conforme aumenta la temperatura. Esto indica una mayor estabilidad en esas condiciones. Sin embargo, cuando se incrementa el voltaje de control, se observa un aumento en las variaciones

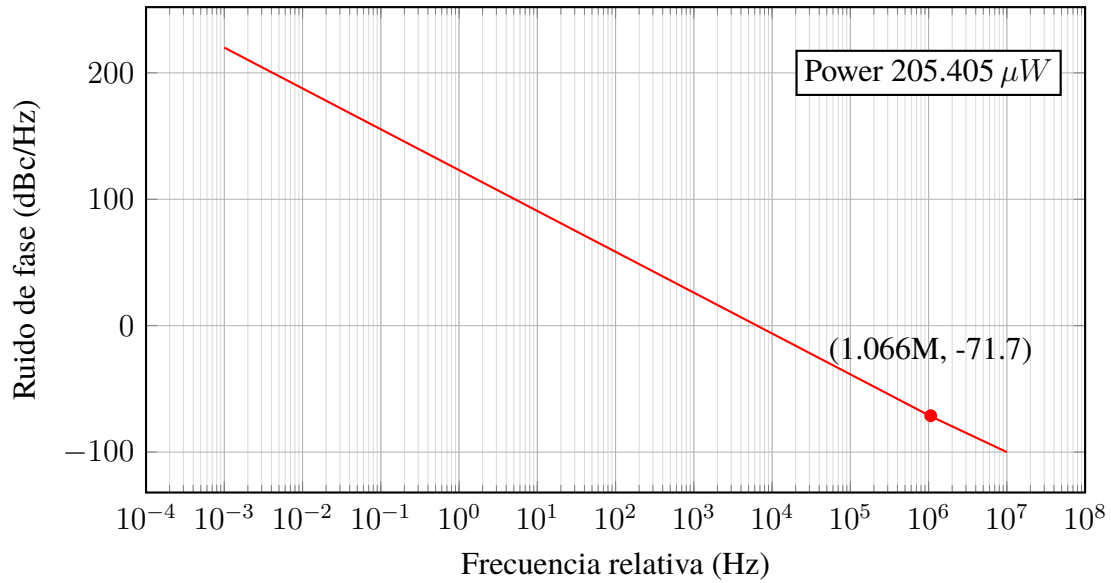


Figura 4.2.7: Curva de ruido de fase del VCO.

de la frecuencia, lo que genera un mayor error. Esto sugiere que el VCO es más sensible a las variaciones térmicas cuando el voltaje de control es más alto, afectando su rendimiento y precisión.

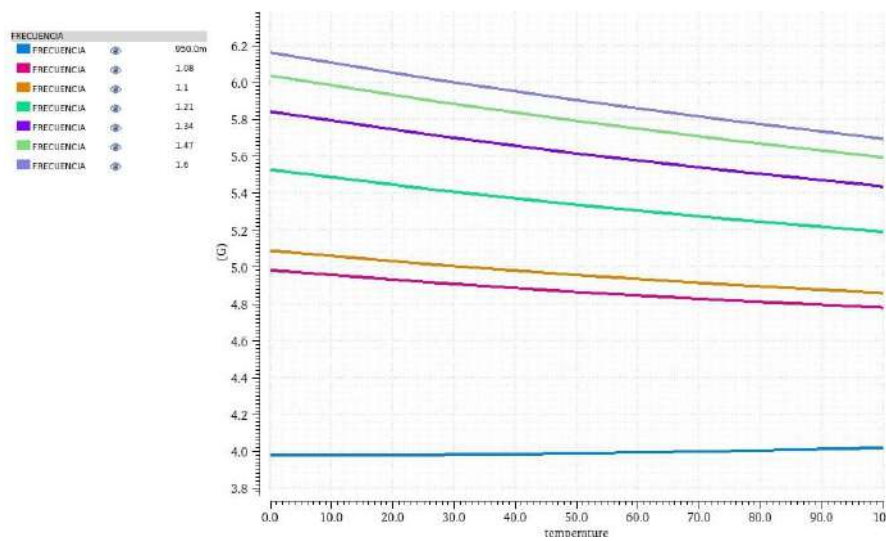


Figura 4.2.8: Variaciones de frecuencia con respecto a la temperatura.

4.2.4. Layout

En la figura 4.2.9 se presenta el diseño físico (layout) del oscilador controlado por voltaje (VCO). Este circuito está compuesto por un total de 14 transistores, distribuidos equitativamente entre 7 transistores NMOS y 7 transistores PMOS, los cuales están conectados a tres capacitores que forman parte del tanque resonante. La disposición del layout fue optimizada para garantizar

simetría y cumplir con las reglas de diseño del proceso CMOS utilizado. El área total ocupada por el VCO es de $9\ \mu\text{m} \times 9\ \mu\text{m}$.

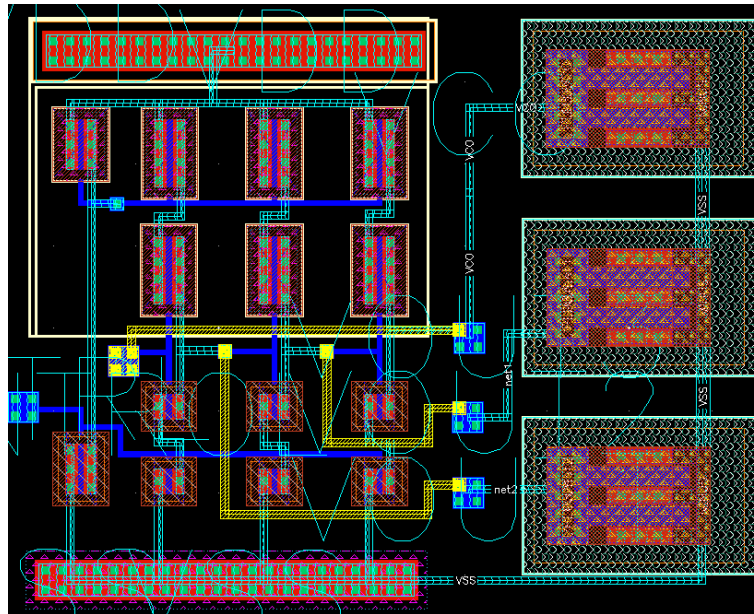


Figura 4.2.9: Layout del VCO.

4.3. Amplificador de Potencia (PA)

Un amplificador de potencia (o por sus siglas en inglés PA) es un bloque esencial en sistemas electrónicos que requieren transmitir señales con suficiente energía hacia una carga, típicamente una antena o un altavoz. Su función principal es incrementar la potencia de una señal eléctrica, manteniendo su forma y características espectrales, para que pueda ser útil en aplicaciones como transmisión de radiofrecuencia (RF), audio de alta fidelidad o sistemas de comunicación inalámbrica [33].

A diferencia de los amplificadores de pequeña señal, donde la linealidad y ganancia son prioritarias, en los amplificadores de potencia también es crucial la eficiencia energética, dado que manejan niveles altos de corriente y voltaje. Esto implica un diseño cuidadoso para minimizar pérdidas, controlar el calor generado y evitar distorsiones significativas.

A nivel de implementación, en tecnologías CMOS modernas, el diseño de amplificadores de potencia debe considerar aspectos como el ancho de banda operativo, la adaptación de impedancia (típicamente a $50\ \Omega$), la tensión de salida requerida, y la capacidad del diseño para integrarse con otros bloques analógicos. Los transistores de salida suelen trabajar en región de saturación para maximizar la ganancia de potencia, y se emplean técnicas como etapas diferenciales, polarización adaptativa, o redes de salida sintonizadas para mejorar el rendimiento.

4.3.1. Fundamentos de amplificadores de potencia

En un PA las principales métricas de desempeño son:

- Potencia de salida (P_{out})
- Ganancia de potencia (G_p)
- Eficiencia de potencia añadida (PAE)
- Linealidad

En la etapa de diseño, se utilizan herramientas como simulaciones de carga-pull o análisis de envolvente para optimizar la respuesta del circuito bajo distintas condiciones de carga y señal.

Adicionalmente, los amplificadores de potencia se clasifican comúnmente por su clase de operación: clase A, B, AB, C, D, entre otras, cada una con un compromiso distinto entre eficiencia, linealidad y complejidad. Por ejemplo, la clase A ofrece excelente linealidad, pero baja eficiencia, mientras que la clase AB logra un mejor equilibrio entre ambos aspectos, siendo común en transmisores [18].

Clase	Ángulo de conducción	Eficiencia teórica	Linealidad	Corriente en reposo	Aplicaciones típicas
A	360°	~25–30 %	Excelente	Alta	Audio, RF, UWB
B	180°	~78.5 %	Baja	Cero	RF
AB	180°–360°	~35–55 %	Buena	Moderada	RF, UWB
C	<180°	>80 %	Muy baja	Cero	AM/FM

Tabla 4.3.1: Comparación entre clases de amplificadores de potencia [33, 42].

Los amplificadores de potencia (PA) de clase A y clase AB son ampliamente utilizados en circuitos integrados CMOS debido a su balance entre linealidad, eficiencia y simplicidad de diseño. En la Tabla 4.3.1 se presentan los principales tipos de amplificadores de potencia. Se observa que, para aplicaciones UWB, es recomendable emplear un amplificador de tipo A o AB como diseño principal. En la figura 4.3.1 se observa los PA tipo A y tipo AB.

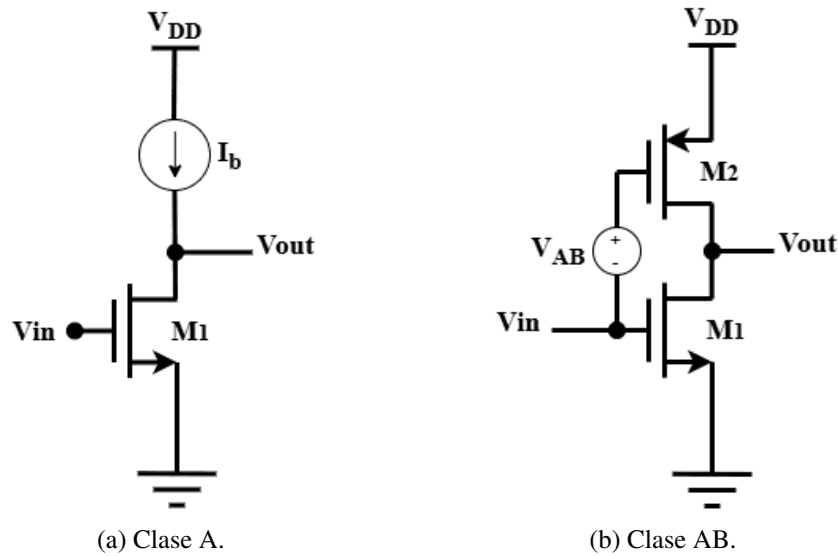


Figura 4.3.1: Tipos de amplificadores con CMOS.

Un amplificador clase A en CMOS se caracteriza por polarizar el transistor activo (generalmente un MOSFET) de forma que conduzca durante todo el ciclo de la señal de entrada, es decir, durante los 360° . Esto garantiza una alta linealidad y baja distorsión, ya que el dispositivo nunca se apaga. Sin embargo, el inconveniente principal de esta clase es su baja eficiencia energética, típicamente alrededor del 25 – 30 % [42, 43], debido a la corriente de polarización constante que circula incluso en ausencia de señal de entrada. En aplicaciones de RF y, en particular, en sistemas UWB, esta clase puede ser adecuada cuando se prioriza la fidelidad de la señal sobre la eficiencia.

Por otro lado, un amplificador clase AB representa un compromiso entre la linealidad de la clase A y la eficiencia de la clase B. En esta configuración, el transistor conduce por más de la mitad pero menos de todo el ciclo (generalmente alrededor de 180° a 360°). Esto se logra mediante una polarización adecuada que permite que el dispositivo se mantenga apenas encendido en reposo, reduciendo así la corriente de polarización y mejorando significativamente la eficiencia (que puede llegar alrededor de 50-60 % [42, 43]), mientras se mantiene una distorsión aceptablemente baja. En tecnología CMOS, los PA clase AB son muy populares para sistemas UWB, ya que permiten manejar variaciones rápidas de la señal con buena eficiencia y sin degradar excesivamente la calidad de la transmisión.

En resumen, en PA en CMOS para UWB, la clase A es preferida cuando la linealidad extrema es crítica, mientras que la clase AB se elige cuando se requiere un balance entre eficiencia y fidelidad, especialmente en aplicaciones donde la duración de la batería o el consumo de energía son factores importantes.

4.3.2. Amplificador de potencia clase A

El PA clase A (ver figura 4.3.1a) se caracteriza por su operación en la cual el dispositivo activo, generalmente un transistor NMOS en tecnología CMOS, conduce durante la totalidad del ciclo de la señal de entrada, es decir, durante los 360°) [43]. Esta condición se logra mediante una polarización adecuada que mantiene el transistor siempre en la región de operación activa, permitiendo una alta linealidad y minimizando la distorsión armónica, es decir mientras el voltaje de la compuerta a la fuente (V_{GS}) sea superior al voltaje del umbral (V_{TH}).

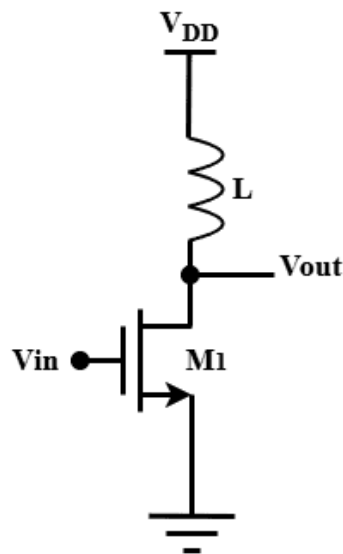


Figura 4.3.2: PA tipo A con inductor.

En la figura 4.3.2 se sustituye la fuente de corriente I_b con un inductor L , a este elemento pasivo se le conoce como inductor de *choke*, la principal razón del uso es el transistor CMOS, en particular, tiene una limitación en cuanto a la capacidad de generar una fuente de corriente estable durante todo el ciclo de la señal de entrada. Para sortear esta limitación, se utiliza un inductor en la etapa de carga.

En la implementación CMOS, el diseño de un amplificador tipo A enfrenta desafíos adicionales, como las limitaciones de voltaje de umbral de los dispositivos y el manejo del calor generado debido a las pérdidas continuas de potencia [43]. Sin embargo, su ventaja principal radica en la excelente fidelidad de la señal, lo cual es crucial en aplicaciones de comunicación de alta precisión, tales como transmisores de UWB, donde las características de baja distorsión son prioritarias.

En resumen, aunque los amplificadores de clase A no son óptimos en términos de eficiencia, su uso se justifica en escenarios donde la calidad de la señal es más importante que el consumo energético, particularmente en etapas de transmisión de baja potencia donde las exigencias de linealidad son estrictas.

4.3.3. Amplificador de potencia clase AB

Un PA clase AB combina características claves del PA clase A; tal como la linealidad, y del clase B; la eficiencia. Las propiedades clave del diseño, se observa que en condiciones estáticas ambos transistores permanecen conduciendo, con corrientes iguales a $I_s = I_b$, como en un amplificador de clase A. Esto evita la distorsión por cruce. Además, el uso de un desplazamiento de nivel en continua permite transferir eficazmente las variaciones de la señal de entrada al transistor superior.

Como consecuencia, las corrientes que fluyen hacia y desde el terminal de salida superan la corriente de polarización. Esto hace que los amplificadores en clase AB no solo sean adecuados para señales de gran amplitud debido a su rápida respuesta, sino que también ofrezcan bajo consumo energético y una distorsión mínima, lo que los convierte en una solución eficiente y atractiva para aplicaciones modernas que demandan alta eficiencia energética.

En la figura 4.3.3 se observa un PA clase AB con sistema de polarización del NMOS y PMOS por voltajes (V_{b1} y V_{b2}) y una red resistiva con un capacitor en paralelo, esta hace que los transistores NMOS y PMOS estén encendidos y así el PA puedan entregar el punto de potencia adecuado para que el sistema suministre un valor adecuado hacia la carga. Este amplificador de potencia se retomará en el capítulo 5.

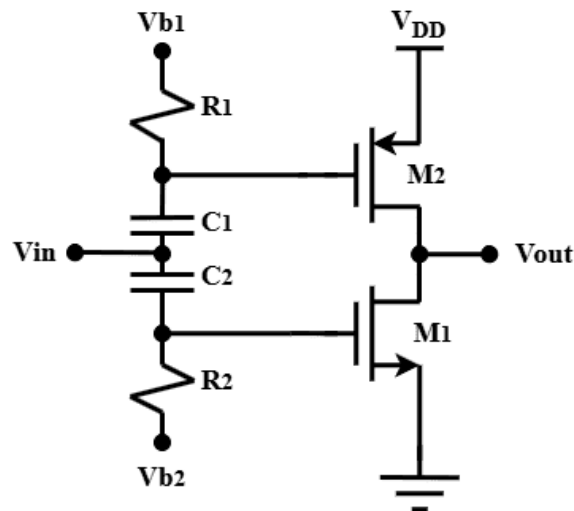


Figura 4.3.3: Amplificador de potencia clase AB con sistema de polarización.

4.3.4. Propuesta de diseño: PA clase A

Como propuesta de diseño se tiene que considerar las características de UWB:

1. La PSD se tiene como límite de -41.3 dBm/MHz.
2. La carga (R_L) del PA se establece como 50Ω .

3. La potencia máxima sobre la carga se establece como -14 dBm [18].
4. El ancho de banda debe ser de al menos 500 MHz.
5. El inductor de *choke* no debe ser mayor a 2 nH.
6. Etapa de transformación de potencia para maximizar la corriente distribuida.
7. Potencia de consumo no mayor

Suponiendo una potencia de sobre la carga de -14 dBm, se obtiene la cantidad de voltaje/corriente de salida:

$$\begin{aligned}
 P &= 10^{\frac{[\text{dBm}]}{10}} \\
 &= 10^{\frac{-14}{10}} \\
 &= 10^{-1.4} \\
 P &= 0.0398 \times 10^{-5}
 \end{aligned}$$

$$\begin{aligned}
 V_p &= \sqrt{P * 2 * R_L} \\
 &= \sqrt{3.98 \times 10^{-5} * 2 * 50} \\
 &= 63.1 \text{ mV}
 \end{aligned}$$

Por lo tanto, el voltaje y la corriente de la onda senoidal que tendrá la carga se observa en las ecuaciones 4.3.1 y 4.3.2, donde la corriente pico de la carga es $I_p = 1.262$ mA.

$$v_{RL}(t) = 0.0631 * \sin(\omega_0 t) \tag{4.3.1}$$

$$i_{RL}(t) = 0.001262 * \sin(\omega_0 t) \tag{4.3.2}$$

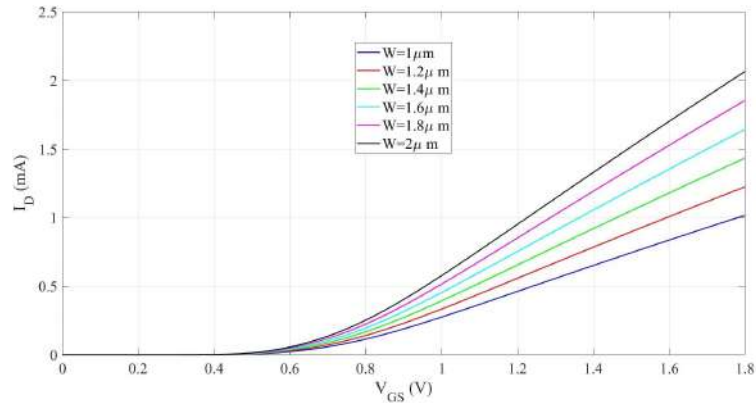


Figura 4.3.4: Curvas I_D vs V_{GS} con diferentes anchos de canal.

Para la selección del tamaño del ancho de canal para una tecnología de 65 nm, se obtiene con la caracterización del transistor NMOS se observa en la figura 4.3.4, donde se usa un voltaje de alimentación V_{DD} de 1.8 V. Se seleccionó un ancho de canal $W = 1.2-1.8 \mu\text{m}$ debido a que su corriente del transistor no excede los 1.3 mA.

En la figura 4.3.5 se muestra la propuesta del PA clase A implementado un transistor NMOS M_1 polarizado mediante un inductor RF L_m el cual actúa como una carga activa de alta impedancia en frecuencias altas, permitiendo el paso de corriente continua.

El capacitor de acoplamiento (C_m) bloquea la componente de corriente directa mientras permite que la señal amplificada llegue a la etapa de salida.

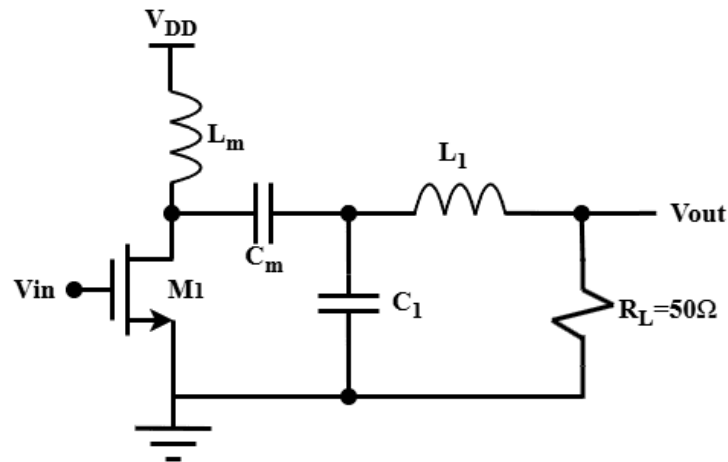


Figura 4.3.5: Propuesta de amplificador de potencia clase A.

La red de salida está compuesta por una celda tanque resonante formada por la inductancia (L_1) y el capacitor (C_1), la cual sintoniza la frecuencia de operación deseada, maximizando la transferencia de potencia hacia la carga resistiva ($R_L = 50 \Omega$). Esta topología garantiza una amplificación lineal con mínima distorsión, lo cual es característico de los amplificadores clase A.

4.3.5. Simulación

En la figura 4.3.6 se observa las señales de entrada y salida del PA operando a 5 GHz frecuencia. La gráfica superior representa la salida del VCO, una señal senoidal con amplitud de aproximadamente 1.6 V que actúa como entrada al PA. La gráfica inferior muestra la salida del PA, una señal también senoidal pero con una amplitud mucho menor (alrededor de ± 80 mV), que es el nivel objetivo para aplicaciones UWB. Esto indica que el amplificador está funcionando correctamente dentro de su rango lineal y entregando la señal con la amplitud adecuada para cumplir con los requisitos de transmisión UWB, donde se prioriza el ancho de banda amplio y la integridad de la señal en lugar de la máxima ganancia.

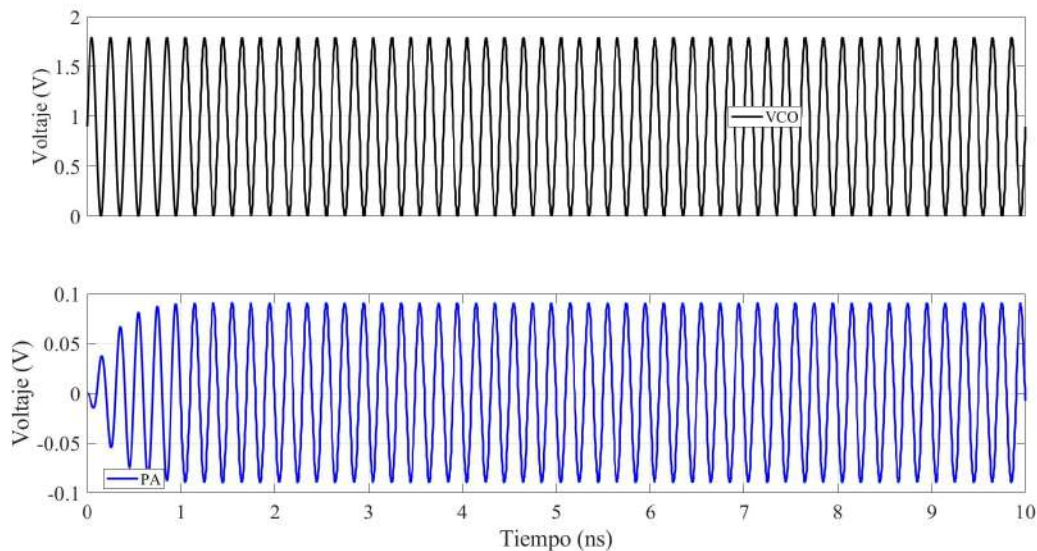


Figura 4.3.6: Respuesta en el tiempo del PA clase A.

La figura 4.3.7 muestra los parámetros S de un amplificador de potencia (PA) diseñado para operar en la banda de 5 GHz a 6 GHz. El parámetro S_{21} (en rojo) representa la ganancia hacia adelante y presenta un pico en ese rango, alcanzando aproximadamente entre -15 dB y -18 dB, lo que indica una amplificación efectiva dentro de la banda de interés. El parámetro S_{22} (en azul), que refleja la adaptación de impedancia en la salida, también alcanza su mínimo dentro del mismo rango con valores cercanos a -20 dB, lo que implica una buena adaptación y baja reflexión de señal. Fuera de la banda, la ganancia cae y la reflexión aumenta, confirmando que el PA está optimizado para operar eficientemente solo entre 5 GHz y 6 GHz.

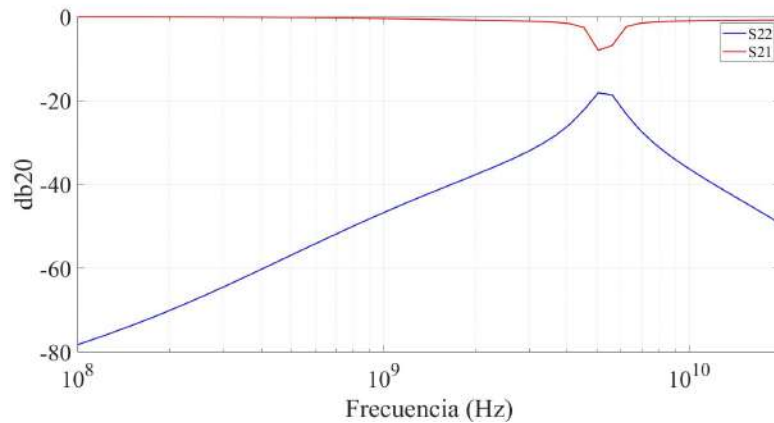


Figura 4.3.7: Parámetros S del PA.

4.3.6. Layout

En la figura 4.3.8 se muestra el layout del amplificador de potencia. Este diseño incluye dos inductores y tres capacitores, de los cuales dos están conectados en paralelo. La implementación de estos componentes permite replicar el esquema del layout mostrado en la figura 4.3.5. Tanto los inductores como los capacitores fueron sintetizados utilizando los modelos tecnológicos proporcionados por la herramienta Cadence, lo que garantiza su compatibilidad con el proceso de fabricación y el cumplimiento de las reglas de diseño. El diseño ocupa un área de 0.4 mm × 0.2 mm. No obstante, existe la posibilidad de implementar los inductores de forma externa, lo que permitiría reducir significativamente el área ocupada en el chip y optimizar el uso del silicio. En la figura 4.3.9 se muestra la versión del layout con la vista del transistor, donde es posible identificar claramente la estructura física del dispositivo dentro del entorno de diseño.

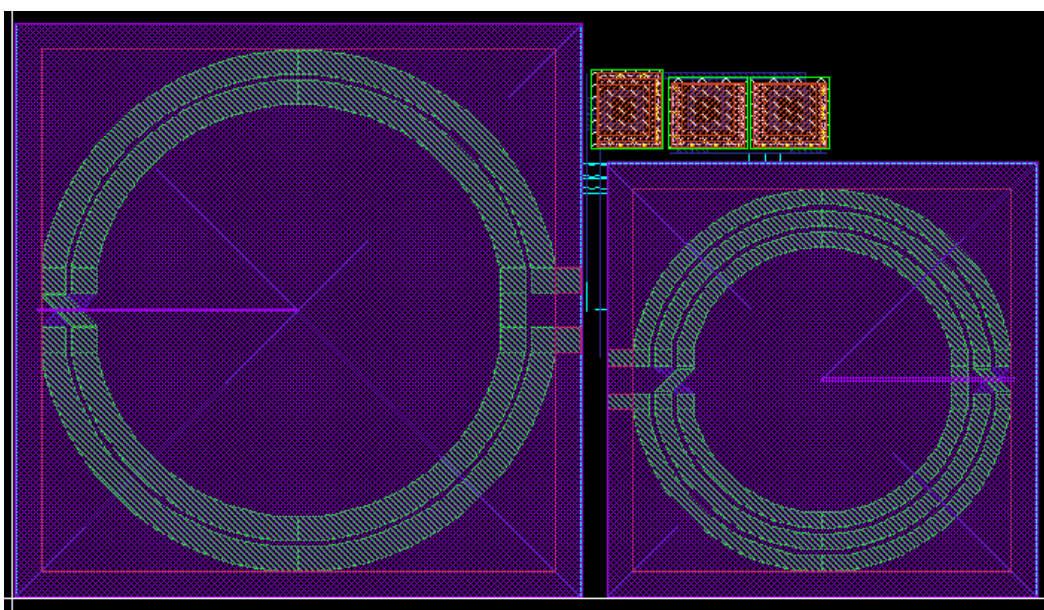


Figura 4.3.8: Layout del PA.

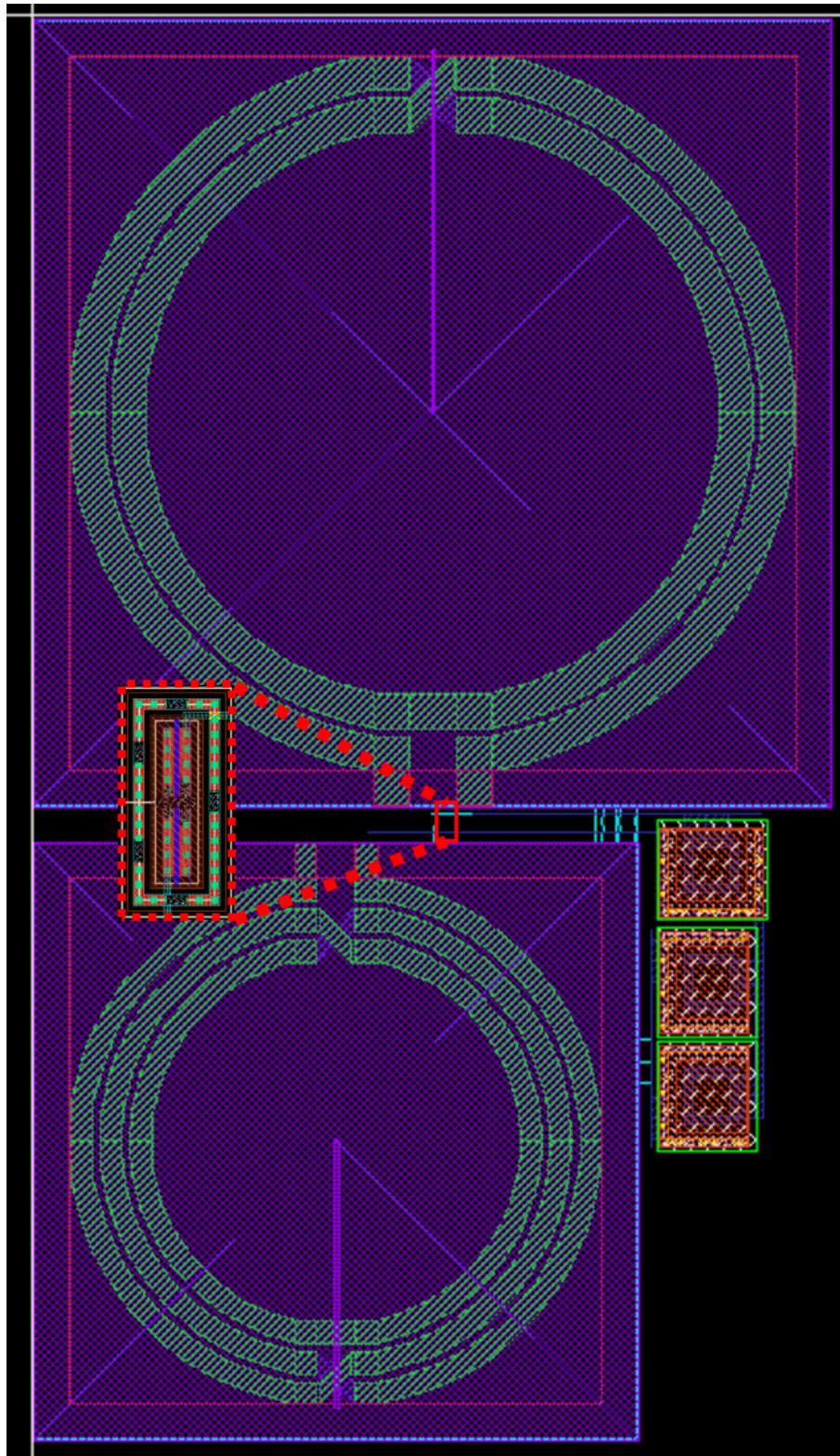


Figura 4.3.9: Layout del PA, version ampliada del transistor.

El PA fue caracterizado bajo condiciones nominales de operación, con una tensión de alimentación de 1.8 V y operando dentro del rango de frecuencias objetivo del sistema. Se determinó que su consumo de potencia es de 2.206 mW, lo cual es consistente con los

requisitos de bajo consumo para aplicaciones de radiofrecuencia en tecnología CMOS. Este valor incluye tanto la etapa de amplificación como los circuitos auxiliares asociados al sesgo y al acoplamiento de impedancias.

4.4. Comparación del transmisor FM-UWB diseñado en tecnología CMOS

La tabla 4.4.1 presenta una comparación de diversos diseños de osciladores de RF empleados en transmisores FM-UWB, analizando parámetros clave como la tecnología de fabricación, la tensión de alimentación (VDD), la frecuencia de *sub-carrier*, la topología del oscilador, la banda de frecuencia RF, el ruido de fase, el consumo de potencia y la tasa de transmisión de datos. Los diseños se basan en tecnologías CMOS que varían entre 65 nm y 180 nm, y utilizan frecuencias de subportadora que van desde 0.6 MHz hasta 13.6 MHz. La mayoría de los diseños emplean la topología de oscilador de anillo (Ring VCO), con excepción de uno que utiliza un oscilador de corriente inversa (Ring ICO). En términos de rendimiento, el consumo de potencia varía entre 0.398 mW y 5.0 mW, y la tasa de transmisión de datos oscila entre 12.5 kbps y 250 kbps. El diseño presentado en este trabajo, basado en tecnología CMOS de 65 nm, muestra un consumo de potencia de 2.872 mW y una tasa de transmisión de 125 kbps, destacándose por su eficiencia en comparación con las soluciones previas.

Citas	[18]	[44]	[45]	[46]	[Este trabajo]
Tecnología (CMOS)	130 nm	90 nm	180 nm	180 nm	65 nm
VDD (V)	1.2	1.0	1.8	1.8	1.8
Frecuencia de <i>sub-carrier</i> (MHz)	1, 2	0.6, 0.9	12.8, 13.6	12.8, 13.6	1, 2
Topología del oscilador RF	Ring VCO	Ring ICO	Ring VCO	Ring VCO	Ring VCO
Ancho de banda (GHz)	3.4–3.9	3–5	3.65–4.25	3.6–4.1	4–6
Ruido de fase (dBc/Hz a 1 MHz)	-76	-75	-82	-82	-71.7
Consumo de potencia (mW)	0.398	0.9	4.3	5.0	2.872
Transmisión de datos	250 kbps	100 kbps	12.5 kbps	100 kbps	125 kbps

Tabla 4.4.1: Comparación de diseños de osciladores de RF

Síntesis de un receptor de FM-UWB en tecnología CMOS con modelos industriales en Cadence

Esta sección presenta la simulación del receptor a nivel comportamental en CppSim, utilizando librerías de RF. Se describen los siguientes bloques; amplificador de bajo ruido, comparador y filtro $Gm - C$.

5.1. Amplificador de Bajo Ruido

Un amplificador de bajo ruido (o por sus siglas en inglés LNA) implementado en tecnología CMOS es un bloque esencial en sistemas de recepción de RF, cuya función principal es amplificar señales débiles recibidas por una antena sin introducir un nivel significativo de ruido adicional. En un diseño CMOS típico, el LNA combina transistores NMOS y/o PMOS con técnicas de adaptación de impedancia para maximizar la ganancia de potencia y minimizar la figura de ruido (NF). Existen varias arquitecturas comunes, como el LNA de entrada inductivamente degenerada, el resistively terminated y el cascode con adaptación en fuente. Las ventajas del uso de tecnología CMOS incluyen bajo costo, alta integración con circuitos digitales y consumo reducido de energía, lo que hace viable su uso en aplicaciones como comunicaciones inalámbricas, sensores de RF y sistemas UWB. Un buen diseño de LNA CMOS debe lograr un equilibrio entre ganancia, ancho de banda, consumo de potencia, linealidad y figura de ruido, respetando las restricciones del proceso tecnológico y el entorno del sistema receptor.

La tabla 5.1.1 clasifica distintas topologías de amplificadores de bajo ruido (LNA), detallando su funcionamiento y características. La etapa de fuente común (CS) con carga inductiva utiliza un transistor con una inductancia en el drenador que actúa como carga activa, mejorando la ganancia en altas frecuencias gracias a la resonancia con la capacidad de salida. La etapa CS con realimentación resistiva introduce una resistencia entre la salida y la entrada, estabilizando la ganancia, ampliando el ancho de banda y facilitando la adaptación de impedancias. La

topología de puerta común (CG), por su parte, conecta la entrada a la fuente del transistor y mantiene la puerta a potencial constante, lo que proporciona una buena adaptación a fuentes de baja impedancia y reduce el efecto del ruido de la fuente. Finalmente, la etapa CS con degeneración inductiva añade una inductancia en serie con la fuente del transistor, lo que linealiza la transconductancia, mejora la estabilidad y facilita el diseño de la adaptación de impedancia sin sacrificar ganancia, siendo una de las topologías más utilizadas en LNAs para aplicaciones de radiofrecuencia. Estas configuraciones constituyen la base de muchas variantes modernas y optimizadas del diseño de LNAs [33].

Topologías Básicas de LNA	Topologías Alternativas de LNA	No Linealidad de los LNAs
Etapa CS con carga inductiva	Variantes de LNA CS	Cálculos de no linealidad
Etapa CS con realimentación resistiva	LNAs con cancelación de ruido	LNAs diferenciales y cuasi-diferenciales
Etapa CG	LNAs diferenciales	
Etapa CS con degeneración inductiva		

Tabla 5.1.1: Clasificación de topologías y análisis de no linealidad en LNA.

5.1.1. Consideraciones de diseño

Ruido de figura

El ruido de figura (*Noise Figure*, NF) es una métrica clave en el diseño de un LNA, pues indica el ruido adicional respecto a una fuente ideal. En un receptor típico con NF total entre 6 dB y 8 dB, se estima que el conmutador de antena o el dúplex contribuye con 0.5 dB a 1.5 dB, el LNA con 2 dB a 3 dB y el resto de la cadena con 2.5 dB a 3.5 dB. Si bien estos valores sirven como referencia, la distribución del ruido depende del desempeño de cada etapa. Actualmente, el diseño del LNA se realiza considerando toda la cadena RF, con múltiples iteraciones para optimizar ganancia, linealidad y ruido de forma conjunta [47-49].

La ecuación típica del ruido de figura (NF) de un amplificador es:

$$NF = 10 \cdot \log_{10} \left(\frac{S_{in}}{S_{out}} \right) \quad (5.1.1)$$

Donde:

- S_{in} es la potencia de la señal a la entrada del LNA.
- S_{out} es la potencia de la señal a la salida del LNA.

Para un LNA ideal, el valor de NF sería 1 (0 dB).

Si consideramos múltiples etapas en cascada, la fórmula del ruido de figura total es:

$$NF_{total} = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots \quad (5.1.2)$$

Donde:

- NF_i es el ruido de figura de la i -ésima etapa.
- G_i es la ganancia de la i -ésima etapa.

Ganancia

La ganancia del LNA debe ser suficientemente alta para reducir al mínimo la contribución de ruido de las etapas posteriores, especialmente del mezclador de conversión descendente. La elección de esta ganancia implica un compromiso entre el ruido de figura y la linealidad del receptor, dado que una mayor ganancia tiende a hacer más pronunciada la no linealidad de las etapas siguientes. En el diseño moderno de RF, el LNA impulsa directamente el mezclador de conversión descendente sin necesidad de coincidencia de impedancia entre los dos componentes. Por lo tanto, resulta más útil y sencillo realizar los cálculos de la cadena en términos de la ganancia de voltaje en vez de la ganancia de potencia del LNA.

Para sistemas UWB, los valores típicos de ganancia en la etapa del LNA suelen variar dependiendo de la aplicación específica, pero generalmente se encuentran en un rango de 10 a 20 dB. La razón es que un LNA con una ganancia más alta puede aumentar el ruido de la cadena y generar distorsiones, lo que afecta la calidad de la señal. Por lo tanto, es importante seleccionar una ganancia que proporcione un buen balance entre la amplificación de la señal y la minimización del ruido [49, 50].

Valor típico de ganancia para LNA en sistemas UWB:

- Ganancia de potencia: 10-20 dB (dependiendo de la impedancia de carga y las características del diseño)

Estabilidad del LNA: Parámetro K

La estabilidad de un LNA es crucial para garantizar que el amplificador no entre en un comportamiento inestable, lo que podría llevar a oscilaciones no deseadas o distorsiones en la señal. Una de las formas más comunes de evaluar la estabilidad de un amplificador es mediante el parámetro K , conocido como el criterio de estabilidad de Bode-Fano [33, 49].

El parámetro K está relacionado con la ganancia de las etapas del amplificador y su capacidad para operar de manera estable en un rango de frecuencias. Se define en la ecuación 5.1.3:

$$K = \frac{1}{|S_{11}|^2 + |S_{22}|^2 - 2 \cdot |S_{12}| \cdot |S_{21}|} \quad (5.1.3)$$

Donde:

- S_{11} es el parámetro de dispersión de reflexión de la entrada.
- S_{12} es el parámetro de dispersión de transmisión de entrada a salida.
- S_{21} es el parámetro de dispersión de transmisión de salida a entrada.
- S_{22} es el parámetro de dispersión de transmisión de salida a entrada.

El parámetro K debe ser mayor que 1 para garantizar que el LNA sea estable en todas las condiciones de operación. Si K es menor que 1, el amplificador será potencialmente inestable y podría experimentar oscilaciones. La estabilidad también depende de las características de la carga, la disposición del circuito y el proceso de fabricación.

En el diseño moderno de LNAs, se presta especial atención a la selección de los valores de S_{11} y S_{22} , ya que una alta reflexión en la entrada o salida puede inducir condiciones de inestabilidad. Además, los métodos de retroalimentación y la elección de componentes adecuados son fundamentales para mantener la estabilidad de la cadena de amplificación.

5.1.2. Topología para el LNA

Como se muestra en la Figura 5.1.1a, el LNA *push-pull* convencional es una topología comúnmente utilizada para implementar un LNA clase AB de alta eficiencia, con un consumo decente de potencia en corriente continua (DC). Este diseño consta de dos transistores MOS (M_1 y M_2) conectados en configuración complementaria: M_1 actúa como la rama de tracción hacia tierra (*pull-down*) y M_2 como la rama de tracción hacia la fuente de alimentación (*pull-up*). La señal de entrada (V_{in}) se acopla a través de un condensador (C) y una bobina (L), formando una red de entrada de adaptación de impedancia y filtrado.

Sin embargo, lograr un desempeño de UWB en el espectro de radiofrecuencia, especialmente en un rango de frecuencia que exceda en más de 10 veces el ancho de banda de operación propuesto en este estudio, representa un desafío considerable para esta topología tradicional. El enfoque convencional muestra limitaciones claras para cumplir con los criterios de diseño establecidos.

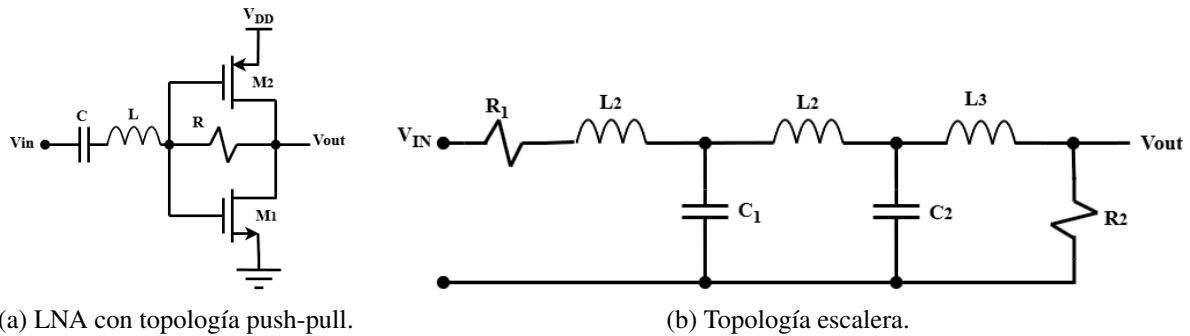


Figura 5.1.1: (a) LNA con topología push-pull y (b) topología escalera.

La selección de valores depende del siguiente parámetro:

Filtros en escalera

Los filtros pasa bajas y pasa altas son elementos fundamentales en el procesamiento de señales, especialmente en aplicaciones analógicas y de radiofrecuencia (RF). Una de las arquitecturas más utilizadas para su implementación es la estructura en escalera (*ladder*), que consiste en una red intercalada de inductores (L) y capacitores (C) [51, 52].

En la configuración pasa bajas, los inductores se ubican en serie con la señal y los capacitores se colocan en derivación a tierra. Esta disposición permite que las señales de baja frecuencia pasen con mínima atenuación, mientras que las señales de alta frecuencia son bloqueadas progresivamente a medida que el orden del filtro aumenta. Esta arquitectura es adecuada para el diseño de filtros de tipo Butterworth, Chebyshev o Elípticos, permitiendo ajustar la respuesta en frecuencia según las especificaciones.

Ventajas:

- Alta selectividad con bajo número de etapas.
- Diseño sistemático basado en funciones prototipo.
- Facilidad de análisis y síntesis.

El filtro mostrado en la figura 5.1.1b funciona como un filtro pasa banda utilizando una topología en escalera LC. Alterna inductores en serie y capacitores en derivación a tierra para permitir el paso de una banda específica de frecuencias y atenuar el resto. Los inductores bloquean altas

frecuencias mientras que los capacitores atenúan las bajas, de modo que solo las frecuencias dentro de una banda de resonancia determinada pueden pasar con mínima atenuación desde la entrada hasta la salida.

La figura 5.1.2 muestra la respuesta en frecuencia de un filtro pasa banda con ganancia unitaria dentro de su banda de paso. Este comportamiento corresponde al de un filtro tipo escalera LC, cuya topología alterna inductores en serie con capacitores conectados a tierra. Esta configuración permite que las señales dentro de una banda específica se transmitan con mínima atenuación, mientras que las frecuencias fuera de dicha banda son fuertemente rechazadas. La gráfica evidencia un perfil de ganancia plano en la banda útil y una caída abrupta fuera de ella, indicando que el filtro presenta un gran ancho de banda y una alta selectividad, características deseables en aplicaciones de radiofrecuencia y procesamiento de señales.

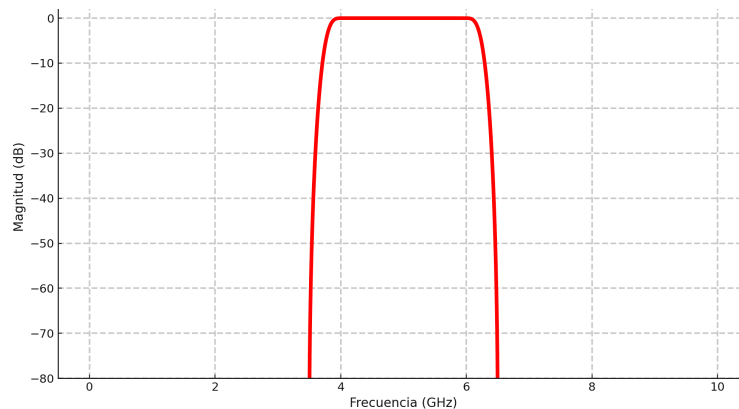


Figura 5.1.2: Respuesta en magnitud del filtro.

5.1.3. LNA propuesto.

Finalmente, el diseño del LNA presentado en este trabajo se basó en las estrategias y conceptos propuestos en [53], el diagrama del LNA UWB mostrado en la figura 5.1.3 está construido siguiendo el concepto propuesto, incorporando una configuración push-pull de dos etapas. La elección de una arquitectura push-pull está respaldada por su mayor eficiencia en corriente continua (DC), lo que permite que el amplificador opere en modo de amplificación clase AB. Una vez establecido el punto de operación estático del circuito, la amplificación se lleva a cabo utilizando el transistor NMOS en el semiciclo positivo de la señal de RF y el transistor PMOS en el semiciclo negativo. Este enfoque minimiza efectivamente el consumo de potencia en DC y mejora la eficiencia energética total.

Los componentes C_1 , L_1 , C_2 , L_2 , L_3 y C_3 cumplen principalmente funciones de ajuste de polos y redes de adaptación de impedancias, mientras que las resistencias R_1 y R_2 suministran el voltaje DC a las compuertas del LNA y mejoran la pérdida de retorno. Sin embargo, estas resistencias

también afectan significativamente el ruido del sistema; por tanto, es crucial seleccionar y balancear adecuadamente sus valores durante el proceso de diseño.

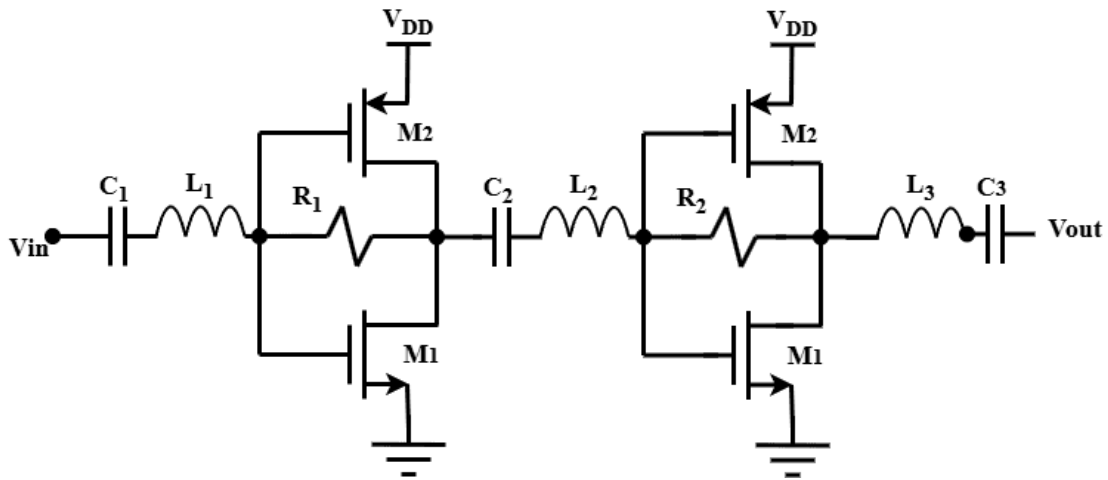


Figura 5.1.3: LNA propuesto.

Parámetros S y Figura de Ruido

La figura 5.1.4 presenta los parámetros de dispersión y la figura de ruido del LNA. En el eje izquierdo se representan las magnitudes de S_{11} (coeficiente de reflexión en la entrada) y S_{21} (ganancia de transmisión) en decibelios (dB20), con un rango de -100 dB a 100 dB. El eje derecho muestra la figura de ruido en función de la frecuencia, la cual se representa en escala logarítmica desde 1 Hz hasta 100 Hz.

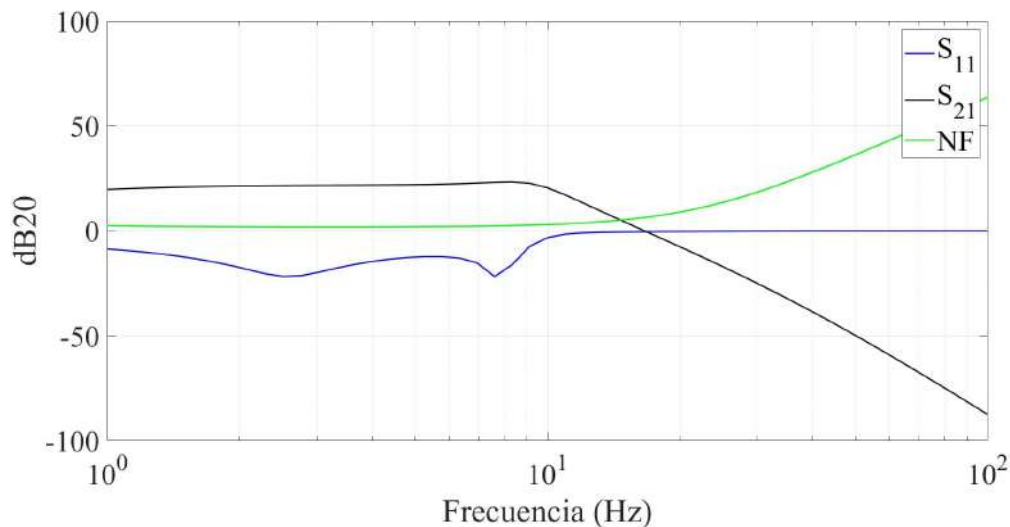


Figura 5.1.4: Parámetros de dispersión (S_{11} , S_{21}) y figura de ruido (NF) del LNA en función de la frecuencia.

Los resultados son los siguientes:

- El parámetro S_{11} se mantiene por debajo de -10 dB, lo que indica una excelente adaptación de impedancia en la entrada.
- La ganancia S_{21} alcanza aproximadamente 20-22 dB, lo cual demuestra una amplificación eficiente.
- La figura de ruido permanece baja (2-3 dB) a lo largo de todo el espectro de frecuencia analizado, cumpliendo con los requisitos de bajo ruido necesarios para aplicaciones UWB.

Respuesta transitoria

En la figura 5.1.5 se observa la evolución temporal del voltaje de salida del LNA ante una señal de entrada transitoria sinusoidal de $V_p = 10$ mV y frecuencia de 5 GHz.

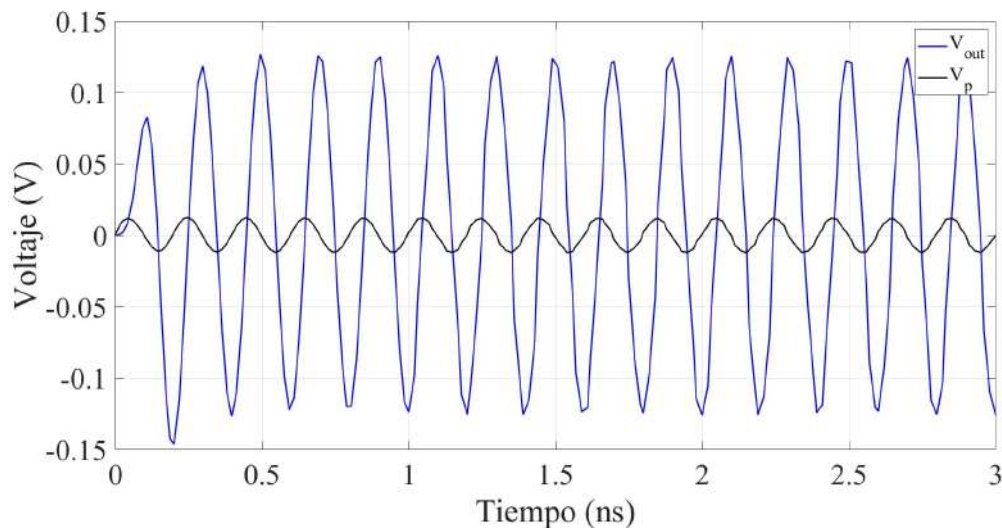


Figura 5.1.5: Respuesta transitoria del LNA con una señal de 5 GHz.

Los resultados más relevantes incluyen:

- La señal de salida tiene una ganancia aproximada de 12.
- Ausencia de oscilaciones sostenidas, lo que indica una respuesta estable.

Estos resultados confirman que el diseño es capaz de operar correctamente ante señales de alta velocidad, lo cual es indispensable en aplicaciones UWB que requieren una respuesta rápida y mínima distorsión temporal.

Análisis de Estabilidad mediante el Factor K

La figura 5.1.6 muestra el comportamiento del factor de estabilidad K del LNA en función de la frecuencia. Los valores relevantes observados son:

- $K = 0.93$ a 10.6 GHz
- $K = 1.3$ a 15.84 GHz

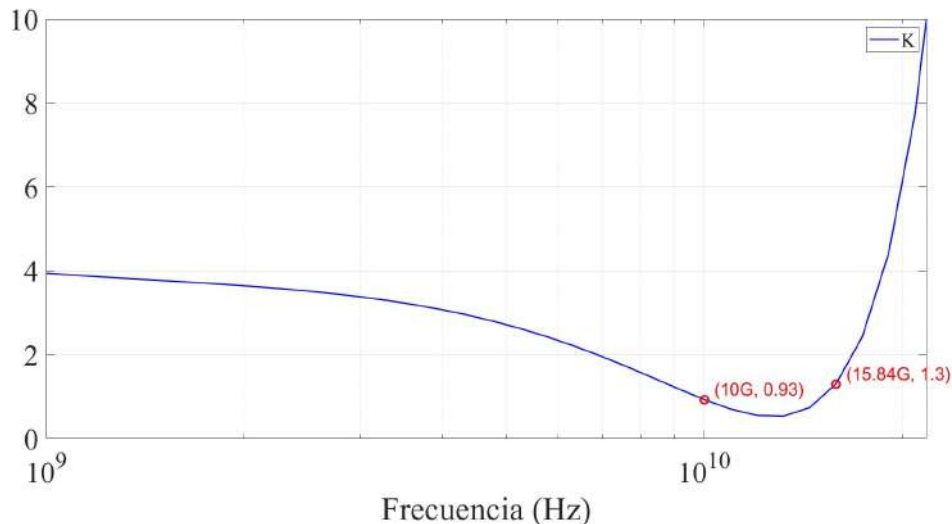


Figura 5.1.6: Factor de estabilidad K del LNA.

Para garantizar estabilidad incondicional, el valor de K debe ser mayor que 1. Estos resultados indican que el circuito es estable en altas frecuencias, aunque presenta un margen de inestabilidad en un rango de frecuencia.

El consumo de potencia del amplificador de bajo ruido (LNA) es de 32.57 mW, lo que refleja un equilibrio entre eficiencia energética y rendimiento para aplicaciones de UWB. Aunque este valor se encuentra dentro de los límites típicos para amplificadores de bajo ruido, es importante destacar que el dispositivo tiene un tamaño más grande en comparación con otros LNA de menor consumo, lo que puede influir en la integración en sistemas compactos. Sin embargo, el diseño garantiza un buen desempeño sin sacrificar la calidad de la señal ni la ganancia, lo que lo hace adecuado para sistemas de comunicación de alto rendimiento.

5.1.4. Comparación entre amplificadores de bajo ruido

La tabla 5.1.2 presenta una comparación entre diferentes diseños de amplificadores de bajo ruido implementados en tecnologías CMOS de diversas escalas nanométricas. Se destacan parámetros clave como la tecnología empleada, el rango de frecuencia de operación, el ancho de banda, el ruido de figura, la ganancia máxima y el consumo de potencia.

El diseño propuesto en este trabajo utiliza tecnología CMOS de 65 nm, al igual que uno de los trabajos comparados. Sin embargo, supera significativamente en ancho de banda (9.6 GHz frente a 5 GHz) y en ganancia máxima (22 dB frente a 15.6 dB), lo cual lo posiciona favorablemente para aplicaciones de comunicaciones de UWB.

Además, presenta un compromiso competitivo en términos de figura de ruido (entre 2 y 3 dB), manteniéndose dentro de valores adecuados para receptores de alta sensibilidad. Aunque su consumo de potencia (32.57 mW) es el mayor entre los comparados, esto se justifica por el mayor ancho de banda y ganancia alcanzados.

Artículo	[53]	[54]	[55]	[Este trabajo]
Tecnología (nm CMOS)	40	130	65	65
Frecuencia (GHz)	0.5–7.5	1.2–6.6	0.2–5.2	1–10.6
Ancho de banda (GHz)	7	5.4	5	9.6
NF (dB)	3.8–4.9	1.8–3.4	3.5	2–3
Ganancia máxima (dB)	20.2	14	15.6	22
Consumo de potencia (mW)	7.2	13.2	21	32.57

Tabla 5.1.2: Comparación de diferentes LNAs

5.1.5. Layout

En la figura 5.1.7 se muestra el layout del amplificador de bajo ruido (LNA), el cual está compuesto por un par de transistores PMOS y NMOS conectados en configuración de inversor. Dichos transistores están acoplados a una resistencia que actúa como elemento de polarización, permitiendo establecer el punto de operación adecuado del circuito. El diseño completo de esta celda ocupa un área aproximada de 15 μm por 10 μm .

En la figura 5.1.8a se muestra el layout que incluye los capacitores e inductores sintetizados para el sistema. Los inductores fueron distribuidos estratégicamente con el objetivo de minimizar el área total del chip, manteniendo separación entre bloques para evitar acoplamientos indeseados.

Por su parte, las etapas de amplificación del sistema pueden observarse con mayor detalle en la figura 5.1.8b, donde se aprecia la integración de los bloques activos dentro del diseño completo.

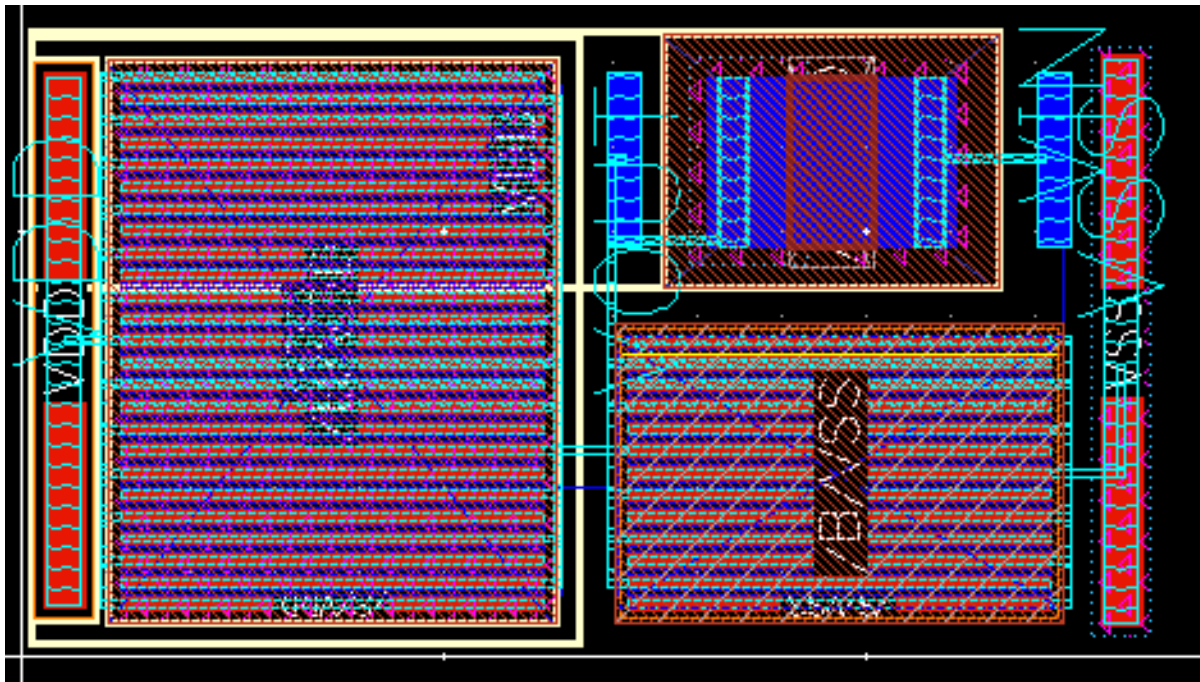
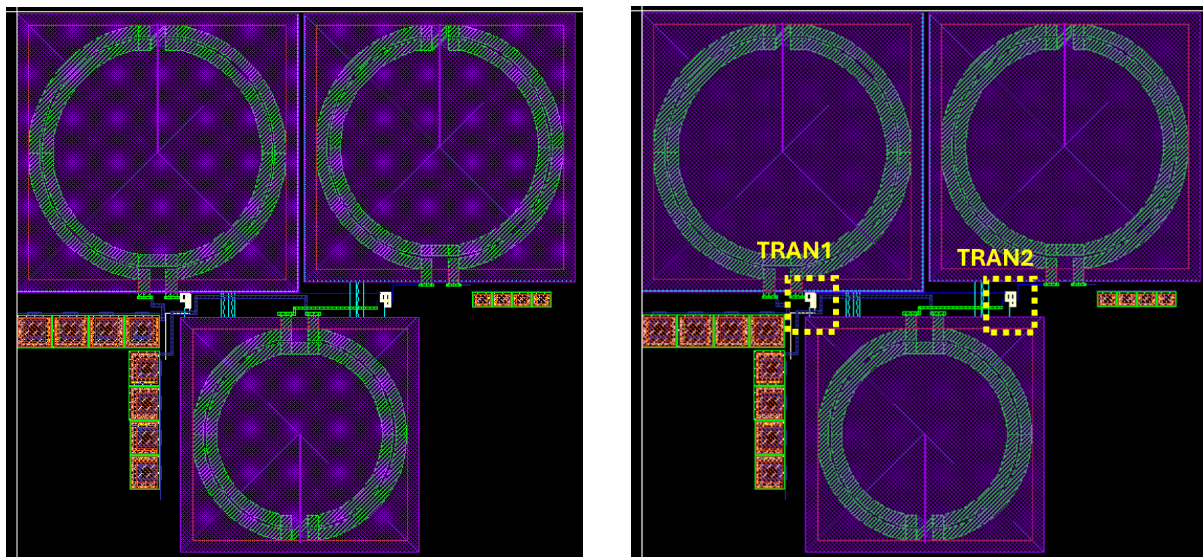


Figura 5.1.7: Layout del LNA 1.



(a) Layout del LNA 2.

(b) Layout del LNA 3.

Figura 5.1.8: Layouts de los amplificadores LNA: (a) LNA 2 y (b) LNA 3.

5.2. Comparador con bloque diferencial

Los comparadores son bloques fundamentales en circuitos analógicos y de señal mixta, encargados de comparar dos señales analógicas y generar una salida digital en función de cuál de las entradas es mayor. Son ampliamente utilizados en aplicaciones como convertidores analógico-digitales (ADC), osciladores, sistemas de control y detección de umbrales. En particular, los comparadores implementados en tecnología CMOS destacan por su bajo consumo de energía, alta velocidad y facilidad de integración con otros bloques digitales. Un comparador ideal presenta ganancia infinita, velocidad instantánea y no introduce retardo; sin embargo, en la práctica, los comparadores CMOS deben optimizarse para alcanzar un balance entre velocidad de conmutación, precisión, histéresis y eficiencia energética, especialmente en tecnologías de escala nanométrica.

El símbolo esquemático y el funcionamiento básico de un comparador de voltaje se muestran en la figura 5.2.1. El comparador puede considerarse como un circuito de toma de decisiones. Si la entrada positiva (V_p) del comparador tiene un potencial mayor que la entrada negativa (V_n), la salida del comparador será un 1 lógico, mientras que si la entrada positiva tiene un potencial menor que la entrada negativa, la salida del comparador será un 0 lógico. Todo se describe en la ecuación 5.2.1. Aunque los amplificadores operacionales básicos pueden usarse como comparadores de voltaje, en algunas aplicaciones de baja frecuencia o velocidad menos exigentes, no consideramos el amplificador operacional como un comparador. En cambio, en este contexto, se discuten el diseño y análisis de comparadores prácticos, donde la demora en la propagación y la sensibilidad son factores importantes.

$$V_{\text{out}} = \begin{cases} 1 & \text{si } V_p > V_n \\ 0 & \text{si } V_p \leq V_n \end{cases} \quad (5.2.1)$$

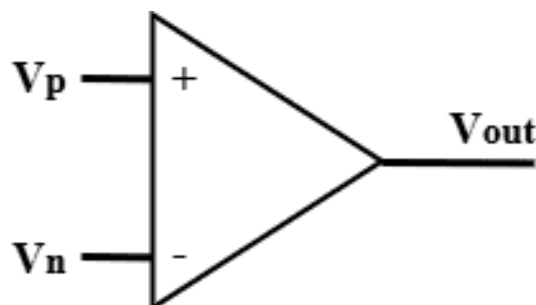
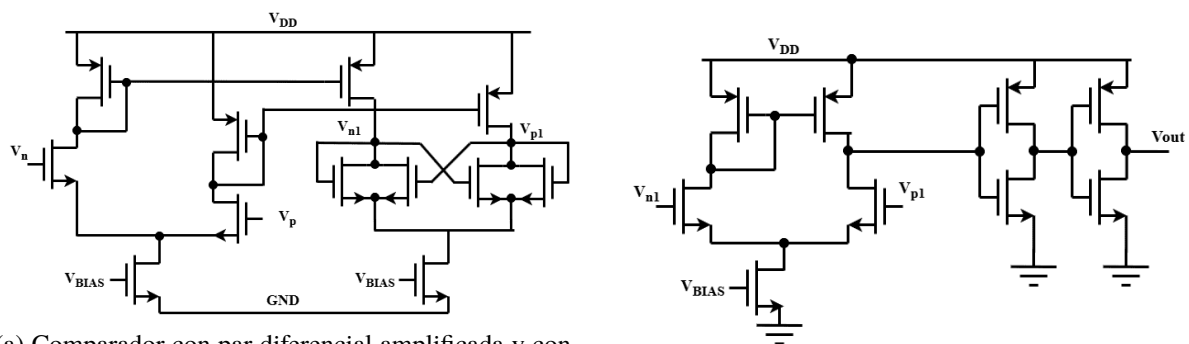


Figura 5.2.1: Comparador ideal.

5.2.1. Propuesta de comparador

El comparador se compone de dos circuitos, el circuito de la figura 5.2.2a se compone de una etapa de entrada diferencial NMOS con carga activa PMOS cruzada, encargada de amplificar diferencias de voltaje entre las señales de entrada. Esta etapa se acopla a un comparador regenerativo tipo *latch*, conformado por transistores NMOS y PMOS cruzados, que mediante realimentación positiva genera una salida digital rápida y robusta. Esta arquitectura es común en comparadores dinámicos utilizados en convertidores analógico-digitales de alta velocidad.



(a) Comparador con par diferencial amplificada y con latch.

(b) Comparador (par diferencial).

Figura 5.2.2: (a) Comparador con par diferencial amplificada y con latch y (b) comparador (par diferencial).

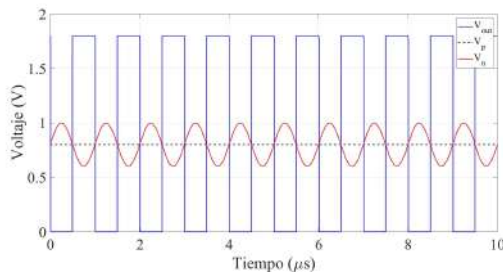
La figura 5.2.2b es un par diferencial. La entrada diferencial es entre V_{n1} y V_{p1} , y el drenaje común de los PMOS se conecta a una etapa buffer (inversor) que produce la salida digital V_{out} . La etapa inversora de salida sirve como buffer para entregar una señal digital limpia. Esta etapa actúa como un amplificador intermedio, brindando ganancia adicional y aislando la regeneración del latch de la carga del buffer. Además, permite adaptar mejor la señal a los niveles requeridos por la lógica de salida, contribuyendo a una transición más limpia y robusta en el dominio digital.

Finalmente, la señal digital se dirige a una red buffer de salida, compuesta por dos etapas inversoras NMOS-PMOS conectadas en cascada. Esta sección permite restaurar completamente los niveles lógicos y proporciona la capacidad de carga necesaria para acoplar la señal al exterior del chip o a etapas digitales posteriores. Esta arquitectura completa es representativa de un comparador dinámico de alta velocidad, ampliamente empleado en conversores flash ADC.

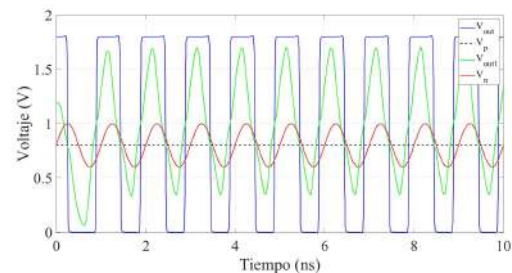
5.2.2. Simulación

La figura 5.2.3a muestra la respuesta temporal del comparador, donde se representan tres señales principales: la señal de entrada V_n , la tensión de referencia V_p y la salida digital V_{out} . La entrada V_n corresponde a una señal senoidal que oscila entre 0.6 V y 1 V, mientras que V_p es una tensión constante de aproximadamente 0.8 V utilizada como umbral de comparación. El comparador conmuta su salida entre los niveles lógicos bajo (0 V) y alto (1.8 V) cada vez que la señal V_n cruza el umbral V_p . Como se observa, V_{out} adopta un valor alto cuando $V_n > V_p$ y un valor bajo cuando $V_n < V_p$, lo que confirma el correcto funcionamiento del circuito como comparador en tecnología CMOS.

La figura 5.2.3b muestra la respuesta temporal del comparador. La señal V_n es una entrada senoidal que varía entre 0.6 V y 1 V, mientras que V_p se mantiene constante en aproximadamente 0.8 V. La salida V_{out} presenta una conmutación digital rápida entre 0 V y 1.8 V cada vez que V_n cruza el umbral V_p , validando el correcto funcionamiento del comparador. Adicionalmente, V_{out1} representa una etapa intermedia de salida, previa al buffer final, y evidencia una transición más rápida y continua, lo que indica una respuesta mejorada en comparación con implementaciones más lentas. La reducción en el tiempo de respuesta es visible en la escala temporal, ahora en el orden de nanosegundos, lo que demuestra el desempeño del circuito en aplicaciones de alta velocidad. El tiempo de subida (t_s) y bajada (t_b) es aproximadamente 0.12 ns. Sin embargo el retardo del dispositivo es alto, aproximadamente 0.4 ns.



(a) Comparador respuesta transitoria 1 (potencia 106 μ W).



(b) Comparador respuesta transitoria 2.

Figura 5.2.3: (a) Comparador respuesta transitoria 1 (potencia 106 μ W) y (b) comparador respuesta transitoria 2.

La figura 5.2.4 presenta la simulación en DC del comparador CMOS, donde se analiza su punto de conmutación a partir de una barrida lineal en la entrada V_n (rojo), mientras que la referencia V_p (verde) permanece constante en aproximadamente 0.8 V. A medida que V_n incrementa desde 0 V hasta 1.8 V, se observa un cambio abrupto en la salida digital V_{out} (negro), conmutando de un nivel alto de 1.8 V a un nivel bajo cercano a 0 V justo cuando V_n supera a V_p , lo cual confirma el comportamiento esperado de un comparador ideal. Además, se incluye la señal intermedia V_{out1} (azul punteada), que muestra una transición más suave durante la conmutación, reflejando

la ganancia finita del bloque amplificador previo a la etapa de regeneración. Esta gráfica permite verificar visualmente el punto de umbral del comparador y su correcta operación estática.

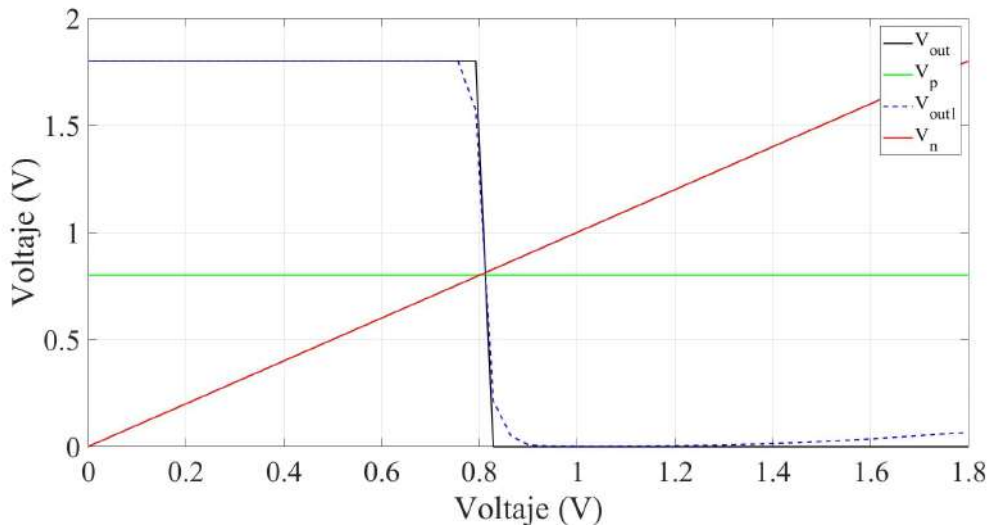


Figura 5.2.4: Respuesta del comparador DC.

El comparador diseñado consume $16.5 \mu\text{W}$, lo que demuestra su alta eficiencia energética. Este bajo consumo de potencia es ideal para aplicaciones en las que se requiere operar con bajo consumo sin comprometer el rendimiento, como en dispositivos portátiles o sistemas integrados de bajo consumo. A pesar de su reducido tamaño y consumo, el comparador es capaz de ofrecer un desempeño confiable en sistemas que exigen alta precisión y bajo costo energético.

5.2.3. Layout

En la figura 5.2.5 se muestra el layout del comparador. La distribución del circuito se organiza por bloques funcionales claramente diferenciados: en primer lugar, se encuentra la etapa de amplificación; en segundo lugar, la etapa del latch; y finalmente, la etapa del amplificador diferencial. Esta segmentación facilita el enrutamiento de señales, mejora la simetría del diseño y ayuda a minimizar el acoplamiento parásito entre etapas críticas. El área total ocupada por el comparador es de aproximadamente $8 \mu\text{m} \times 5 \mu\text{m}$, lo que representa un diseño compacto.

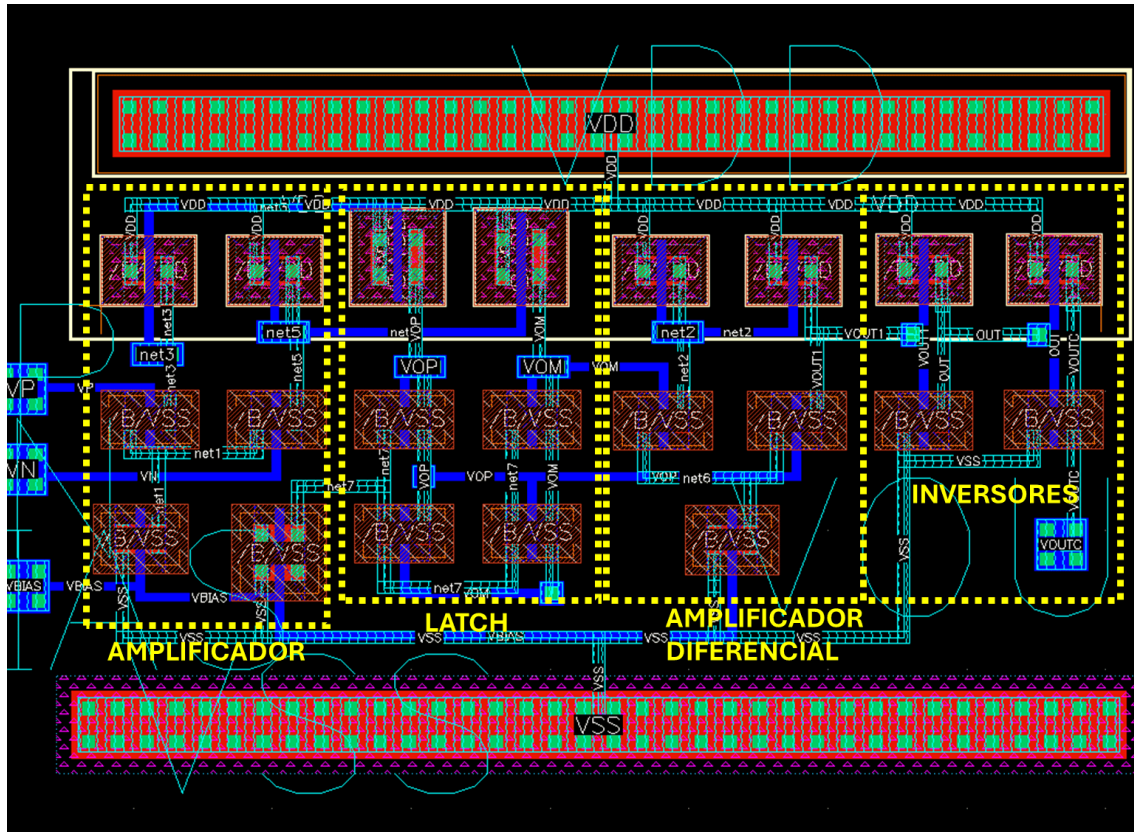


Figura 5.2.5: Layout del comparador.

5.3. Filtro GM-C

Los filtros gm - C (transconductancia-capacitancia) son una clase de filtros analógicos ampliamente utilizados en circuitos integrados debido a su simplicidad de implementación en tecnologías CMOS modernas. Estos filtros se componen principalmente de bloques de transconductancia (g_m) y capacitores, evitando el uso de resistencias físicas que pueden ocupar más área o presentar variabilidad significativa. La frecuencia de corte de estos filtros está determinada por la relación entre la transconductancia y la capacitancia ($f_c \propto g_m/C$), lo cual permite sintonizarlos fácilmente ajustando la corriente de polarización de los bloques g_m .

Gracias a su capacidad de operar a altas frecuencias y su buena escalabilidad, los filtros gm - C son ampliamente empleados en aplicaciones como sistemas de comunicaciones, procesamiento de señales analógicas y convertidores analógico-digitales. Además, presentan un bajo consumo de potencia y ocupan un área reducida, lo que los hace ideales para sistemas integrados de bajo costo y alta densidad.

5.3.1. Filtros Bicuadráticos

Los *filtros bicuadráticos*, también conocidos como *biquads*, son estructuras de segundo orden ampliamente utilizadas en el diseño de sistemas de procesamiento analógico de señales. Su función de transferencia general [56] está dada por:

$$H(s) = \frac{b_0s^2 + b_1s + b_2}{s^2 + a_1s + a_2} \quad (5.3.1)$$

donde los coeficientes a_i y b_i determinan la respuesta en frecuencia del filtro. Dependiendo de la forma en que se configure la red y del punto de salida del circuito, estas estructuras pueden implementarse como filtros pasa-bajas, pasa-altas, pasa-banda, notch o rechaza-banda.

En el contexto de diseño integrado, especialmente con tecnología CMOS, los filtros bicuadráticos son comúnmente implementados utilizando estructuras *gm-C*, las cuales emplean transconductores y capacitores.

Dado su buen desempeño, flexibilidad y facilidad de implementación, los filtros bicuadráticos *gm-C* son especialmente atractivos para aplicaciones en comunicaciones inalámbricas, procesamiento de señales en banda base y circuitos analógicos reconfigurables.

Filtro pasa bajas de primer orden

El circuito mostrado en la figura 5.3.1a corresponde a un filtro activo pasabajas de primer orden implementado con transconductores (g_{m1} y g_{m2}) y un capacitor (C). En este filtro, la señal de entrada (V_{in}) es convertida a corriente por el transconductor g_{m1} , el cual genera una corriente proporcional a la señal de entrada. Por otro lado, el transconductor g_{m2} proporciona realimentación negativa, estabilizando el circuito y controlando su comportamiento dinámico. El capacitor C se encuentra en la ruta de retroalimentación, lo que permite filtrar las componentes de alta frecuencia y pasar solo las de baja frecuencia.

$$I_1 = g_{m1} \cdot V_{in}(s) \quad (5.3.2)$$

$$I_2 = -g_{m2} \cdot V_{out}(s) \quad (5.3.3)$$

$$I_1 + I_2 = s \cdot C \cdot V_{out}(s) \quad (5.3.4)$$

De estas ecuaciones se obtiene la función de transferencia:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{g_{m1}}{C} \cdot \frac{1}{s + g_{m2}/C} \quad (5.3.5)$$

La ecuación 5.3.5 representa la función de transferencia de un filtro pasa bajas de primer orden implementado mediante una arquitectura g_m - C .

Esta función describe el comportamiento de un sistema cuya ganancia de corriente continua está determinada por la relación g_{m1}/g_{m2} , y cuya frecuencia de corte está dada por $\omega_c = g_{m2}/C$. En esta configuración, g_{m1} y g_{m2} corresponden a las transconductancias de los transconductores involucrados en el filtro, mientras que C es un capacitor ideal. El sistema actúa como un filtro pasa bajas porque atenúa las componentes de alta frecuencia presentes en la entrada, permitiendo el paso de las componentes de baja frecuencia. Esta implementación es especialmente atractiva en filtros integrados debido a su sintonizabilidad mediante corrientes de polarización y su compatibilidad con tecnologías CMOS.

Amplificador Operacional de Transconductancia (OTA)

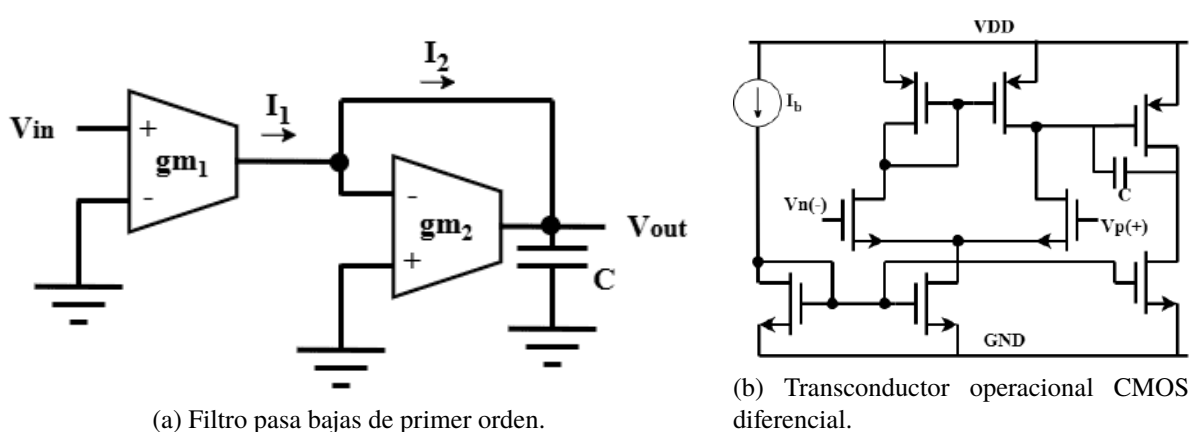


Figura 5.3.1: (a) Filtro pasa bajas de primer orden y (b) transconductor operacional CMOS diferencial.

La figura 5.3.1b muestra un Amplificador Operacional de Transconductancia (o por sus siglas en inglés OTA) completamente diferencial en tecnología CMOS, empleado comúnmente en filtros g_m - C . El circuito presenta una entrada diferencial $V_p(+)$ y $V_n(-)$, aplicadas a

un par diferencial NMOS polarizado por una fuente de corriente I_b , la cual determina la transconductancia g_m del OTA. La corriente diferencial generada se refleja en una etapa de carga activa con transistores PMOS, cuya salida es replicada por un espejo de corriente hacia un nodo donde se conecta un capacitor C . Esta configuración permite implementar funciones integradoras, fundamentales en filtros $gm-C$, ya que la relación entre la corriente de salida y el voltaje de entrada está dada por $I_{out} = g_m(V_p - V_n)$, y por tanto, el voltaje en el capacitor es $V_{out}(s) = \frac{g_m}{sC}(V_p - V_n)$. Este tipo de arquitectura es eficiente para diseño en chip debido a su sintonía mediante I_b , eliminación de resistencias físicas y capacidad de operar a frecuencias elevadas.

5.3.2. Simulación

La magnitud del filtro pasa bajas muestra una ganancia máxima de 24.79 dB (ver figura 5.3.2a), con una caída a 21.8 dB a 10.3 MHz, lo que indica su frecuencia de corte. Este comportamiento es característico de un filtro de primer orden, confirmando su adecuado desempeño en aplicaciones alrededor de los 10 MHz.

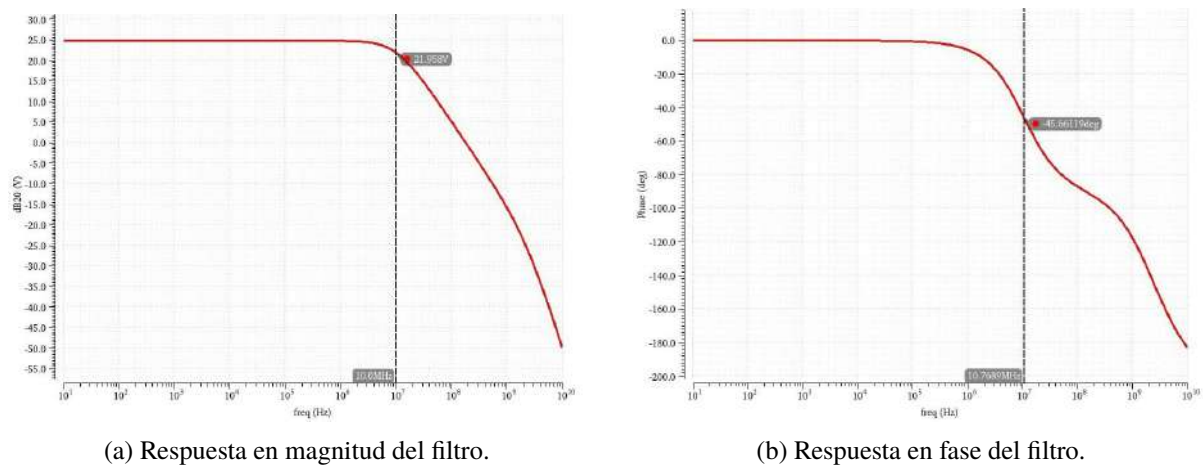


Figura 5.3.2: (a) Respuesta en magnitud y (b) respuesta en fase del filtro.

La gráfica 5.3.2b muestra la respuesta de fase de un filtro pasa bajas de primer orden, con un desfase de -45.66° en la frecuencia de corte ($f_{-3dB} \approx 10,33$ MHz). Este comportamiento, típico de sistemas con un polo dominante, sigue la relación $\phi(f) = -\tan^{-1}(f/f_{-3dB})$, con un desfase que varía de 0° a -90° . La curva, trazada en escala logarítmica de 10 Hz a 10 GHz, valida el diseño del filtro. La ligera discrepancia de -45.66° frente a -45° teóricos puede ser atribuida a efectos parásitos.

5.4. Conclusiones

Los resultados presentados en este capítulo permiten validar el correcto funcionamiento de los bloques diseñados a nivel transistor. En primer lugar, el análisis del filtro pasa bajas confirma un comportamiento típico de primer orden, con una ganancia máxima de 24.79 dB y una frecuencia de corte cercana a 10.3 MHz. La respuesta de fase, que alcanza un desfase de aproximadamente -45.66° .

En cuanto al comparador CMOS, la simulación en DC muestra una conmutación precisa cuando la entrada V_n supera a la referencia V_p , validando su operación como comparador ideal. La inclusión de una señal intermedia permite observar la ganancia finita de la etapa amplificadora previa, destacando la correcta transición del estado lógico y su estabilidad estática.

Por último, el diseño del amplificador de bajo ruido (LNA) demuestra un desempeño competitivo en tecnología CMOS de 65 nm, superando a otros trabajos en parámetros clave como ancho de banda (9.6 GHz) y ganancia (22 dB), lo cual lo hace altamente adecuado para aplicaciones UWB. Aunque su consumo de potencia es mayor en comparación con los diseños referenciados, dicho valor se justifica por las prestaciones alcanzadas, manteniéndose dentro de los márgenes aceptables para receptores de alta sensibilidad. En conjunto, estos resultados reflejan el cumplimiento de las especificaciones funcionales esperadas y consolidan el diseño como una propuesta sólida para sistemas de comunicación de UWB en tecnología CMOS.

Conclusiones y trabajo futuro

6.1. Resumen y conclusiones

En este trabajo se ha llevado a cabo el modelado y simulación de un sistema transceptor digital basado en modulación FM-UWB, utilizando herramientas especializadas como CppSim y Virtuoso. Se implementaron modelos comportamentales de bloques clave, incluyendo el subcarrier, VCO, PA, LNA, comparador y filtro Gm-C, los cuales fueron validados funcionalmente en un entorno mixto.

El bloque de transmisión mostró una arquitectura eficiente y de baja complejidad, adecuada para su integración en plataformas digitales. El VCO presentó un comportamiento lineal en frecuencia ante variaciones de voltaje, mientras que el PA ofreció una salida estable con bajo nivel de distorsión. El LNA proporcionó ganancia con bajo nivel de ruido, adecuado para aplicaciones de recepción en entornos de baja potencia. El comparador y el filtro Gm-C complementaron el receptor al ofrecer procesamiento de señal y detección eficiente, respectivamente.

En cuanto al diseño de los bloques a nivel transistor, se desarrollaron los principales módulos del sistema: el sub-carrier, VCO, PA, LNA, comparador y filtro Gm-C. Entre ellos, destacan el sub-carrier, el comparador y el PA, los cuales fueron implementados modificando arquitecturas originales para obtener un nuevo comportamiento. Estas nuevas configuraciones representan una contribución significativa, al abrir nuevas oportunidades para el diseño de circuitos integrados en tecnología CMOS.

Los componentes cumplen con las especificaciones requeridas en acorde con lo establecido en la simulación en alto nivel.

A lo largo del desarrollo de este trabajo se fortalecieron las competencias previamente adquiridas en el diseño de circuitos integrados, al mismo tiempo que se incorporaron nuevos conocimientos específicos del diseño en RF. Aunque comparte fundamentos con el diseño en bajas frecuencias, el diseño RF presenta desafíos particulares que requieren un enfoque distinto tanto en la concepción como en la implementación de los circuitos.

Durante el desarrollo del trabajo se empleó inicialmente el entorno CppSim para la simulación del sistema a nivel comportamental. Esta herramienta permitió modelar bloques funcionales utilizando descripciones de alto nivel, facilitando la verificación de la arquitectura general del transmisor y receptor antes de su implementación a nivel transistor. Gracias a su integración con el entorno gráfico, fue posible observar el comportamiento temporal del sistema completo y ajustar parámetros clave de forma eficiente.

Posteriormente, se utilizó el entorno Virtuoso para el diseño esquemático y simulación de bloques fundamentales del transmisor y receptor. Este entorno requiere configuraciones específicas del simulador según el tipo de análisis a realizar, siendo distintas para cada bloque. Virtuoso proporciona una interfaz esquemática intuitiva, donde los transistores y demás componentes aparecen como celdas pre-diseñadas, lo cual facilita la construcción del circuito, la identificación de conexiones y la verificación del funcionamiento del diseño a nivel transistor.

El diseño de circuitos integrados en el entorno Virtuoso representa un proceso altamente especializado que demanda precisión, conocimiento profundo del comportamiento de dispositivos en tecnología CMOS y una planificación cuidadosa del flujo de diseño. A diferencia de las simulaciones funcionales, el trabajo en Virtuoso implica considerar múltiples niveles de abstracción (desde el esquemático hasta el layout físico) así como la configuración detallada de simulaciones eléctricas para extraer parámetros clave como consumo de potencia, ruido de fase o linealidad. La complejidad se incrementa aún más debido a la necesidad de cumplir con reglas de diseño del fabricante (DRC/LVS), la sensibilidad a variaciones de proceso y las restricciones de área y rendimiento. A pesar de estos retos, Virtuoso proporciona herramientas poderosas que permiten un control detallado del diseño, siendo esencial para el desarrollo profesional de circuitos integrados analógicos y de RF.

6.2. Recomendaciones

En cuanto al modelo comportamental:

- La incorporación de no linealidades en todos los bloques del sistema permitiría obtener simulaciones más precisas, al reflejar mejor el comportamiento real del circuito y evaluar su susceptibilidad al ruido térmico o al ruido gaussiano.
- Incrementar la tasa de bits permitiría que el transceptor transmita una mayor cantidad de datos, mejorando así su rendimiento en aplicaciones de alta velocidad.
- La variación en la frecuencia del generador de onda triangular podría mejorar el desempeño del receptor, optimizando la recuperación de la señal.

En cuanto al diseño a nivel transistor:

- Reducir el uso de inductores en el sistema contribuiría significativamente a disminuir el área ocupada en el chip.
- Disminuir el tamaño de los capacitores también ayudaría a optimizar el espacio en el diseño físico del circuito integrado.
- El rango de operación del oscilador puede ajustarse modificando la corriente de cola, permitiendo así un control más preciso sobre la frecuencia de oscilación.
- El bloque del sub-carrier puede mejorarse mediante ajustes en su polarización, lo que permitiría alcanzar frecuencias superiores a las originalmente establecidas.

6.3. Trabajo futuro

El trabajo

- Simulación post-layout de los bloques en chip.
- Obtener simulaciones de variaciones de proceso para evaluar su efecto sobre el sistema y realizar compensaciones al diseño de ser necesario.
- Fabricación de ambos circuitos y posterior caracterización.

Bibliografía

- [1] Asamblea General de la ONU. *Desarrollo Sostenible*. Sep. de 2015. URL: <https://www.un.org/sustainabledevelopment/es/2015/09/la-asamblea-general-adopta-la-agenda-2030-para-el-desarrollo-sostenible/> (visitado 28-02-2024).
- [2] Hüseyin Arslan, Zhi Ning Chen y Maria-Gabriella Di Benedetto, eds. *Ultra Wideband Wireless Communication*. New York, NY, USA: John Wiley & Sons, Inc., 2005. ISBN: 9780471715214.
- [3] Díaz, J. “Tecnología Ultra-Wideband (UWB), La revolución a corto alcance”. En: *Revista Tecnológica* 2.19 (abr. de 2003), págs. 52-56.
- [4] Nekoogar, Faranak. *Ultra-wideband communications: fundamentals and applications*. First. USA: Prentice Hall Press, 2005. ISBN: 0131463268.
- [5] Nikoogar, H. y Prasad, R. *Introduction to Ultra Wideband for Wireless Communications*. Springer, 2008.
- [6] *How Does Ultra-Wideband Work? Learn from Qorvo Experts*. Abr. de 2024. URL: <https://www.qorvo.com/design-hub/blog/how-does-ultra-wideband-work-learn-from-qorvo-experts>.
- [7] Valasa, Sresta, Kotha, Venkata Ramakrishna y Vadthiya, Narendar. “Beyond Moore’s law –A critical review of advancements in negative capacitance field effect transistors: A revolution in next-generation electronics”. En: *Materials Science in Semiconductor Processing* 173 (2024), pág. 108116. ISSN: 1369-8001.
- [8] Korhonen, I., Parkka, J. y Van Gils, M. “Health monitoring in the home of the future”. En: *IEEE Engineering in Medicine and Biology Magazine* 22.3 (2003), págs. 66-73.
- [9] Alghanimi, Abdulhameed Habeeb. *Medical Application of Ultra-Wideband Technology*. Jul. de 2021.
- [10] Gao, Yuan, Zheng, Yuanjin, Diao, Shengxi, Toh, Wei-Da, Ang, Chyuen-Wei, Je, Minkyu y Heng, Chun-Huat. “Low-Power Ultrawideband Wireless Telemetry Transceiver for Medical Sensor Applications”. En: *IEEE Transactions on Biomedical Engineering* 58.3 (mar. de 2011), págs. 768-772.

- [11] *Global Ultra-Wideband (UWB) Market Overview [2023-2030] | Market Value Reached at USD 96.12 Million Recently*. Abr. de 2024. URL: <https://www.linkedin.com/pulse/global-ultra-wideband-uwband-market-overview-2023-2030>.
- [12] Li, X., Timmermann, J., Wiesbeck, W. y Zwiorello, Ł. “UWB Applications”. En: *Ultra-Wideband RF System Engineering*. Ed. por T. Zwick, W. Wiesbeck, J. Timmermann y G. Adamiuk. Cambridge: Cambridge University Press, 2013, págs. 116-170.
- [13] Fernandes, Jorge R. y Wentzloff, David. “Recent advances in IR-UWB transceivers: An overview”. En: *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*. 2010, págs. 3284-3287.
- [14] Chu, Ta-Shun y Hashemi, Hossein. “A CMOS UWB Camera with 7×7 Simultaneous Active Pixels”. En: *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*. 2008, págs. 120-600.
- [15] Song, Minyoung, Allebes, Erwin, Marshall, Chris, Bhat, Anoop Narayan, Bechthum, Elbert, Dijkhuis, Johan, Traferro, Stefano, Tiurin, Evgenii, Vis, Peter, Heuvel, Johan van den, Soussi, Mohieddine El, Boer, Pepijn, Sheikh, Alireza, Meyer, Bernard, Liu, Jiang, Ven, Stan van der, Winkel, Nick, Hijdra, Martijn, Ramachandra, Gururaja Kasanadi, Baykal, Yunus, Visser, Huib, Farsaei, Amirashkan, Zhang, Peng, Breeschoten, Arjan, Liu, Yao-Hong y Bachmann, Christian. “A Low-Power 6–9-GHz IEEE 802.15.4a/4z Compliant IR-UWB Transceiver With Pulse Pre-Emphasis Achieving High ToA Precision”. En: *IEEE Solid-State Circuits Letters* 6 (2023), págs. 297-300.
- [16] Bechthum, Elbert, Song, Minyoung, Singh, Gaurav, Allebes, Erwin, Basetas, Charis, Boer, Pepijn, Breeschoten, Arjan, Cloudt, Stefan, Dijkhuis, Johan, Ding, Ming, Gatchalian, Sherwin, He, Yuming, Heuvel, Johan van den, Hijdra, Martijn, Mateman, Paul, Meyer, Bernard, Schaik, Gert-Jan van, Soussi, Mohieddine El, Thijssen, Bart, Traferro, Stefano, Turin, Evgenii, Vis, Peter, Winkel, Nick, Zhang, Peng, Liu, Yao-Hong y Bachmann, Christian. “A 3-10GHz 21.5mW/Channel RX and 8.9mW TX IR-UWB 802.15.4a/z 1T3R Transceiver”. En: *ESSCIRC 2022- IEEE 48th European Solid State Circuits Conference (ESSCIRC)*. 2022, págs. 421-424.
- [17] Wang, Bowen, Song, Haixin, Rhee, Woogeun y Wang, Zhihua. “Overview of ultra-wideband transceivers—system architectures and applications”. En: *Tsinghua Science and Technology* 27.3 (2022), págs. 481-494.
- [18] Fathy, Amr Ahmed, Said, Muhammad Haitham, Mohamed, Hagar Amir, Rasmy, Sandra Safwat y Ellaithy, Dina M. “Low-Power Low-Complexity FM-UWB Transmitter in 130nm CMOS for WBAN Applications”. En: *2020 15th International Conference on Computer Engineering and Systems (ICCES)*. 2020, págs. 1-5.

- [19] Ali, Mohamed, Sawan, Mohamad, Shawkey, Heba y Zekry, Abdelhalim. "FM-UWB transmitter for wireless body area networks: Implementation and simulation". En: *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2016, págs. 2395-2398.
- [20] Liu, Yao-Hong, Sheelavant, Sunil, Mercuri, Marco, Mateman, Paul, Dijkhuis, Johan, Zomagboguelou, Wilfried, Breeschoten, Arjan, Traferro, Stefano, Zhan, Yan, Torf, Tom, Bachmann, Christian, Harpe, Pieter y Babaie, Masoud. "9.3 A680 microW Burst-Chirp UWB Radar Transceiver for Vital Signs and Occupancy Sensing up to 15m Distance". En: *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*. 2019, págs. 166-168.
- [21] Lee, Geunhaeng, Lee, Sanghwa, Kim, Ji-Hoon y Kim, Tae Wook. "21.1 A 1.125Gb/s 28mW 2m-Radio-Range IR-UWB CMOS Transceiver". En: *2021 IEEE International Solid-State Circuits Conference (ISSCC)*. Vol. 64. 2021, págs. 302-304.
- [22] Lee, Geunhaeng, Park, Jungwoon, Jang, Junyoung, Jung, Taekhyun y Kim, Tae Wook. "An IR-UWB CMOS Transceiver for High-Data-Rate, Low-Power, and Short-Range Communication". En: *IEEE Journal of Solid-State Circuits* 54.8 (2019), págs. 2163-2174.
- [23] Andersen, Nikolaj, Granhaug, Kristian, Michaelsen, Jørgen Andreas, Bagga, Sumit, Hjortland, Håkon A., Knutsen, Mats Risopatron, Lande, Tor Sverre y Wisland, Dag T. "A 118-mW Pulse-Based Radar SoC in 55-nm CMOS for Non-Contact Human Vital Signs Detection". En: *IEEE Journal of Solid-State Circuits* 52.12 (2017), págs. 3421-3433.
- [24] Liu, Dang, Chen, Fei, Rhee, Woogeun y Wang, Zhihua. "An FM-UWB transceiver with M-PSK subcarrier modulation and regenerative FM demodulation". En: *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*. 2013, págs. 936-939.
- [25] Lathi, B. P. *Modern Digital and Analog Communication Systems 3e Osece*. OXFORD, feb. de 1998.
- [26] Ghavami, Mohammad, Michael, Lachlan y Kohno, Ryuji. *Ultra-wideband Signal and Systems in Communications Engineering*. 2nd. Wiley, 2007. ISBN: 978-0-470-02763-9.
- [27] Suárez-Páez, J. y Llano-Ramírez, G. "Revisión del estado del arte de IR-Ultra-Wideband y simulación de la respuesta impulsiva del canal IEEE 802.15.4a". En: *Ingeniería y Ciencia* 6.11 (2010), págs. 105-127.
- [28] Enz, C. y Kopta, V. *Ultra-Low Power FM-UWB Transceivers for IoT*. River, 2022. ISBN: 978-87-7022-143-6.

- [29] Dante, Marco, Tonolli, Maurizio, Raab, Volker, Casoni, Maurizio y Buratti, Claudio. "FM-UWB: Towards a Robust, Low-Power Radio for Body Area Networks". En: *2012 IEEE International Conference on Communications (ICC)*. IEEE, 2012, págs. 3409-3413.
- [30] Thotahewa, Kasun Maduranga Silva, Redouté, Jean-Michel y Yuce, Mehmet Rasit. *Ultra Wideband Wireless Body Area Networks*. Cham, Switzerland: Springer, 2014. ISBN: 978-3-319-05286-1.
- [31] Perre, Liesbet Van der, Craninckx, Jan y Dejonghe, Antoine. *Ultra-Wideband Radio Frequency Identification Systems*. 1.^a ed. Boston, MA: Springer, 2011. ISBN: 978-1-4419-9700-5.
- [32] Best, Roland E. *Phase-Locked Loops: Design, Simulation, and Applications*. 6th. McGraw-Hill Education, 2007. Cap. DDS Fundamentals. ISBN: 978-0071493753.
- [33] Razavi, Behzad. *RF Microelectronics*. 2nd. Upper Saddle River, NJ, USA: Pearson Education, 2012. ISBN: 978-0137134731.
- [34] Magnetism, Electricity. *Low Noise Amplifiers (LNA) - How it works, Application & Advantages*. 2023.
- [35] Diaz-Armendariz, Alejandra, Sanchez-Gaspariano, Luis A., Gonzalez-Diaz, Victor R., Bautista-Castillo, Alejandro I., Munoz-Pacheco, Jesus M. y Diaz-Sanchez, Alejandro. "Mono-Bit Quantizer $\Sigma\Delta$ Direct-Up Transmitter for UWB Using Simulink RF Blockset". En: *2019 International Conference on Electronics, Communications and Computers (CONIELECOMP)*. 2019, págs. 158-163.
- [36] Gerrits, John F.M., Farserotu, John R. y Long, John R. "Multipath Behavior of FM-UWB Signals". En: *2007 IEEE International Conference on Ultra-Wideband*. 2007, págs. 162-167.
- [37] Horowitz, Paul e Hill, Winfield. *The Art of Electronics*. 2nd Edition. Cambridge University Press, 1989.
- [38] Sedra, Adel S. y Smith, Kenneth C. *Microelectronic Circuits*. 5th Edition. Oxford University Press, 2004.
- [39] Díaz Armendáriz, Alejandra. "Síntesis y Diseño de un Front-End para Radio Pulsada de Banda Ultra-Ancha". Tesis doct. Puebla, México: Benemérita Universidad Autónoma de Puebla, 2019.
- [40] Allen, Phillip E. y Holberg, Douglas R. *CMOS Analog Circuit Design*. 2nd. New York, USA: Oxford University Press, 2002.
- [41] Razavi, Behzad. *Design of CMOS Phase-Locked Loops: From Circuit Level to Architecture Level*. Cambridge, UK: Cambridge University Press, 2020. ISBN: 978-1108836222.

- [42] Cripps, Steve C. *RF Power Amplifiers for Wireless Communications*. 2nd. Norwood, MA, USA: Artech House, 2006. ISBN: 978-1-58053-521-7.
- [43] Nguyen, Cam. *Radio-Frequency Integrated-Circuit Engineering*. Hoboken, New Jersey: John Wiley & Sons, 2015. ISBN: 978-1-118-45678-2.
- [44] Saputra, Nitz y Long, John R. "A Fully-Integrated, Short-Range, Low Data Rate FM-UWB Transmitter in 90 nm CMOS". En: *IEEE Journal of Solid-State Circuits* 46.7 (2011), págs. 1627-1635.
- [45] Zhou, Bo y Wang, Jingchao. "High-Robust Relaxation Oscillator with Frequency Synthesis Feature for FM-UWB Transmitters". En: *Journal of Semiconductor Technology and Science* 15.2 (2015), págs. 202-207.
- [46] Zhou, Bo y Chiang, Patrick. "Short-Range Low-Data-Rate FM-UWB Transceivers: Overview, Analysis, and Design". En: *IEEE Transactions on Circuits and Systems I: Regular Papers* 63.3 (2016), págs. 423-435.
- [47] Yoo, Hyungcheol y Kayal, Maher. "A Low-Noise Amplifier With Wideband Input Matching for UWB Applications". En: *IEEE Transactions on Circuits and Systems I: Regular Papers* 53.6 (2006), págs. 1240-1247.
- [48] Veljanovski, Riste y Lande, Thomas S. "RF Front-End Design for Short-Range Low-Power Wireless Devices". En: *Analog Integrated Circuits and Signal Processing* 41.3 (2004), págs. 263-273.
- [49] Lee, Thomas H. *The Design of CMOS Radio-Frequency Integrated Circuits*. 2nd. Cambridge University Press, 2004. ISBN: 9780521835398.
- [50] Daoud, Maissa, Ghorbel, Mohamed y Mnif, Hassene. "A low noise cascaded amplifier for the ultra-wide band receiver in the biosensor". En: *Scientific Reports* 11.1 (2021), pág. 22592.
- [51] Pozar, David M. *Microwave Engineering*. 3rd. Wiley, 2005. ISBN: 9780471448785.
- [52] Huelsman, Lawrence P. *Active and Passive Analog Filter Design*. McGraw-Hill, 1993. ISBN: 9780070308543.
- [53] Zhang, Y., Li, X. y Wang, J. "A 7.2-mW 0.5–7.5-GHz Ultra-Wideband Low-Noise Amplifier with 4 dB Noise Figure and 20 dB Gain Using 40 nm CMOS Technology". En: *Microwave and Optical Technology Letters* 66.3 (2024), págs. 1234-1240.
- [54] Wu, L., Leung, H. F. y Luong, H. C. "Design and analysis of CMOS LNAs with transformer feedback for wideband input matching and noise cancellation". En: *IEEE Transactions on Circuits and Systems I: Regular Papers* 64.6 (2017), págs. 1626-1635.




-
- [55] Blaakmeer, S. C., Klumperink, E. A. M., Leenaerts, D. M. W. y Nauta, B. “Wideband Balun-LNA with simultaneous output balancing, noise-canceling and distortion-canceling”. En: *IEEE Journal of Solid-State Circuits* 43.6 (2008), págs. 1341-1350.
- [56] Kardontchik, Jaime. *Introduction to the Design of Transconductor-Capacitor Filters*. Massachusetts: Kluwer Academic Publishers, 1992, pág. 236.

Apéndices

828

IEEE LATIN AMERICA TRANSACTIONS, VOL. 23, NO. 9, SEPTEMBER 2025

Behavioral Model of an Analog Front-End FM-UWB using CppSim-Virtuoso

Juan C. Garcia-Gutierrez , Victor R. Gonzalez-Diaz , Senior Member, IEEE, and Luis A. Sanchez-Gaspariano 

Abstract—This paper presents the design and simulation of a Frequency Modulation Ultra-Wideband (FM-UWB) transmitter and receiver operating at 125 kbps. The transmitter architecture includes a Binary Frequency Shift Keying (BFSK) sub-carrier generator, a Voltage-Controlled Oscillator (VCO), and a Power Amplifier (PA), which together enable two-level frequency modulation and transmission of the signal across a wideband channel. At the receiver side, the system integrates a regenerative demodulator designed to enhance signal recovery by suppressing unwanted noise components and improving detection accuracy. This demodulation approach contributes to maintaining a stable output, even in the presence of oscillator phase noise and other typical distortions. The complete transmitter–receiver chain is modeled and simulated using the CppSim platform, enabling accurate time-domain and frequency-domain analysis of the system behavior. The simulation results confirm the robustness of the proposed FM-UWB design, highlighting its potential for reliable wireless communication in various application scenarios. These results validate the feasibility of using FM-based ultra-wideband modulation schemes as a practical solution for short-range data transmission where signal clarity and spectral constraints are key considerations.

Link to graphical and video abstracts, and to code:
<https://latam.ieeer9.org/index.php/transactions/article/view/9750>

Index Terms—Ultra-wideband, modulation, demodulation, sub-carrier, power amplifier, envelope detector, filter.

I. INTRODUCTION

ULTRA-WIDEBAND (UWB) technology addresses some of the key challenges the United Nations General Assembly aims to solve for the 2030 Agenda, particularly in the areas of health and well-being, accessible and sustainable energy distribution, industrial innovation, smart cities, and the Internet of Things (IoT) technology [1]. The growing influence of IoT in daily applications drives the exploration of advanced communication protocols capable of transmitting data at a high rate with minimal power consumption. Although existing Wi-Fi and Bluetooth communication protocols exhibit advantages, the emerging UWB systems solve specific constraints. UWB has distinctive characteristics that separate it from conventional protocols, and its origins date back to 1901 when Guillermo

The associate editor coordinating the review of this manuscript and approving it for publication was Roberto S. Murphy (*Corresponding author: Victor Rodolfo Gonzalez-Diaz*).

J. C. Garcia-Gutierrez, Victor Rodolfo González-Díaz, and L. A. Sánchez-Gaspariano are with the Faculty of Electronics Sciences, Benemerita Autonomous University of Puebla, Puebla, México (e-mails: gg223470445@alm.buap.mx, vicrodolfo.gonzalez@correo.buap.mx, and luis.sanchezgas@correo.buap.mx).

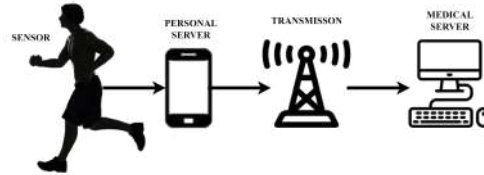


Fig. 1. Complete diagram of WBAN communication with sensors.

Marconi used short-duration pulses for Morse code communication. The technique was used in military applications in encrypted communications and radar systems during the 1960s. However, the Federal Communications Commission (FCC) opened UWB for public use in 2002, increasing interest in the possible applications [2], [3]. According to the FCC, the UWB definition is for 500 MHz signal bandwidth within a range of 10 dB or covers 20 % of its bandwidth around a center frequency between 3.1 GHz and 10.6 GHz while maintaining a spectral power density (PSD) not exceeding -41.3 dBm/MHz [4].

UWB technology receives significant attention in the biomedical field due to high data rates, low power consumption, and precise localization. These features render UWB ideal for biomedical applications, particularly in environments requiring minimal interference and high accuracy. UWB fits in WBANs (Wireless Body Area Networks) to monitor physiological signals, such as heart rate, body temperature, and glucose levels, without the need for invasive procedures (see Fig. 1). Its low-power nature extends the battery life in wearable sensors, making it suitable for ambulatory patients [5], [6]. The high precision of UWB localization (up to a few centimeters) takes advantage of hospital applications and care facilities for real-time tracking of patients and medical assets. This capability is crucial to ensure patient safety, especially for those with cognitive impairments or at risk of accidental injuries. The design of UWB transceivers for these applications is of interest to the electronics industry and research fields [7], [8]. In addition, UWB technology inherently offers low power consumption compared to traditional wireless standards, such as Wi-Fi and Bluetooth, due to its low transmission duty cycle and simple modulation schemes. These characteristics make UWB especially attractive for applications in wireless sensor networks (WSNs), WBANs, and IoT environments, where energy efficiency is critical [7].

The modeling and design of UWB transceivers lack a unique

and practical synthesis. Inspired by the necessity of clarifying the UWB process design, this work proposes and describes the transceiver architecture with a specific design for FM-UWB (Frequency Modulation UWB) specifications at the system block and behavioral-model abstraction level. The contribution of this work is to serve as an initial guide to the behavioral description [9], exploiting the system-level characterization tools and their relationship with important EDA (Electronic Design Automation) tools such as Cadence-Virtuoso. Another objective of this article is to design a simple, low-complexity architecture for UWB transmission, optimized for low-power, short-range applications. This design minimizes the use of complex components, maintaining adequate performance. The FM-UWB system is modeled in C/C++ within the CppSim environment, allowing efficient simulation and functional validation at an early design stage. This approach is beneficial as it connects directly with Cadence, a tool used for designing integrated circuits, facilitating the transition from system-level modeling to physical implementation. The FM-UWB architecture description of this work is a novel configuration taking advantage of the UWB pulse forming needs and the well-known modulation schemes, tracing a simple but efficient design project for the integrated circuit design. The organization of the manuscript is as follows. Section II summarizes the frequency modulation UWB technique, using a typical architecture and synthesis of a novel receiver. Section III details the proposed FM-UWB system architecture and the construction of the behavioral model in CppSim. Section IV presents the simulation results combining the CppSim features with Cadence Virtuoso, presenting metrics for the FM-UWB transceiver and comparing them with similar transceiver architectures. Finally, Section V presents the conclusions.

II. ULTRA-WIDEBAND FREQUENCY MODULATION (FM-UWB)

A. Description of an FM-UWB Transmitter

FM-UWB Modulation is an analog spread-spectrum technique conceived from BFSK (Binary Frequency Shift Keying). In recent years, FM-UWB transmitters have seen minimal changes due to their high quality combined with low hardware costs. A typical FM-UWB implementation consists of three main blocks: a triangular wave generator (sub-carrier), a voltage-controlled oscillator (VCO), and a power amplifier (PA). The sub-carrier modulates the VCO with a triangular wave between 1 MHz and 10 MHz, producing the FM-UWB signal. The resulting FM-UWB signal is therefore [10]:

$$S_{UWB}(t) = A \cos(w_c t + \phi(t)) \quad (1)$$

Where w_c is the center frequency and $\phi(t)$ represents the frequency change. According to the definition, the signal must have a minimum of 500 MHz in bandwidth. Fig. 3 shows the behavior of the modulated signals for each stage.

B. Description of an FM-UWB Receiver

Unlike FM-UWB transmitters, FM-UWB receivers adopt various topologies, including delay-line demodulators at RF,

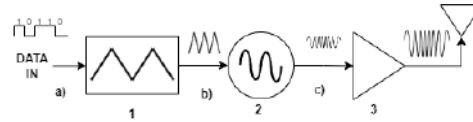


Fig. 2. FM-UWB stages: signal (a) is the input data, (b) the triangular waveform, and (c) the modulated FM-UWB output.

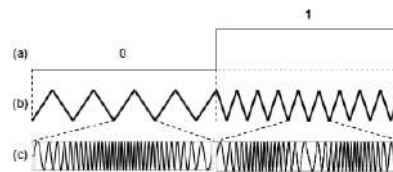


Fig. 3. The signal flow in an FM-UWB transmitter includes: (a) the input binary data, (b) a triangular sub-carrier waveform, and (c) the FM-UWB output from the VCO, where the sub-carrier modulates the carrier frequency for transmission.

regenerative demodulators, baseband delay-line demodulators, and dual-band pass-filter demodulators [11]. This work implements the proposed topology using a regenerative demodulator. This circuit is commonly used in electronic communications for demodulating modulated signals, particularly in amplitude modulation (AM) and frequency modulation (FM) systems. Regenerative demodulators became popular in the early days of radio due to their simplicity and efficiency [12]. Fig. 4 illustrates an FM-UWB regenerative demodulator, operating in the following manner:

- A Low-Noise Amplifier (LNA) amplifies the signal received from the antenna while minimizing noise interference.
- A Low Pass Filter (LPF) or High Pass Filter (HPF) attenuates unwanted frequency components.
- An Envelope Detector (ED) converts the amplitude-modulated (AM) signal into a frequency-modulated (FM) signal.

The output from the regenerative demodulator is then directed to an Analog-to-Digital Converter (ADC) or a subsequent demodulation stage for further processing.

III. THE PROPOSED FM-UWB TRANSCEIVER ARCHITECTURE

Fig. 5 illustrates a block diagram of a wireless FM-UWB transceiver.

Transmitter:

- **Data input:** The system starts sending bits.
- **Sub-Carrier Modulation:** Data are modulated using a sub-carrier, specifically a triangular wave.
- **VCO (Voltage-Controlled Oscillator):** The VCO generates a carrier signal, with frequency changing according to the modulated input voltage. The VCO phase noise, modeled as a non-linearity, is about -70 dBc/Hz at 1 MHz offset. This phase noise impacts the spectral purity

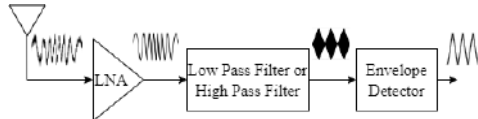


Fig. 4. FM-UWB receiver architecture: regenerative demodulator.

of the FM-UWB signal and represents a key impairment source. Incorporating it into the behavioral model.

- **PA (Power Amplifier):** up converts the modulated signal ensuring strength for transmission. A typical implementation is a power-up RF converter.

Receiver:

- **LNA (low noise amplifier):** The received signal contains low-power, the low noise amplifier improves the signal quality while minimizing added noise.
- **First-order filter:** A first-order filter cancels undesirable high-frequency components from the signal.
- **Envelope detector:** This component detects modulated signal envelope, allowing the original data to be extracted from the carrier signal.
- **Second-order Butterworth filter:** A second-order Butterworth filter further enhances the signal, improving clarity and reducing noise.
- **Envelope detector (final stage):** The second envelope detector extracts the final base-band signal.
- **Subtractor and comparator:** This block processes the extracted signal, combines, and sends output data.

A. Proposed Architecture for an FM-UWB Transmitter

The proposed transmitter (see Fig. 6) includes three main blocks: the first block is a sub-carrier generator circuit that modulates binary data input into triangular analog sub-carrier signals with two different frequencies. The second block is a VCO circuit (voltage-controlled oscillator), which translates the input triangular signals to higher frequency levels, creating a constant envelope UWB signal. The third block is a power amplifier circuit adjusting the UWB output signal, rendering it suitable for transmission. The transmitter bandwidth is of 4 GHz to 6 GHz. This work shows the system model and simulation in CppSim. For the block construction and simulation configuration, refer to [9].

1) **Triangular Oscillator:** A sub-carrier is a digital modulator whose primary function is to convert n bits into triangular waves at n frequencies. Depending on its implementation, it can perform various types of digital modulation. CppSim tools allow a simulation of triangular waves based on their mathematical description. Equation 2 describes a triangular wave. So, code 1 details the triangular wave implementation.

$$v_{tri}(t) = \frac{4A}{T} \left| t - \frac{T}{2} \left(2 \left\lfloor \frac{t}{T} + \frac{1}{2} \right\rfloor + 1 \right) \right| - A \quad (2)$$

Where:

- 1) A is the maximum amplitude.
- 2) T is the sampling period, defined as $T = 1/f$, where f is frequency.

3) t is a continuous-time variable.

The proposed triangular oscillator encodes the stream binary data input (IN) at a baud rate of 125 kbps into a triangular sub-carrier signal of two different output frequencies: 1 MHz when IN = '0' and 2 MHz when IN = '1'.

CppSim Code 1 Sub-carrier

```

1: Module: Sub-carrier
2: Parameters: double amplitude, double frequency
3: Inputs: double in
4: Outputs: double out
5: Static Variables: double phase_step, double phase
6: Code:
7: phase_step = frequency
8: phase = phase + phase_step
9: if phase ≥ 0.5 then
10: phase = phase - 1.0
11: end if
12: out = 4.0 × amplitude × fabs(phase) - amplitude

```

2) **Voltage Controlled Oscillator (VCO):** A voltage-controlled oscillator (VCO) is an electronic device generating a periodic signal with voltage-controlled frequency. The VCO oscillation frequency varies as a function of the applied voltage, allowing to adjust the output frequency [13]. Equation (3) describes the ideal behavior.

$$v_{VCO}(t) = A \cos(w_{out}t) \quad (3)$$

- $w_{out} = K_{VCO}V_{cont} + w_0$, where K_{VCO} is the VCO gain (with units of (rad/s)/V or Hz/V) and w_0 is the VCO central free-running frequency.

The VCO characteristics in this system are:

- $K_{VCO} = 2 \text{ GHz/V}$.
- $w_0 = 4 \text{ GHz}$.

The CppSim Code 2 details the VCO behavioral model, and Fig. 8 shows the voltage-frequency curve for the respective K_{VCO} .

CppSim Code 2 VCO

```

1: Module: VCO
2: Parameters: double freq, double kvco
3: Inputs: double vctrl
4: Outputs: double_interp squareout, double sineout
5: Static Variables:
6: Classes: vco vco("fc + Kv*x", "fc, Kv, Ts", freq, kvco, Ts);
7: Code:
8: vco.inp(vctrl);
9: squareout = vco.out;
10: sineout = sin(vco.phase);

```

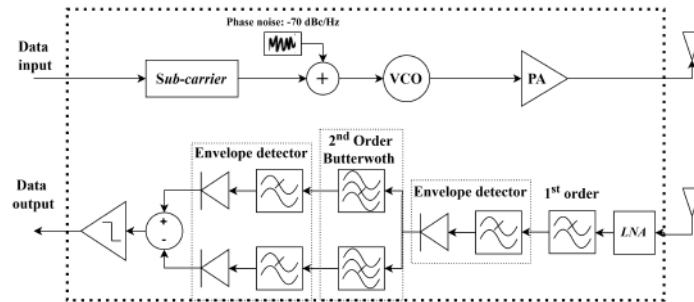


Fig. 5. Schematic representation of the CppSim model with the proposed scripts.

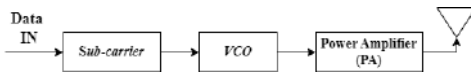


Fig. 6. The proposed FM-UWB transmitter.

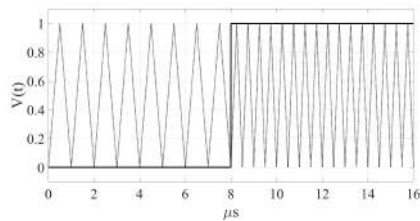


Fig. 7. Sub-carrier waveform used for data modulation.

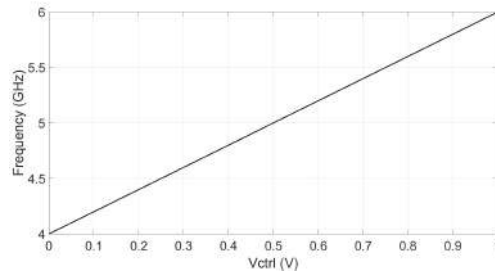


Fig. 8. KVCO curve of the designed VCO, illustrating the frequency variation as a function of the control voltage.

3) *Power Amplifier*: The implementation of a power amplifier (PA) relies on two key factors: the load, which in RF systems is typically set to a load impedance of $Z = 50 \Omega$, and energy efficiency [13]. When simulating in CppSim, the noiseless power amplifier is a gain stage. To achieve the UWB characteristics, the PA output peak-to-peak voltage (V_{pp}) must not exceed 160 mV.

B. Proposed Architecture for an FM-UWB Receiver

The proposed FM-UWB demodulation receiver (see Fig. 9) utilizes two separate demodulators:

- 1) FM-UWB regenerative demodulator.
- 2) Binary Frequency Shift Keying (BFSK) demodulator.

FM-UWB Demodulator.

The regenerative demodulator contains the following elements:

- 1) Low Noise Amplifier (LNA): Provides a 13 dB gain, corresponding to a scaling factor of 5.
- 2) First-Order Low-Pass Filter (LPF): Designed for a 4 GHz cut-off frequency with a scaling factor of 5. Equation 4 describes the first-order low-pass filter transfer function, where w_0 is the cut-off frequency and G is the system gain. Code 3 represents the implementation of a first-order LPF.

$$H(s) = G \frac{w_0}{s + w_0} \tag{4}$$

- 3) *Envelope Detector (ED)*: This component consists of two elements:

- A rectifier.
- A low-pass filter with 10 MHz cut-off frequency and an amplification factor of 10.

CppSim Code 3 First Order Low-pass

```

1: Module: First Order Low-pass
2: Parameters: double fp, double gain
3: Inputs: double in
4: Outputs: double out
5: Classes: Filter filt("G", "1 +
1/(2*pi*w0)*s", "G,w0,Ts", gain, w0, Ts);
6: Code:
7: filt.inp(in);
8: out = filt.out;
    
```

BFSK demodulator

The BFSK demodulator consists of the following components:

- 1) *Two Second-Order Band-Pass Filters (BPFs)*: these are Butterworth type using equation (5), with a cut-off frequency of 1 MHz, 2 MHz and gain factor of 5. Equation (5) describes

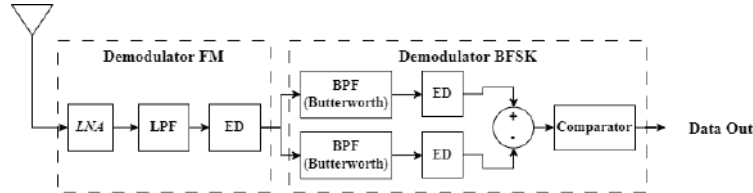


Fig. 9. Architecture of the proposed FM-UWB receiver with regenerative demodulator.

the transfer function of a second-order band-pass filter, where w_0 is the cut-off frequency, G is the gain, and Q is the quality factor. For a Butterworth filter, the quality factor is 0.7.

$$H(s) = G \frac{(w_0/Q)s}{s^2 + (w_0/Q)s + w_0^2} \quad (5)$$

2) *Two Envelope Detectors (EDs)*: Comprises two elements:

- A rectifier.
- A second-order low-pass Butterworth filter with a cut-off frequency of 100 kHz and a gain factor of 10.

Equation (6) describes the transfer function of a second-order low-pass filter.

$$H(s) = \frac{w_0^2}{s^2 + (w_0/Q)s + w_0^2} \quad (6)$$

Codes 4 and 5 detail a second-order low-pass and band-pass filters. These codes define a module for a second-order Butterworth filter. The description requires parameters: gain and w_0 (the cut-off angular frequency), with an input signal (*in*) and outputs the filtered signal (*out*). The filter description uses a `Filter` class, instantiated with a transfer function where the numerator is $G \cdot (2\pi w_0)^2$ or $(2\pi w_0/0.7)s$ and the denominator is $s^2 + \frac{2\pi w_0}{0.7}s + (2\pi w_0)^2$. Parameters include G (gain), w_0 (cut-off frequency), and T_s (sampling period). The filter provides results through `filt.out`.

CppSim Code 4 Low-pass Butterworth filter

```
1: Module: Low-pass Butterworth filter
2: Parameters: double gain, double w0
3: Inputs: double in
4: Outputs: double out
5: Classes:
6: Filter filt("G*(2*pi*w0)^2", "s^2 +
  (2*pi*w0/0.7)s + (2*pi*w0)^2", "G, w0, Ts",
  gain, w0, Ts);
7: Code:
8: filt.inp(in);
9: out = filt.out;
```

3) *Subtractor*: Code 6 defines a subtractor module in CppSim. This module accepts two input signals, *v1* and *v2*, both of type `double`, and calculates their difference as the output signal (*out*).

CppSim Code 5 Band-pass Butterworth filter

```
1: Module: Band-pass Butterworth filter
2: Parameters: double gain, double w0
3: Inputs: double in
4: Outputs: double out
5: Classes:
6: Filter filt("(2*pi*w0/0.7)s", "s^2 +
  (2*pi*w0/0.7)s + (2*pi*w0)^2", "G, w0, Ts",
  k, w0, Ts);
7: Code:
8: filt.inp(in);
9: out = filt.out;
```

CppSim Code 6 Subtractor

```
1: Module: subtractor
2: Parameters:
3: Inputs: double v1, double v2
4: Outputs: double out
5: Static Variables:
6: Classes:
7: Code:
8: out = v2 - v1;
```

4) *Comparator*: Finally, code 7 represents a comparator. It takes an input signal, *in*, and compares its value with zero as the output signal (*out*). The input changes with digital values `out = 0` or `1`.

CppSim Code 7 Comparator

```
1: Module: Comparator
2: Parameters: double threshold
3: Inputs: double in
4: Outputs: double out
5: Code:
6: if (in > threshold)
7:   out = 1;
8:   else
9:     out = 0;
```

IV. RESULTS AND DISCUSSIONS

This Section presents the results of the transmitted and received data obtained from the proposed system at the behavioral level, in compliance with FCC regulations.

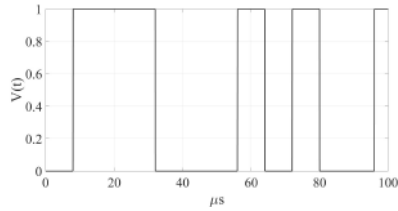


Fig. 10. Transmitted data sequence simulated over 100 μs at 125 kbps.

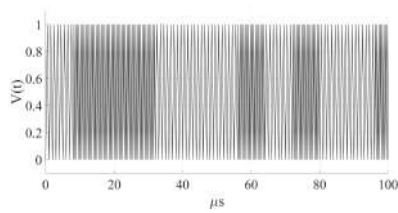


Fig. 11. Sub-carrier signal with frequencies of 1 MHz, 2 MHz.

A. Transmitter

Fig. 10 shows the input data at a baud rate 125 kbps. The signal has an amplitude of $V_{pp} = 1$ V. When the sub-carrier modulates the signal (see Fig. 11), it transforms into two triangular waves with frequencies of 1 MHz and 2 MHz, respectively. First, the signal converts to a sine wave with a change of constant frequencies. Then, the PA scales the amplitude signal up to $V_{pp} = 160$ mV. Fig. 12 shows the resulting Power Spectral Density (PSD) from the transmitter output. The blue line represents the transmitted data PSD with maximum power between 4-6 GHz in a range of 10 dBm/MHz. The black dotted line corresponds to the mask spectrum imposed by the FCC for UWB devices. This mask establishes the maximum permitted power emission limits in different frequency bands to avoid interference with other radio frequency services. It likely corresponds to the indoor UWB mask, allowing up to -41.3 dB/MHz from 3.1 GHz to 10.6 GHz. The calculation of the PSD for the PA's output is performed using equations (7) and (8).

$$X(f) = \text{FFT}(x(n)) \quad (7)$$

$$P(f) = \frac{|X(f)|^2}{N} \quad (8)$$

where:

- $x(n)$ es the discrete signal with sample index n .
- FFT is Fast Fourier Transform.
- N is the number of samples of the signal.

It is necessary to change the units, and equation 9 normalizes these units to those specified by the FCC.

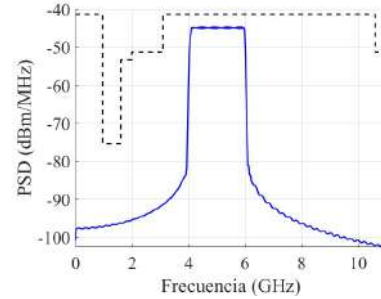


Fig. 12. PSD of the power amplifier. The black dashed line shows the FCC mask for UWB devices.

$$P_{(\text{dBm}/\text{Hz})} = 10 \log_{10} [P_{(\text{V}^2/\text{Hz})}/Z]$$

$$P_{(\text{dBm}/\text{Hz})} = P_{(\text{dBm}/\text{Hz})} + 30$$

$$P_{(\text{dBm}/\text{MHz})} = P_{(\text{dBm}/\text{Hz})} + 60$$

$$P_{(\text{dBm}/\text{MHz})} = 10 \log_{10} [P_{(\text{V}^2/\text{Hz})}/Z] + 90$$

$$P_{(\text{dBm}/\text{MHz})} = 10 \log_{10} [P_{(\text{V}^2/\text{Hz})}/Z] + 90 \quad (9)$$

Where:

- The impedance Z in an antenna system is typically $Z = 50 \Omega$ in radio frequency applications.

Table I displays the characteristics of the proposed FM-UWB transmitter, indicating which parameters comply with FCC regulations. Note that the transmitter complies with the FCC requirements.

TABLE I
COMPLIANCE OF THE PROPOSED FM-UWB SYSTEM WITH
FCC SPECTRAL REGULATIONS

Parameter	This Work	FCC Limit	Compliant
Frequency range	4 GHz–6 GHz	3.1 GHz–10.6 GHz	Yes
Bandwidth	2 GHz	≥ 500 MHz	Yes
Max PSD	-45 dBm/Hz	-41.3 dBm/Hz	Yes

B. Receiver

Fig. 13 shows the demodulated signals. The process begins with the Low-Noise Amplifier (LNA), which amplifies the incoming signal while keeping the noise level to a minimum. This amplification is crucial for enhancing the signal strength without causing significant distortion or interference. Next, a Low-Pass Filter (LPF) selectively attenuates incoming signal high-frequency components. By filtering out these unwanted frequencies, the LPF output transfers amplitude variations resembling a triangular waveform. At the final stage, the Envelope Detector (ED) converts the alternating current (AC) signal to triangular wave characteristics, providing a clear representation of the original modulation.

Fig. 14 illustrates the signal after two Band-Pass Filters (BPF), centered at 1 MHz and 2 MHz, respectively. Each BPF

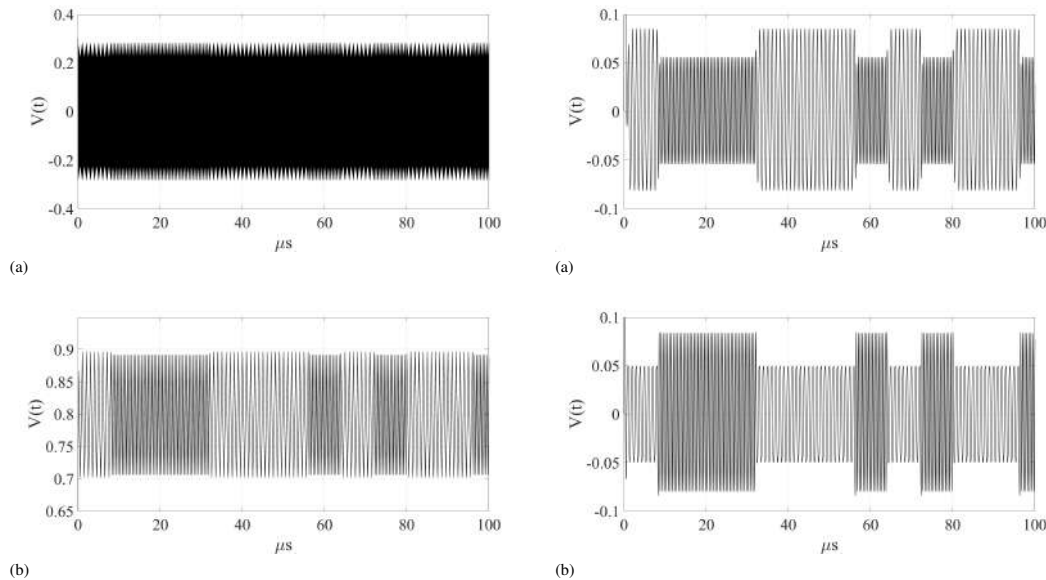


Fig. 13. Output response of the regenerative demodulator to FM-UWB signals. (a) Output signal of a 4 GHz 1st-order low-pass filter, (b) Output signal of the envelope detector.

is specifically designed to isolate the corresponding frequency component to its center frequency, effectively separating the desired spectral components from the surrounding noise and irrelevant frequencies. As a result, the output of each filter consists of two distinct spectral signals, each corresponding to the filtered frequency band.

Subsequently, these filtered signals are processed by an Envelope Detector (ED). The ED performs the critical function of converting the alternating current (AC) components of the filtered signals into low-frequency components. This transformation simplifies the subsequent decoding process as the resulting signals are steady and easier to interpret. The common mode cancellation isolates and converts key frequency components, and the system facilitates the accurate extraction and decoding of the original information encoded within the signal. This combination of filtering and envelope detection ensures high fidelity in the demodulation process, minimizing distortions and preserving the integrity of the transmitted data.

Fig. 15 shows the subtraction of $V_1 - V_2$, effectively reducing noise by canceling the signals of the common-mode present on both inputs. This subtraction improves signal quality, leaving a cleaner differential signal. The resulting output goes through the comparator with a reference set to ground. The comparator processes the input signal and generates a digital output, representing the recovered data.

C. Transceiver Input and Output Data

Fig. 16 displays the transient analysis of a transmitted digital signal and the corresponding received pattern with the

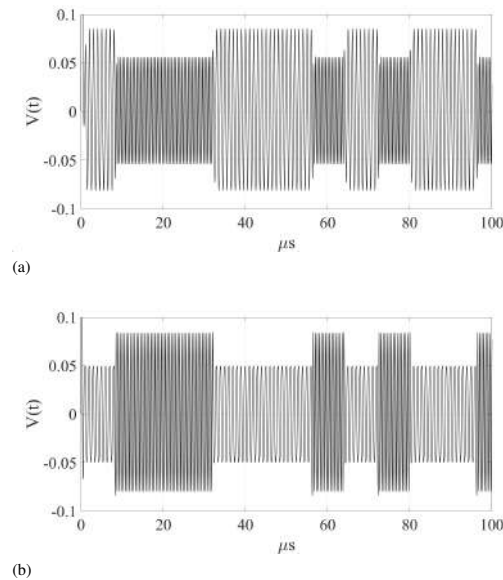


Fig. 14. Demodulator BFSK signals. (a) Output signal of the 1 MHz band-pass filter, (b) Output signal of the 2 MHz band-pass filter, (c) Outputs of envelope detectors for 1 MHz and 2 MHz band-pass filters.

transceiver CppSim description in this work.

The first plot represents the transmitted digital signal, which alternates between two voltage levels: 0 V and 1 V. This is typical of a binary digital system, where the levels represent '0' and '1'. The data could arrive from a digital serialization system or an oversampling converter. The second plot shows the signal received by the receiver after transmission. The received signal recovers the transmitted pattern, indicating the receiver function with a 2.4291 μs time delay which is in good agreement with UWB typical transceivers latency.

D. Performance with Uncertainties

The eye diagram (see Fig. 17) illustrates the transition between these frequencies without noise, forming a pattern that reveals the clarity of the signal. It is important to note that the eye diagram relates to the sub-carrier, meaning that

TABLE II
FUNCTIONAL AND PERFORMANCE COMPARISON OF BEHAVIORAL MODELS FOR FM-UWB SYSTEMS

Characteristics	[8]	[14]	[15]	[This Work]
Software	Matlab	Matlab	-	CppSim/Virtuoso
Integration	ADC-TX	TX/RX	TX/RX	TX/RX
Modulation	IR-UWB	FM-UWB	FM-UWB	FM-UWB
Bandwidth	3.5 GHz–4.5 GHz	3.75 GHz–4.25 GHz	3.5 GHz–4 GHz	4 GHz–6 GHz
Baud rate	-	125 kbps	250 kbps	125 kbps
Sub-carrier	-	BFSK	8-PSK	BFSK
Demodulation FM	-	Delay-line, filter, amplifier	Regenerative	Regenerative
FSK/PSK Demodulation	-	-	Phase detector, 3-bit counter	Dual-band pass filter, ED, subtractor

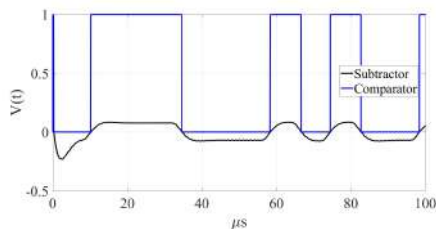


Fig. 15. Subtracting the signals in Fig. 14c and comparing them about 0.

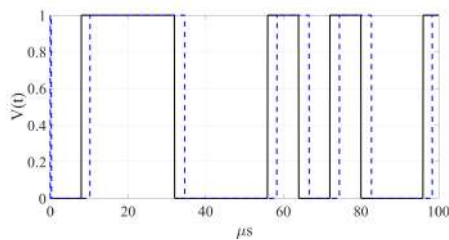


Fig. 16. The transmitted signal is depicted in black, while the received signal is illustrated in blue.

the contributions occur at the maximum frequency of the oscillator. In [16], there is an eye diagram with a waveform similar to the one obtained in this work. The only difference is the oscillation frequency of the sub-carrier, which is 4.125 MHz. In addition, [17] has an eye diagram with OOK modulation, where the eye-opening demonstrates a stable communication system. The noise applied to the system comes mainly from the VCO where a phase noise of -70 dBc/Hz was placed. The main characteristics of Fig. 17 obtained are; eye height is 0.194 58 V, SNL is 4.967 783, estimated BER of 8.11×10^{-5} .

External Gaussian noise was applied to the eye diagram (see Fig. 18) at an SNR of 50 dB [18], [19]. The following characteristics were obtained: eye height es 0.23, SNL of 3.9431, and BER of 9.91×10^{-5} .

E. Comparison with similar behavioral descriptions.

Table II summarizes the system-level model and compares it with related works. The behavioral models from [8] and

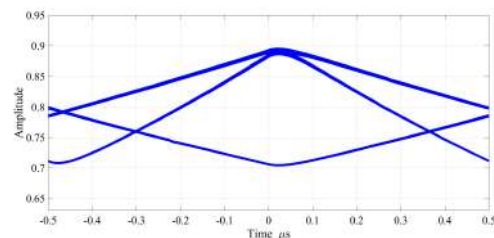


Fig. 17. Eye diagram of the proposed transmitter indicating good timing resolution and low jitter.

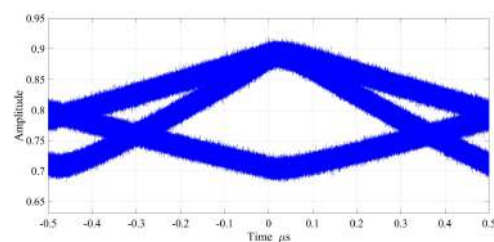


Fig. 18. Eye diagram of the proposed receiver, where the presence of noise reduces signal integrity, but reliable detection is still achieved.

[14] were simulated using the RF-Matlab toolbox, while [15] utilized proprietary software. In this study, we employed CppSim ([9]), which has the significant advantage of being open-source and compatible with Cadence-Virtuoso. This results in lower costs and greater flexibility, enhanced by community-driven improvements.

V. CONCLUSION

The FM-UWB transmission block provides several notable advantages, such as simple circuit design and seamless integration with modern digital systems. On the receiver side, the combination of band-pass filtering, envelope detection, signal subtraction, and comparison effectively minimizes noise, isolates relevant information, and simplifies signal processing. FM-UWB at low data rates achieves a robust receiver architecture. This approach eliminates the need for precise synchronization or complex coherent demodulation processes.

The system demonstrates robustness, ensuring that transmitted and received signals remain consistent despite minor timing variations. This reliability confirms the system's ability to maintain data integrity and synchronization, making it suitable for precise and efficient digital communication.

REFERENCES

- [1] United Nations General Assembly, "Transforming our world: the 2030 Agenda for Sustainable Development," 2015. [Online]. Available: <https://sdgs.un.org/2030agenda>
- [2] Federal Communications Commission, "Revision of Part 15 of the Commission's Rules Regarding Ultra-Wideband Transmission Systems," 2002. [Online]. Available: <https://www.fcc.gov/document/revision-part-15-commissions-rules-regarding-ultra-wideband-1>
- [3] R. J. Fontana, *A Brief History of UWB Communications*. Multispectral Solutions, Inc., 2004. [Online]. Available: <https://www.ultrawidebandtech.com/history.html>
- [4] Federal Communications Commission, "FCC Guidelines on Ultra-Wideband Technology," 2020. [Online]. Available: <https://www.fcc.gov/engineering-technology/policy-and-rules>
- [5] "Ultra-Wideband Technology for Wireless Body Area Networks: Opportunities and Challenges," *IEEE Access*, vol. 8, pp. 16031–16042, 2020. doi: 10.1109/ACCESS.2020.2965121
- [6] S. Gezici and H. V. Poor, "Localization in Ultra-Wideband Networks: Theory and Practice," *IEEE Signal Processing Magazine*, vol. 22, no. 4, pp. 70–84, 2005. doi: 10.1109/MSP.2005.1458289
- [7] B. Wang, H. Song, W. Rhee, and Z. Wang, "Overview of ultra-wideband transceivers—system architectures and applications," *Tsinghua Science and Technology*, vol. 27, no. 3, pp. 481–494, 2022. doi: 10.26599/TST.2021.9010044
- [8] A. Diaz-Armendariz, L. A. Sanchez-Gaspariano, V. R. Gonzalez-Diaz, A. I. Bautista-Castillo, J. M. Munoz-Pacheco, and A. Diaz-Sanchez, "Mono-Bit Quantizer $\Sigma\Delta$ Direct-Up Transmitter for UWB Using Simulink RF Blockset," in *Proc. 2019 Int. Conf. on Electronics, Communications and Computers (CONIELECOMP)*, pp. 158–163, 2019. doi: 10.1109/CONIELECOMP.2019.8673255
- [9] M. H. Perrott, *A Primer for the CppSim and VppSim Simulation Environments*, 5th ed., 2009. [Online]. Available: https://www.cppsim.com/Manuals/cppsim_vppsim_primer5.pdf (Accessed: 2024-10-10)
- [10] C. Enz and V. Kopta, *Ultra-Low Power FM-UWB Transceivers for IoT*, River, 2022. doi: 10.1201/9781003339908
- [11] M. Dante, M. Tonolli, V. Raab, M. Casoni, and C. Buratti, "FM-UWB: Towards a Robust, Low-Power Radio for Body Area Networks," in *Proc. 2012 IEEE International Conference on Communications (ICC)*, pp. 3409–3413, 2012. doi: 10.1109/ICC.2012.6363661
- [12] L. W. Couch, *Digital and Analog Communication Systems*, 6th ed., Prentice Hall, 2001.
- [13] B. Razavi, *RF Microelectronics*, 2nd ed., Pearson Education, Upper Saddle River, NJ, USA, 2012.
- [14] J. F. M. Gerrits, J. R. Farserotu, and J. R. Long, "Multipath Behavior of FM-UWB Signals," in *Proc. 2007 IEEE International Conference on Ultra-Wideband*, pp. 162–167, 2007. doi: 10.1109/ICUWB.2007.4380934
- [15] D. Liu, F. Chen, W. Rhee, and Z. Wang, "An FM-UWB transceiver with M-PSK subcarrier modulation and regenerative FM demodulation," in *Proc. 2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 936–939, 2013. doi: 10.1109/MWSCAS.2013.6674804
- [16] M. Abtahi, M. Mirshafiei, L. A. Rusch, and S. LaRochelle, "An optical realization of a 500 Mb/s UWB transceiver," in *Proc. 2008 IEEE International Conference on Ultra-Wideband*, vol. 1, pp. 133–136, 2008. doi: 10.1109/ICUWB.2008.4653302
- [17] J. Bergervoet, H. Kundur, D. M. W. Leenaerts, R. C. H. van de Beek, R. Roovers, G. van der Weide, H. Waite, and S. Aggarwal, "A fully integrated 3-band OFDM UWB transceiver in 0.25/spl mu/m SiGe BiCMOS," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 4 pp.–268, 2006. doi: 10.1109/RFIC.2006.1651142
- [18] A. Alshabo, P. J. Vial, M. Ros, D. Stirling, and M. A. B. Sidik, "Ultra Wideband Noise Channel Measurement Using a Vector Network Analyzer," *TELKOMNIKA Telecommunication, Computing, Electronics and Control*, vol. 13, no. 3, pp. 695–702, 2025. doi: 10.12928/telkomnika.v13i3.2095
- [19] A. Jiménez Tejero, "Efecto del sistema UWB sobre sistemas de telecomunicaciones con bandas de operación por debajo de los 3 GHz." Proyecto Fin de Carrera, Universidad Autónoma de Madrid, Escuela Politécnica Superior, Octubre 2008.



Juan C. Garcia-Gutierrez received the B.Sc. degree in mechatronics engineering from Benemérita Universidad Autónoma de Puebla (BUAP) in 2021. He collaborated in the characterization of chips at the Circuits and Systems Characterization Laboratory, Faculty of Electronics. At the time, he is studying the M.Sc. degree from Benemérita Universidad Autónoma de Puebla (BUAP). His research interests are systems radio frequency design for wireless communications.



Victor R Gonzalez-Diaz (Senior Member, IEEE) received the M.Sc. and Ph.D. degrees from the National Institute of Astrophysics, Optics and Electronics (INAOE), Puebla, Mexico, in 2005 and 2009, respectively. He collaborated as a Postdoctoral Fellow with the Microsystems Laboratory, University of Pavia, Italy, from 2009 to 2010. He has been a full-time Professor with the Faculty of Electronics, BUAP, Puebla, since 2011. He is currently the Founder and the Head of the Circuits and Systems Characterization Laboratory, Faculty of Electronics.

His research interests include the design of analog and mixed-signal integrated circuits focusing on analog-to-digital converter design, frequency synthesizers, and micropower management circuits. He participates as an Associate Editor of IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS.



Luis A. Sanchez-Gaspariano received the PhD degree in Electronics Sciences from the Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), Puebla, Mexico, in 2011. His doctoral work was on the subject of CMOS Power Amplifiers for wireless communications. During 2009 he was a visiting scholar in the Integrated Circuits Design (ICD) group at the University of Twente, in the Netherlands. In 2011 he joined the Electronics and Telecommunications department at the Universidad Politécnica de Puebla, in Puebla, Mexico, where he served as the head of the Electronics group for about seven years. Since 2017 to date, he is with the Electronics Faculty at Benemérita Universidad Autónoma de Puebla (BUAP), in Puebla, Mexico, as a full professor and member of the Photonics and Nanooptics Systems research group. He is a regular member (level-1) of the National Systems for Researchers (SNI), which is a top-level program founded by the Mexican Government through the National Council of Human Studies, Science and Technology (CONAHCyT) from Mexico. He has published over 60 scientific works and regularly serves as a reviewer for high-impact journals. His research focuses on Electronic Design Automation (EDA) tools, analog, mixed-mode, and RF circuit design, and next-generation wireless systems like IoT and 5G, particularly in automotive applications.



Fecha: 29/11/2024
V. 2

REPORTE DE ESQUEMA DE TRAZADO DE CIRCUITO INTEGRADO

INFORMACIÓN GENERAL DEL INVENTO

Título: Modulador BFSK de onda triangular. **Palabras clave (máximo 5):**
BFSK, modulador y transistor

Inventor(es), datos de contacto, adscripción, ID-BUAP y porcentajes de participación:

Nombre Juan Carlos Garcia Gutierrez		ID-BUAP 223470445	Unidad académica Facultad de Ciencias de la Electrónica
CURP GAGJ970814HPLRTN07	% de participación 33.34 %	Correo electrónico gg223470445@alm.buap.mx	Teléfono 2481855319

Nombre Victor Rodolfo Diaz González		ID-BUAP 100018845	Unidad académica Facultad de Ciencias de la Electrónica
CURP GODV800303HPLNZC08	% de participación 33.33 %	Correo electrónico vicrodolfo.gonzalez@correo.buap.mx	Teléfono 2221349123

Nombre Luis Abraham Sánchez Gasparino		ID-BUAP 100527241	Unidad académica Facultad de Ciencias de la Electrónica
CURP SAGL780707HPLNSS03	% de participación 33.33 %	Correo electrónico luis.sanchezgas@correo.buap.mx	Teléfono 2212642456

¿Existirá Cotitularidad con otra institución (es) y/o empresa (s)? Si No

En caso afirmativo :
Nombre de la institución (es) y/o empresa (s):

Porcentaje de cotitularidad (participación):

Datos de contacto:

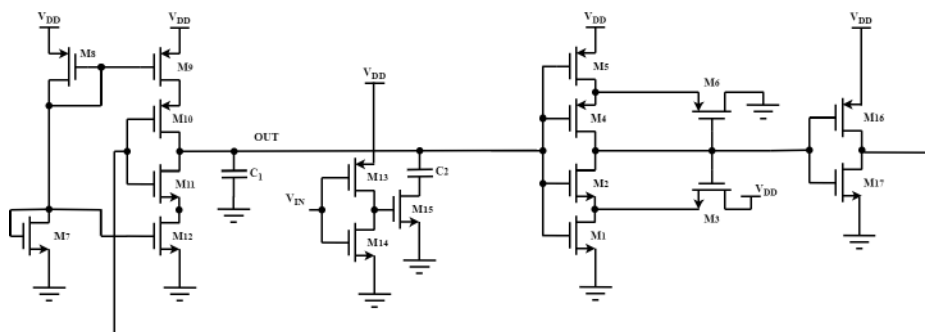
Nombre	Correo electrónico	Teléfono
---------------	---------------------------	-----------------

DIBUJOS EN BLANCO Y NEGRO DEL ESQUEMA DE TRAZADO DE CIRCUITO INTEGRADO

a. Listado de dibujos (Enliste y describa cada uno de los dibujos de su trazado de circuito integrado)

El circuito que se diseñó y que se visualiza en el trazado de circuito es el siguiente:

El diseño permite generar señales de frecuencia variable para modulación BFSK en sistemas de comunicaciones. Al variar el voltaje de control, el transistor ajusta la corriente, cambiando la frecuencia de oscilación entre 1 MHz (voltaje alto) y 2 MHz (voltaje bajo). Esto simplifica la implementación y optimiza el rendimiento sin incrementar significativamente el consumo de energía.



Su trazado es el siguiente

La fig. 1 es una vista de la máscara de compuerta.

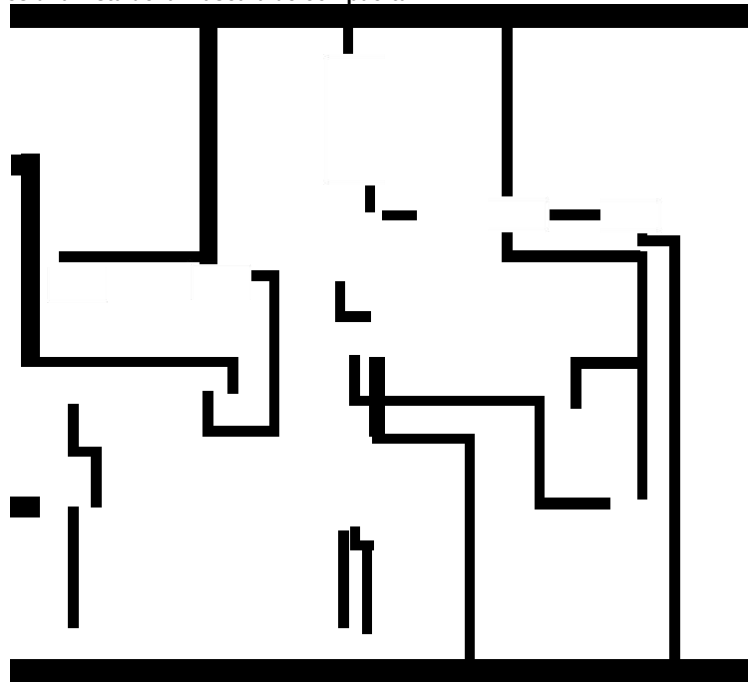


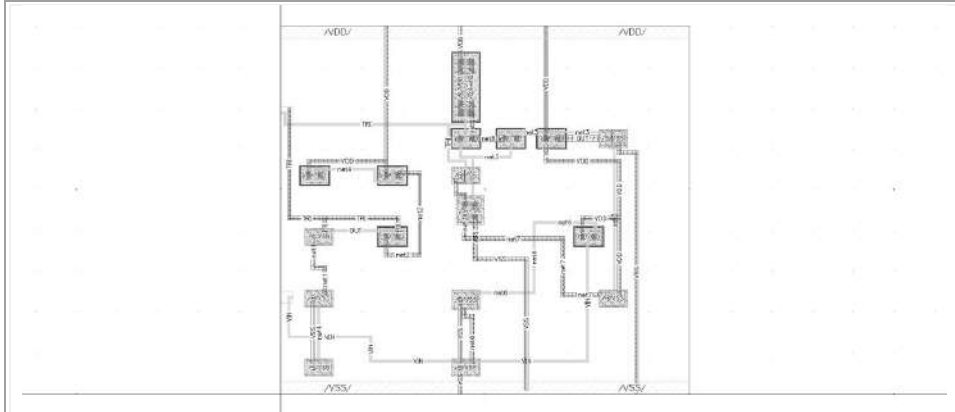
Fig. 1. Máscara compuerta.

La fig. 2 es una vista de la máscara de fuente y colector.



Fig. 2. Máscara fuente y compuerta.

El diseño muestra un circuito integrado organizado jerárquicamente, donde se identifican etiquetas como VDDVDD, VSSVSS, VINVIN, OUTOUT y nodos internos (netXnetX), que representan líneas de alimentación, tierra, entrada, salida y conexiones internas. Las áreas sombreadas en gris corresponden a transistores o regiones activas, mientras que las líneas horizontales y verticales representan capas metálicas para interconexión. La parte superior del trazado está destinada a VDDVDD (alimentación) y la inferior a VSSVSS (tierra), siguiendo un estándar típico. Las conexiones internas, etiquetadas como netXnetX, vinculan nodos clave, incluyendo rutas entre entradas y salidas, con un diseño optimizado en el uso del espacio y claramente segmentado para minimizar interferencias.



b. Dibujos (coloque en formato editable los esquemas de trazado de circuito integrado). **Los dibujos deben ir en trazos negros, no se permiten colores y/o tonalidades. NO SE PERMITEN FOTOGRAFÍAS.**

