



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA
FACULTAD DE CIENCIAS DE LA ELECTRÓNICA

MAESTRÍA EN INGENIERÍA ELECTRÓNICA,
OPCIÓN INSTRUMENTACIÓN ELECTRÓNICA

Tesis para obtener el grado de
MAESTRO EN INGENIERÍA ELECTRÓNICA

INVESTIGACIÓN Y DISEÑO DE UN CONTROLADOR DE COMPUERTA
PARA DISPOSITIVOS DE CONMUTACIÓN DE NITRURO DE
GALIO(GaN)

P R E S E N T A:

LIC. LUIS FELIPE GÓMEZ RIVERA*

ASESORES:

DR. GERARDO MINO AGUILAR**

DRA. JOSEFINA CASTAÑEDA CAMACHO**

DR. ALEJANDRO PAREDES CAMACHO***

**BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

***UNIVERSIDAD POLITÉCNICA DE CATALUNYA

Dedicatoria

A mis padres y mis Abuelitas, mamá Panchita y Doña Cristilina (E. P. D.), que me han forjado como la persona que soy en la actualidad. A mi familia por su apoyo incondicional. Y en especial a mi hermano, espero que yo pueda ser una figura de ejemplo a seguir.

Gracias a todos ustedes por ser mi motor, mi soporte y motivo constante de mi superación, muchos de mis logros son gracias a ustedes.

*Odié cada minuto de entrenamiento, pero dije, no te rindas.
Sufre ahora y vive el resto de tu vida como un campeón.*
Muhammad Ali.

Agradecimientos

Al Consejo Nacional de Humanidades Ciencias y Tecnologías (CONAHCYT) por otorgarme una beca durante los 2 años de duración del programa de maestría.

A la Benemérita Universidad Autónoma de Puebla (BUAP) y a la Facultad de Ciencias de la Electrónica (FCE), mi alma mater, así como a la Maestría de Ingeniería Electrónica (MIEL), por brindarme la oportunidad de continuar superándome. A la Vicerrectoría de Investigación y Estudios de Posgrado (VIEP) por los apoyos brindados para facilitar esta trabajo de investigación y la movilidad fuera de México (estancia en España).

Al Centro de Investigación MCIA (*Motion Control and Industrial Applications*) de la Universidad Politécnica de Catalunya, por permitirme realizar mi estancia de investigación para complementar mi proyecto de tesis y poner en práctica mis aptitudes y competencias.

A mis asesores, quienes compartieron sus conocimientos, sugerencias y apoyo incondicional en esta etapa. Al Dr. Gerardo Mino, por motivarme desde antes de culminar la licenciatura y ser el vínculo para mi estancia de investigación, la cual considero abrirá muchas posibilidades en el futuro. A la Dra. Josefina Castañeda, quien se preocupó y me motivó para alcanzar mis metas.

Y un agradecimiento especial al Dr. Alejandro Paredes Camacho, clave fundamental en este trabajo de tesis, tanto como asesor de tesis y su tutela durante la estancia. Gracias por su tiempo, guía, comprensión, paciencia, creer en mí y por compartirme su amistad, conocimientos, experiencias y valores que contribuyeron significativamente para realizar y culminar este trabajo.

A los profesores que compartieron sus conocimientos y herramientas para lograr mis metas educativas. A la M.C. Ana María Rodríguez Domínguez por su arduo trabajo como coordinadora de la maestría. En especial al Dr. Germán Ardul Muñoz y a la Lic. Rita Reyes por su amistad, asesorías, apoyo, confianza, motivación y orientación ofrecida desde que los conozco.

A mis padres, a mi abuelita (mamá Panchita), tía Sabina, tío Edmundo por todo el apoyo brindado, así como a toda mi familia, y amigos que, aunque no pueda nombrar a todos, estuvieron presentes y fueron parte esencial en la culminación de mis metas.

A H.J.T.R. por las canciones, motivarme, inspirarme, las porras, escucharme en mis malos momentos, por estar ahí y por todo el apoyo. *oye oye oye, HSM*.

A mis compañeros de la maestría, en especial a Héctor Lara, Ismael, Héctor Contreras, Pequeño Dena, Elías, Juan. Y a pesar de los altibajos al Tío.

Resumen

Las tendencias y retos actuales en el diseño de electrónica de potencia se enfocan no solo en aumentar la eficiencia, densidad de potencia y energía, sino también en mejorar la fiabilidad de estos sistemas, todo esto sin aumentar los costos. Los dispositivos semiconductores tradicionales, como el Silicio (Si), ya no logran cubrir de manera adecuada las demandas actuales de los sistemas de potencia. Por otro lado, los dispositivos semiconductores de banda prohibida ancha (WBG, por sus siglas en inglés) muestran una tendencia hacia su integración; sin embargo, en aplicaciones de altas potencias surgen distintos retos. Por un lado, los dispositivos de Carburo de Silicio se ven limitados en sus propias características. Por otro lado, los dispositivos de Nitruro de Galio (GaN) cubren estas limitaciones, pero a altas frecuencias de conmutación y potencia, presentan sobre-impulsos y oscilaciones, lo cual deriva en Interferencias Electromagnéticas (EMI). Por este motivo, se considera crucial que las investigaciones se centren en la generación de alternativas y soluciones que reduzcan o, en su caso, eliminen tanto los sobre-impulsos como las oscilaciones. En este trabajo, se enfoca en mejorar el comportamiento en las transiciones de encendido y apagado del dispositivo de GaN. Para lograr este objetivo, llevamos a cabo un estudio exhaustivo de los dispositivos de GaN, centrándonos en sus características, ventajas, desventajas y retos actuales asociados con su integración. Además, abordamos el análisis del estado del arte tanto del dispositivo de GaN como de los controladores de compuerta. En relación con la conmutación de dispositivos de GaN para mejorar el comportamiento, se investiga una solución de manejo de compuerta y se analizan las mejoras en los circuitos controladores de compuerta para reducir problemas de sobre-impulsos y oscilaciones. La técnica propuesta implica modificar la señal PWM principal que controla las transiciones de encendido y apagado de los HEMT de GaN. Al generar sub pulsos de tiempo y amplitud específicos, se espera mejorar el comportamiento del GaN, reduciendo sobre-impulsos y oscilaciones. El análisis y estudio de la conmutación de los dispositivos y el método de manejo de compuerta se lleva a cabo mediante simulaciones y experimentos en condiciones de aplicaciones de alta potencia. Los resultados muestran los retos en el diseño de controladores de compuerta y las mejoras que se pueden alcanzar en la conmutación de los dispositivos de GaN en diferentes puntos de operación.

Abstract

Current trends and challenges in power electronics designs focus not only on increasing efficiency, power density and energy but also on enhancing the reliability of these systems, all without increasing costs. Traditional semiconductor devices, such as Silicon (Si), no longer adequately meet the current demands of power systems. On the other hand, wide-bandgap (WBG) semiconductor devices show a trend towards integration; however, high-power applications present various challenges. Silicon Carbide devices have limitations in their characteristics, while Gallium Nitride (GaN) devices address these limitations. However, at high switching frequencies and power levels, they exhibit overshoots and oscillations, leading to Electromagnetic Interference (EMI). Therefore, investigations are required to focus on generating solutions for reducing or eliminating overshoots and oscillations. This work focuses on improving the turn-on and turn-off behavior of the device. To achieve this goal, it conduct a comprehensive study of GaN devices, focusing on their characteristics, advantages, disadvantages, and current challenges associated with their application. Additionally, we address the state-of-the-art in both devices and gate drivers. Regarding the switching improvements of GaN devices, a gate-driving solution is investigated, and improvements in gate driver circuits are analyzed to reduce overshoots and oscillations. The proposed technique involves modifying the main PWM signal that controls the turn-on and turn-off transitions of GaN HEMTs. By generating specific sub-pulses of time and amplitude, we expect to enhance the behavior of GaN, reducing overshoots and oscillations. Several analyses and studies of device switching and gate driving methods are carried out through simulations and experiments under high-power application conditions. The results reveal the challenges of the gate driver designs and the switching improvements of GaN devices at different operating points.

Index Terms—GaN, transistors, gate driving, LTspice models.

Índice general

Dedicatoria	I
Agradecimientos	II
Resumen	III
Abstract	IV
Acrónimos	XI
1. Introducción	1
1.1. Convertidores de potencia basados en dispositivos de conmutación de GaN	1
1.2. Estado del arte de controladores de compuerta para dispositivos GaN	3
1.3. Justificación	4
1.4. Objetivos	7
1.4.1. Objetivo General	7
1.4.2. Objetivos Específicos	7
1.5. Estructura de la Tesis	8
2. Características de los transistores de GaN y controladores de compuerta	9
2.1. Descripción general de los dispositivos de conmutación de GaN	9
2.1.1. Estructura y funcionamiento de los transistores de GaN	11
2.1.2. Tecnologías de transistores de GaN	11
2.1.3. Ventajas y desventajas de los transistores de GaN	13
2.1.4. Aplicaciones y tendencias de transistores de GaN	14
2.2. Modelado de transistores de GaN y sus limitaciones	15
2.3. Características estáticas y dinámicas de los dispositivos de GaN	17
2.3.1. Características dinámicas	17
2.3.2. Características estáticas	18
2.4. Pérdidas de transistores de GaN	18
2.5. Desafíos de diseño de electrónica de potencia con dispositivos de GaN	20
2.5.1. Desafíos para la aplicación de transistores de GaN	20
2.5.2. Técnicas para reducir los problemas de conmutación	21

2.6.	Controladores de compuerta	22
2.6.1.	Definición y funciones	22
2.6.2.	Clasificación de los métodos de controladores de compuerta para transistores de GaN	24
2.6.3.	Controladores de compuerta comerciales para transistores de GaN	25
2.6.4.	Gate driving en el estado del arte	26
2.6.5.	Retos de diseño de controladores de compuerta	28
3.	Diseño de un controlador de compuerta para dispositivos de conmutación de GaN	29
3.1.	Concepto y estructura del controlador de compuerta	29
3.2.	Principio de funcionamiento del controlador de compuerta	30
3.2.1.	Principio de funcionamiento en el encendido	31
3.2.2.	Principio de funcionamiento en apagado	32
3.3.	Análisis de funcionamiento y rendimiento mediante simulaciones en LTSpice	33
3.3.1.	Etapas Modificadora PWM	33
3.3.2.	Circuitos para el acondicionamiento de señales	34
3.3.3.	Evaluación Gate-driver	35
3.4.	Análisis rendimiento del dispositivo de GaN	39
3.4.1.	Estudio de pérdidas	40
4.	Análisis experimental de la técnica para el Gate driving	42
4.1.	Desarrollo del prototipo y diseño del banco de pruebas.	42
4.1.1.	Diseño y desarrollo de PCB	42
4.1.2.	Descripción del banco de pruebas	45
4.2.	Planteamiento de la metodología para el desarrollo de pruebas experimentales	47
4.2.1.	Descripción, recursos y programación del PWM en FPGA	48
4.2.2.	Análisis de funcionamiento del transistor de GaN	53
4.2.3.	Pruebas con variación de voltaje (DC Bus)	54
4.2.4.	Barrido de frecuencia	57
4.2.5.	Retardo de componentes electrónicos	59
4.2.6.	Evaluación Gate-driver	60
4.2.7.	Análisis de comparativo de la técnica para el transistor de GaN	62
	Conclusiones y trabajo futuro	64
	Conclusiones	64
	Trabajo futuro	65
	Publicaciones	66
	Bibliografía	68

Índice de figuras

1.1. Comparativa de Sistemas Inversores de Potencia. En la parte superior se presenta un inversor trifásico con tecnología de GaN. En la parte inferior se observa un inversor monofásico (puente completo) con tecnología SiC. Ambos sistemas integrados y disponibles por MCIA-UPC.	2
1.2. Encendido y apagado de un transistor de GaN con frecuencia de conmutación de 100 kHz, 100 V, (V_{ds} /Voltaje de drenaje fuente) a 3 A (I_d /Corriente de drenaje).	4
1.3. Modelo equivalente de un sistema de potencia con transistor de GaN con sus capacitancias e inductancias parásitas(C_{ds} , C_{gd} , C_{gs} , L_d , L_g , L_s).	5
2.1. Descripción de la clasificación actual de los dispositivos de GaN.	10
2.2. Descripción gráfica de los dispositivos de GaN verticales. De izquierda a derecha, GaN en GaN, GaN en GaN normalmente apagado y GaN en Si.	11
2.3. Descripción gráfica de los dispositivos de GaN lateral de izquierda a derecha, Estado apagado, Estado encendido.	11
2.4. Representación de los dispositivos de GaN y modo de operación.	12
2.5. Comparación de dispositivos semiconductores de potencia. Parte superior tecnología de GaN, parte inferior tecnología SiC. Adicionalmente comparativa de izquierda a derecha, encapsulado con un solo transistor y sus equivalentes a 3 ramas respectivamente. Dispositivos disponibles físicamente en el laboratorio (MCIA-UPC).	13
2.6. Tendencias y áreas de aplicación de los interruptores de Si, SiC y GaN para la electrónica de potencia. [1].	15
2.7. Sub-circuito equivalente del modelo HEMT de GaN.	16
2.8. Modelo en LTSpice del dispositivo de GaN, izquierda el código de descripción para la librería, derecha el símbolo explícito del dispositivo de GaN.	17
2.9. Representación de las pérdidas de potencia del dispositivo de GaN.	19
2.10. Controlador de compuerta tradicional.	23
2.11. GDs para un transistor de GaN.	23
2.12. Clasificación de GD para el transistor de GaN.	24
2.13. Modelo genérico GD.	25

3.1.	Formas de onda del transistor de potencia de GaN y concepto de gate-driving. Representación de la tensión compuerta-fuente en tres niveles.	30
3.2.	Arquitectura de gate-driving y transistores de potencia de GaN. . . .	31
3.3.	Modelo LTspice para la validación del método de gate-driving	34
3.4.	Corriente y voltaje del transistor de GaN en la transición de encendido con tres valores diferentes de $Tiempo_1$ y V_{nivel_1} fijados en 2.1 V. . .	36
3.5.	Corriente y voltaje del transistor de GaN en la transición de apagado con tres valores diferentes de $Tiempo_3$ y V_{nivel_2} fijado en 3.9 V. . . .	36
3.6.	Corriente y voltaje del transistor de GaN en la transición de encendido con tres valores diferentes de V_{nivel_1} y $Tiempo_2$ fijado en 25 ns. . . .	37
3.7.	Corriente y voltaje del transistor de GaN en la transición de apagado con tres valores diferentes de V_{nivel_2} y $Tiempo_4$ fijado en 22 ns. . . .	37
3.8.	Corriente y voltaje del transistor de GaN en la transición de encendido con tres valores diferentes de $Tiempo_2$ y V_{nivel_1} fijados en 2,1 V. . .	38
3.9.	Corriente y voltaje del transistor de GaN en la transición de apagado con tres valores diferentes de $Tiempo_4$ y V_{nivel_2} fijado en 3,9 V. . . .	39
3.10.	Comparación entre GaN con PWM normal utilizando $R_g = 5 \Omega$ y gate-driving. Encendido Gate-driving con V_{nivel_1} y $Tiempo_2$ fijados en 2.1 V y 25 ns respectivamente.	39
3.11.	Comparación entre GaN con PWM normal utilizando $R_g = 5 \Omega$ y gate-driving. Apagado Gate-driving con V_{nivel_2} y $Tiempo_4$ fijados en 3.9 V y 22 ns respectivamente.	40
3.12.	Comparación de las pérdidas de potencia de conmutación entre GaN con PWM normal y GD. PWM normal utilizando $R_g = 5 \Omega$ y gate-driving $Tiempo_2$ y $Tiempo_4$ a 25 ns y 22 ns respectivamente; V_{nivel_1} y V_{nivel_2} fijados a 2.1 V y 3.9 V respectivamente.	41
4.1.	Estructura de PCB de evaluación	43
4.2.	PCB placa física	44
4.3.	Banco de pruebas e instrumentación para las pruebas experimentales.	45
4.4.	Sistema integrado	46
4.5.	Componentes de la carga eléctrica para las pruebas experimentales . .	47
4.6.	Metodología para el desarrollo de pruebas experimentales para el GD.	48
4.7.	Diagrama de la arquitectura del sistema.	49
4.8.	Diagrama descriptivo para programación de FPGA.	50
4.9.	Asistente de configuración del recurso y ajuste de parámetros para el divisor de frecuencia.	51
4.10.	Simulación de las señales programadas en la FPGA mediante simulador de <i>Vivado</i> para la transición de encendido y apagado del GaN. . . .	52
4.11.	Señales del resultado de prueba, primera señal PWM modificado en la transición de encendido, señal equivalente al PWM fino y por último, señal de PWM principal de 100 kHz	52
4.12.	Zoom de la etapa de pruebas de la metodología para el desarrollo de pruebas experimentales para el GD.	54

4.13. Voltaje del transistor de GaN, comportamiento de la conmutación a diferentes voltajes de alimentación (DC_{BUS}).	55
4.14. Corriente del transistor de GaN, comportamiento de la conmutación a diferentes voltajes de alimentación (DC_{BUS}).	56
4.15. Voltaje y Corriente del transistor de GaN, comportamiento de la conmutación a alto voltaje de alimentación (DC_{BUS}).	57
4.16. Voltaje del transistor de GaN, comportamiento de la conmutación a diferentes frecuencias de operación. Barrido de frecuencias, 50 kHz, 70 kHz, 100 kHz y 200 kHz.	58
4.17. Corriente del transistor de GaN, comportamiento de la conmutación a diferentes frecuencias de operación. Barrido de frecuencias, 50 kHz, 70 kHz, 100 kHz y 200 kHz.	58
4.18. Voltaje, Corriente del transistor de GaN, comportamiento de la conmutación a diferentes frecuencias de operación. Barrido de frecuencias superiores a 200 kHz.	59
4.19. Resultado de tiempo de retardo de los componentes electrónicos durante la transición de apagado con el PWM modificado, FPGA, Etapa aisladora, Acondicionador, GaN.	60
4.20. Voltaje del transistor de GaN en la transición de apagado con diferentes valores del tiempo del pulso.	61
4.21. Corriente del transistor de GaN en la transición de apagado con diferentes valores del tiempo del pulso.	61
4.22. Comparación de señales de voltaje y corriente entre GaN con PWM normal y gate-driving. Apagado Gate-driving con $Tiempo_4$ fijados en 40 ns.	62

Índice de tablas

1.1. Comparativa de alimentación de compuerta para activación de diferentes dispositivos.	5
2.1. Comparativa de características en dispositivos semiconductores (Si, SiC, GaN), para aplicaciones de potencia.	10
2.2. Descripción de características de GD en el mercado	25
2.3. Comparativa de controladores de compuerta en el mercado	26
2.4. Gate driving en estado del arte	27
3.1. Secuencia del generador de pulsos	34
3.2. Parámetros para la evaluación del gate-driving en LTspice.	35
3.3. Comparación de pérdidas en porcentaje.	41
4.1. Selección de componentes principales del sistema	45
4.2. Parámetros para evaluación experimental	53
4.3. Comparación de pérdidas en porcentaje.	63

Acrónimos

AC	Corriente Alterna
BJT	Transistor de unión bipolar
CI	Circuitos integrados
DC	Corriente directa
EMI	Interferencias Electromagnéticas
EV	Vehículos Eléctricos
FET	Transistor de efecto campo
GaN	Nitruro de Galio
GD	Gate-driver
HEMT	Transistor de alta movilidad de electrones
HV	Alto voltaje
IGBT	Transistor bipolar de puerta aislada
LV	Bajo voltaje
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor
PCB	Placa de circuito impreso
PWM	Modulación por ancho de pulso
Si	Silicio
SiC	Carburo de Silicio
V_{th}	Voltaje de umbral
WBG	Banda ancha

1 Introducción

En este capítulo se presenta una descripción general del trabajo de tesis. Por un lado, se plantea el tema de investigación y se describen las problemáticas y soluciones que se abordan en este proyecto. Por otra parte, se resalta la justificación de esta investigación y se definen los objetivos del proyecto. Finalmente, se describe la estructura del documento de tesis.

1.1. Convertidores de potencia basados en dispositivos de conmutación de GaN

Los convertidores de energía eléctrica, o convertidores de potencia, convierten una forma de energía eléctrica en otra forma de energía eléctrica. Para llevar a cabo esta transformación, estos utilizan elementos de almacenamiento de energía, tales como inductores y condensadores. Además, integran diferentes tecnologías de dispositivos semiconductores, principalmente, diodos de potencia y transistores BJT, FET, IGBTs y MOSFETs. En general, los convertidores de energía eléctrica se clasifican en cuatro tipos según su modo de conversión: AC-DC, DC-AC, DC-DC y AC- AC [2].

Los convertidores de potencia actuales requieren sistemas de alta densidad de potencia, alta eficiencia, fiabilidad y robustez. Estos convertidores encuentran aplicación en diversas áreas, como las energías renovables y Vehículos Eléctricos (EV) [3]. En la literatura, a lo largo de muchos años, se han destacado los dispositivos semiconductores de potencia, como el Silicio (Si), MOSFET y el IGBT, que han sobresalido en la industria en el diseño de convertidores [4].

No obstante, estos dispositivos presentan limitaciones en cuanto a la pérdida de energía y la eficiencia, lo que resulta en la generación de calor. Como consecuencia, se requiere la implementación de disipadores de calor o sistemas de enfriamiento, lo que a su vez conlleva un aumento en el peso, volumen y costes de los convertidores [5].

En aplicaciones como los EV, se requieren convertidores de potencia que sean ligeros y compactos, al tiempo que mantengan altas eficiencias [5]. Una solución a este desafío es aumentar la frecuencia de conmutación de los transistores. Este aumento en la frecuencia de conmutación permite obtener sistemas con menor peso y volumen. Sin embargo, al utilizar dispositivos semiconductores de potencia como IGBT, Si y SiC, un aumento en la frecuencia de conmutación conlleva una reducción de la eficiencia debido a las pérdidas de conmutación [6].

Para abordar estas limitaciones, los dispositivos de Nitruro de Galio (GaN) ofrecen numerosas ventajas, incluyendo la capacidad de operar a altas corrientes, altos voltajes, altas temperaturas y sobre todo, a altas frecuencias de conmutación. Estas ventajas se atribuyen principalmente al alto rendimiento de los dispositivos de GaN, que presentan características superiores en comparación con los dispositivos de Si y los de Carburo de Silicio (SiC), como una banda prohibida más amplia, un voltaje de bloqueo más alto y una velocidad de saturación mayor [7–9].

Estas características distintivas de los dispositivos de GaN se ilustran en la Fig. 1.1, donde se compara la construcción de dos sistemas electrónicos. En la parte superior, la tecnología basada en GaN presenta un inversor trifásico con 3 encapsulados, cada uno dedicado a una rama específica con su electrónica correspondiente. En contraste, en la parte inferior, la tecnología basada en SiC presenta un puente completo (*full bridge*) donde utiliza solo dos ramas, pero requiere 4 encapsulados, ya que cada uno representa un transistor individual.

Esta diferencia visual destaca la capacidad de los dispositivos de GaN para lograr sistemas más compactos y eficientes en comparación con la tecnología SiC.

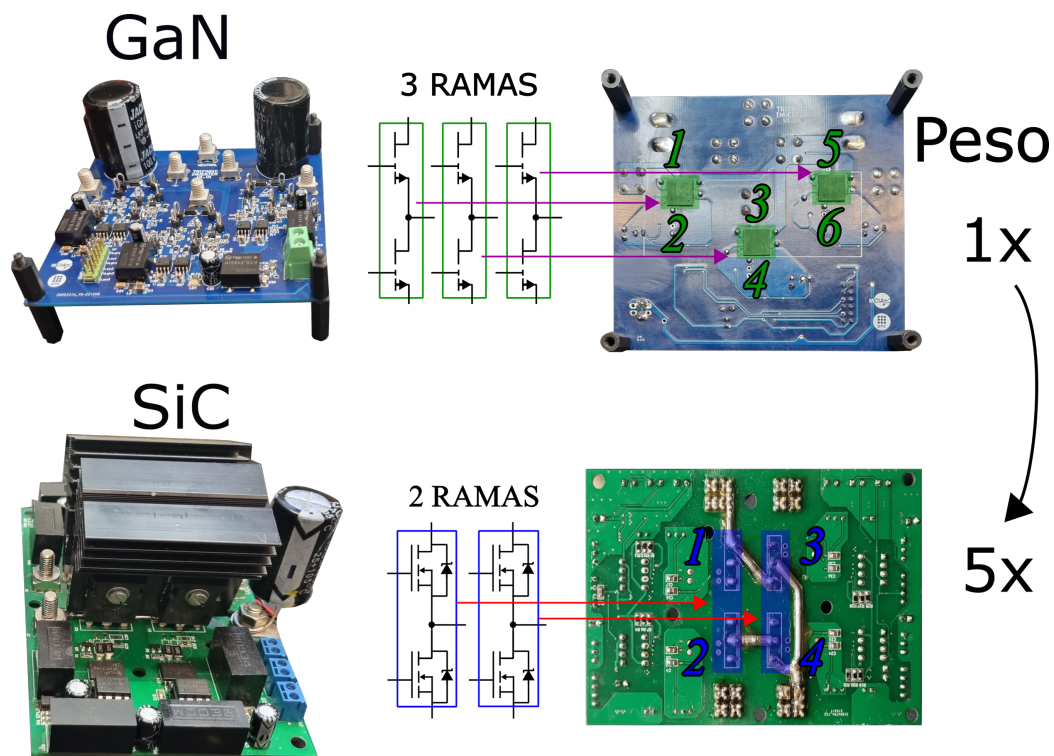


Figura 1.1. Comparativa de Sistemas Inversores de Potencia. En la parte superior se presenta un inversor trifásico con tecnología de GaN. En la parte inferior se observa un inversor monofásico (puente completo) con tecnología SiC. Ambos sistemas integrados y disponibles por MCIA-UPC.

La tecnología de GaN se implementa en el mercado para diversas aplicaciones, gracias a sus características, como las fuentes de alimentación para computadoras portátiles y teléfonos móviles, que son altamente eficientes y de dimensiones reducidas

[10]. Sin embargo, la integración de dispositivos de GaN en convertidores no solo mejora el rendimiento en aplicaciones de baja potencia, sino que también plantea nuevos desafíos de diseño e investigación en aplicaciones de mayor potencia, como los convertidores de potencia y EV.

La implementación de la tecnología de GaN conlleva enfrentar diferentes desafíos. De los principales desafíos sobresalen la gestión de la temperatura y problemas derivados de las velocidades de conmutación al aumentar la frecuencia de trabajo, lo que implica el diseño de circuitos de protección y controladores de compuerta [11].

1.2. Estado del arte de controladores de compuerta para dispositivos GaN

Hoy en día, los dispositivos de nitruro de galio (GaN), como los transistores de alta movilidad de electrones (HEMT), son una tecnología clave para cubrir las nuevas tendencias en electrónica de potencia en muchas aplicaciones, incluyendo telecomunicaciones, fuentes de alimentación industrial, fuentes de energía renovables y transporte electrificado [12, 13].

Las ventajas, inconvenientes y retos de las aplicaciones de los transistores HEMT de GaN han sido ampliamente discutidos en la literatura [14–17]. La mayor eficiencia y velocidad de conmutación son dos características importantes de estos dispositivos. Sin embargo, como se investigó en [8, 15], la conmutación a alta velocidad conduce a inestabilidad y zumbidos que originan problemas de interferencia electromagnética (EMI).

En la literatura se discuten muchas soluciones para mitigar los problemas de funcionamiento a alta velocidad en los transistores de GaN, incluyendo la optimización de las resistencias de compuerta [18], los diseños de placa de circuito impreso (PCB) [19], y la integración de los sistemas monolíticos de GaN dentro de un chip para reducir las inductancias parásitas y los controladores de compuerta monolíticos [20–24].

En la literatura se abordan circuitos de control de compuerta y métodos de control de compuerta [25, 26]. Los conceptos de conducción de compuerta multi-nivel se han investigado ampliamente para controlar la transición de GaN desplazando los niveles de tensión-fuente [20, 27–30]. El controlador de compuerta multi-nivel se ha estudiado ampliamente debido a la ventaja de controlar las pendientes de tensión de compuerta y lograr un alto rendimiento a alta velocidad.

La principal limitación es la alta complejidad de los circuitos y la complejidad de los algoritmos para controlar las transiciones del GaN a alta velocidad. Aunque se han presentado algunas técnicas de control de compuerta, la complejidad de los circuitos, el coste y algunos controladores de compuerta pueden limitar la integración en convertidores de potencia basados en HEMT de GaN. Por lo tanto, es importante investigar métodos alternativos de control de compuerta que puedan implementarse sin aumentar la complejidad y la integración de los circuitos.

En este trabajo se analiza una estrategia de accionamiento de compuerta que consiste en modificar la señal de ancho de pulso modulado (PWM) en la compuerta

de los transistores de GaN durante las transiciones de encendido y apagado utilizando un dispositivo digital y una circuitería analógica sencilla. La principal aportación de este trabajo es una nueva solución de accionamiento de compuerta que considera una modificación PWM y la circuitería basada en diodos Zener para reducir el timbre en transistores HEMT GaN de potencia.

Se han explorado soluciones análogas para transistores de efecto de campo de metal-óxido-semiconductor (MOSFET) de carburo de silicio (SiC) en [31]; sin embargo, las propuestas requieren muchas fuentes de alimentación y varios transistores de potencia para producir los niveles de tensión, lo que podría aumentar la complejidad y los costes. Por lo tanto, la nueva solución de control de compuerta propuesta espera reducir la complejidad y facilitar la integración de los controladores de compuerta en los transistores de GaN.

1.3. Justificación

Los dispositivos de GaN sobresalen y ofrecen un mejor rendimiento en comparación con los dispositivos Si y SiC. Por lo tanto, se les considera una tecnología prometedora para diversas aplicaciones, con rendimientos superiores y al mismo tiempo, menores pesos y volúmenes.

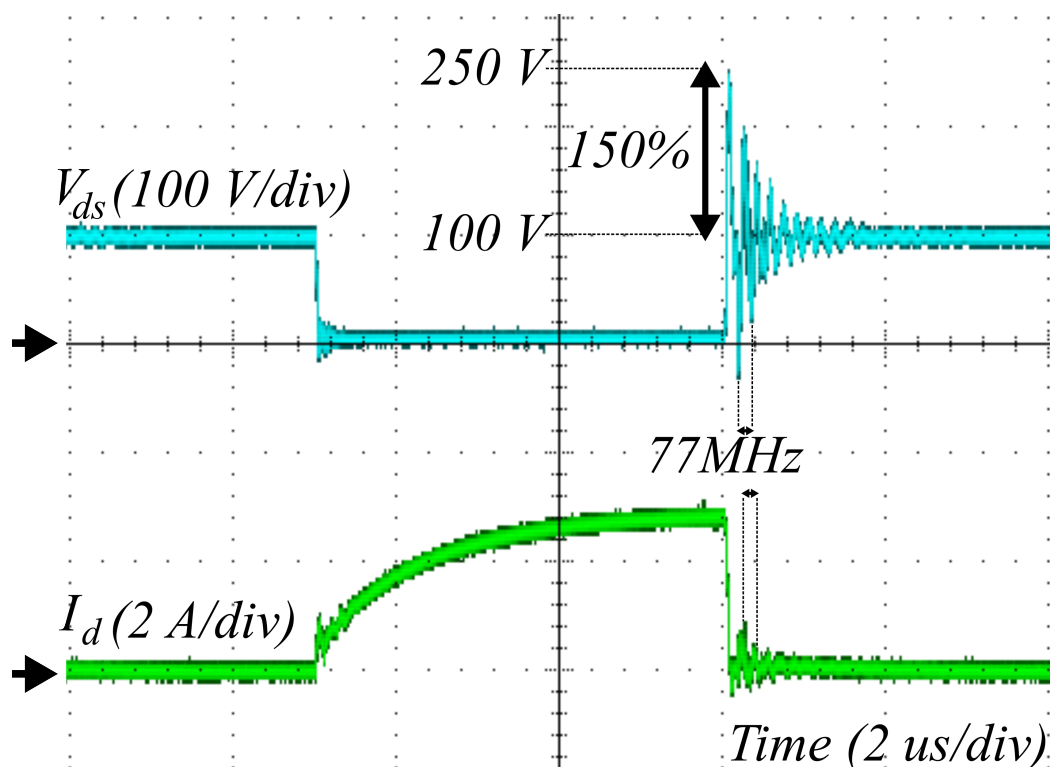


Figura 1.2. Encendido y apagado de un transistor de GaN con frecuencia de conmutación de 100 kHz, 100 V, (V_{ds} /Voltaje de drenaje fuente) a 3 A (I_d /Corriente de drenaje).

A pesar de lograr reducir el peso y volumen, es necesario aumentar la frecuencia de conmutación de los transistores. Sin embargo, esto puede llevar a problemas como oscilaciones, conmutaciones falsas y sobre-impulsos de corriente y voltaje. En la Fig. 1.2, que muestra los voltajes y las corrientes de un transistor de GaN operando a 100 V y una frecuencia de conmutación de 100 kHz.

Tabla 1.1. Comparativa de alimentación de compuerta para activación de diferentes dispositivos.

Dispositivo	Mínimo	Típico	Máximo
GaN	-5 V	0 V a 5 V	10 V
SiC	-10 V	-5 V a 15 V	20 V
SiC	-20 V	0 V a 10 V	20 V
IGBT	-20 V	-10 V a 15 V	20 V

Estos inconvenientes son causados, en parte, por la presencia de elementos parásitos en el sistema, como inductancias y capacitancias parásitas. Además, otra causa de este problema debe atribuirse al umbral de activación de la compuerta del dispositivo de GaN, que es considerablemente menor en comparación con otras tecnologías, como Si y SiC. La Tabla 1.1 presenta una comparación de estos umbrales de activación.

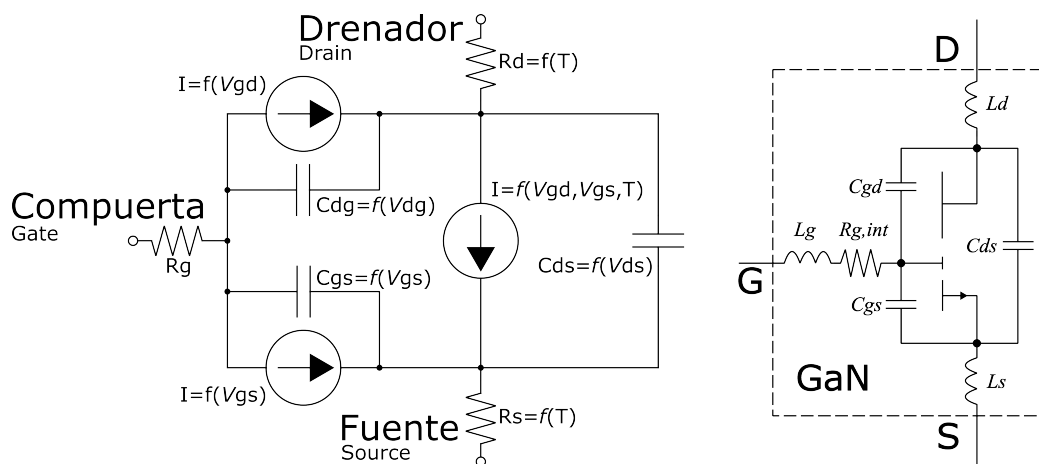


Figura 1.3. Modelo equivalente de un sistema de potencia con transistor de GaN con sus capacitancias e inductancias parásitas (C_{ds} , C_{gd} , C_{gs} , L_d , L_g , L_s).

Para abordar los problemas asociados con una alta frecuencia de conmutación, una de las soluciones o alternativas principales implica la optimización del diseño de la PCB, esto con la finalidad de reducir las inductancias y capacitancias parásitas. Además, es necesario incorporar un circuito controlador de compuerta para garantizar el funcionamiento adecuado del transistor y reducir los problemas asociados con una alta frecuencia de conmutación [11].

El controlador de compuerta, comúnmente visto como Gate-driver (GD) en la literatura, ofrece varias ventajas. Su función principal consiste en acondicionar y/o

amplificar la señal de control (Modulación por ancho de impulsos, PWM) en la compuerta del transistor. El GD tiene un impacto significativo en la conmutación del transistor, mejorando su comportamiento general [32].

En términos generales, los GD desempeñan un papel importante con los transistores de potencia, al establecer la conexión entre el sistema de control (sistema digital) al sistema de potencia, algunos GD tiene la ventaja de realizar la conexión de manera aislada [2]. Además de esto, es necesario tener en cuenta algunos requisitos para los sistemas GD:

- Aislamiento eléctrico
- Baja capacitancia parásita
- Optimización de pistas y espacio entre componentes en una PCB

En la literatura y en el mercado existen GD que ya se han implementado y han demostrado mejorar el comportamiento de los transistores [7, 33, 34]. Sin embargo, estos CI, aunque tienen funciones adicionales como la protección del sistema en el que se implementan, no resuelven por completo los problemas de oscilaciones y sobre-impulsos. Además, están diseñados para aplicaciones de bajo voltaje [35].

Aunque la literatura aborda el tema de los GD [7, 10, 35], es crucial destacar la necesidad de continuar con investigaciones más profundas y estudios comparativos centrados en los transistores de GaN. Estas investigaciones buscando nuevas soluciones que no solo aborden los desafíos comúnmente asociados, como la conmutación y los sobre-impulsos, sino que también enfoquen los problemas de interferencias electromagnéticas (EMI). Esto es crucial para lograr una implementación exitosa en aplicaciones como los EV, que presentan tendencias hacia requerimientos de potencia más elevados.

Cabe resaltar que los GD son una alternativa para abordar los problemas de los dispositivos de GaN. Sin embargo continúan siendo un tema de investigación importante en términos de su implementación. Por lo tanto, este trabajo se centra en la investigación relacionada con los GD, con el objetivo de mejorar la transición el encendido y apagado de los transistores de GaN, que es donde se presentan los principales problemas de oscilaciones y sobre-impulsos.

1.4. Objetivos

1.4.1. Objetivo General

Investigar, diseñar y evaluar un controlador de compuerta para transistores de potencia de GaN para aplicaciones en EV. El controlador de compuerta deberá ser capaz de aumentar el rendimiento de encendido y apagado de los transistores de GaN y reducir los problemas de conmutación de estos dispositivos, tales como picos de corriente y voltaje, así como, oscilaciones que causan EMI.

1.4.2. Objetivos Específicos

- Definir cómo aumentar el rendimiento y las diferentes técnicas para controlar el encendido y apagado de los transistores de potencia de GaN.
- Modelar los transistores de GaN y examinar como reducir los problemas de conmutación de estos dispositivos, tales como picos de corriente y voltaje, así como, oscilaciones que causan EMI.
- Diseñar y modelar un controlador de compuerta que permita mejorar el rendimiento de conmutación.
- Evaluar el controlador de compuerta de transistores de potencia de GaN mediante simulaciones.
- Desarrollar prototipo del controlador de compuerta de transistores de potencia de GaN y banco de pruebas (**SETUP**).
- Validar el controlador de compuerta mediante pruebas experimentales.
- Evaluar y publicar resultados

1.5. Estructura de la Tesis

Para alcanzar los objetivos de este trabajo, la tesis se organiza de la siguiente manera:

Capítulo 2: este capítulo se divide en dos secciones, en el primero se realiza un análisis de los dispositivos de GaN. Comenzando por su clasificación, características principales, ventajas y desventajas, se exploran los problemas, recomendaciones y desafíos que afectan su operación e implementación. Además, se lleva a cabo una exhaustiva búsqueda de información sobre el modelado de dispositivos de GaN para su posterior implementación y análisis.

En la segunda parte de este capítulo se centra en los controladores de compuerta. Se define su funcionamiento y se analizan los distintos tipos, metodologías, ventajas, desventajas, desafíos actuales y posibles soluciones para proporcionar mejores resultados en su integración a sistemas electrónicos.

Capítulo 3: en este capítulo se propone un concepto de controlador de compuerta que se implementa en el modelo de GaN utilizando el software de simulación LTspice. Las pruebas realizadas se centran en la modificación de los parámetros del sub-pulsos tanto para la transición de encendido como para la de apagado. Esto permite un análisis detallado, un estudio exhaustivo y la verificación del funcionamiento del controlador, preparando el terreno para la siguiente fase experimental.

Capítulo 4: basándonos en la información recopilada en los capítulos anteriores, esta sección describe la parte experimental de la tesis. Incluye detalles sobre los parámetros utilizados, la instrumentación empleada y la configuración del banco de pruebas. Posteriormente, se realiza las pruebas experimentales con base en una metodología que se describe en ese mismo capítulo. Se analizan los resultados obtenidos en esta fase experimental.

Conclusiones: en este capítulo se aborda la descripción de los resultados obtenidos, así como las limitaciones y desafíos que implicó la realización de este trabajo. Por último, se enumeran los trabajos futuros, los cuales se derivan de manera fundamentada en los resultados obtenidos.

2 Características de los transistores de GaN y controladores de compuerta

En este capítulo, se realiza un análisis de los dispositivos de GaN, explorando sus características, importancia, ventajas y desventajas. Además, se examinarán los efectos que surgen como resultado de la conmutación de estos dispositivos. Posteriormente, se analizarán técnicas y soluciones disponibles para disminuir dichos efectos. Finalmente, se examinarán las características y requisitos de los controladores de compuerta.

2.1. Descripción general de los dispositivos de conmutación de GaN

En la actualidad, se identifican requisitos y demandas específicas para los convertidores de potencia, los cuales deben ser eficientes, robustos y confiables en diversas aplicaciones y sectores, incluyendo telecomunicaciones, la industria y la automoción, entre otros.

Los dispositivos de Banda ancha (WBG), representan una tecnología que permite la electrónica de potencia de alta frecuencia y eficiencia. Los semiconductores WBG, de SiC y de GaN, ofrecen ventajas significativas en comparación con los dispositivos de Si convencionales, como se ilustra en la Tabla 2.1.

En la Tabla 2.1 [15,36], muestra que los dispositivos de GaN tienen características superiores en comparación con los dispositivos de Si y SiC. La movilidad y saturación de los electrones es mejor en los dispositivos de GaN, lo que les permite operar a velocidades de conmutación más elevadas.

Tabla 2.1. Comparativa de características en dispositivos semiconductores (Si, SiC, GaN), para aplicaciones de potencia.

Parámetro	Nom.	Unidad	Si	SiC	GaN	Característica
Brecha de banda	Eg	eV	1.2	3.3	3.39	Temperatura de unión más alta / pequeña corriente de fuga
Campo critico	Ecrit	MV/cm	0.23	2.2	3.3	Alto voltaje de bloqueo/baja resistencia de estado ON
Movilidad electrones	un	cm ² /Vs	1400	950	1500	Alta velocidad/alta frecuencia de conmutación
Permitividad			11.8	9.7	9	Altos niveles de corriente
Conductividad térmica	y	W/cmK	1.5	3.8	1.3	Funcionamiento a alta temperatura / Baja resistencia térmica

Los transistores de potencia de SiC son ampliamente reconocidos en la literatura, pero presentan limitaciones en términos de pérdida de potencia y eficiencia [37, 38]. Para abordar estas limitaciones, los transistores de GaN de alta movilidad de electrones (HEMT) surgen como una alternativa para resolver este problema. Entre las características destacadas de los HEMT de GaN se incluye su capacidad para operar a corrientes altas, voltajes elevados, frecuencias elevadas y en altas temperaturas. Estas características se deben principalmente al rendimiento sobresaliente de los semiconductores de GaN, que ofrecen una velocidad de saturación y un voltaje de ruptura de banda ancha que son distintos a los de los semiconductores SiC [39–41].

La Fig. 2.1, muestra la descripción general actual de la clasificación de los dispositivos de GaN.

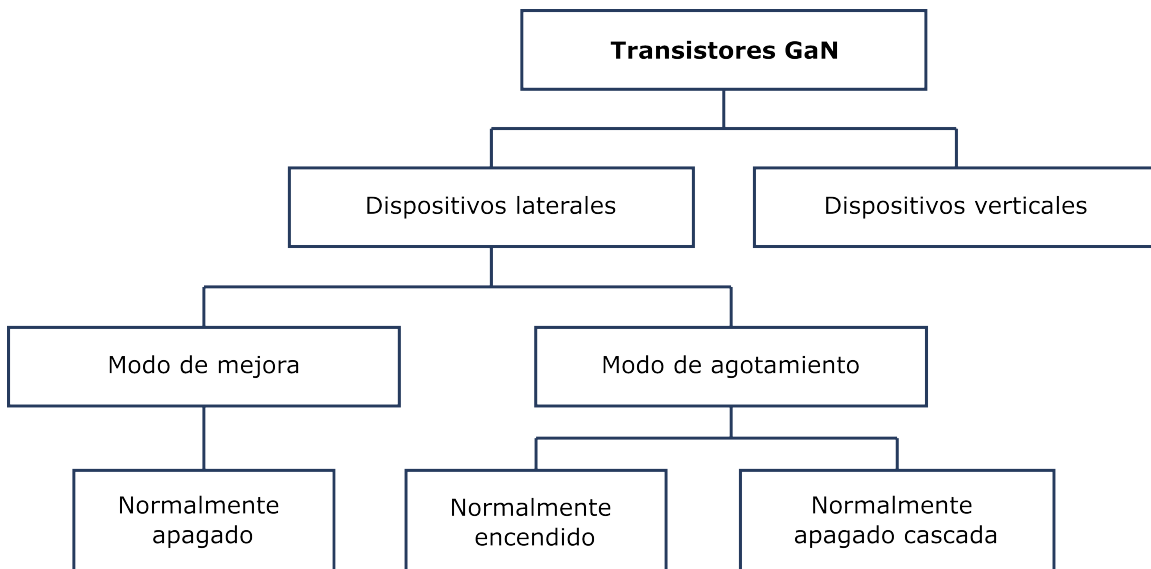


Figura 2.1. Descripción de la clasificación actual de los dispositivos de GaN.

2.1.1. Estructura y funcionamiento de los transistores de GaN

En la literatura, se pueden encontrar dos clasificaciones o estructuras de los dispositivos de GaN: los dispositivos verticales [41–43] y los dispositivos laterales [41,44,45]. La Fig. 2.2 muestra los dispositivos verticales, los cuales se subdividen en GaN en GaN y GaN en Si. Por otro lado, la Fig. 2.3 muestra los dispositivos laterales, también conocidos como HEMT, son los más comunes y comerciales.

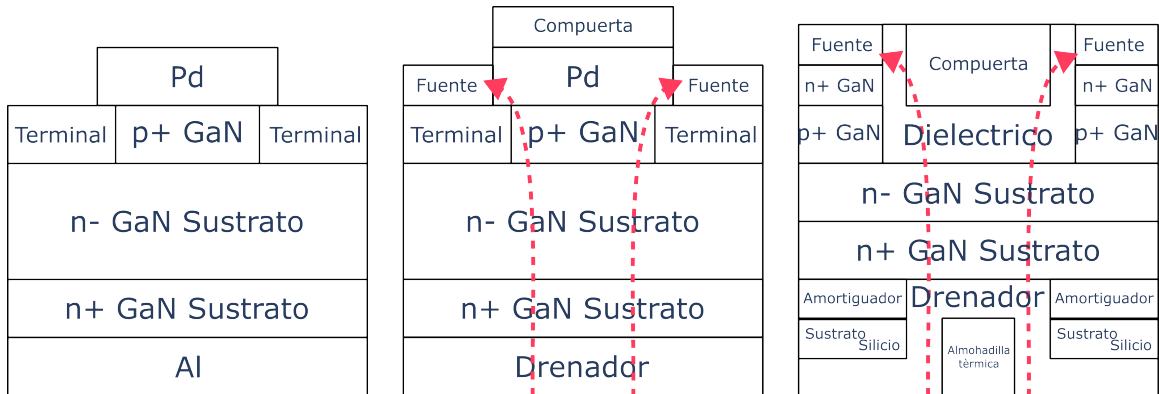


Figura 2.2. Descripción gráfica de los dispositivos de GaN verticales. De izquierda a derecha, GaN en GaN, GaN en GaN normalmente apagado y GaN en Si.

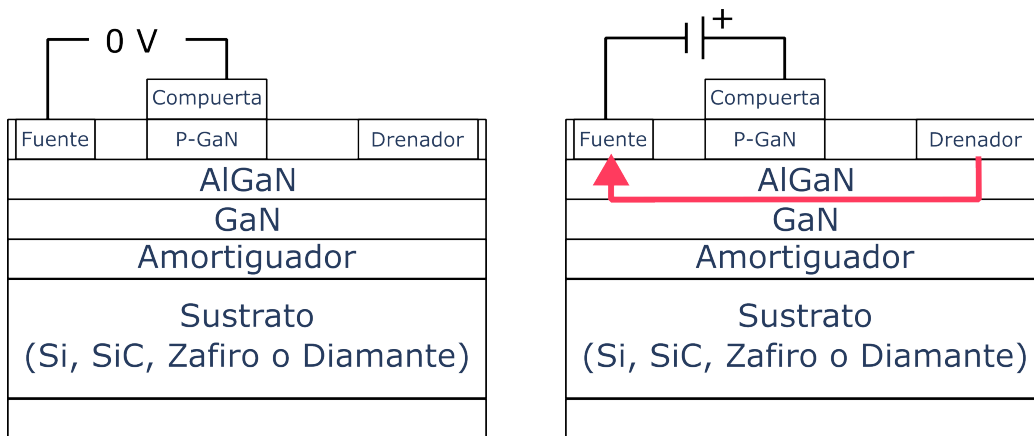


Figura 2.3. Descripción gráfica de los dispositivos de GaN lateral de izquierda a derecha, Estado apagado, Estado encendido.

2.1.2. Tecnologías de transistores de GaN

Los dispositivos de GaN pueden ser fabricados utilizando sustratos de GaN sobre GaN [42, 43] o GaN sobre Si [44, 45]. En la literatura, estos dispositivos se clasifican en tres categorías [34, 41, 46]. La Fig. 2.4 muestra el esquema equivalente: Fig. 2.4a modo de agotamiento, Fig. 2.4b modo cascada y Fig. 2.4c modo de enriquecimiento. Esta clasificación depende de la estructura interna y el diseño durante su fabricación.

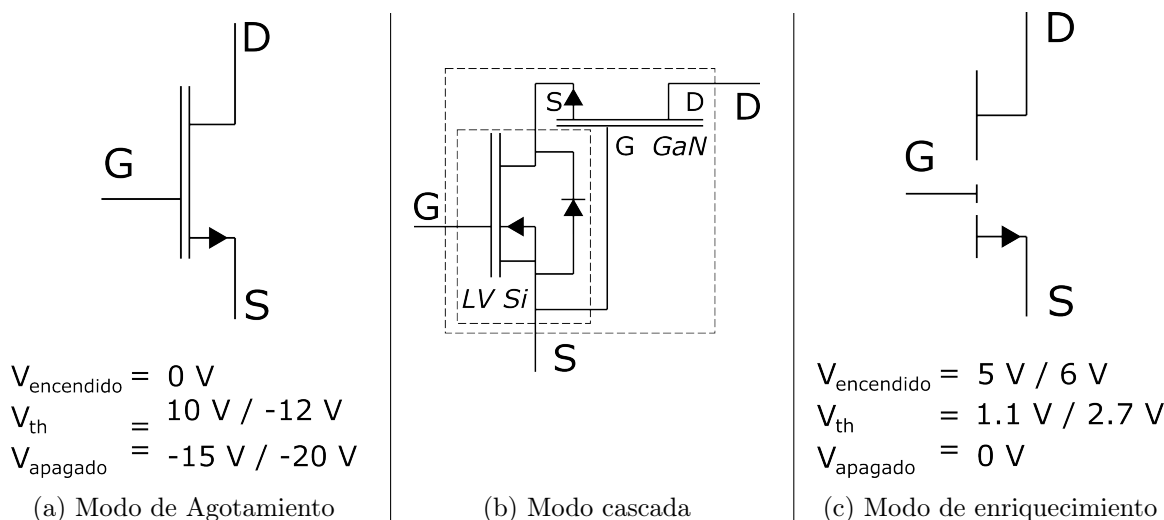


Figura 2.4. Representación de los dispositivos de GaN y modo de operación.

Modo de Agotamiento: En este modo, el dispositivo está normalmente encendido. La principal ventaja que resalta de estos dispositivos es su mejor $R_{ds_encendido}$ en comparación con las otras categorías, como el modo cascada y el modo de enriquecimiento, así como en comparación con los dispositivos de SiC normalmente apagados. Sin embargo, esto presenta desafíos en su implementación, ya que su estado predefinido es encendido. Por lo tanto, se requiere un sistema de protección adicional y una sincronización de arranque suave por parte del controlador para prevenir cortocircuitos.

Modo cascada: en este modo, se utiliza un MOSFET basado en Si de bajo voltaje (LV, típicamente alrededor de 30 V) en serie con el dispositivo de GaN de alto voltaje (HV). Una de las ventajas de este modo es el voltaje de umbral de los dispositivos, lo que permite el uso de circuitos controladores de compuerta simples o convencionales. Sin embargo, una desventaja de este enfoque es que la velocidad de conmutación es menor.

Modo de enriquecimiento: este modo es estructuralmente similar al modo de agotamiento, pero funciona de manera similar al modo cascada. La mejora significativa en este modo es que no requiere la implementación de un MOSFET adicional y, a diferencia del modo de agotamiento, se activa con un voltaje positivo en la compuerta. Estos dispositivos se consideran tener las ventajas de los modos anteriores (modo de agotamiento y modo cascada) y, por lo tanto, muestran un mejor comportamiento en términos de conmutación y generación de pérdidas reducidas. Además, el controlador de compuerta necesario es más simple en este modo. La desventaja de este modo radica en su voltaje umbral (V_{th}), que es bajo.

2.1.3. Ventajas y desventajas de los transistores de GaN

El campo de ruptura más elevado de un semiconductor de banda prohibida ancha (WBG) permite la optimización de dispositivos con regiones de deriva más delgadas, lo que se traduce en dispositivos de potencia con $R_{ds_encendido}$ más baja. La alta movilidad de los transistores de GaN contribuye aún más a reducir la $R_{ds_encendido}$. Además, una mayor velocidad de saturación y capacitancias más bajas permiten transitorios de conmutación más rápida.

En conjunto, las propiedades de los materiales de los semiconductores WBG resultan en dispositivos con una menor resistencia a la activación y pérdidas de conmutación en comparación con los dispositivos de Si que tienen capacidades de voltaje y corriente comparables [41, 46]. Esto es una ventaja significativa sobre otros dispositivos electrónicos de potencia gracias a la integración de propiedades físicas que posibilitan la operación a alta frecuencia y temperatura, baja resistencia y, no menos importante, un tamaño reducido.

Si bien el SiC destaca en aplicaciones de alta temperatura, las características materiales del GaN superan a las del SiC en convertidores de alta frecuencia y eficiencia [41]. Recientemente, los dispositivos de potencia de GaN clasificados hasta 650 V están disponibles en el mercado [47], lo que ha impulsado un gran interés en el diseño de convertidores basados en tecnología de GaN [48].

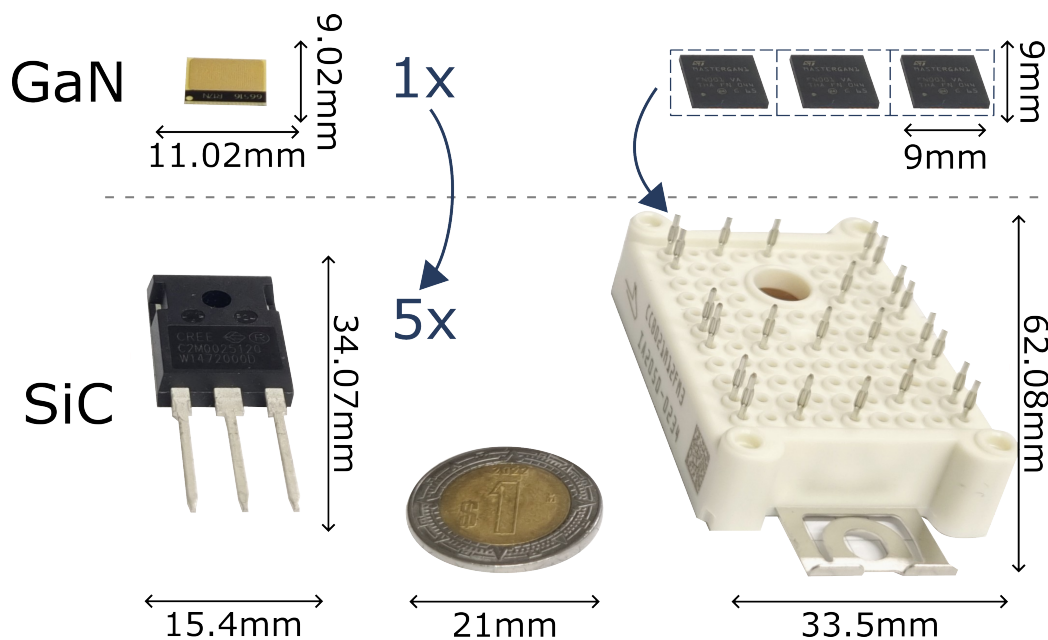


Figura 2.5. Comparación de dispositivos semiconductores de potencia. Parte superior tecnología de GaN, parte inferior tecnología SiC. Adicionalmente comparativa de izquierda a derecha, encapsulado con un solo transistor y sus equivalentes a 3 ramas respectivamente. Dispositivos disponibles físicamente en el laboratorio (MCIA-UPC).

La tecnología de GaN es aplicada principalmente debido a sus características, como se puede apreciar en la Figura 2.5, y una de las ventajas más notables es su tamaño. Hoy en día, los dispositivos de GaN se utilizan en una variedad de áreas, que incluyen

automotriz, generadores de energía, inversores trifásicos, aplicaciones aeroespaciales, aplicaciones aerotransportadas, aplicaciones de radar pulsado, aplicaciones espaciales, entre otras [49–51].

Para comprender la superioridad de la tecnología de GaN sobre otros dispositivos convencionales, especialmente a altas frecuencias y temperaturas, es crucial identificar los factores principales que afectan los límites y el funcionamiento de estos dispositivos. Estos factores pueden incluir la $R_{ds_encendido}$, la velocidad de conmutación, la movilidad de los electrones, el campo de ruptura, la capacidad de operación a alta frecuencia y la eficiencia en condiciones de alta temperatura. El GaN sobresale en muchos de estos aspectos, lo que lo hace especialmente atractivo en una amplia gama de aplicaciones, incluyendo aquellas que operan en condiciones extremas.

En la literatura, se destacan las diversas ventajas de los dispositivos de GaN que se han construido, sobresaliendo sobre otros dispositivos fabricados con otros materiales [52, 53]. Es crucial evaluar las ventajas y desventajas de los dispositivos de GaN al momento de seleccionarlos. Además, dado que es una tecnología en desarrollo, es fundamental mantenerse al tanto de los avances y cambios en el campo. Teniendo en cuenta que esta tecnología es relativamente nueva y no existe una amplia información en comparación con otros dispositivos, para fines de investigación, se considera una opción sólida y valiosa.

2.1.4. Aplicaciones y tendencias de transistores de GaN

Existen diversas maneras de determinar cuándo un dispositivo es superior a otro. Desde hace más de 7 años, en [54], se menciona que los requisitos fundamentales están relacionados con la resistencia, la conmutación, la conductividad térmica, el tamaño y el costo. A continuación, se describen estos requisitos. Y actualmente se confirma esto gracias a diferentes estudios y análisis realizados por otros autores [15, 39, 46].

Resistencia: en los transistores de potencia, es fundamental contar con una resistencia reducida, ya que se trata de uno de los principales requisitos. Una menor resistencia facilita tanto el encendido y apagado eficiente del dispositivo.

Velocidad de conmutación: la velocidad de conmutación tiene un impacto directo en la respuesta del sistema y, por lo tanto, se busca lograr velocidades rápidas. Sin embargo, este es un tema de complejidad, ya que intervienen diversos factores, como la topología, el diseño de circuitos y los límites de velocidad máxima y mínima que el dispositivo puede soportar. En cuanto a las topologías, es importante considerar que existen varias opciones, siendo comunes las topologías de conmutación dura y conmutación suave.

Conductividad térmica: una mayor conductividad térmica facilita una extracción más eficiente y rápida del calor de los dispositivos.

Tamaño: se considera la reducción del tamaño para lograr sistemas más compactos y, como resultado, alcanzar una mayor densidad de potencia.

Costo: a menor costo será más viable su implementación.

Para justificar el uso de GaN en [54], se explica cada apartado comparando el GaN con sus antecesores, los dispositivos de SiC.

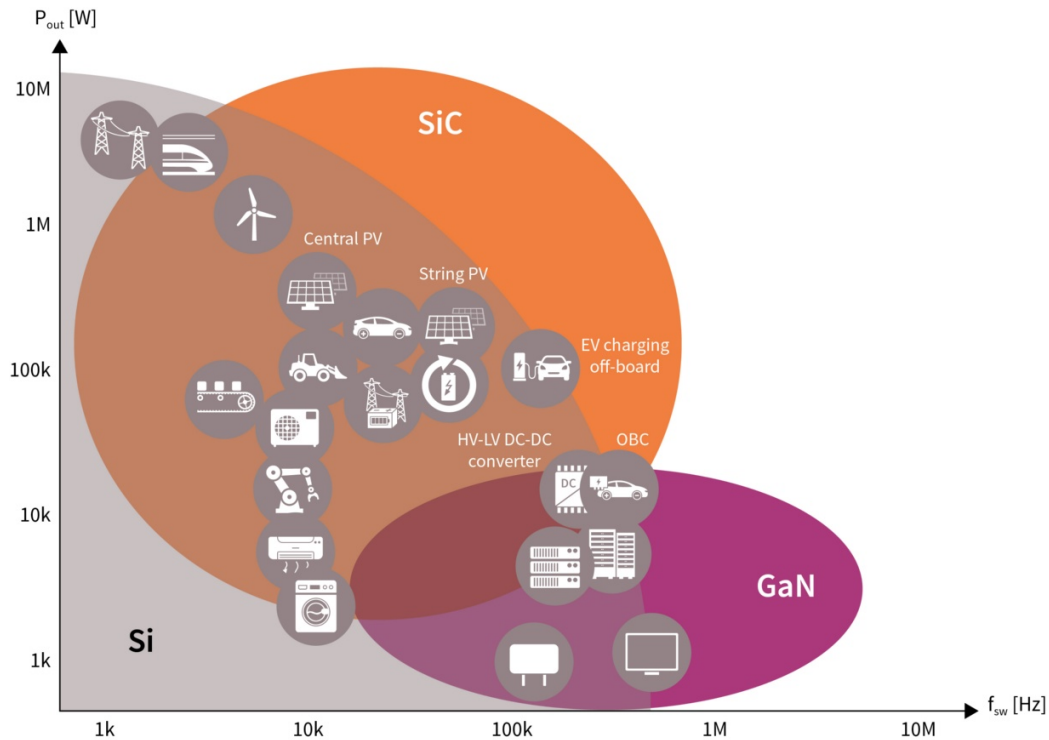


Figura 2.6. Tendencias y áreas de aplicación de los interruptores de Si, SiC y GaN para la electrónica de potencia. [1].

La densidad de potencia se define como la potencia por unidad de área (W/m^2) o unidad de volumen (W/l). En la Fig. 2.6, presenta la evolución de la densidad de potencia en los dispositivos, donde se observa una tendencia creciente y mejor rendimiento en los dispositivos de GaN.

2.2. Modelado de transistores de GaN y sus limitaciones

En diferentes referencias que abordan el modelado de transistores, se mencionan los modelos compactos [55, 56]. El basado en tablas, que toma como referencia los valores de la hoja de datos, de ahí su nombre [57]. El modelo empírico, que se basa en los resultados del dispositivo, es decir, se realiza una caracterización del dispositivo y, una vez obtenidos los datos, se encuentra la función característica para describir su funcionamiento [58]. Por último, el modelo basado en la física, que utiliza ecuaciones avanzadas para describir el comportamiento físico de los dispositivos [59].

Sin embargo, estos modelos se centran en dispositivos de GaN específicos, lo que significa que determinan el dispositivo a utilizar y, a partir de ese punto, realizan el proceso de modelado. Si se desea emplear un dispositivo diferente, se debe repetir todo el proceso para determinar los nuevos valores. Una de las limitaciones observadas radica en este aspecto, y hasta el momento, no se ha encontrado ningún trabajo que utilice un dispositivo de GaN genérico o que permita una fácil adaptación a los parámetros de diferentes dispositivos.

Los modelos de circuito equivalente que asemejan el comportamiento eléctrico del dispositivo de GaN. Los cuales pueden ser o no dependientes de la temperatura, frecuencia, y/o polarización. Este tipo de modelos son viables por la fácil relación entre el circuito y la estructura física del dispositivo como su implementación y evaluación en simuladores de circuitos como LTSpice. La Fig. 2.7 muestra un diagrama del sub-circuito equivalente. Consiste en una fuente de corriente controlada por tensión dependiente de V_{gs} y V_{ds} . Se incluyen resistencias en serie, así como condensadores parásitos dependientes de la tensión.

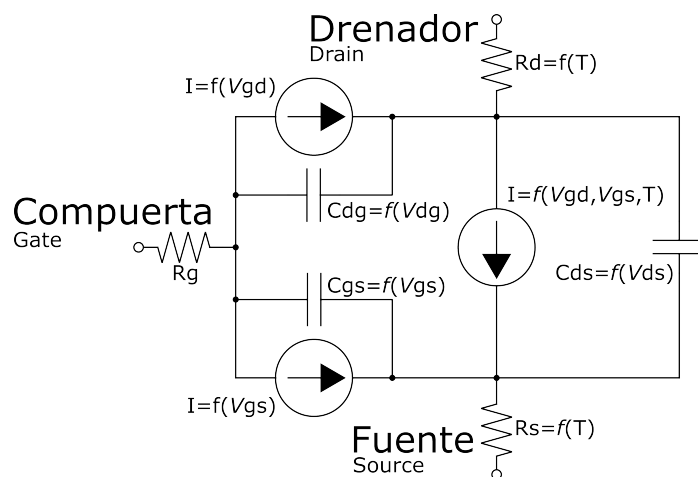


Figura 2.7. Sub-circuito equivalente del modelo HEMT de GaN.

Con base en la Fig. 2.7, se implementa el modelo en LTSpice. Implementar el modelo requiere de dos partes (archivos) la librería (.lib) y el símbolo (.asy). La Fig. 2.8 muestra estas dos partes, a la izquierda el código de descripción para la librería, a la derecha el símbolo explícito del dispositivo de GaN [60].

```

Rcsdconv drain source {4000Meg}
Rcgsconv gate source {4000Meg}
Rcgdconv gate drain {4000Meg}
*
bswitch drain2 source2 I = (if(v(drain2,source2)>0,
+ (cur*(-(Temp-25)*itc+atc)*log(1.0+exp(26*(v(gate,source2)-thr)))*
+ v(drain2,source2)/(1 + max(x0_0+x0_1*(v(gate,source2)+x0_2),0.2)*
+ (-cur*(-(Temp-25)*itc+atc)*log(1.0+exp(26*(v(gate,drain2)-thr)))*
+ v(source2, drain2)/(1 + max(x0_0+x0_1*(v(gate,drain2)+x0_2),0.2)*
*
R_drain2 drain2 drain {(1e-4)}
R_source2 source2 source {(1e-4)}
*
C_GS gate source {6.8e-11}
C_GS1 gate source Q = (-2.65e-11*(1-1./(1+exp(0.07*(-v(drain
+ -0.37e-10*(-0.682+0.66/(1+exp(0.11*(-
*
C_GS2 gate source Q = 3.15e-011*log(1+exp(8*(x-0.9)))
*
C_GD gate drain {0.3e-012}
C_GD1 gate drain Q = 375e-12*log(1+exp(0.07*(x+20)))
*
C_SD source drain {2e-011}
C_SD1 source drain Q = 0.85e-9*log(1+exp(0.085*(x+63)))
+ 1.45e-9*log(1+exp(0.025*(x+180)))
+ -2.65e-11*(1-1./(1+exp(0.07*(x+20))))

```

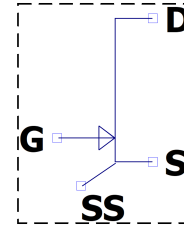


Figura 2.8. Modelo en LTSpice del dispositivo de GaN, izquierda el código de descripción para la librería, derecha el símbolo explícito del dispositivo de GaN.

2.3. Características estáticas y dinámicas de los dispositivos de GaN

Las principales características de los dispositivos de GaN son el voltaje máximo (V_{ds_max}), la corriente máxima (I_{d_max}), la resistencia de conducción (R_{ds}), la tensión umbral de compuerta (V_{th}) y la velocidad de conmutación (S_{wf}), entre otras. Cabe señalar que estas características se dividen en dinámicas y estáticas [61–65]. Y ambas son fundamentales para diseñar y seleccionar adecuadamente el dispositivo de GaN.

2.3.1. Características dinámicas

Las operaciones dinámicas se relacionan con la velocidad y la respuesta del dispositivo a cambios en la señal de entrada. Entre los principales parámetros dinámicos de los dispositivos de GaN se incluyen:

- Capacitancia de Entrada (C_{iss}): La capacitancia de entrada es la suma de todas las capacidades parásitas entre la compuerta y el drenaje. Esta capacitancia influye en la velocidad de conmutación y la respuesta a las señales de entrada.
- Capacitancia de Salida (C_{oss}): La capacitancia de salida se refiere a la capacidad entre el drenaje y la fuente. Es esencial para comprender la respuesta del dispositivo en aplicaciones de alta frecuencia.
- Capacitancia de Transferencia (C_{rss}): La capacitancia de transferencia representa la capacidad parásita entre la compuerta y la fuente. Es importante en aplicaciones de alta frecuencia y puede afectar la respuesta en alta velocidad del dispositivo.

- Tiempo de respuesta de conmutación (tiempo de subida (T_r) y tiempo de bajada (t_f)): Estos tiempos representan cuánto tiempo tarda el dispositivo de GaN en cambiar de un estado de apagado a un estado de encendido y viceversa. Estos son críticos en aplicaciones de alta velocidad.

2.3.2. Características estáticas

Las características estáticas son las que describen el comportamiento del dispositivo de GaN en un punto específico de operación. Entre los principales parámetros estáticos de los dispositivos de GaN se incluyen:

- Corriente de drenaje (I_d): La corriente de drenaje es la corriente que fluye desde el drenaje hacia la fuente del dispositivo de GaN cuando está encendido en modo de saturación. Esta es una medida constante en un punto específico de operación.
- Tensión de umbral (V_{th}): La tensión de umbral es la tensión aplicada a la compuerta del dispositivo de GaN que hace que comience a conducir. Esta característica define cuándo el dispositivo comienza a encenderse.
- Resistencia en encendido (R_{ds_on}): La resistencia en encendido del dispositivo de GaN es la resistencia que presenta cuando está completamente activado en modo de saturación. Es una característica que determina cuánta pérdida de potencia se generará en el dispositivo cuando esté conduciendo.

2.4. Pérdidas de transistores de GaN

El análisis del rendimiento del dispositivo de GaN se logra mediante el cálculo de diferentes pérdidas, y mediante la determinación de algunos parámetros de rendimiento [66–68]. La pérdida de potencia en un interruptor se puede dividir en dos componentes principales: pérdidas por conducción y por conmutación.

Las pérdidas de conducción ocurren durante la conducción de corriente en el dispositivo de GaN. La magnitud de estas pérdidas está determinada por la resistencia interna R_{ds_on} . A menor resistencia, menores serán las pérdidas.

El valor instantáneo de las pérdidas de conducción para un dispositivo de conmutación, en este caso, de GaN, se puede calcular utilizando R_{ds_on} .

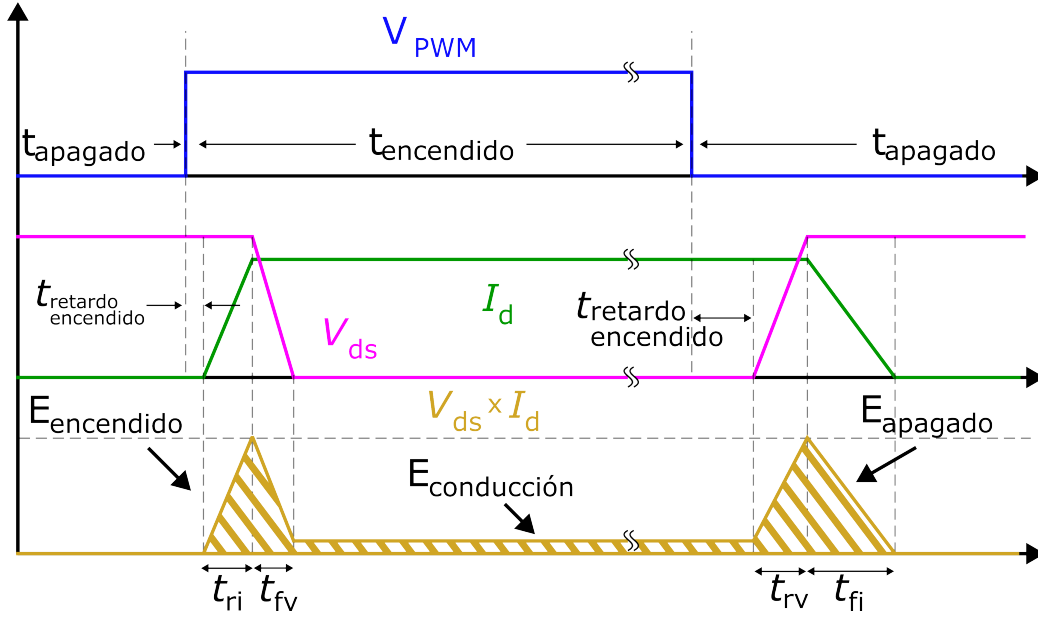


Figura 2.9. Representación de las pérdidas de potencia del dispositivo de GaN.

$$V_{ds} \cdot i_d = R_{ds(on)} \cdot (i_d) \cdot (i_d) \quad (2.1)$$

donde V_{ds} es voltaje del drenador a la fuente y I_d la corriente del drenador. El valor instantáneo de las pérdidas de conducción pueden calcularse con:

$$P_{cond}(t) = V_{ds}(t) \cdot i_d(t) = R_{ds(on)} \cdot i_d^2(t) \quad (2.2)$$

Entonces, el valor promedio de las pérdidas de conducción puede obtenerse por la integración de las pérdidas de potencia instantáneas para cada ciclo de conmutación:

$$P_{cond}(t) = \frac{1}{T_{sw}} \int_0^{T_{sw}} P_{cond}(t) dt = \frac{1}{T_{sw}} \int_0^{T_{sw}} (R_{ds(on)} \cdot i_d^2(t)) dt = R_{ds(on)} \cdot i_{drms}^2 \quad (2.3)$$

Por otro lado, las pérdidas de conmutación son importantes en aplicaciones de alta frecuencia. Mientras se hacen los cambios de encendido y apagado del dispositivo de GaN la capacitancia parásita del dispositivo almacena y disipa la energía. Esto genera una pérdida que es proporcional a la frecuencia de conmutación y al valor de este capacitor. El valor de este capacitor es comparable al tamaño del dispositivo. Y estas pérdidas se representan como:

$$P_{sw} = V_{in} I_o t_{sw} f_{sw} \quad (2.4)$$

donde:

V_{in} es el voltaje de entrada, I_o es la corriente de salida, t_{sw} es el tiempo de conmutación y f_{sw} es la frecuencia de conmutación.

$$E_{encendido} = 0.5 \cdot (V_{ds} \cdot I_d \cdot t_{on} = E_{ri} + E_{fv}) \quad (2.5)$$

$$E_{apagado} = 0.5 \cdot (V_{ds} \cdot I_d \cdot t_{on} = E_{rv} + E_{fi}) \quad (2.6)$$

donde

$$t_{on} = t_{ri} + t_{fv} \quad (2.7)$$

y

$$t_{off} = t_{rv} + t_{fi} \quad (2.8)$$

Para garantizar el correcto funcionamiento y continuidad de corriente, se conecta un diodo de rectificación. Esta pérdida por conmutación es uno de los factores principales de que sea menor la eficiencia resultante.

Por último, las pérdidas totales de los dispositivos de GaN pueden calcularse realizando la suma de las pérdidas analizadas anteriormente.

$$P_{total} = P_{cond} + P_{sw} + P_{compuerta} \quad (2.9)$$

Aunque las $P_{compuerta}$ son pequeñas, se consideran para el valor de las P_{total} .

$$P_{compuerta} = V_{gg} \cdot Q_{compuerta} \cdot f_{sw} \quad (2.10)$$

2.5. Desafíos de diseño de electrónica de potencia con dispositivos de GaN

Antes de diseñar electrónica de potencia con dispositivos de potencia de GaN, es útil comprender sus características y los desafíos que normalmente acompañan a un proyecto de este tipo [15,69,70]. Otras revisiones [34,39–41,53,66], han proporcionado información específica sobre la implementación de los dispositivos de GaN y el diseño en diferentes aplicaciones basados en GaN. Algunas de estas revisiones se enfocan en una tecnología o dirección de investigación de un dispositivo de GaN en particular, en lugar de cubrir la gama completa de dispositivos comerciales disponibles en la actualidad. Además, los desarrollos significativos en los últimos años requieren una actualización de estos trabajos anteriores.

Por lo tanto, esta revisión tiene como objetivo abordar los aspectos de los dispositivos de potencia de GaN que son relevantes para el diseño de convertidores, ya que el panorama de los dispositivos disponibles comercialmente continúa cambiando.

2.5.1. Desafíos para la aplicación de transistores de GaN

Cabe destacar que los dispositivos de GaN ha demostrado ser más maduros y rentables en comparación con otros dispositivos, como indican varios estudios. Entre sus principales características o ventajas, se destaca una menor resistencia al drenaje

en comparación con otros dispositivos, lo que resulta en menores pérdidas por conducción. Además, las capacitancias intrínsecas también se reducen, lo que se traduce en velocidades de conmutación más altas [71]

La conmutación de alta frecuencia introduce una implementación diferente de capacitores e inductores en los sistemas de convertidores, lo que impacta directamente en la densidad de potencia. Sin embargo, esta ventaja conlleva algunos inconvenientes, como el aumento de EMI, lo cual puede causar problemas al utilizar estos dispositivos [72].

Adicionalmente, en el diseño, las inductancias parásitas generadas por el PCB añaden un nivel de complejidad. Si no se tiene en cuenta adecuadamente en el sistema, estas inductancias parásitas pueden generar sobre-impulsos durante la conmutación, lo que podría dañar tanto el dispositivo de GaN así como el resto del sistema, al superar los límites de los valores nominales.

Algunos de los desafíos clave relacionados con el desarrollo de sistemas de potencia que utilizan dispositivos de GaN son: módulo de potencia y empaquetado, protección, gestión térmica, control, filtros EMI y controladores de compuerta

Aunque estos temas son interesantes, este trabajo se enfocara en los controladores de compuerta. Esto se debe a que el controlador de compuerta es una etapa crucial en la implementación de sistemas de potencia que ofrece soluciones a los problemas de conmutación que generan sobre-impulsos de corriente y voltaje, así como a las oscilaciones que causan EMI.

2.5.2. Técnicas para reducir los problemas de conmutación

Antes de adentrarnos al tema de técnicas, es importante las consideraciones que se tienen que tener al utilizar estos dispositivos de GaN.

- Diseño o caracterización específica de los dispositivos de GaN, ya que no existe modelos genéricos, y cuando se requiere cambiar de modelo se tiene que realizar todo el proceso nuevamente a las especificaciones del nuevo componente.
- Implementación o diseño de controlador de compuerta para un óptimo funcionamiento, como ya se vio anteriormente sin este controlador, las oscilaciones y problemas de conmutación son muy significativas y causan daños a los componentes.
- Diseño de PCB, minimizando el espacio todo lo posible para evitar inductancias parásitas que afectan el rendimiento del dispositivo de GaN.
- Aunque 0 V es lo necesario para apagar los dispositivos de GaN en el modo de enriquecimiento, se recomienda utilizar voltajes negativos para garantizar el óptimo funcionamiento, aumentando la inmunidad al ruido en la etapa del controlador.
- Las resistencias de compuerta que son utilizadas para controlar la velocidad de conmutación del dispositivo de GaN debe de ser lo más cercano al pin de

compuerta de éste. En [73–75] hacen referencia de dispositivos comerciales de GaN donde el controlador ya está integrado dentro del mismo empaquetado para mitigar los problemas relacionados con el mal diseño y generación de resistencias e inductancias parásitas, sin embargo, están definidos para aplicaciones específicas y solo se pueden usar topologías simples y se sabe que estructuras más complejas requieren de un mejor manejo y modificación en el controlador y su topología.

2.6. Controladores de compuerta

La literatura sugiere aplicaciones que demandan la reducción de las EMI con alta eficiencia y densidad de potencia. No obstante, como se analizó en secciones anteriores y se investigó en [8, 15], las conmutaciones a alta velocidad pueden generar inestabilidades y ocasionar sobre-impulsos, siendo estas las principales razones detrás de la generación de EMI.

En la literatura se exploran diversas soluciones para abordar los desafíos de funcionamiento a alta velocidad en los transistores de GaN. Entre estas soluciones se incluyen la optimización de las resistencias de compuerta [18], la mejora en los diseños de PCB [19], la integración de sistemas monolíticos de GaN dentro de un chip para reducir las inductancias parásitas y la implementación de controladores de compuerta monolíticos [20].

Las técnicas de conmutación y los GD para dispositivos de GaN están en tendencia actualmente, ya que las técnicas tradicionales ya no cumplen con las demandas de los diseños de GaN de alta frecuencia. Para ser más precisos, los desafíos que surgen están relacionados con la optimización del diseño del GD.

2.6.1. Definición y funciones

Un controlador de compuerta (GD) es un amplificador de potencia que, con una entrada de baja potencia, generalmente proveniente de una etapa digital que genera un PWM, produce una salida de alta corriente suficiente para conmutar el transistor de potencia, en este caso, el dispositivo de GaN.

En la literatura, los GD son de interés tanto en la investigación como en el desarrollo, ya que presentan mejores características en el rendimiento del dispositivo de conmutación. Existen diferentes métodos o topologías de GD, como resistencia variable, voltaje y corriente variable, por mencionar algunos.

En la Fig. 2.10, se presenta un circuito convencional que generalmente se implementa en un GD básico que consta de resistencias fijas para el encendido y apagado. Sin embargo, este sistema presenta una desventaja, que es el aumento del retardo en el tiempo de respuesta del dispositivo de GaN.

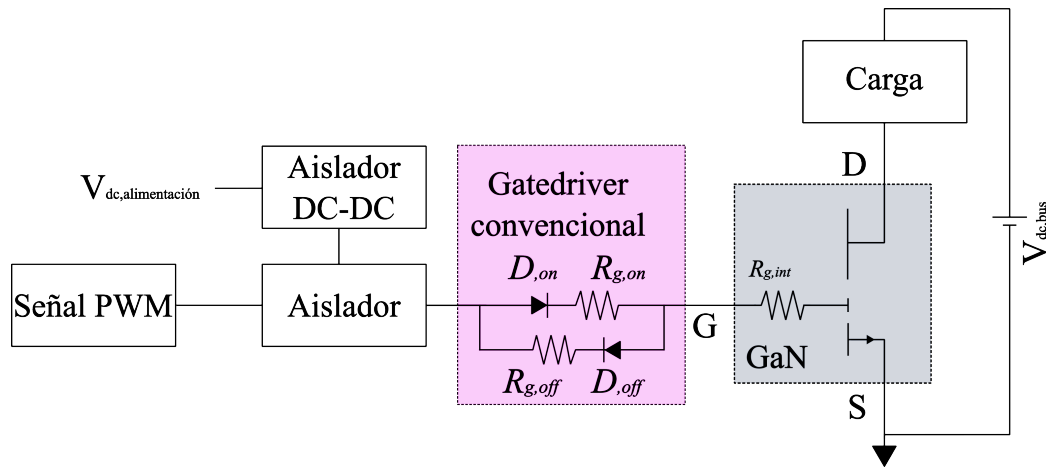
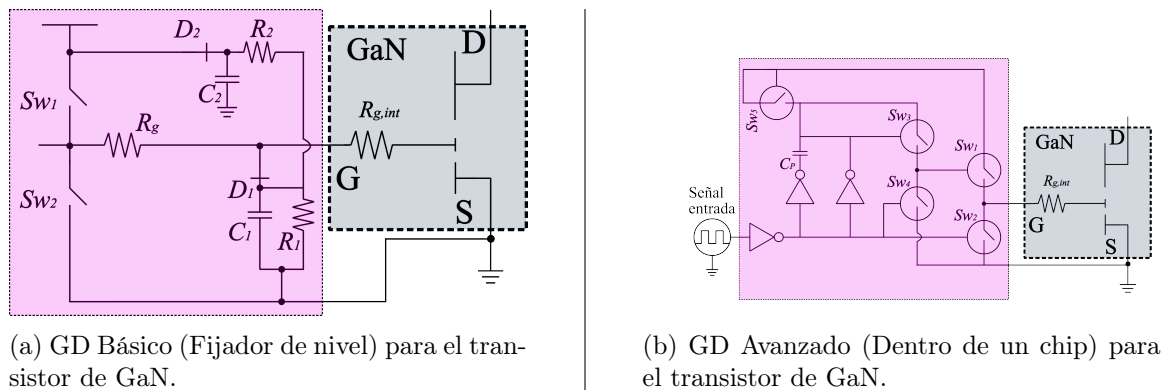


Figura 2.10. Controlador de compuerta tradicional.

Esta constituye la principal diferencia entre un GD convencional y un GD avanzado. En otras palabras, los GD avanzados ajustan la resistencia, voltaje y corriente de la compuerta, ya sea de manera conjunta o por separado, mientras que el dispositivo de GaN está cambiando su comportamiento. En la Fig. 2.11 se muestra el diagrama de los circuitos generales de un GD básico Fig. 2.11a y un GD avanzado Fig. 2.11b.



(a) GD Básico (Fijador de nivel) para el transistor de GaN.

(b) GD Avanzado (Dentro de un chip) para el transistor de GaN.

Figura 2.11. GDs para un transistor de GaN.

Los GD avanzados pueden depender de circuitería adicional, además de un microcontrolador, para adaptar rápidamente un parámetro del mismo controlador durante el periodo de conmutación. Un ejemplo de un GD avanzado se puede observar en [76]. Este consiste en la modificación de las resistencias *pull-up* del controlador. El controlador se divide en dos sub-circuitos: uno es el controlador general, que toma como referencia el PWM del control, y el otro es el controlador más fino, que se modifica de forma independiente. El controlador fino se centra en la reducción de pérdidas, comenzando con una resistencia baja y aumentándola gradualmente para evitar sobre-impulsos.

Antes de abordar los enfoques, los GD avanzados pueden dividirse en diferentes estrategias. Por ejemplo, una se centra en la determinación de la resistencia instantánea, mientras que otras se enfocan en la forma de onda. Al diseñar, es crucial considerar

la aplicación final. En la literatura, no se menciona si existe una estrategia única que maximice el rendimiento de todos los parámetros para todas las aplicaciones.

2.6.2. Clasificación de los métodos de controladores de compuerta para transistores de GaN

En la literatura, se demuestra que diferentes factores pueden considerarse para las metodologías de los GD. Las principales topologías que encontramos están enfocadas en la resistencia, en el voltaje y en la corriente. En la Fig. 2.12 se muestra el concepto general de cada una de estas metodologías [33].

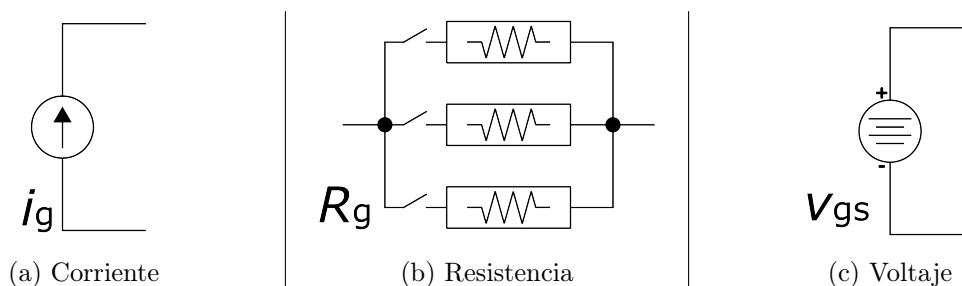


Figura 2.12. Clasificación de GD para el transistor de GaN.

El GD resistivo es el más utilizado, ya que predominan sus características de bajo costo y fácil implementación. Su funcionamiento consiste en ajustar la resistencia para diferentes etapas, como se muestra en la Fig. 2.13a. En este circuito, la resistencia se aumenta o disminuye con la ayuda de los interruptores SW_0 , SW_1 , SW_n . Sin embargo, es importante tener en cuenta que para esta metodología se requiere un mayor número de resistencias y transistores para la activación de las resistencias [77].

El GD de voltaje consiste en modificar el voltaje de la compuerta para modificar el comportamiento del dispositivo de GaN. Una de las principales ventajas de este método es su flexibilidad, ya que, en comparación con el GD resistivo, la desconexión multi-nivel por sí misma brinda protección al sistema sin necesidad de circuitería adicional o topologías sofisticadas. En la Fig. 2.13b, se muestra el circuito básico de este método, en el cual se modifica el voltaje de la compuerta con la ayuda de interruptores (SW_0 , SW_1 , SW_n) [78].

El GD de corriente suele utilizar una fuente de corriente para cambiar la corriente de la compuerta del transistor de GaN. Al modificar la corriente de la compuerta, se modifica la velocidad de carga y descarga de las capacitancias parásitas. En la Fig. 2.13c, se representa el circuito básico para esta metodología, que consiste, en este ejemplo, en interruptores con topología de espejos de corriente. Un espejo de corriente es una opción accesible para realizar una fuente de corriente controlada por una fuente de voltaje [24].

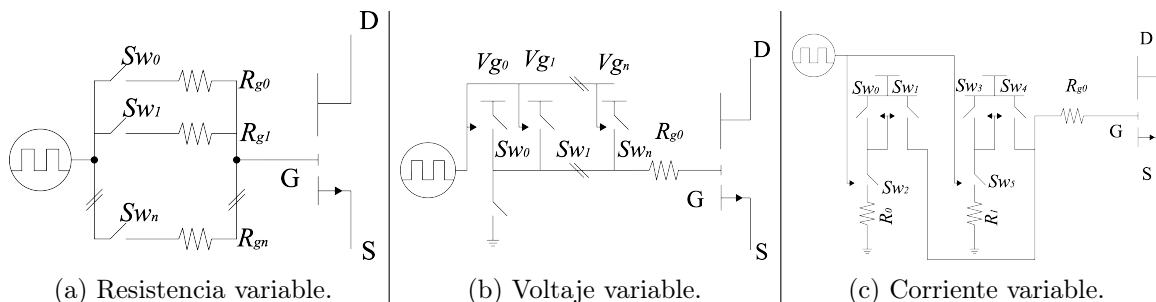


Figura 2.13. Modelo genérico GD.

2.6.3. Controladores de compuerta comerciales para transistores de GaN

En la actualidad existen diferentes alternativas de GD. Hay distribuidores que manejan una amplia gama de GD de diferentes fabricantes. Sin embargo, es esencial analizarlos para determinar el estado actual del avance tecnológico y las metodologías que abordan. En la Tabla 2.2 se muestra una breve lista de los GD con mayor relevancia [79, 80]. Esta lista proporciona una visión general del estado actual del mercado y las opciones disponibles.

Tabla 2.2. Descripción de características de GD en el mercado

Fabricante	Modelo	Características
Infineon Technologies	1EDF5673FXUMA1	Controlador de compuerta aislado de canal único
Infineon Technologies	IGI60F5050A1LAUMA1	Controlador de compuerta aislado IPS Integrated power stage
Analog Devices	ADUM4221-1ARIZ	Controlador de compuerta aislado, para Half bridge Aislamiento de 5700Vrms
Texas Instruments	LMG1210RVRR	Controlador de compuerta 1.5 A, 3 A, 200 V half bridge GD, 5 V UVLO y tiempo muerto programable para GaNFET y MOSFET 19-WQFN -40 a 125
Texas Instruments	LMG2610RRGR	Controlador de compuerta 650 V 170/248-mA GaN half-bridge for ACF with integrated driver, protection and current sense 40-VQFN -40 to 125
STMicroelectronics	MASTERGAN3	Controlador de compuerta High power density 600 V Half bridge driver with two enhancement mode GaN HEMTs
Onsemi	NCP51820AMNTWG	Controlador de compuerta High Perf 650V Half Bridge GD
Navitas Semiconductor	NV6113	Controlador de compuerta GaNFast Single, 650V, 300mOhms, PQFN 5x6

En la Tabla 2.3 presenta una tabla que destaca las ventajas e inconvenientes de los principales GD comerciales, proporcionando una perspectiva detallada de los enfoques de los fabricantes centrados en la protección de los sistemas.

Tabla 2.3. Comparativa de controladores de compuerta en el mercado

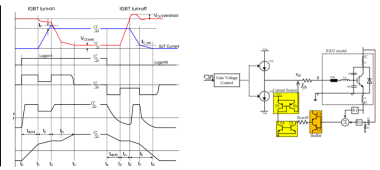
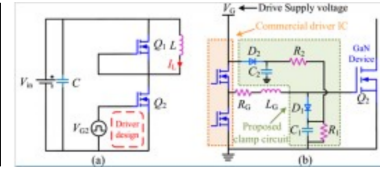
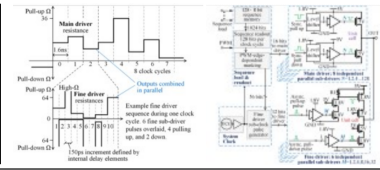
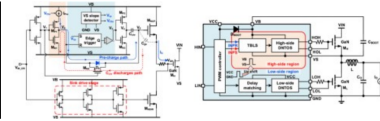
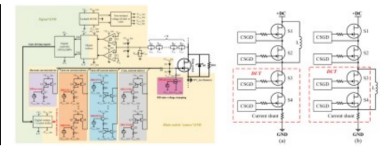
Model	Ventajas	Inconvenientes
1EDF5673FXUMA1	Corriente de compuerta programable Aislamiento galvánico Calificado para aplicaciones industriales	Dedicado para CoolGaN TM Diseño para altos voltajes
IGI60F5050A1LAUMA1	Dos conmutadores Velocidad de encendido y apagado configurable Señal de entrada PWM (frecuencia hasta 3Mhz) Entrada compatible con controlador digital Aislamiento galvánico	Poca o nula disponibilidad en el mercado
ADUM4221-1ARIZ	Compatible con GaN SiC Alta temperaturas (125) Voltaje de entrada lógica 2.5 V - 6.5 V Salida 4.5 V - 35 V Apagado térmico interno	Diseñado para fuentes de alimentación conmutadas
LMG1210RVRR	Frecuencia de hasta 50 MHz Bootstrap	No aislado Diseñado específicamente para GaN Poca-nula disponibilidad en el mercado
LMG2610RRGR	Sistema holístico (Driver - GaNs)	Aplicaciones definidas No aislado Poca-nula disponibilidad
MASTERGAN3	Protección de picos de voltaje Protección de sobrecalentamiento Reducción de los materiales Bootstrap	No aislado Aplicaciones definidas Nula-disponibilidad
NCP51820AMNTWG	Apagado térmico Alta velocidad Bootstrap Fácil implementación	No aislado Aplicaciones de conmutación suave
NV6113	Sistema holístico (Driver - GaN) Frecuencia 2Mhz Fácil implementación Señal de entrada 5 V/15 V Programable dV/dt	Aplicaciones de conmutación suave No aislado

Con base en la Tabla 2.2 y 2.3, se destacan características clave, como el aislamiento para la protección de las etapas de baja potencia (etapa digital), la integración de sistemas bootstrap y el apagado térmico como protección adicional. Estas ventajas son de particular interés para su implementación. Sin embargo, es importante señalar que estas características no incorporan una técnica de conmutación que mejore el comportamiento del dispositivo de GaN.

2.6.4. Gate driving en el estado del arte

En la Tabla 2.4 muestra una comparativa de algunas técnicas (gate driving), para afrontar retos en la integración de dispositivos de GaN. El método 1 muestra una técnica en la cual se realiza una modificación de la señal PWM tanto en la transición de encendido como en la de apagado. La técnica 2 muestra un sistema o configuración de CI adicionales para afrontar los inconvenientes del GaN. El método y 5 muestran una técnica la cual consiste de CI adicionales y no todos los componentes soportan las mismas frecuencias de trabajo.

Tabla 2.4. Gate driving en estado del arte

Método	Ventaja	Desventaja	Descripción grafica de la técnica
Método 1 [81]	Reducción de perdidas Mayor precisión	Poca disponibilidad de CI	
Método 2 [82]	No afecta velocidades	Bajo voltaje 30 V	
Método 3 [28]	Mayor precisión	Complejidad fabricación	
Método 4 [83]	Reducción de perdidas	Aplicaciones Half bridge	
Método 5 [84]	Mayor tensión Vth	Complejidad de implementación	

2.6.5. Retos de diseño de controladores de compuerta

Para el diseño e integración de los GD deben tomarse en cuenta ciertas consideraciones que son de importancia para evitar daños en el dispositivo de conmutación. Entre estas consideraciones, la literatura ha abordado la optimización de diseño, tamaño de dispositivos, fuente de alimentación aislada, voltaje de umbral y frecuencia de conmutación [85, 86].

La optimización del diseño, con la miniaturización de los sistemas, es esencial para mantener dimensiones mínimas y contribuir a la densidad de potencia. En este contexto, se considera crucial el diseño optimizado para cumplir con estos requisitos.

GD aislado, integrar una etapa de aislamiento proporciona ventajas significativas en términos de protección. Por este motivo, muchos sistemas optan por incluir el aislamiento directamente.

Diseño optimizado, la elección de una fuente de alimentación aislada también es crucial, especialmente considerando la etapa de aislamiento para mantener la integridad del sistema.

Voltaje de umbral, ya que el dispositivo de GaN tiene un voltaje reducido de 0 V a 6 V. Es imperativo mantenerse dentro de estos límites para evitar daños irreversibles en el dispositivo de conmutación.

Frecuencia de conmutación. Tanto en el diseño como en la elección de los dispositivos para la circuitería, la frecuencia de conmutación es de consideración primordial, especialmente para dispositivos de GaN, que operan en el rango de los MHz.

3 Diseño de un controlador de compuerta para dispositivos de conmutación de GaN

En el capítulo anterior, se exploraron las características, ventajas, desventajas y retos actuales de los dispositivos de GaN, así como el estado actual de los GD, desde los más básicos hasta los más complejos. Este capítulo se centra en la presentación de una técnica de accionamiento de compuerta para mejorar el rendimiento de conmutación de los transistores de potencia de GaN. Antes de abordar el análisis de esta técnica, nos enfocaremos en una breve revisión de su fundamento y aplicación.

3.1. Concepto y estructura del controlador de compuerta

La técnica propuesta consiste en modificar la señal PWM principal en diferentes niveles de voltaje durante la transición de encendido y de apagado, la Fig. 3.1 muestra el concepto de la idea. Para modificar la tensión se establece el circuito mostrado en la Fig. 3.2.

El circuito consiste en un dispositivo digital, que podría ser un *Field Programmable Gate Array* (FPGA), y n diodos Zener conectados a las salidas del dispositivo digital para establecer diferentes niveles de tensión mediante la programación de una secuencia digital.

Además, la arquitectura de accionamiento de compuerta tiene una configuración de arranque y de *tótem-pole* que condiciona la tensión y la corriente de compuerta del transistor de GaN. El circuito de accionamiento de compuerta requiere dos fuentes de alimentación aisladas diferentes para alimentar el modificador PWM y el circuito *tótem-pole*.

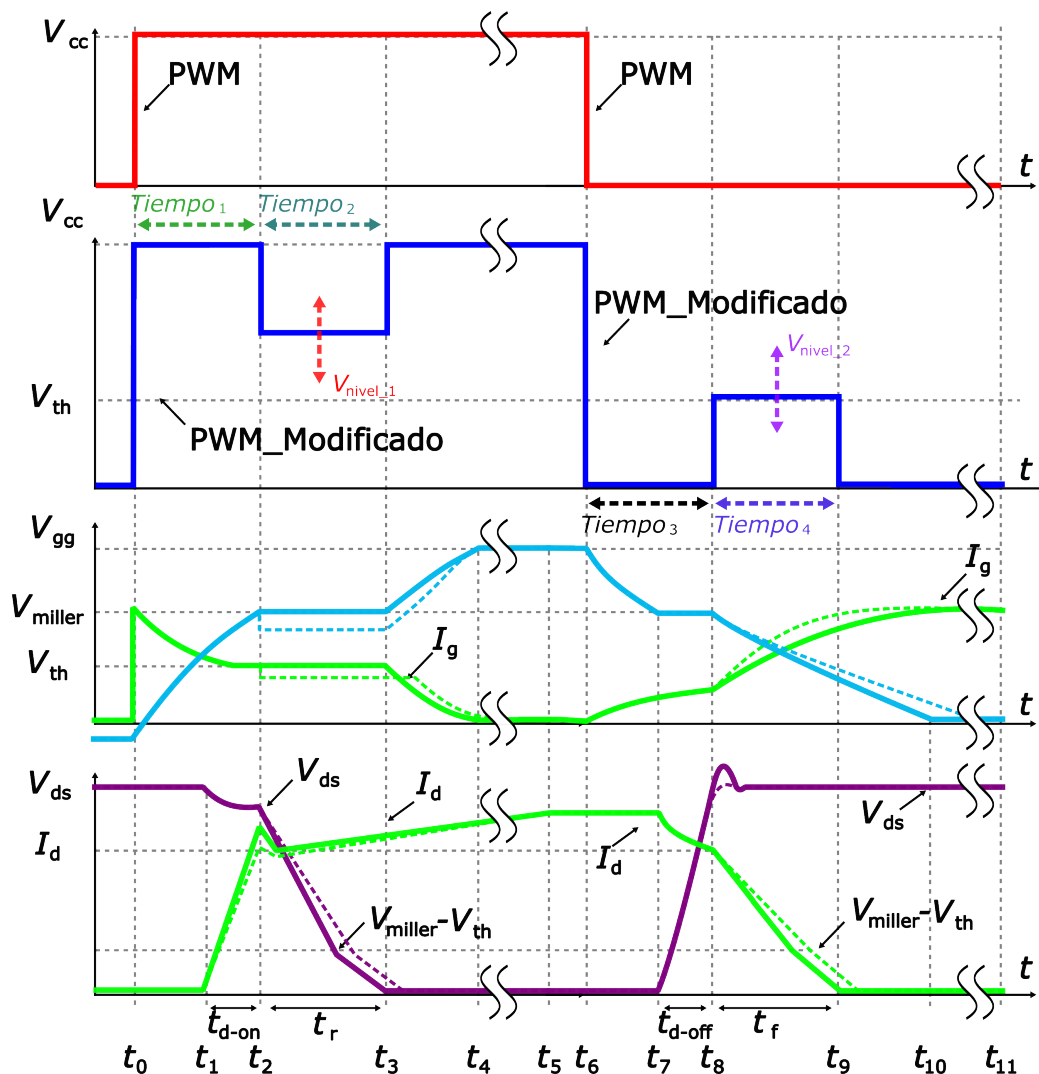


Figura 3.1. Formas de onda del transistor de potencia de GaN y concepto de gate-driving. Representación de la tensión compuerta-fuente en tres niveles.

Cabe resaltar que esta técnica se a visto en el estado del arte aplicado en otros transistores de otro ateriales como por ejemplo en la Tabla 2.4.

3.2. Principio de funcionamiento del controlador de compuerta

El principio del controlador de compuerta para el transistor de GaN es modificar la señal de control PWM durante la región de Miller Plateau del voltaje V_{gs} para el encendido y apagado del dispositivo de GaN. De esta manera, la energía cambia en los intervalos del sobre-impulso, como se muestra en la Fig. 3.1. La señal de control original PWM se modifica durante los intervalos de t_2 a t_3 en el encendido y de t_8 a t_9 en el apagado. Con esto, se logra modificar el comportamiento del dispositivo de

GaN.

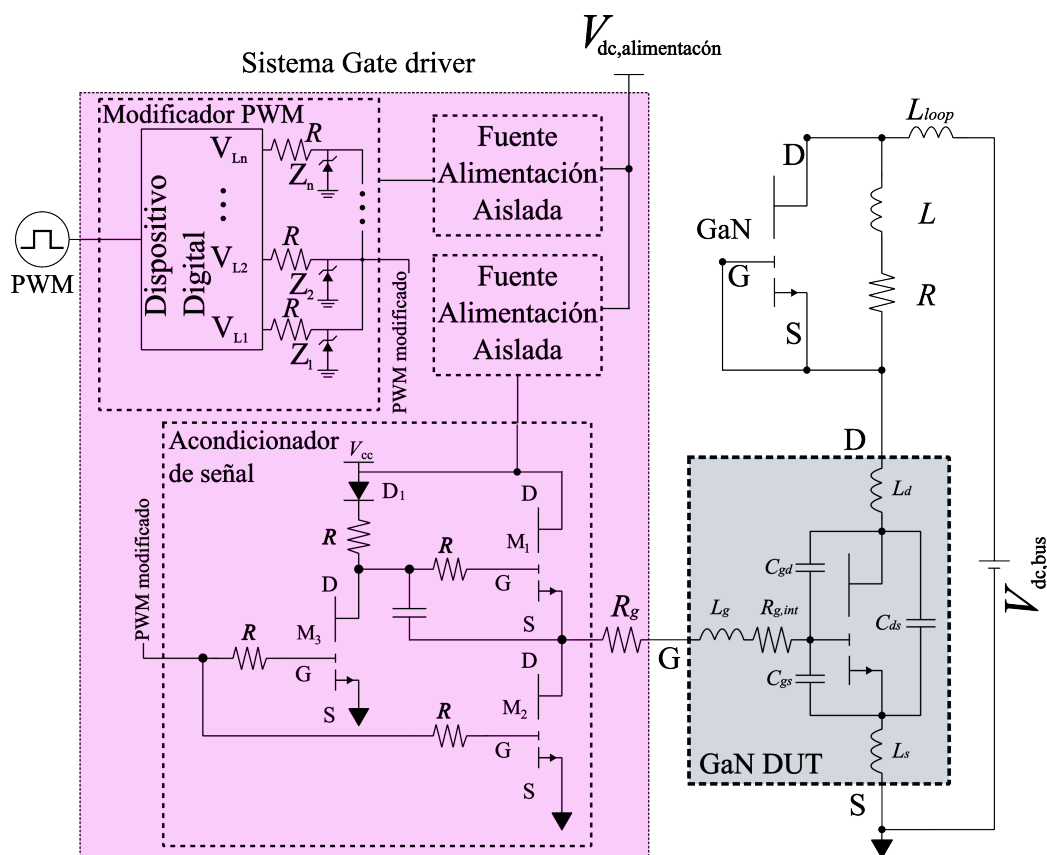


Figura 3.2. Arquitectura de gate-driving y transistores de potencia de GaN.

3.2.1. Principio de funcionamiento en el encendido

Considerando la Fig. 3.2, en la operación de encendido, la idea principal es reducir el nivel de tensión (V_{nivel_1}) en el estado alto del PWM desde un tiempo específico ($Tiempo_1$), durante un periodo definido ($Tiempo_2$). Por lo tanto, en la etapa de encendido, el PWM principal inicia la transición de GND a V_{cc} en t_0 , y debe permanecer durante $Tiempo_1$. En $Tiempo_2$, la amplitud del voltaje PWM cae a V_{nivel_1} durante este tiempo. Cuando $Tiempo_2$ termina, el PWM vuelve a V_{cc} hasta que el PWM cae a GND en t_6 . Con la variación de V_{nivel_1} , las oscilaciones deberían reducirse. Con esta modificación del PWM, la tensión compuerta-fuente (V_{gs}) seguiría la misma forma de onda y entonces la energía del transistor de compuerta se reduciría en el periodo $Tiempo_2$ y las oscilaciones de corriente en el encendido podrían disminuir.

La Tabla 3.1 muestra la secuencia producida por el generador de pulsos en las transiciones de encendido y apagado. Es importante destacar que los V_{nivel_1} y V_{nivel_2} son generados por diodos zener que se activan arbitrariamente. En la Tabla 3.1, las señales se declaran como $Señal_{Zener_1}$ y $Señal_{Zener_2}$.

La pendiente de la corriente de I_{ds} durante la transición de encendido se aproxima a partir de la siguiente ecuación:

$$\frac{d_{id}}{dt} = gfs \cdot \frac{V_{gg+} - V_{gs(th)} - \frac{I_d}{2 \cdot gfs}}{C_{iss} \cdot R_{g,on}} \quad (3.1)$$

Donde gfs es la transconductancia y $C_{iss} = C_{gs} + C_{gd}$ es la capacitancia de entrada del dispositivo de GaN. Por otro lado, las expresiones para corriente I_g son:

$$i_{g,on} = \frac{V_{gg+} - V_{Miller}}{R_{g,on}} \quad (3.2)$$

Considerando que $R_{g,on} = R_{on} + R_{g,int}$ durante el intervalo de encendido. Además, V_{ds} es:

$$\frac{dv_{ds}}{dt} = \frac{i_{g,on}}{c_{gd}} \quad (3.3)$$

Respecto a la ecuación 3.1, las pendientes de corriente y tensión se pueden controlar variando el valor de V_{gg} .

3.2.2. Principio de funcionamiento en apagado

A diferencia a la operación de encendido, teniendo en cuenta la Fig. 3.2, en la operación de apagado, la idea principal es aumentar el nivel de tensión (V_{nivel_2}) en el estado bajo PWM a partir de un tiempo específico ($Tiempo_3$), durante un período definido ($Tiempo_4$). Por lo tanto, en la etapa de apagado, el PWM principal cae de V_{cc} a GND en t_6 , y debe permanecer durante $Tiempo_3$. En $Tiempo_4$, la amplitud del voltaje PWM aumenta a V_{nivel_2} durante todo este tiempo. Cuando $Tiempo_4$ termina, el PWM vuelve a GND hasta el nuevo ciclo PWM. Con la variación de V_{nivel_2} , las oscilaciones en la tensión de desconexión podrían reducirse.

La pendiente de V_{ds} durante la transición de encendido se aproxima a partir de la siguiente ecuación:

$$\frac{dv_{ds}}{dt} = \frac{i_{g,off}}{c_{gd}} \quad (3.4)$$

Por otro lado, la expresión para la corriente de I_g son:

$$i_{g,on} = \frac{V_{gg+} - V_{Miller}}{R_{g,off}} \quad (3.5)$$

teniendo en cuenta que $R_{g,off} = R_{off} + R_{g,ext} + R_{g,int}$ en el intervalo $t_8 - t_9$. Además, la aproximación de la pendiente V_{ds} es:

$$\frac{d_{id}}{dt} = gfs \cdot \frac{V_{gg+} - V_{gs(th)} - \frac{I_d}{2 \cdot gfs}}{C_{iss} \cdot R_{g,off}} \quad (3.6)$$

Respecto a la ecuación 3.4, las pendientes de corriente y tensión se pueden controlar variando el valor de V_{gg} .

3.3. Análisis de funcionamiento y rendimiento mediante simulaciones en LTSpice

En esta sección se presenta la evaluación de la técnica de accionamiento de compuertas mediante modelos LTSpice. La arquitectura hardware mostrada en la Fig. 3.2 fue implementada en LTSpice y el modelo completo se muestra en la Fig. 3.3. En este modelo, el marco A muestra la configuración de potencia de los dispositivos de GaN bajo pruebas (DUT) que consiste en un circuito buck chopper con el DUT y una carga RL sujeta y un transistor de GaN de giro libre. En este análisis, el DUT utilizado fue el transistor de potencia HEMT GaN modelo GS61004B de GaN System.

3.3.1. Etapa Modificadora PWM

En la sección anterior se presentó el circuito para modificar la señal PWM principal. Este cambio se realiza principalmente mediante una etapa modificadora mostrada en la Fig. 3.2, que consta de un dispositivo digital, que podría ser una FPGA, y diodos Zener conectados en los pines de salida del dispositivo digital. En este trabajo se definió un código en LTSpice para modificar el PWM.

En cuanto a la Fig. 3.3, el cuadro B muestra el modificador PWM. Los diodos Zener fijan los niveles de tensión y no todos se activan a la vez. El diodo adicional conectado a la salida del dispositivo digital ayuda a garantizar el nivel de tensión deseado. Es importante comentar que, por ejemplo, si se utiliza una FPGA, el rango de voltajes puede ser de 3.3 V, entonces se seleccionará de Zener para este rango y amplificando el voltaje con el circuito en el cuadro C. Los valores utilizados en este trabajo fueron seleccionados considerando los valores disponibles en el mercado.

Considerando la Fig. 3.2 y marco B del circuito en la Fig. 3.3, para generar la modificación PWM en la transición de encendido, inicialmente (en $Tiempo_1$) en el bloque del dispositivo digital solo se activa el comando Z_V_{cc} , el resto de comandos de diodos están deshabilitados. En $Tiempo_2$, se desactiva $Senal_{Z_V_{cc}}$ y se activa el comando $Senal_{Zener_1}$ (a V_{nivel_1}). Cuando $Tiempo_2$ termina, el comando Z_V_{cc} vuelve a estar activo y $Senal_{Zener_1}$ se desactiva. Para la transición de apagado, en $Tiempo_3$, todos los comandos para los diodos están en bajo, y luego en $Tiempo_4$ la $Senal_{Zener_2}$ se activa durante este tiempo. Cuando $Tiempo_4$ termina, toda la señal de los diodos está en bajo hasta que comience un nuevo ciclo PWM. Esta descripción solo se aplica para dos modificaciones de tensión; para más niveles de tensión o niveles de tensión diferentes, se deben añadir diodos en la salida del dispositivo digital y programar la activación correspondiente.

En la Tabla 3.1, se muestra la secuencia que se puede programar en la FPGA para conseguir la modificación del PWM en las transiciones de encendido y apagado. Es importante destacar que los V_{nivel_1} y V_{nivel_2} son generados por diodos activados arbitrariamente. En la Tabla 3.1, las señales se declaran como $Senal_{Zener_1}$ y $Senal_{Zener_2}$.

Tabla 3.1. Secuencia del generador de pulsos

Señal	Estado					
	Alto			Bajo		
$Senal_{zener_6V}$ para V_{cc}	Alto	Bajo	Alto	Bajo	Bajo	Bajo
$Senal_{zener_1}$ para V_{nivel_1}	Bajo	Alto	Bajo	Bajo	Bajo	Bajo
$Senal_{zener_2}$ para V_{nivel_2}	Bajo	Bajo	Bajo	Bajo	Alto	Bajo
V_{gs}	V_{cc}	$V_{cc} - V_{nivel_1}$	V_{cc}	GND	V_{nivel_2}	GND

3.3.2. Circuitos para el acondicionamiento de señales

Los transistores de GaN necesitan tensiones de compuerta normalmente de 0 a 7 V para funcionar como interruptor. Existen muchos circuitos integrados comerciales para adaptar las señales de control a los niveles de tensión de compuerta y corriente requeridos por los transistores de potencia de GaN. Muchas de estas soluciones presentan retrasos considerables que pueden afectar al rendimiento de conmutación de los dispositivos de GaN de potencia. La propuesta de conducción de compuerta presentada en este documento requiere componentes de alta velocidad con retardos muy cortos para lograr la modificación PWM esperada. Por lo tanto, se definió el circuito tótem que se muestra en la Fig. 3.3, en el marco C. Esta configuración de tótem también se basa en el modelo del dispositivo de GaN de baja potencia EPC2216 del fabricante EPC. Debido a que el tótem utiliza los mismos MOSFET HEMT, es necesario invertir la señal PWM y establecer una referencia para el transistor de GaN del lado superior. Por lo tanto, en este modelo se implementa una configuración bootstrap.

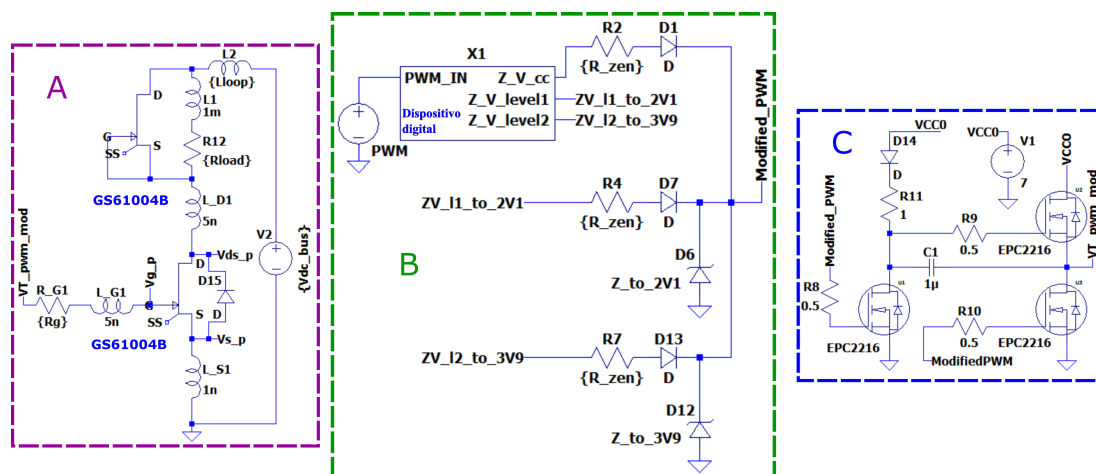


Figura 3.3. Modelo LTSpice para la validación del método de gate-driving

Tabla 3.2. Parámetros para la evaluación del gate-driving en LTspice.

	Parámetro	Valor
1	DC_{Bus}	100 V
2	Corriente de carga	10 A
3	Frecuencia de conmutación	100 kHz
4	Inductancia de carga	11 μ H
5	Resistencia de carga	33 Ω
6	Ciclo de trabajo	50 %
7	Rg	5 Ω
8	Lg	5 nH
9	Ls	1 pF
10	Ld	5 nH
11	Ciss	518 pF
12	Coss	126 pF
13	Crss = Cgd	5.9 pF
14	Cgs	512.1 pF
15	Cds	120.1 pF
16	Lloop	20 nH

3.3.3. Evaluación Gate-driver

El método de gate-driving se evaluó utilizando el modelo LTspice mostrado en la Fig. 3.3, teniendo en cuenta los parámetros mostrados en la Tabla 3.2, y el modelo GaN GS61004B. Los parámetros parasitarios utilizados para esta evaluación de gate-driving se obtuvieron de las notas de aplicación del sistema GaN [87].

El análisis se desarrolló en tres partes. En la primera parte se evalúa el comportamiento del transistor cambiando $Tiempo_1$ y $Tiempo_3$ con V_{nivel_1} y V_{nivel_2} fijados a 2.1 V y 3.9 V respectivamente, estos resultados se muestran en Fig. 3.4 y Fig. 3.7.

En la Fig. 3.4 y 3.5 muestra el comportamiento al modificar el ancho del pulso. Para el encendido el mejor comportamiento se encuentra en 11 ns y para el apagado en 33 ns.

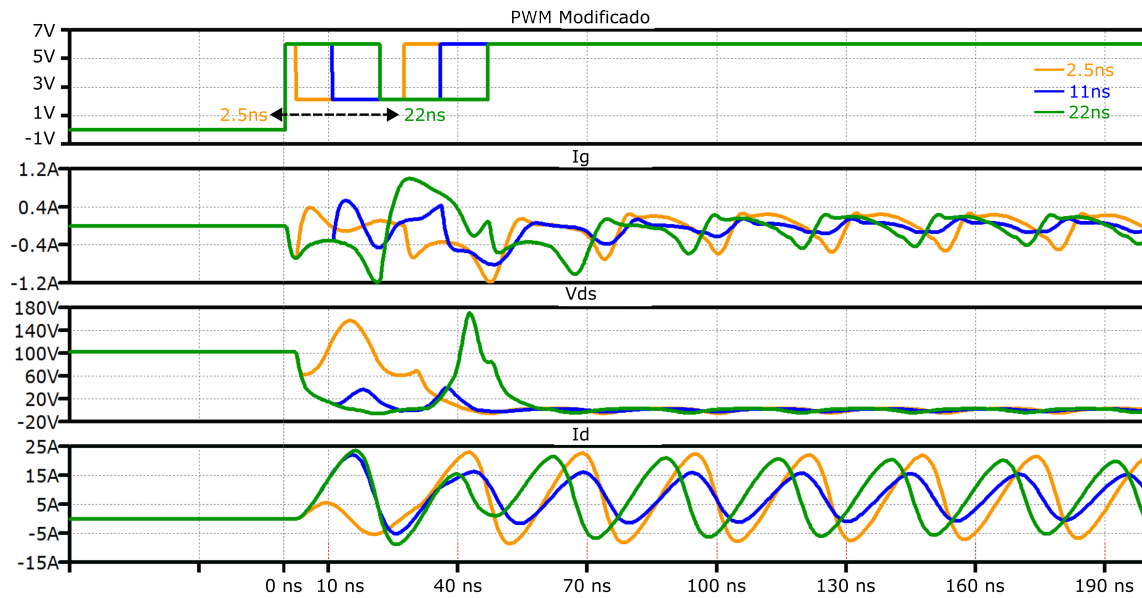


Figura 3.4. Corriente y voltaje del transistor de GaN en la transición de encendido con tres valores diferentes de $Tiempo_1$ y V_{nivel_1} fijados en 2.1 V.

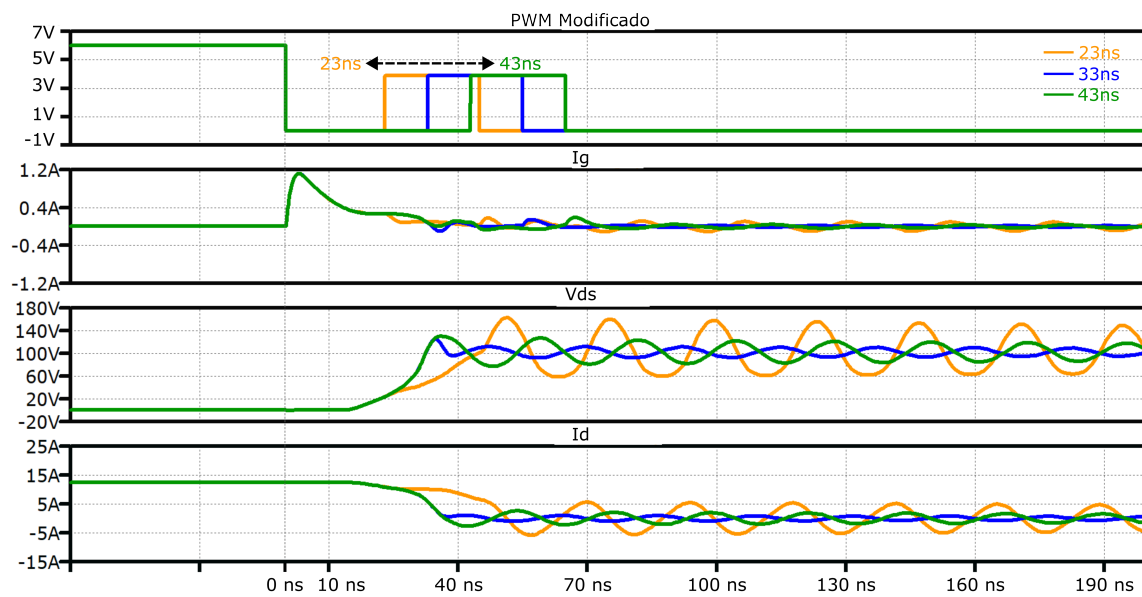


Figura 3.5. Corriente y voltaje del transistor de GaN en la transición de apagado con tres valores diferentes de $Tiempo_3$ y V_{nivel_2} fijado en 3.9 V.

En la segunda parte se evaluó el comportamiento de los transistores cambiando la amplitud PWM en tres magnitudes a $Tiempo_2$ y $Tiempo_4$. Para el encendido se definieron 1,7 V, 2,1 V y 5 V, mientras que para el apagado se fijaron 3.9 V, 4 V y 4.2 V. $Tiempo_1$ y $Tiempo_3$ se definieron como constantes a 11 ns y 22 ns. Los resultados se muestran en la Fig. 3.6 y Fig. 3.7.

La Fig. 3.6 muestra el comportamiento de los voltajes y corrientes del GaN en la transición de encendido cuando se aplica el gate-driving propuesto. Sin embargo,

aparecen picos en V_{ds} posiblemente debido a que el transistor está en el umbral de tensión (2.1 V para el modelo de GaN utilizado) y esto tiene ha apagado o falsa conmutación.

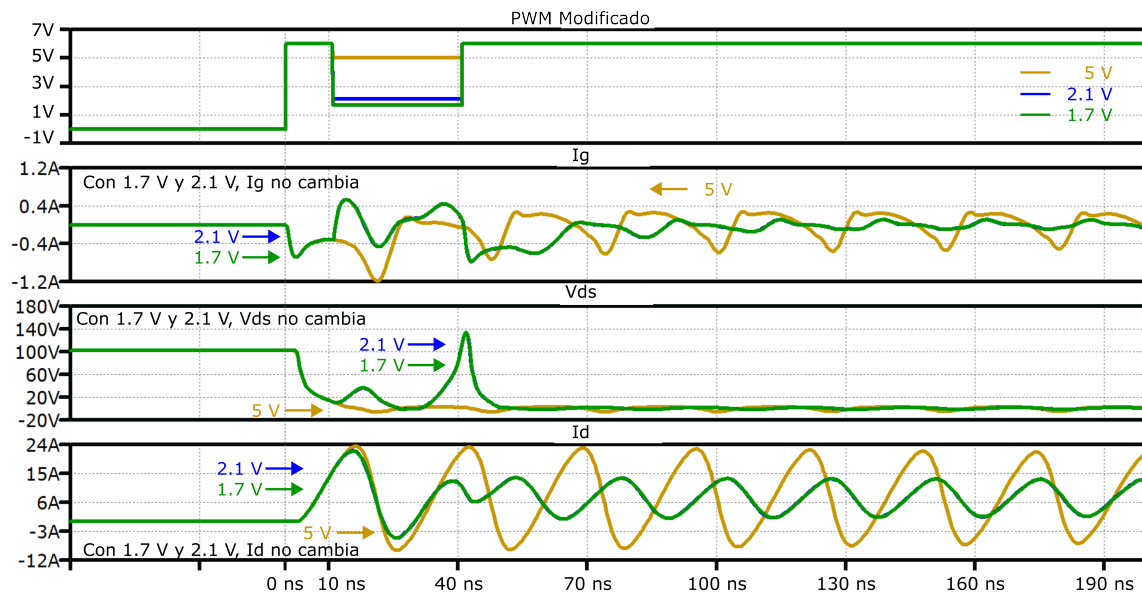


Figura 3.6. Corriente y voltaje del transistor de GaN en la transición de encendido con tres valores diferentes de V_{nivel_1} y $Tiempo_2$ fijado en 25 ns.

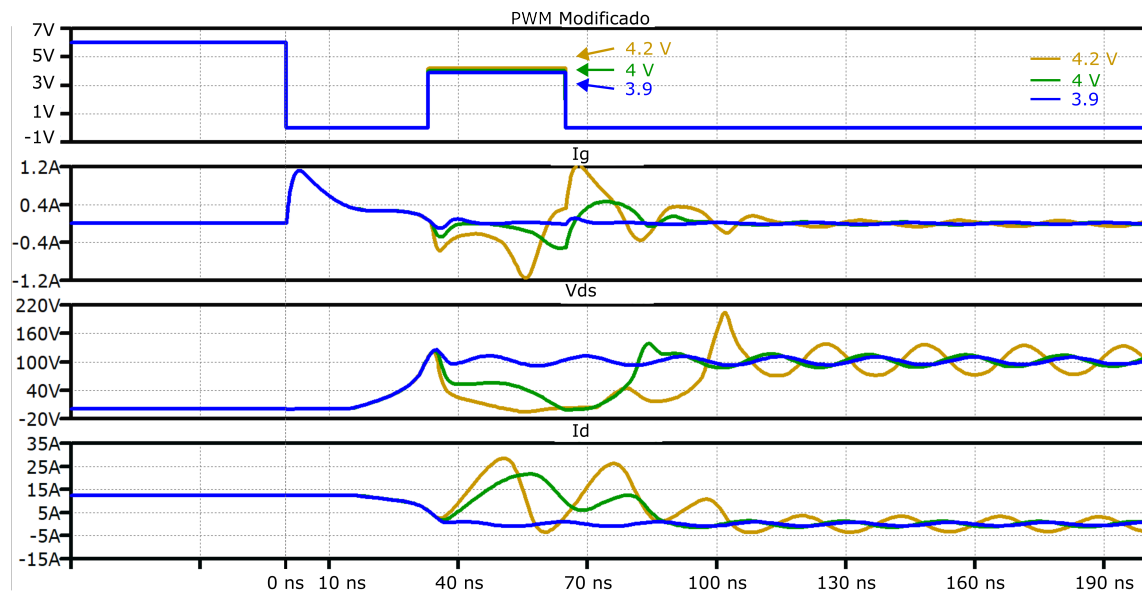


Figura 3.7. Corriente y voltaje del transistor de GaN en la transición de apagado con tres valores diferentes de V_{nivel_2} y $Tiempo_4$ fijado en 22 ns.

Fig. 3.7 muestra el comportamiento de las corrientes y tensiones del GaN en la transición de apagado. Cuando el PWM está en el estado bajo y se aplica V_{nivel_2} , los mejores resultados se obtienen a 3,9 V. Cuando él V_{nivel_2} es superior a 3,9 V

los transistores están en encendido y la forma de onda de tensión se altera y los transistores no funcionan eficazmente.

Para analizar el efecto sobre las tensiones y la corriente de los transistores de potencia se han desarrollado simulaciones de variaciones de temporización. Si se fijan V_{nivel_1} y V_{nivel_2} y se cambia $Tiempo_2$ y $Tiempo_4$, entonces, el encendido y apagado espontáneo de los transistores de potencia y su efecto, comentado anteriormente, solamente se desplaza y esto no mejora la conmutación de los transistores, como se muestra en la Fig. 3.8 y Fig. 3.9. Sin embargo, se podrían aumentar las pérdidas de conmutación.

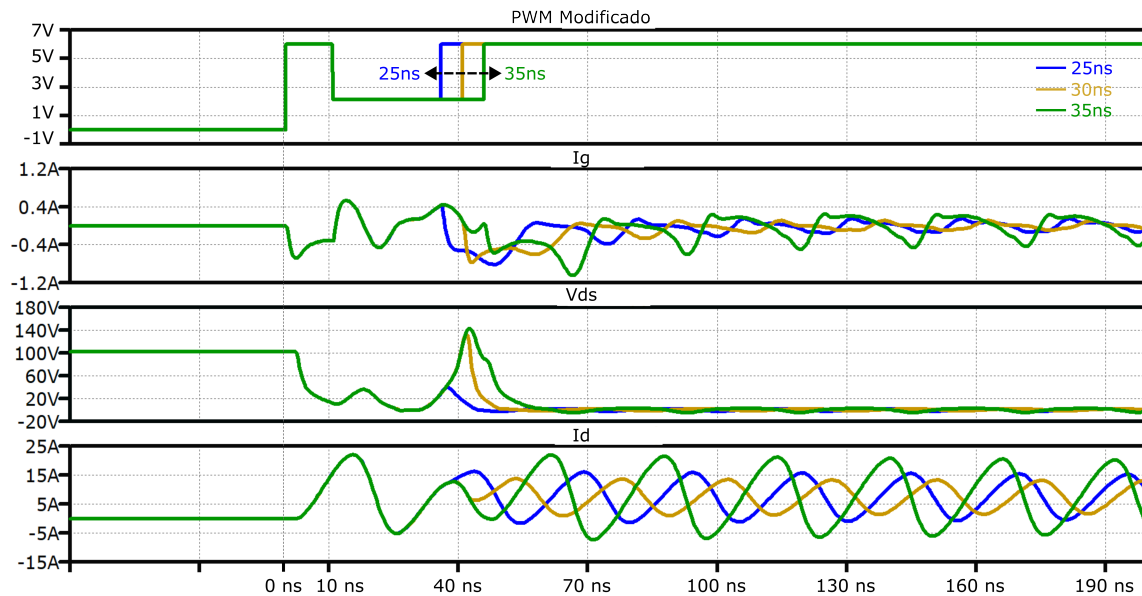


Figura 3.8. Corriente y voltaje del transistor de GaN en la transición de encendido con tres valores diferentes de $Tiempo_2$ y V_{nivel_1} fijados en 2,1 V.

Considerando la Fig. 3.8 y la Fig. 3.9, se puede concluir que únicamente V_{nivel_1} y V_{nivel_2} afectan a la conmutación del GaN, sin embargo, estos parámetros pueden ser optimizados para reducir las oscilaciones. Por otro lado, el análisis de $Tiempo_1$ y $Tiempo_3$ podría desarrollarse en futuros trabajos para analizar su impacto y las posibles mejoras.

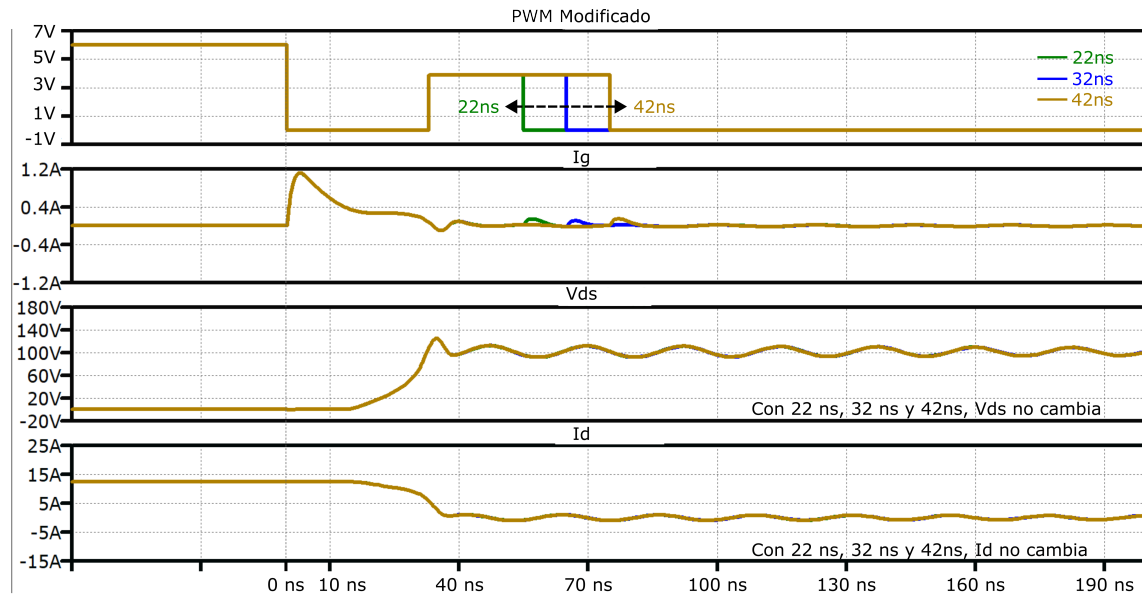


Figura 3.9. Corriente y voltaje del transistor de GaN en la transición de apagado con tres valores diferentes de $Tiempo_4$ y V_{nivel_2} fijado en 3,9 V.

3.4. Análisis rendimiento del dispositivo de GaN

Se ha llevado a cabo un análisis de la conmutación de los transistores de GaN aplicando la propuesta de conducción de compuerta. Las Figuras 3.10 y 3.11 presentan una comparativa entre las formas de onda de los transistores de GaN al utilizar PWM convencional con una resistencia de compuerta R_g de 5 Ω y el controlador de compuerta propuesto.

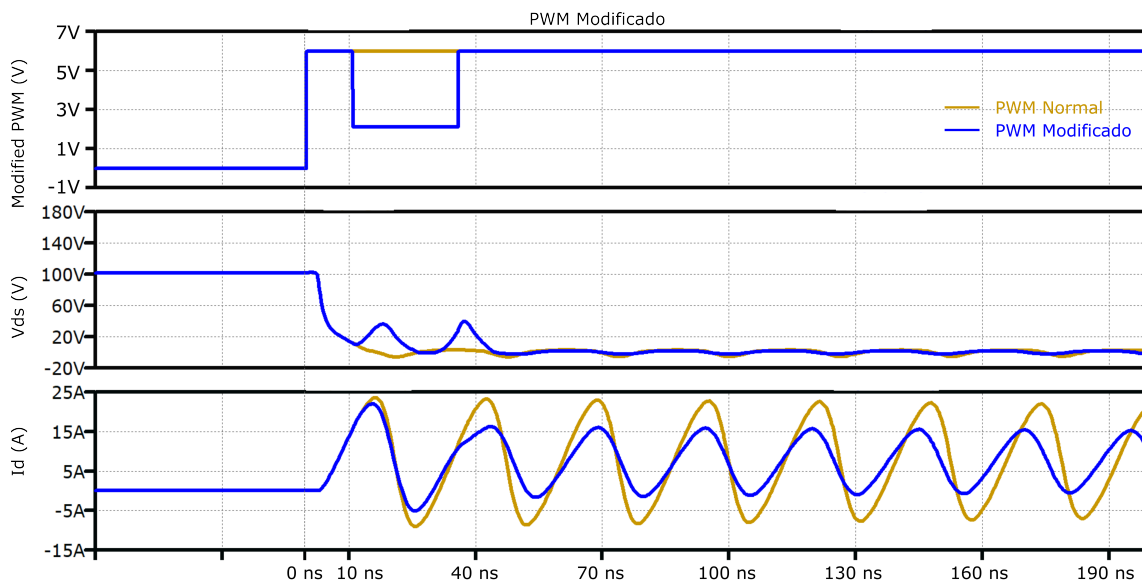


Figura 3.10. Comparación entre GaN con PWM normal utilizando $R_g = 5 \Omega$ y gate-driving. Encendido Gate-driving con V_{nivel_1} y $Tiempo_2$ fijados en 2.1 V y 25 ns respectivamente.

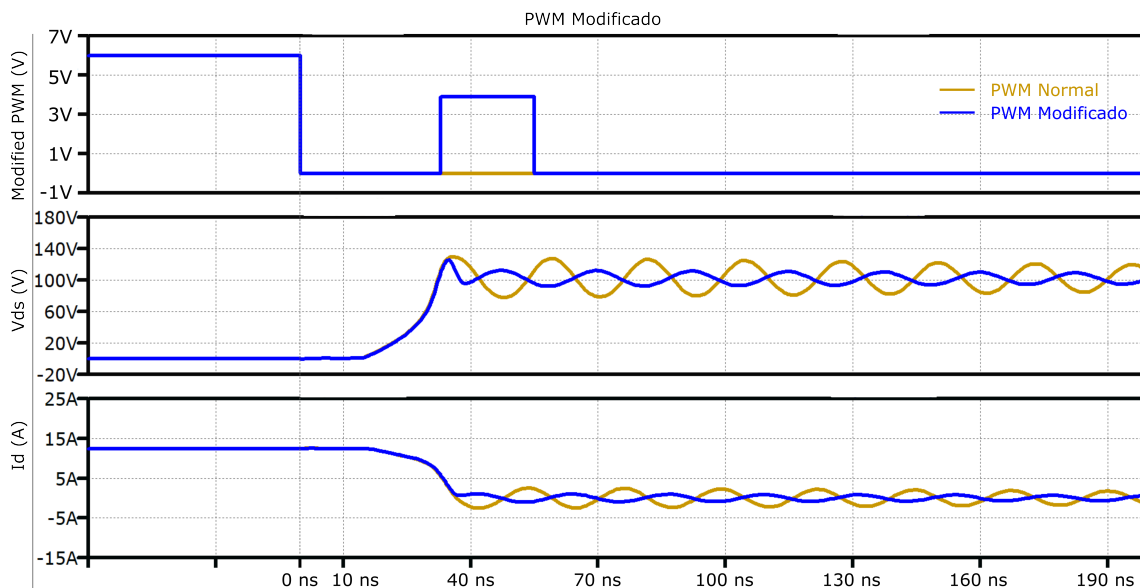


Figura 3.11. Comparación entre GaN con PWM normal utilizando $R_g = 5 \Omega$ y gate-driving. Apagado Gate-driving con V_{nivel_2} y $Tiempo_4$ fijados en 3.9 V y 22 ns respectivamente.

La Fig. 3.10 ilustra cómo la aplicación del controlador de compuerta puede reducir la corriente de drenaje (I_d) de los transistores de GaN. Sin embargo, es importante destacar que los resultados actuales podrían mejorarse. En esta figura, se observa la presencia de falsas conmutaciones en el voltaje drenador-fuente (V_{ds}), lo que podría representar una limitación de esta técnica.

En la transición de apagado, la técnica de control de compuerta no solo tiene la capacidad de reducir la oscilación de (V_{ds}), sino que también puede disminuir el sobreimpulso, como se representa en la Figura 3.11. En esta transición, la conducción de compuerta propuesta muestra un mejor rendimiento en comparación con la transición de encendido.

3.4.1. Estudio de pérdidas

Además, se desarrolló una comparación de pérdidas de potencia entre los transistores de GaN con PWM normal y aplicaciones de gate-driving. La Fig. 3.12 muestra las pérdidas de potencia obtenidas tanto en el encendido como en el apagado utilizando herramientas LTspice.

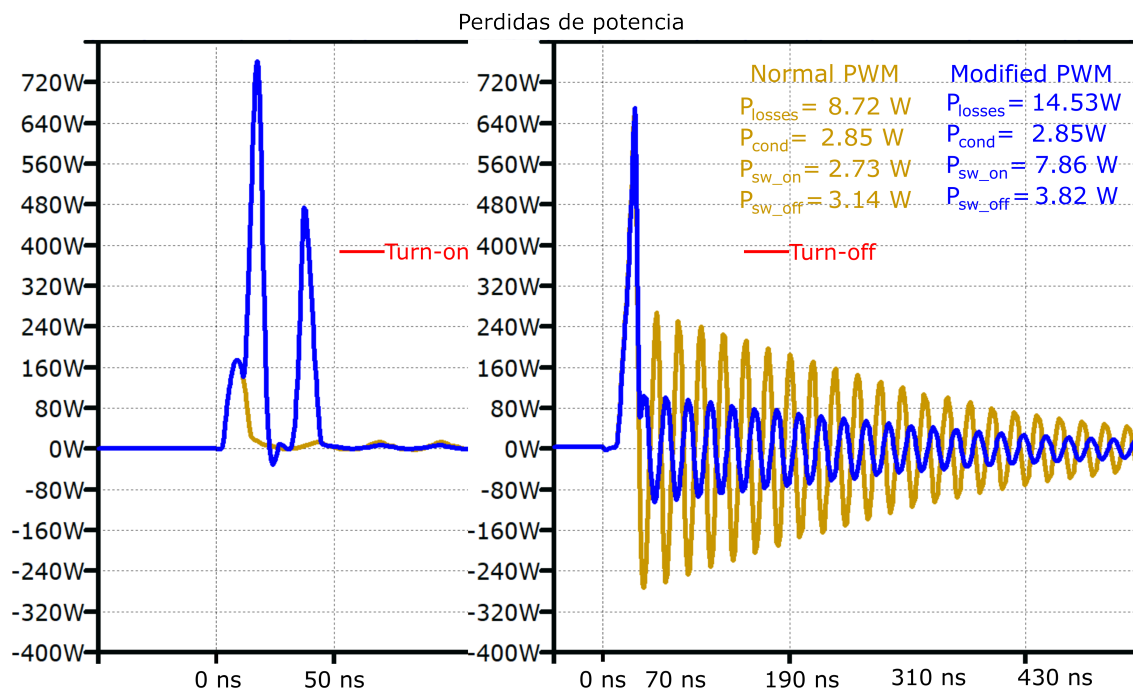


Figura 3.12. Comparación de las pérdidas de potencia de conmutación entre GaN con PWM normal y GD. PWM normal utilizando $R_g = 5 \Omega$ y gate-driving $Tiempo_2$ y $Tiempo_4$ a 25 ns y 22 ns respectivamente; V_{nivel_1} y V_{nivel_2} fijados a 2.1 V y 3.9 V respectivamente.

Como se muestra en la comparación de pérdidas de potencia, la técnica de *gate driving* no afecta significativamente al rendimiento de la conmutación. Sin embargo, puede observarse el efecto de la falsa conmutación, que podría añadir pérdidas de conmutación adicionales en el transistor de GaN.

Tabla 3.3. Comparación de pérdidas en porcentaje.

Controlador de compuerta	$P_{totales}$	$P_{encendido}$	$P_{apagado}$	$P_{condicin}$
Convencional	100.0 %	31.3 %	36.0 %	32.68 %
Propuesta	166.6 %	90.1 %	43.8 %	32.68 %

En la Tabla 3.3 se muestra el porcentaje de pérdidas del GD convencional y el GD propuesto. A partir de los resultados presentados en la Figura 3.12 y la Tabla 3.3, se observa que la técnica de GD propuesta presenta mayores pérdidas en comparación con el método convencional. Sin embargo, a altos voltajes superiores a 100 V, frecuencias superiores a 100 kHz y potencias superiores a 500 W, los GD convencionales pueden no ser suficientes para garantizar el funcionamiento robusto de los dispositivos de GaN. Los esfuerzos actuales en el estado del arte están orientados a optimizar el rendimiento del transistor de GaN bajo estas condiciones. Sin embargo, la técnica propuesta tiene margen para mejoras. Explorar y perfeccionar esta técnica podría ser beneficioso para abordar las limitaciones y optimizar aún más el rendimiento de los dispositivos de GaN en condiciones de tensiones y potencias elevadas.

4 Análisis experimental de la técnica para el Gate driving

En el capítulo anterior, presenta el análisis y la evaluación de la solución propuesta para GD, que implicaba la modificación del nivel de voltaje en los $Tiempo_2$ y $Tiempo_4$. Esta modificación arrojó resultados satisfactorios. En esta sección, se enfoca en la fase de integración y estudio experimental de esta solución, que incluirá pruebas de laboratorio para validar y respaldar los resultados obtenidos en el análisis previo.

Este capítulo presenta la evaluación cualitativa de la propuesta abordada en el capítulo 3. En primer lugar, se describen los elementos necesarios para llevar a cabo las pruebas experimentales, abordando aspectos como la integración, el desarrollo y la ejecución de las pruebas. Finalmente, se lleva a cabo un análisis y se estudian los resultados obtenidos.

4.1. Desarrollo del prototipo y diseño del banco de pruebas.

Previo a las pruebas experimentales, se aborda el desarrollo del prototipo de la PCB para integrar el dispositivo. Posteriormente, el banco de pruebas del laboratorio fue configurado, ajustando de acuerdo con los requisitos necesarios para las pruebas planificadas. Este proceso incluyó la definición de parámetros específicos y la utilización de instrumentación especializada. Con el banco de pruebas listo, el siguiente paso fue realizar un análisis detallado del funcionamiento del dispositivo de GaN, centrándose en el estudio de mejoras en sus prestaciones. Esta etapa preparatoria fue crucial para garantizar la efectividad y relevancia de las pruebas experimentales.

4.1.1. Diseño y desarrollo de PCB

Para el diseño y fabricación de la PCB, se estableció una estructura general que sirvió como guía, que se muestra en la Fig. 4.1. Es importante señalar que este trabajo se centró específicamente en el dispositivo de GaN utilizado en las simulaciones, el dispositivo de GaN modelo GS61004B de la empresa GaN System.

Con el propósito de realizar una comparación entre la técnica propuesta y la técnica convencional, se llevó a cabo la integración de una etapa destinada al GD propuesto y otra para el GD comercial. Cada GD se integró con su propia fuente de alimentación aislada y su correspondiente etapa de aislamiento (opto acoplador). Es importante destacar que los opto acopladores también fueron alimentados de manera independiente y aislada para mantener el aislamiento. Todas estas medidas se implementaron con el objetivo de brindar protección al sistema digital y mantener un adecuado aislamiento entre componentes.

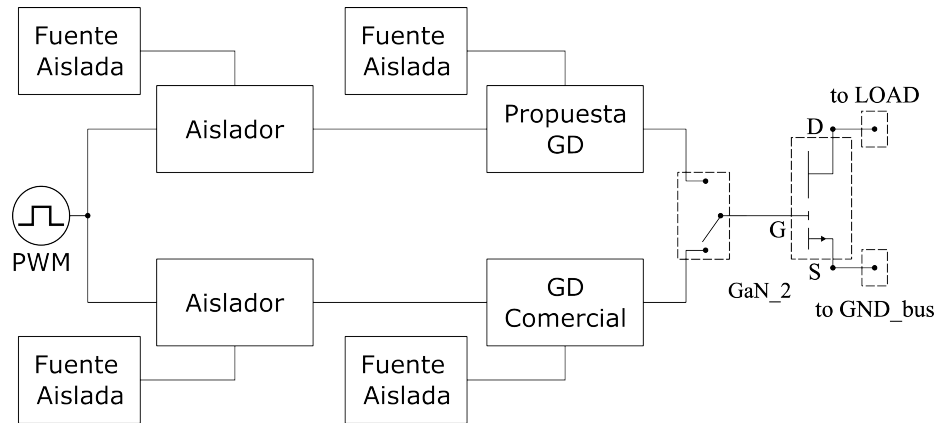
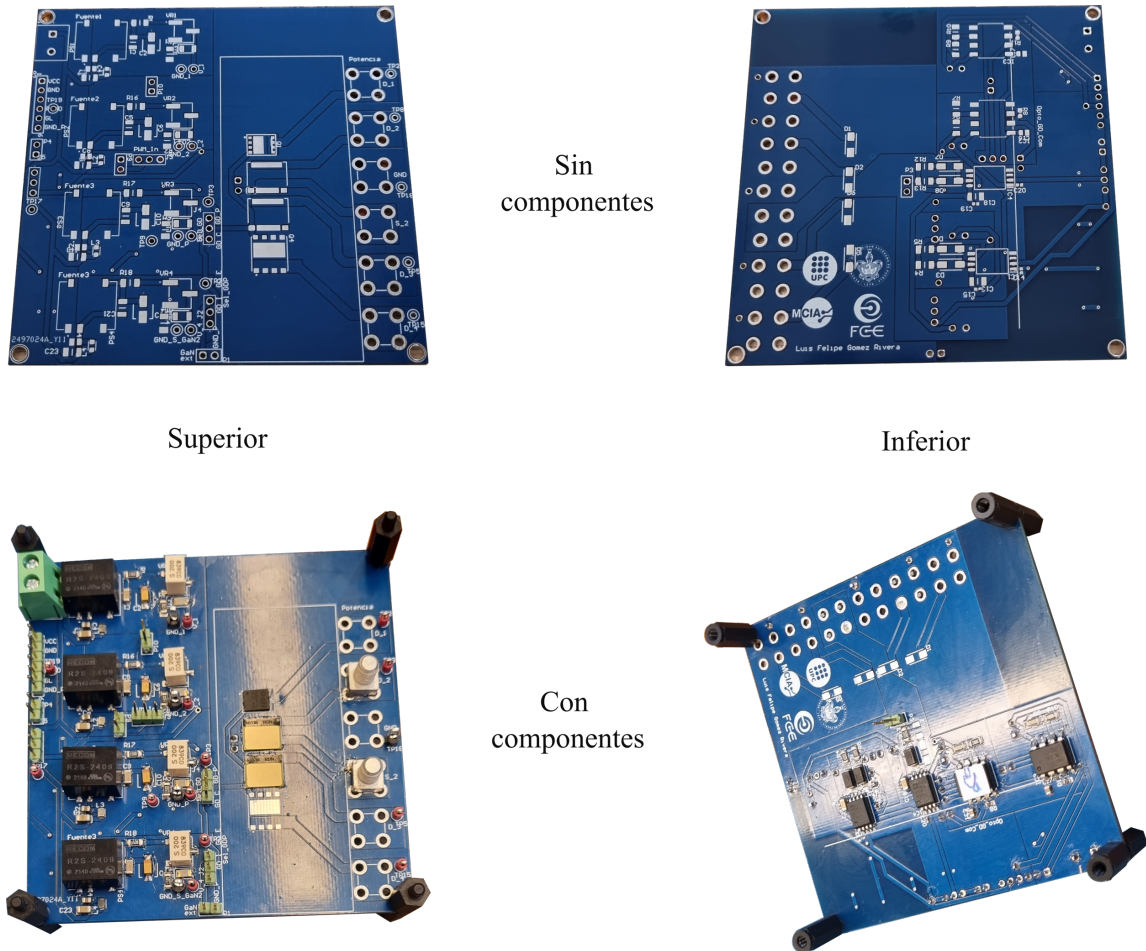


Figura 4.1. Estructura de PCB de evaluación

En esta etapa de diseño algunas de las tareas incluyen:

- Selección de los componentes, teniendo en cuenta su disponibilidad en el mercado y el tipo de empaquetado a utilizar.
- Verificación de la configuración necesaria del sistema, incluyendo aislamiento, fuentes de alimentación, conectores, protecciones, tipo de componente (SMD o de orificio pasante) y tipo de pad.
- Confirmación de los requisitos de la metodología a utilizar del gate-driving, su integración en la misma PCB o de forma externa, y requisitos adicionales como circuitería o componentes adicionales.
- Evaluación de los requisitos para la etapa de aislamiento, incluyendo opto acopladores y componentes adicionales necesarios para su integración.
- Comprobación de los requisitos para la integración de la etapa de las fuentes de alimentación (*power supply*), selección de la fuente a utilizar y los componentes adicionales necesarios para su funcionamiento.
- Evaluación de los tipos de *pads* para determinar el tamaño y la mejor forma de enrutamiento de las pistas y componentes.
- Edición del esquemático del sistema y enrutamiento de la PCB.

Siguiendo el diseño representado en la Fig. 4.1 y haciendo uso de la lista de componentes de la Tabla 4.1, se dio comienzo al diseño y enrutamiento de la PCB. Una vez fabricada la PCB y adquiridos los componentes, se llevaron a cabo las tareas de montaje y soldadura de estos en la PCB. La Fig. 4.2 muestra la versión de la PCB, sin componentes y con componentes.



Sin componentes

Superior

Inferior

Con componentes

Figura 4.2. PCB placa física

Tabla 4.1. Selección de componentes principales del sistema

Dispositivos	Mod./Empaq.	Características
Transistor GaN	GS61004B 5x6 mm PDFN	$V_{ds} = 100 \text{ V}$ $I_d = 38 \text{ A}$
Controlador de compuerta aislado	ADUM4121-1ARIZ SOIC-8	Entrada 2.5 V a 6.5 V Salida 4.5 V a 35 V Salida 2 A
Opto acoplador	HCPL-7723 SO-8	5 V Compatibilidad CMOS Alta velocidad: 50 MBd min.
Suministro eléctrico Convertidor DC - DC	R2S-2409-R SMD 8 PIN	Salida 2 W Salida 9 V Entrada 24 V

4.1.2. Descripción del banco de pruebas

La Fig. 4.3 muestra la configuración del banco de pruebas para obtener los datos experimentales. Es esta etapa se consideraron diferentes requisitos y medidas de protección necesarios para garantizar la seguridad y precisión de las pruebas. Por mencionar algunas, fuentes con protección de corto circuito, setas de seguridad o emergencia, sondas aisladas.

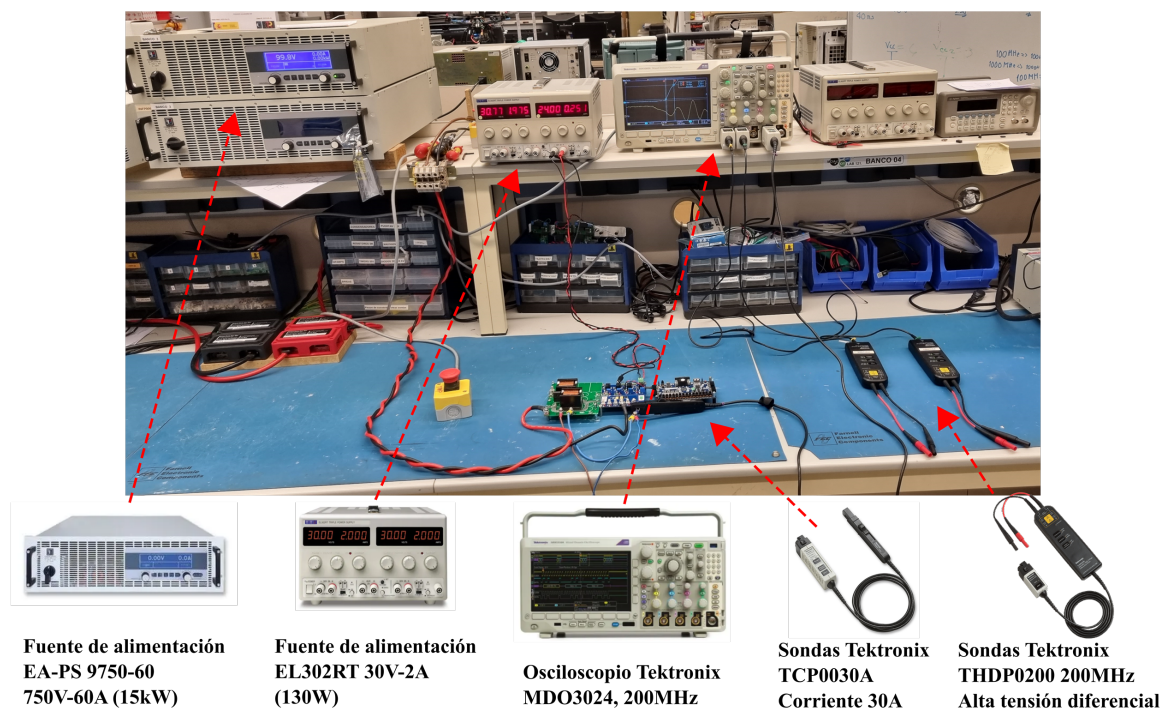


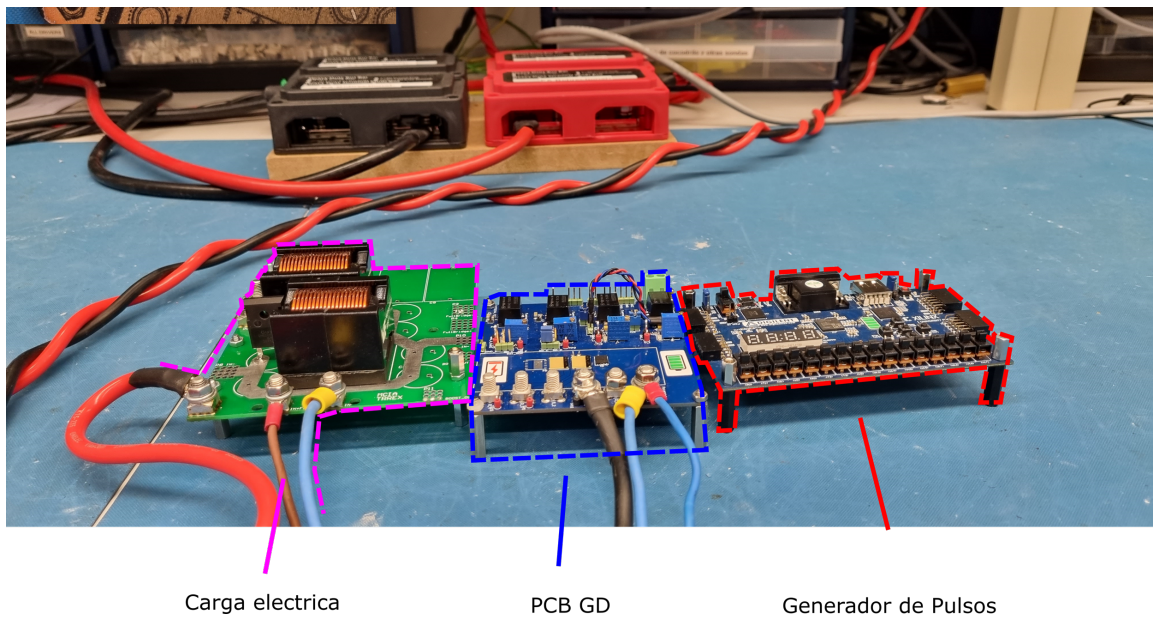
Figura 4.3. Banco de pruebas e instrumentación para las pruebas experimentales.

En la Fig. 4.3, muestra el banco de pruebas, de izquierda a derecha, se encuentran las fuentes de alimentación de alta potencia y de baja potencia, para el dispositivo de

GaN y la etapa digital respectivamente, también se muestra osciloscopio, y las sondas de medición utilizadas.

A continuación se brinda una descripción breve de las principales características por las cuales se seleccionaron estos dispositivos e instrumentación.

- Fuente de alimentación EA-PS 9750-60, que se distingue por sus especificaciones de 750 V y 60 A (con capacidad de 15 kW), encargada de suministrar energía tanto a la carga eléctrica como al dispositivo de GaN dispositivo bajo prueba.
- Fuente de alimentación EL302RT de 30 V y 2 A (130 W) para alimentar las fuentes aisladas.
- El osciloscopio un Tektronix MDO3024, el cual dispone de 4 canales, un ancho de banda de 200 MHz y una frecuencia de muestreo de 2.5 GSPS. Dado las velocidades de operación del dispositivo de GaN, este osciloscopio se considera adecuado para las pruebas y el análisis cualitativo.
- Sondas: una sonda Tektronix THDP0200, que se caracteriza por ser aislada y permitir mediciones de hasta 1 kV con un ancho de banda de 200 MHz, y una sonda Tektronix TCP0030A, con una capacidad de 30 A.



Carga electrica

PCB GD

Generador de Pulsos

Figura 4.4. Sistema integrado

En la Fig. 4.4, muestra la integración del sistema que se observa en la Fig. 4.1. De izquierda a derecha, se encuentran los siguientes componentes:

- Carga eléctrica.
- PCB diseñada con el dispositivo de GaN y la circuitería necesaria.

- Generador del pulso.

Para las pruebas del dispositivo de GaN, una etapa fundamental es la carga (*load*) eléctrica. En la Fig. 4.5, se presentan los componentes para la carga eléctrica.

- A. El diodo de potencia, que su función es la de conducir la corriente y prevenir sobretensiones cuando el transistor se encuentra en estado de bloqueo.
- B. El par de inductancias en paralelo para alcanzar un valor de $11 \mu\text{H}$.
- C. El sistema de resistencias, compuesto por 6 elementos en paralelo, posee la particularidad de activar o desactivar cada uno de ellos para variar el valor de la resistencia de carga.

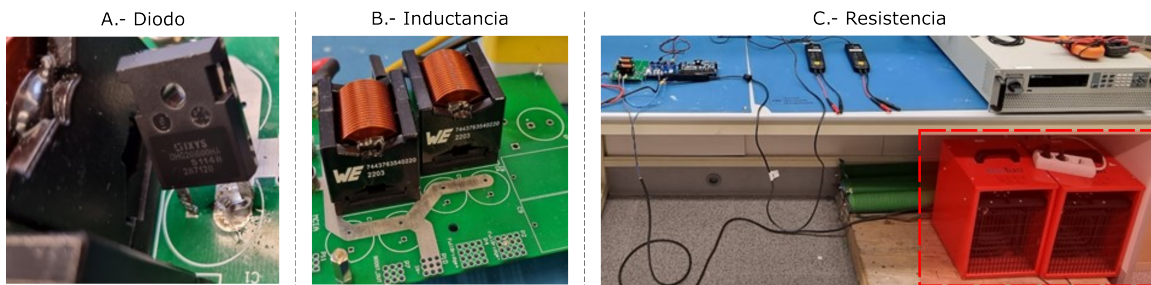


Figura 4.5. Componentes de la carga eléctrica para las pruebas experimentales

4.2. Planteamiento de la metodología para el desarrollo de pruebas experimentales

Para llevar a cabo las pruebas experimentales, se diseñó una metodología que se divide en tres enfoques principales, como se muestra en la Fig. 4.6. Cada enfoque aborda aspectos específicos de la validación y análisis del sistema, así como del comportamiento del dispositivo de GaN

- El primer enfoque se centra en el PWM sin modificación, dirigido a validar la integración y puesta en marcha del sistema. Además, se realiza un análisis detallado del comportamiento del dispositivo de GaN en su estado original.
- En el segundo enfoque, se centra en la modificación de los tiempos de sub-pulso en el PWM. Con este enfoque se busca analizar cómo la modificación del tiempo del sub-pulso afectan el comportamiento del GaN, proporcionando información sobre la sensibilidad del sistema a los cambios en esta variable específica.
- El tercer enfoque está dirigido en la modificación de la amplitud de los sub-pulsos en el PWM. Aquí, el análisis se centra en cómo las variaciones en la amplitud del sub-pulso afectan el comportamiento del transistor de GaN, ofreciendo una perspectiva sobre la respuesta del sistema a cambios en esta variable.

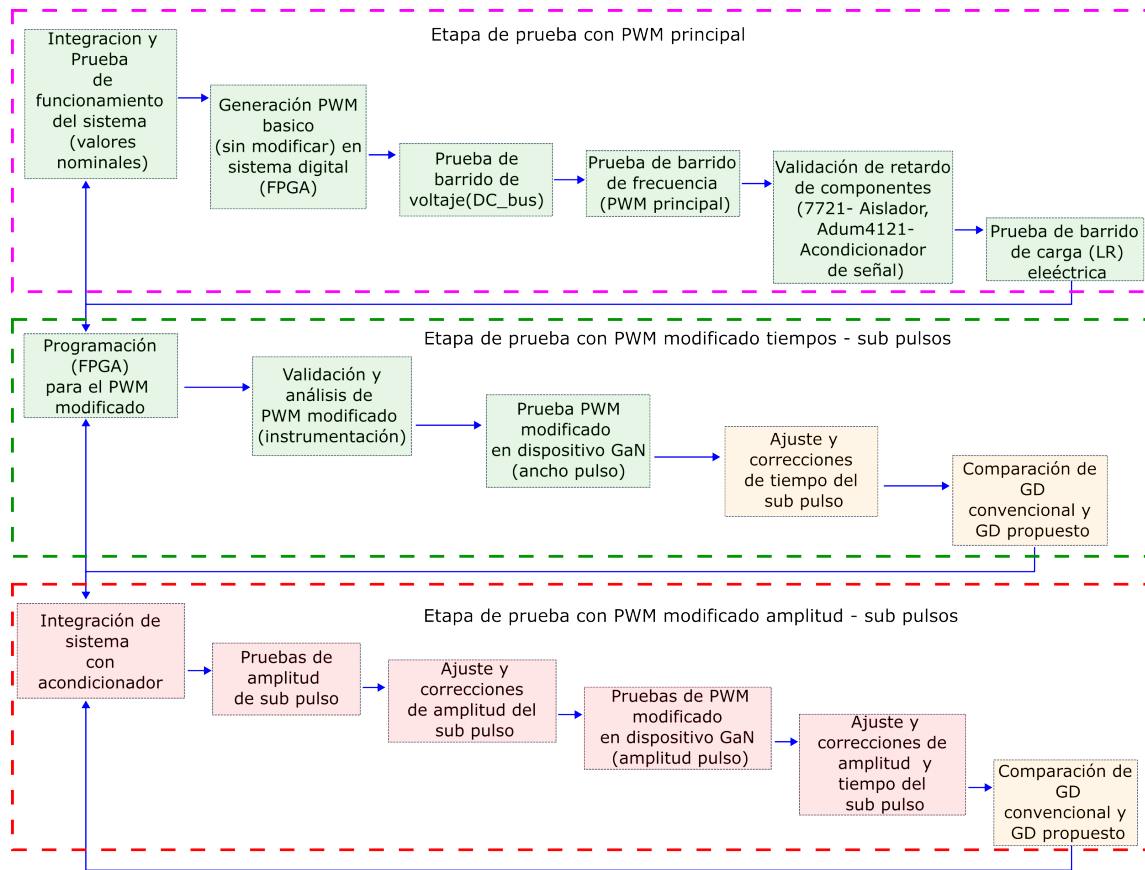


Figura 4.6. Metodología para el desarrollo de pruebas experimentales para el GD.

La combinación de resultados de los tres enfoques busca alcanzar un resultado final óptimo para nuestra investigación. La ventaja clave de tener enfoques separados consiste en la obtención de resultados detallados para cada variable modificada. Esta aproximación nos permite realizar ajustes meticulosos en cada etapa del proceso sin afectar los otros enfoques.

El diagrama representado en la Fig. 4.6 resalta (líneas azules) la flexibilidad del proceso, permitiéndonos regresar o avanzar entre enfoques según sea necesario. Esta característica de flexibilidad es esencial para abordar cualquier hallazgo inesperado o para ajustar estratégicamente variables de otro enfoque en función de los resultados obtenidos durante las pruebas experimentales.

4.2.1. Descripción, recursos y programación del PWM en FPGA

Una limitación que aparece en la mayoría de aplicaciones de alta velocidad de conmutación es la frecuencia de funcionamiento del PWM, o en su defecto, de los pulsos generados para la activación de la electrónica adicional. Se recomienda que estos pulsos, dentro del PWM, sean del orden de ns.

A continuación se presenta la propuesta integrada para la generación de estos pulsos utilizando una placa de desarrollo asequible (Basys3-Digilent), cuyo componente

principal es una FPGA que opera a altas frecuencias (400 MHz - 2 ns).

La Fig. 4.7 muestra el diagrama del sistema para la integración con dispositivos de GaN, que se divide en 3 etapas, de derecha a izquierda se encuentra la etapa de potencia, donde se encuentra el transistor de GaN, a continuación la etapa de aislamiento y el circuito integrado controlador, y por último la etapa del sistema digital donde encontramos la FPGA.

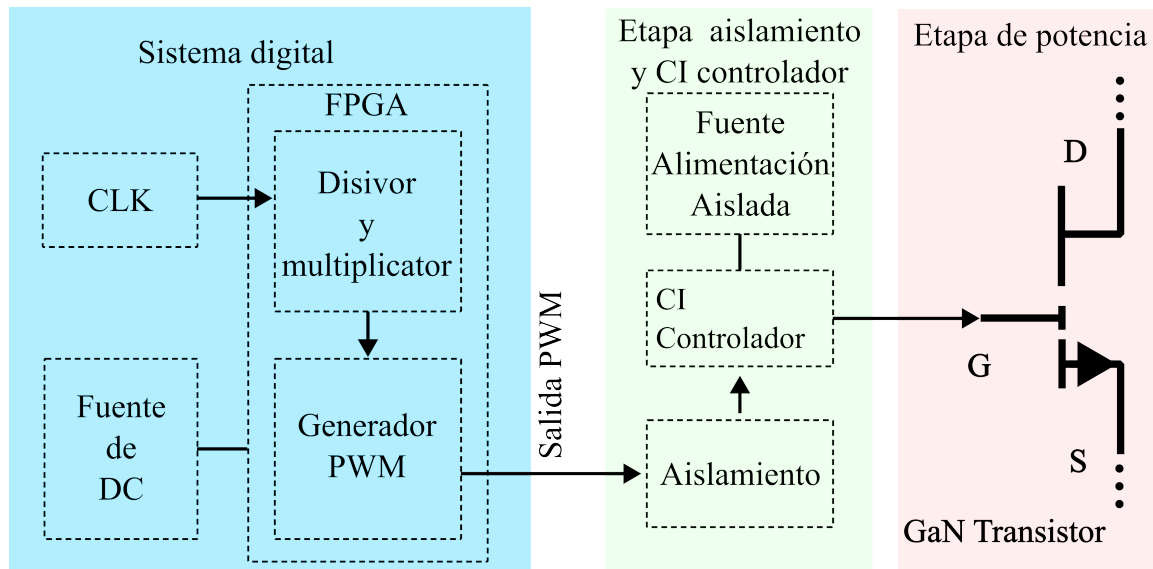


Figura 4.7. Diagrama de la arquitectura del sistema.

La técnica propuesta en esta tesis se centra en la generación de sub-pulsos más finos que el PWM principal, con la especificación de que estos sub-pulsos deben ser del orden de los ns. Sub-pulsos en el orden de ns, como ya se vio en la parte de las pruebas mediante simulaciones, tienen el potencial de mejorar la eficiencia de los dispositivos de GaN.

Sin embargo, esta implementación presenta desafíos significativos tanto a nivel de dispositivos electrónicos como de programación, especialmente al trabajar con escalas de tiempo tan pequeñas.

La elección de la FPGA para este trabajo se basó en la capacidad que ofrece de utilizar recursos adicionales internos. Uno de los recursos clave que se ha empleado es el divisor de frecuencia fraccional. Con este recurso se vuelve posible la implementación de la técnica propuesta al proporcionar la flexibilidad necesaria para manipular la frecuencia de manera fraccional y así obtener sub-pulsos en el orden de ns.

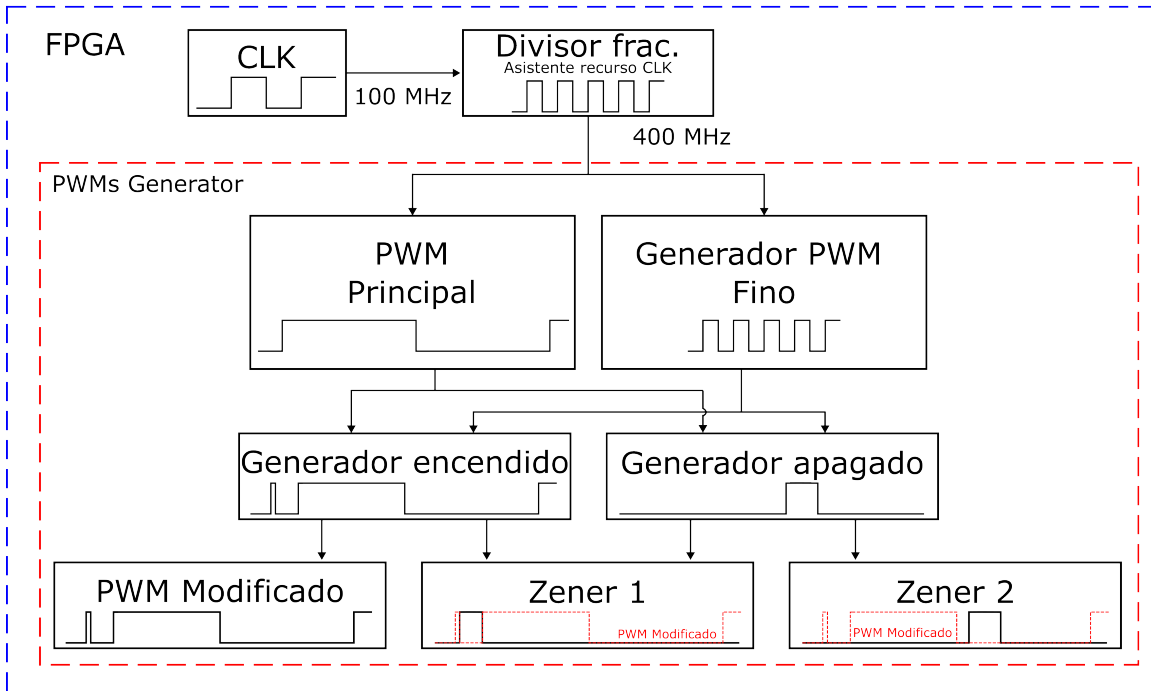


Figura 4.8. Diagrama descriptivo para programación de FPGA.

La Fig. 4.8 muestra el diagrama de la FPGA con la metodología propuesta a seguir para generar el PWM modificado y los sub-pulsos. Se puede observar que primero, que tenemos una señal de reloj CLK de un cristal de 100 MHz, que pasa por el MMCM (*Mixed-Mode Clock Manager* por sus siglas en inglés) y genera una señal de 400 MHz. A continuación, con la nueva señal de reloj asignada, se generan dos señales, una del PWM principal y otra del PWM fino. Posteriormente, se generan las señales del PWM modificado en el encendido y apagado. Para después generar los pulsos para cada salida, que en este caso es para cada zener.

Vivado es un software de *Xilinx* para la síntesis y el análisis de HDL. Este software sustituye a su predecesor *Xilinx ISE* y cuenta con funciones diseñadas para los dispositivos de la serie 7 de *Xilinx*. Entre estas características se encuentra la integración de *IP*, que permite crear diseños de sistemas complejos.

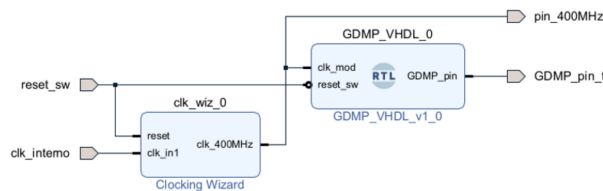
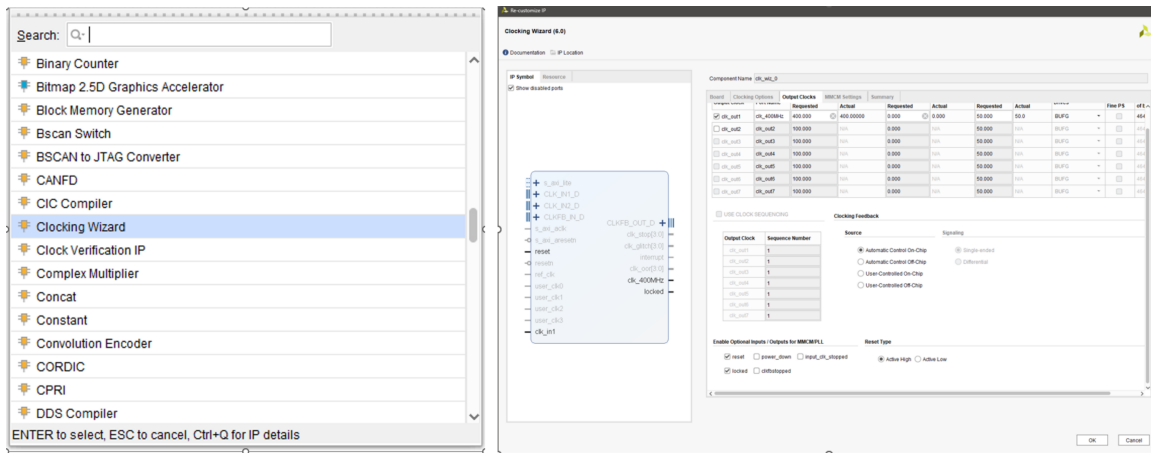


Figura 4.9. Asistente de configuración del recurso y ajuste de parámetros para el divisor de frecuencia.

Entre estas opciones se encuentra el recurso Asistente de reloj. Se trata de un asistente que permite configurar la señal de reloj. En la Fig. 4.9 se muestran las ventanas y los parámetros a utilizar.

Con el CLK en el orden de MHz, como se muestra en la Fig. 4.8, el siguiente paso es el Generador PWM. En este, se considera generar un PWM principal del orden de kHz. Para generar este PWM, se realiza un divisor de frecuencia a partir del CLK_MHz. El concepto de este divisor es generar un contador y, a partir de este, generar el pulso alto y el pulso bajo del PWM principal.

En la Figura 4.10, se presenta una simulación realizada en *Vivado* para analizar y verificar el funcionamiento inicial del concepto.

En esta representación, la señal *PWM_external* se asocia al reloj externo (*CLK*) que opera a 100 MHz. Por otro lado, *CLK_resource* se vincula al reloj generado mediante el MMCM a una frecuencia de 400 MHz (2 ns). Se procede a dividir *CLK_resource* en dos señales, *CLK_MHz_ON* y *CLK_MHz_OFF*. Esta división tiene como objetivo facilitar el desarrollo del programa y, consecuentemente, la comparación para determinar el estado de activación de las señales, ya sea en la transición de encendido o apagado.

Por último, *PWM_out* representa la salida final con la señal modificada de acuerdo con los requisitos del sistema.

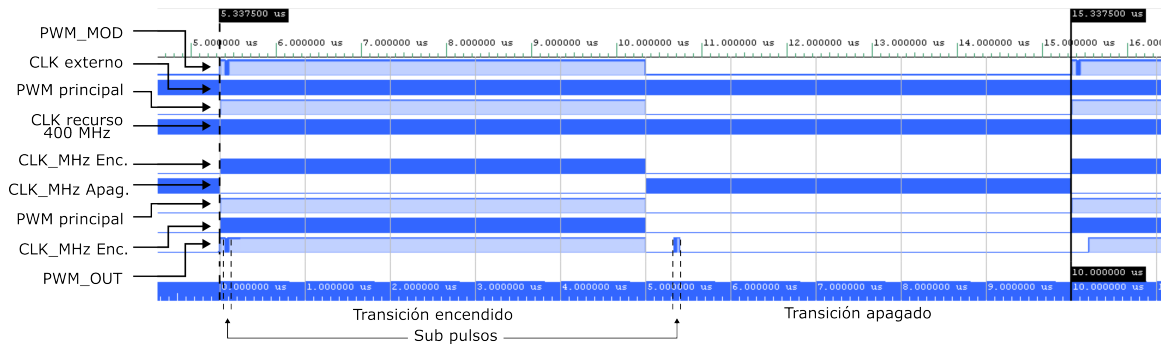


Figura 4.10. Simulación de las señales programadas en la FPGA mediante simulador de Vivado para la transición de encendido y apagado del GaN.

Una vez obtenidos resultados satisfactorios en la simulación, procedimos a la etapa de integración y prueba en el laboratorio. Durante esta fase, se evaluaron diversos aspectos del sistema para validar su funcionamiento en un entorno práctico. Sin embargo, nos enfrentamos a limitaciones en la instrumentación del laboratorio, lo que nos llevó a realizar ajustes estratégicos disminuyendo el valor del reloj CLK externo.

La Fig. 4.11 muestra uno de los resultados obtenidos con la instrumentación del laboratorio. Donde se logra observar que la propuesta de señal funciona.

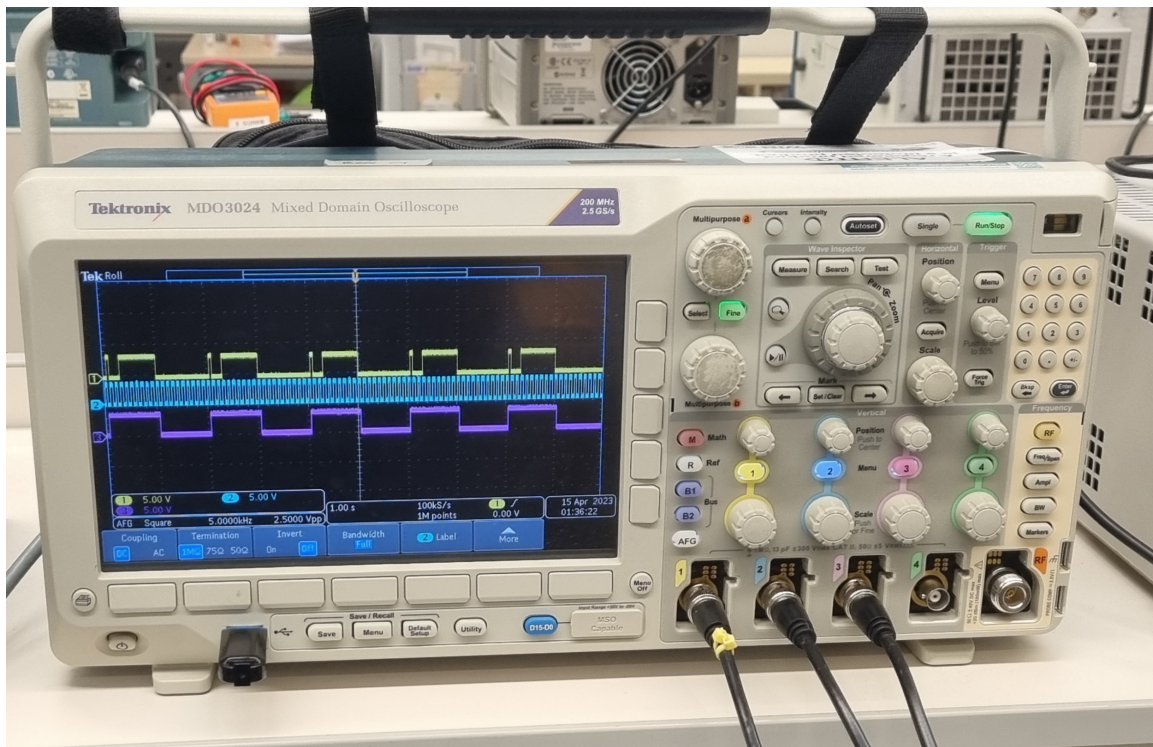


Figura 4.11. Señales del resultado de prueba, primera señal PWM modificado en la transición de encendido, señal equivalente al PWM fino y por último, señal de PWM principal de 100 kHz

En esta sección, presento el desarrollo de la descripción, recursos y programación

del PWM en FPGA. Se logró implementar con éxito el PWM modificado, asegurándonos de que los parámetros estuvieran dentro de los requisitos específicos para el dispositivo de GaN. A pesar de que la instrumentación utilizada, incluyendo el osciloscopio y las sondas de medición, tenía un ancho de banda menor al de las frecuencias trabajadas, esto no resultó ser una limitación significativa.

Para superar la diferencia en los anchos de banda, implementamos un divisor de frecuencia que redujo la frecuencia de la señal de 400 MHz (2 ns) a un rango aceptable para la instrumentación. Esto permitió un análisis efectivo del PWM modificado, brindando información sobre su comportamiento y así determinar su correcta aplicación.

Existen diferentes retos, como la necesidad de realizar pruebas con FPGA de mayores recursos, la FPGA actual cumplió con los requerimientos para estas primeras pruebas. Sin embargo, se considera muy viable y necesario mejorar las características de la FPGA para análisis más avanzados en el futuro. Esta actualización en la FPGA implica considerar la adquisición de instrumentación que pueda analizar directamente datos sin la necesidad de divisores de frecuencia, lo que sería esencial para una evaluación precisa.

4.2.2. Análisis de funcionamiento del transistor de GaN

Una vez configurado el banco de pruebas, se comenzaron las primeras pruebas de funcionamiento con el dispositivo de GaN. El objetivo principal de las pruebas fue analizar el comportamiento del dispositivo y validar la correcta integración del sistema. En estas pruebas, se analizaron aspectos clave del rendimiento del dispositivo, centrándose en la modificación de frecuencia y voltaje.

Los parámetros principales utilizados para las pruebas experimentales se detallan en la Tabla 4.2, básicamente son condiciones generales bajo las cuales se llevó a cabo el análisis.

Tabla 4.2. Parámetros para evaluación experimental

	Parámetro	Valor Mínimo - Máximo
1	DC_{Bus}	50 V - 100 V
2	Máxima corriente de carga	0.1 A - 4 A
3	Frecuencia conmutación	50 kHz - 200 kHz
4	Inductor carga	11 μ H
5	Resistencia carga	5.5 Ω - 33 Ω
6	Ciclo de trabajo	50 %
7	Rg	10 Ω

Cabe destacar que para el análisis y comparación de los resultados obtenidos en las pruebas experimentales, los resultados son tomados del osciloscopio y procesados en el software MATLAB para un mejor análisis comparativo. Y la Fig. 4.12 muestra un acercamiento a la etapa a desarrollar a continuación.

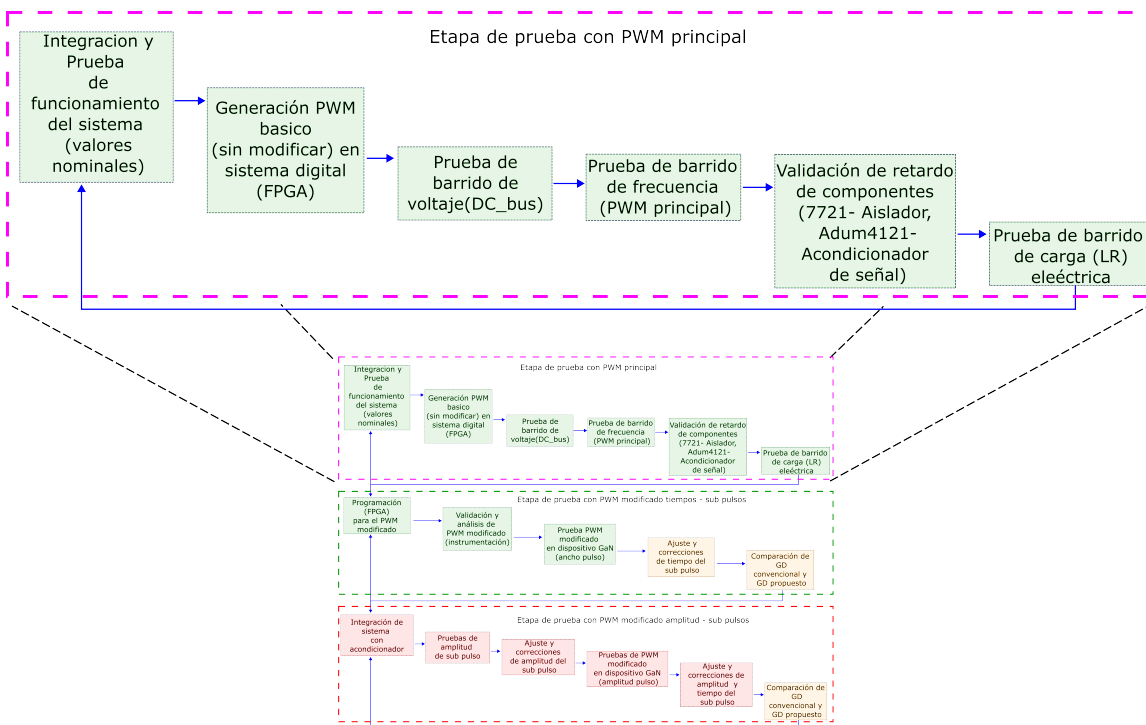


Figura 4.12. Zoom de la etapa de pruebas de la metodología para el desarrollo de pruebas experimentales para el GD.

4.2.3. Pruebas con variación de voltaje (DC Bus)

En esta sección se aborda el análisis del dispositivo de GaN, centrándose en la modificación del DC Bus, que es la fuente de alimentación que impulsa tanto al dispositivo de GaN como a la carga eléctrica. La Figura 4.3 ilustra la integración de la fuente de alimentación (EA-PS 9750-60) en nuestro banco de pruebas.

Esta etapa de prueba es crucial dado que uno de los principales desafíos en la aplicación de dispositivos de GaN está relacionado directamente en trabajar con altos voltajes. Para determinar los límites y posibilidades del GaN, se lleva a cabo pruebas básicas con el PWM principal, es decir sin la técnica de GD, con el objetivo de determinar los puntos de trabajo del dispositivo de GaN.

Esta prueba inicial sin GD proporciona información valiosa sobre el comportamiento del GaN a diferentes niveles de voltaje, brindando así los valores de los voltajes viables con las herramientas disponibles.

La Fig. 4.13 y la Fig. 4.14 muestra el comportamiento del V_{ds} e I_d respectivamente del transistor de GaN ante variaciones en los voltajes de alimentación (DC_{BUS}). Estas pruebas fueron realizadas para analizar cómo el cambio en el voltaje de alimentación impacta en el comportamiento del dispositivo. Los resultados obtenidos proporcionan una visión sobre la respuesta del transistor a diferentes niveles de voltaje.

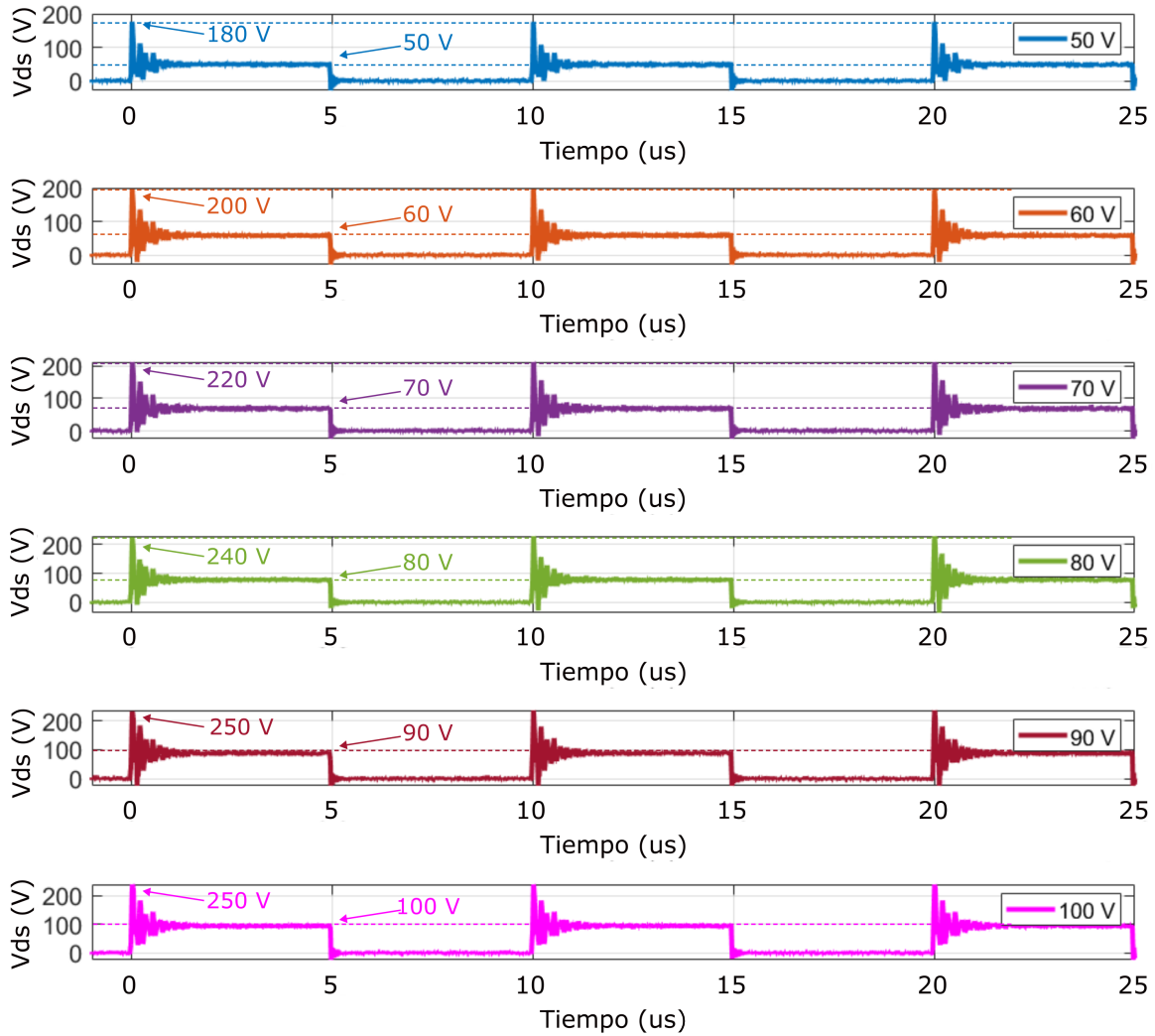


Figura 4.13. Voltaje del transistor de GaN, comportamiento de la conmutación a diferentes voltajes de alimentación (DC_{BUS}).

La Fig. 4.13 muestra una tendencia, a medida que aumenta el voltaje DC_{BUS} , los sobre-impulsos también aumentan significativamente. Este análisis confirma la necesidad de implementar un sistema que tenga la capacidad de disminuir o eliminar estos sobre-impulsos, especialmente en situaciones de altos voltajes (alta potencia). La presencia de sobre-impulsos podría tener repercusiones negativas tanto en el propio dispositivo de GaN como en el sistema de la aplicación donde se integre.

En la Figura 4.14, muestra el comportamiento de la corriente. Es importante destacar que, para este análisis particular, la corriente no se considera de mayor importancia, dado que su comportamiento está vinculado a la carga del sistema (*load LR*). De igual manera, los sobre-impulsos no son tan evidentes. Sin embargo, esta observación ofrece una visión completa del rendimiento del dispositivo de GaN, complementando así nuestro análisis general del sistema.

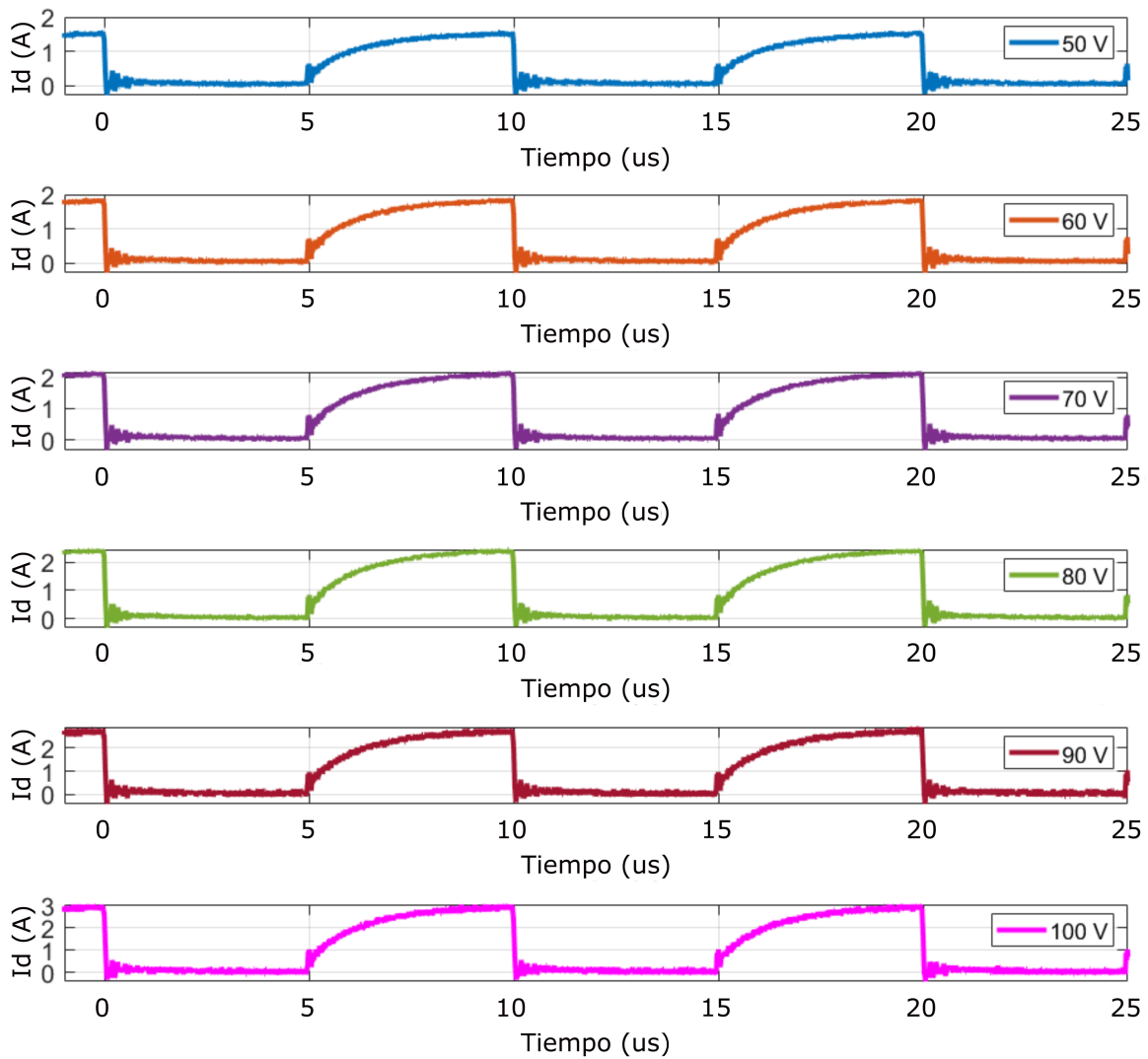


Figura 4.14. Corriente del transistor de GaN, comportamiento de la conmutación a diferentes voltajes de alimentación (DC_{BUS}).

Con las condiciones de operación en el laboratorio, se alcanzó el límite máximo estable de voltaje para el dispositivo de GaN a 100 V. Más allá de este voltaje, observamos un comportamiento no adecuado en el dispositivo. La Figura 4.15 ilustra este fenómeno, mostrando que, debido a los sobre-impulsos, el dispositivo entra en un estado de inestabilidad, particularmente a magnitudes de voltaje más altas.

La inestabilidad observada puede atribuirse en parte al impacto más pronunciado de las capacitancias parasitarias a magnitudes de voltaje más altas.

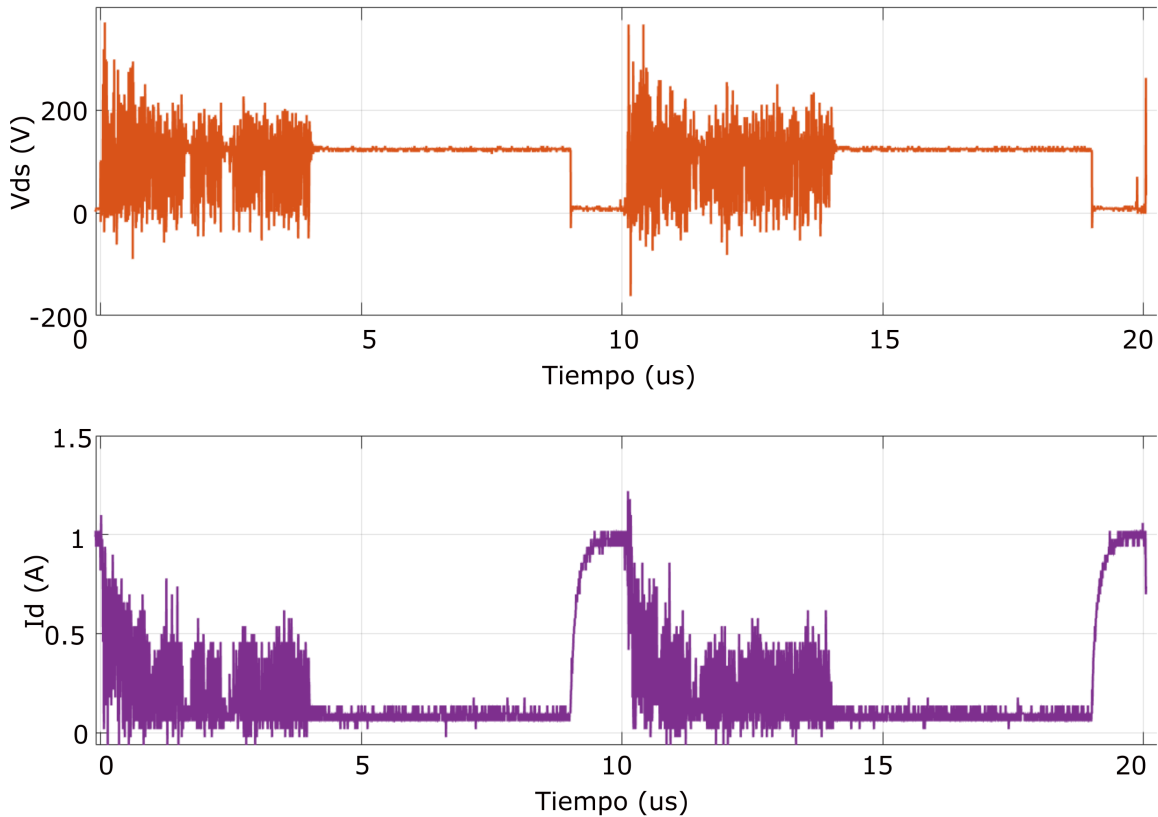


Figura 4.15. Voltaje y Corriente del transistor de GaN, comportamiento de la conmutación a alto voltaje de alimentación (DC_{BUS}).

4.2.4. Barrido de frecuencia

Un parámetro esencial al emplear dispositivos de GaN es la frecuencia, la cual desempeña un papel fundamental en el rendimiento del dispositivo. Por esta razón, llevamos a cabo un barrido de frecuencia exhaustivo para determinar los puntos de trabajo en relación con este parámetro.

Las Figuras 4.16 y 4.17 presentan la respuesta del transistor de GaN en las señales V_{ds} e I_d , respectivamente. Este análisis detallado del comportamiento del transistor a diferentes frecuencias resultó ser crucial para evaluar su robustez y eficacia en variadas condiciones de frecuencia.

Para el barrido de frecuencia, se analizó un rango específico de frecuencias 50 kHz a 200 kHz. Observamos un funcionamiento correcto del transistor de GaN a lo largo de las diferentes frecuencias estudiadas, destacando un comportamiento estable hasta los 200 kHz. Este resultado es particularmente significativo, ya que proporciona información clave sobre la capacidad del dispositivo para mantener su rendimiento en condiciones de frecuencia altas.

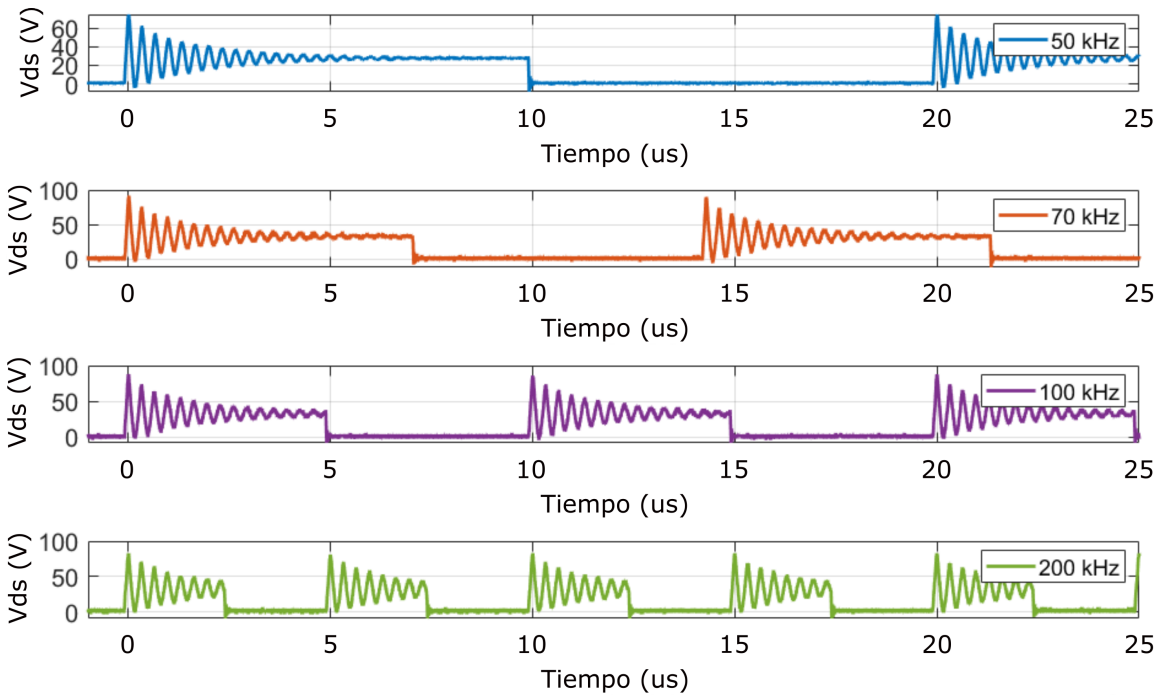


Figura 4.16. Voltaje del transistor de GaN, comportamiento de la conmutación a diferentes frecuencias de operación. Barrido de frecuencias, 50 kHz, 70 kHz, 100 kHz y 200 kHz.

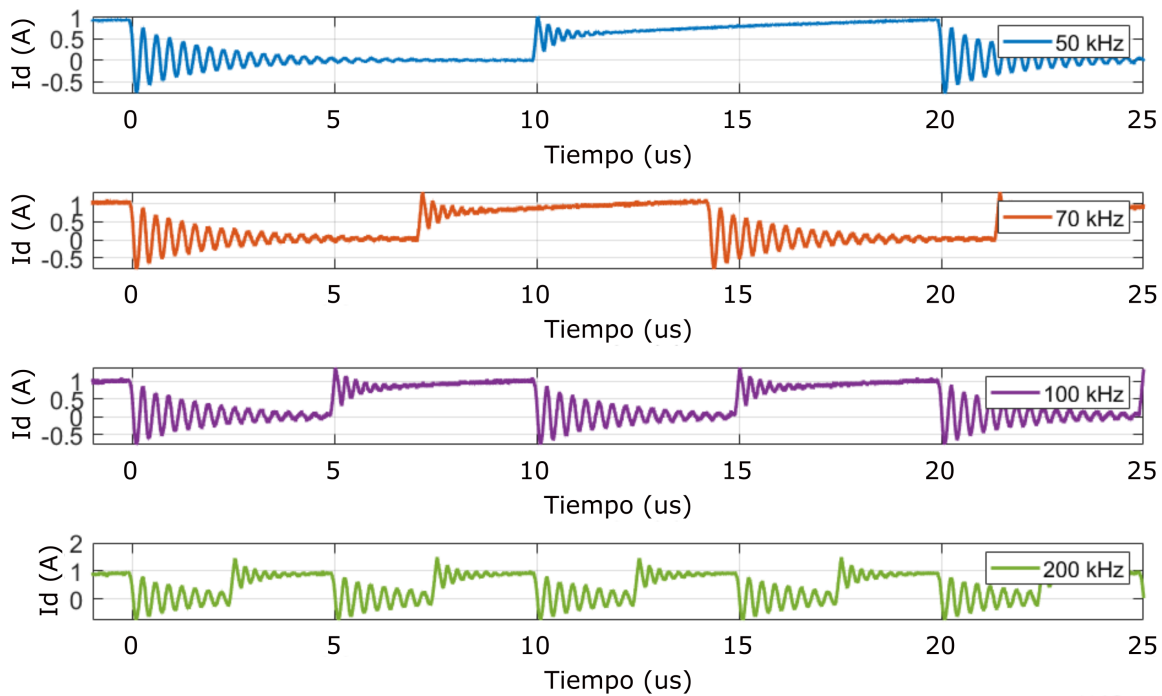


Figura 4.17. Corriente del transistor de GaN, comportamiento de la conmutación a diferentes frecuencias de operación. Barrido de frecuencias, 50 kHz, 70 kHz, 100 kHz y 200 kHz.

Estos resultados son fundamentales para la percepción de la capacidad de los

dispositivos de GaN. Sin embargo, es importante resaltar que, al superar los 200 kHz, observamos una inestabilidad significativa en el sistema, como se muestra en la Figura 4.18. Las señales V_{ds} e I_d muestran oscilaciones notables, indicando que el dispositivo de GaN no logra estabilizarse en este rango de frecuencias más elevadas.

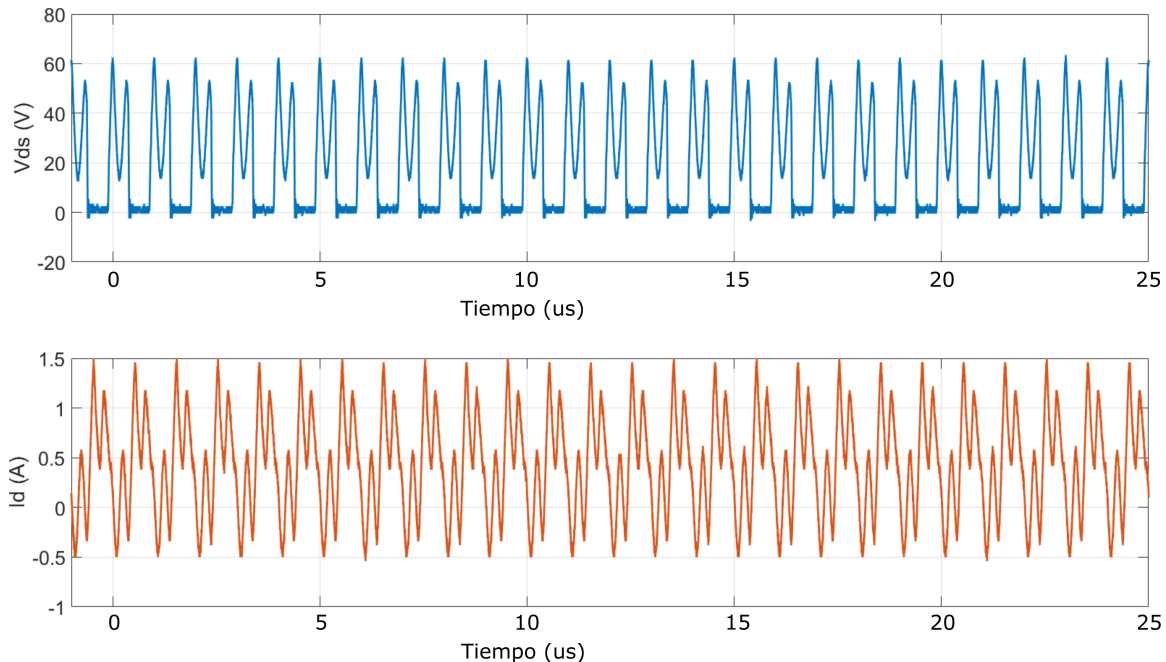


Figura 4.18. Voltaje, Corriente del transistor de GaN, comportamiento de la conmutación a diferentes frecuencias de operación. Barrido de frecuencias superiores a 200 kHz.

La inestabilidad observada en las oscilaciones a altas frecuencias del dispositivo de GaN se atribuye principalmente a las inductancias y capacitancias parasitas. De acuerdo al estado del arte el GaN tiene la capacidad de trabajar a mayores frecuencias, nuestro objetivo con la prueba del barrido de frecuencia fue determinar cuáles son las frecuencias a las que podemos trabajar con las condiciones del laboratorio previamente definidas.

4.2.5. Retardo de componentes electrónicos

Una de las principales limitaciones o retos de los GD comerciales son los tiempos de respuesta que generalmente presentan. Estos tiempos de respuesta influyen en el comportamiento de la conmutación de los dispositivos de GaN.

La Fig. 4.19, muestra las señales de los componentes electrónicos del sistema, en el cual se puede notar el desplazamiento de las señales debido a los retardos que genera cada componente. Es de suma importancia considerar estos retardos, aunque desde un análisis donde se toma como referencia la salida del GD únicamente este es adecuado, ya que solo se desplaza la señal (es decir tiene un *off-set* diferente al del sistema digital, pero se mantiene el ancho de los pulsos)

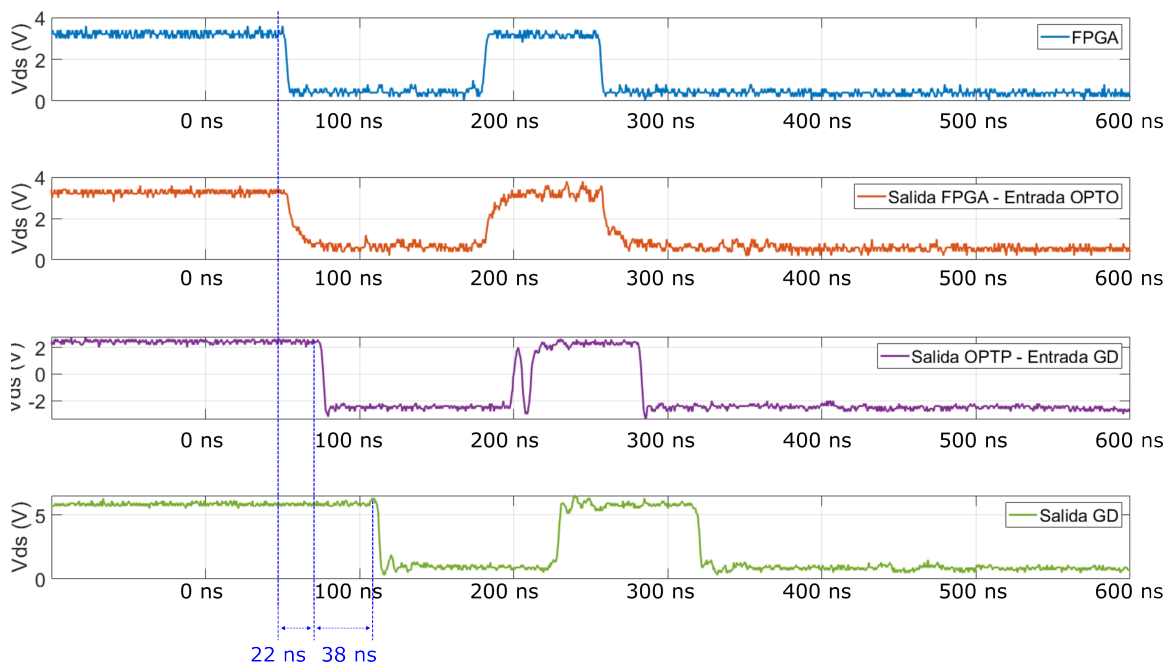


Figura 4.19. Resultado de tiempo de retardo de los componentes electrónicos durante la transición de apagado con el PWM modificado, FPGA, Etapa aisladora, Acondicionador, GaN.

Estos datos actuarán como referencia crucial para la comparación con los resultados obtenidos aplicando la técnica del Gate-driver en pruebas finales, permitiendo una evaluación más completa del rendimiento del dispositivo.

4.2.6. Evaluación Gate-driver

Una de las primeras partes para la integración del controlador es realizar el análisis de los pulsos. Uno de los parámetros principales es el tiempo para que inicie el sub-pulso, ya que este define el tiempo de retardo en el que va a conmutar el dispositivo de GaN.

En esta sección, se realiza un análisis del GD propuesto, centrándonos específicamente en la transición de apagado. Posteriormente, el análisis busca evaluar la eficacia de la técnica propuesta en la transición de apagado en comparación con un GD convencional.

Para evaluar el GD, nos enfocamos de manera específica en la modificación del tiempo en qué inicia el sub-pulso. Este enfoque se seleccionó con la finalidad de observar detenidamente el comportamiento del GaN en respuesta a cambios exclusivos al variar el ancho del sub-pulso. Nuestro objetivo es determinar la viabilidad de la propuesta, centrándonos en aspectos clave de la transición de apagado.

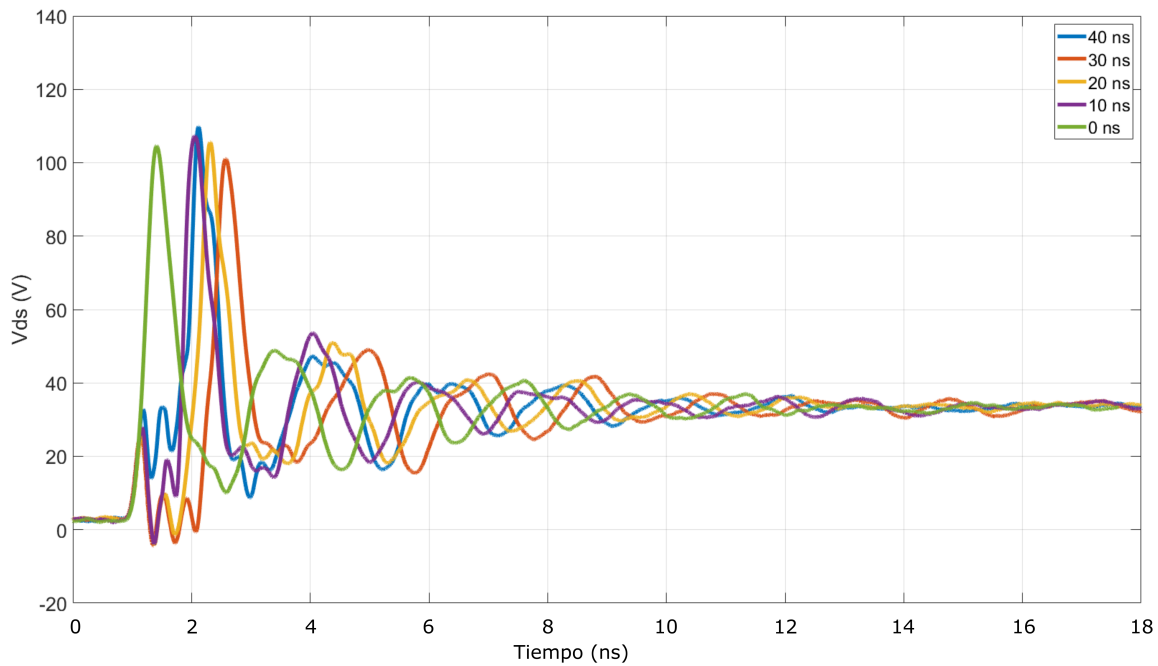


Figura 4.20. Voltaje del transistor de GaN en la transición de apagado con diferentes valores del tiempo del pulso.

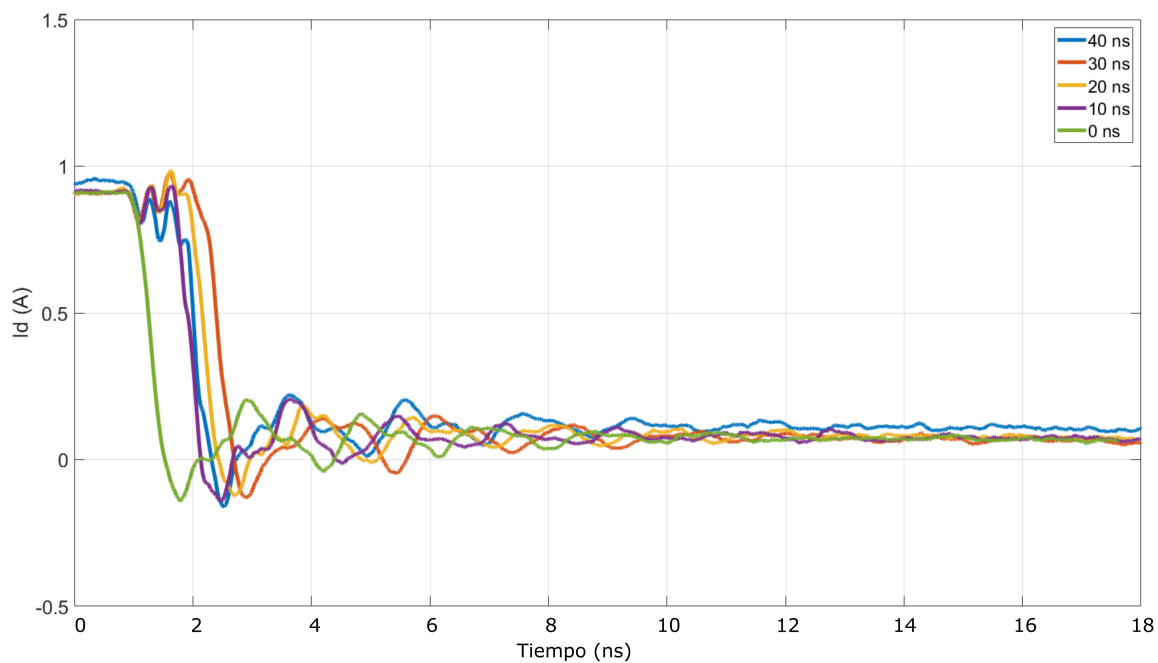


Figura 4.21. Corriente del transistor de GaN en la transición de apagado con diferentes valores del tiempo del pulso.

Las Figuras 4.20 y 4.21 muestran que al modificar el ancho del sub-pulso, la amplitud de las oscilaciones experimenta cambios que se distinguen de manera analítica. Los sobre-impulsos no se ven afectados considerablemente tomando en cuenta que la

modificación se limita a la variable de tiempo y no a la de la amplitud del sub-pulso. Entre las diferentes pruebas de tiempo, se destaca que el mejor resultado se logra cuando el sub-pulso tiene un ancho de 40 ns, tanto para el voltaje V_{ds} como para la corriente I_d .

4.2.7. Análisis de comparativo de la técnica para el transistor de GaN

Para llevar a cabo el análisis comparativo entre nuestra técnica propuesta y el GD convencional, se selecciona la respuesta con un tiempo de 40 ns. Esta elección se basa en los resultados previos que indicaron un rendimiento destacado con un ancho de sub-pulso de 40 ns, como se observó en la sección anterior.

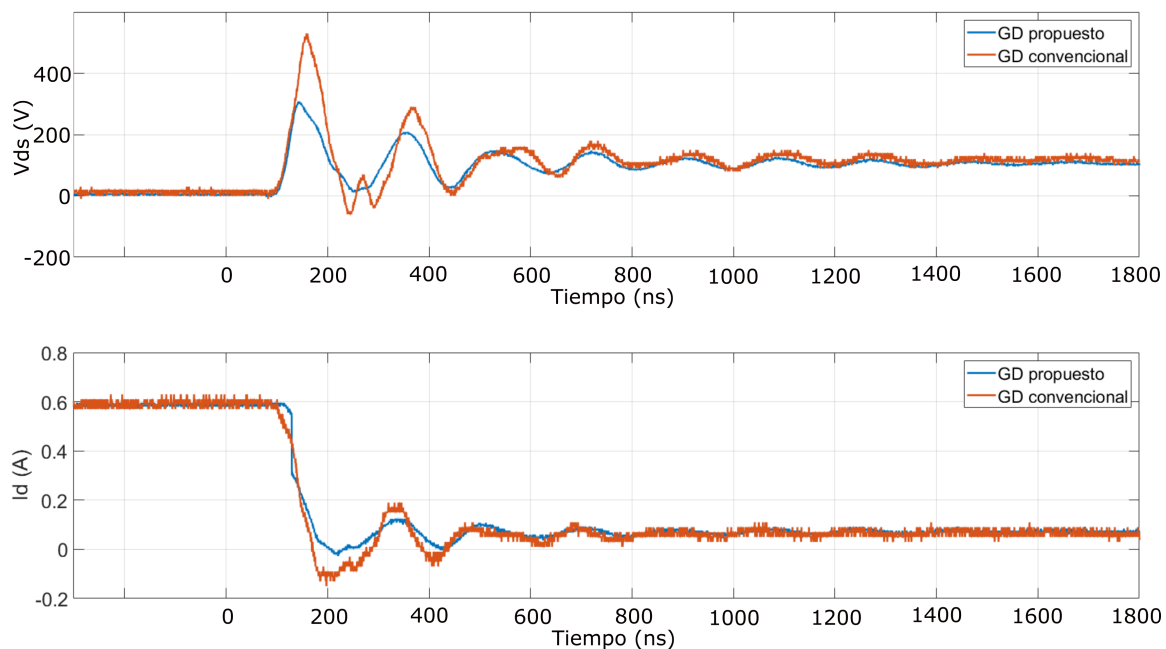


Figura 4.22. Comparación de señales de voltaje y corriente entre GaN con PWM normal y gate-driving. Apagado Gate-driving con $Tiempo_4$ fijados en 40 ns.

Adicionalmente, se presenta una comparación del cálculo y análisis de las pérdidas de potencia en el transistor de GaN aplicando PWM normal y el PWM modificado (con el sub-pulso). Cabe resaltar que esta comparación se centró específicamente en la transición de apagado del GaN.

Además, también se analizaron posibles beneficios asociados con el uso del PWM con sub-pulsos. Se observan mejoras significativas en las pérdidas de potencia en la transición de apagado, esto es relevante que aunque el análisis solo es en la transición de apagado el resultado es favorable. Esto podría tener implicaciones prácticas importantes para la aplicación de dispositivos de GaN.

Tabla 4.3. Comparación de pérdidas en porcentaje.

Controlador de compuerta	$P_{apagado}$ (W)	$P_{apagado}$ (%)
Convencional	7.9 W	100 %
Propuesta	6.3 W	79.7 %
Diferencia	1.6 W	20.3 %

En la parte experimental se ha evaluado la transición de apagado solo variando el pulso, es importante remarcar que para aplicar el GD completo se necesitan mejorar diferentes aspectos, desde optimizar el pulso de la FPGA, utilizar una FPGA de mayores recursos, mejorar el banco de pruebas y realizar una PCB, por los problemas encontrados. Analizando los resultados de la variación de voltaje (DC Bus) y barrido de frecuencia, al optimizar la PCB se puede mejorar la respuesta del dispositivo de GaN. De igual manera se considera agregar los diodos zener analizados en la propuesta de GD y aplicados en la parte experimental.

En la parte experimental, el trabajo se enfoca en evaluar la transición de apagado mediante la variación del pulso. Sin embargo, se reconoce la necesidad de implementar el Gate Driver (GD) completo, lo cual implica abordar varios aspectos clave.

- Optimizar el pulso generado por la FPGA
- Uso de una FPGA con mayores recursos
- Mejorar banco de pruebas
- Optimizar y mejorar PCB
- Integrar diodos zener en PCB

Se considera la optimización de la PCB, como actualización esencial para mejorar la respuesta del GaN, esta opción se determinó después del análisis de la variación de voltaje (DC Bus) y barrido de frecuencia. Además, se considera agregar los diodos Zener en el nuevo diseño de PCB, para la modificación de la amplitud, como se propuso en nuestra propuesta de GD y se analizó en la sección de simulaciones.

Conclusiones y trabajo futuro

Conclusiones

Actualmente, los dispositivos de GaN empiezan a tomar más relevancia y son mayormente seleccionados para su integración en diferentes aplicaciones. Esto se debe a sus características que sobresalen a comparación de los dispositivos de IGBT, Si y SiC. Entre estas características, la de mayor resalte es la velocidad de conmutación (frecuencia de conmutación). Ya que aunque la alta frecuencia de conmutación tiene ventajas que se ven directamente reflejadas con su densidad de potencia, trae consigo retos. Los sobre-impulsos, oscilaciones y falsas conmutaciones son derivados de las altas velocidades de conmutación.

Esta tesis se enfocó en los transistores de potencia de GaN. Para ser más precisos en el accionamiento de la compuerta (V_{gs} , I_g) que modifica el comportamiento de las señales I_d y V_{ds} tanto en el encendido como en el apagado del dispositivo de GaN, con el propósito de reducir los sobre-impulsos y oscilaciones.

Para modificar el comportamiento del transistor de GaN en esta tesis se presenta una técnica (gate-driving) de accionamiento de compuerta. Primero se evaluó esta técnica con simulaciones haciendo uso de las herramientas del software LTspice. Posteriormente, se hizo un análisis experimental en el laboratorio del comportamiento del dispositivo, GaN haciendo modificaciones de la compuerta en la etapa de apagado.

Los resultados de las simulaciones mostraron que el gate driving reduce las oscilaciones y sobre-impulsos, de I_d y V_{ds} , en la transición de encendido y apagado, con pérdidas relativamente bajas entre el 66 % de diferencia debido a las falsas conmutaciones que se presentan en la transición de encendido.

El diseño de un sistema con circuitos de alta velocidad para modificar el pulso de la compuerta del dispositivo de GaN es una de las aportaciones principales de este trabajo. Como resultado de la integración de los transistores de GaN de baja potencia para el totem pole.

La parte experimental en el laboratorio, incluyendo las pruebas de modificación el ancho del sub pulso, género resultados favorables debido a la reducción de los sobre-impulsos y oscilaciones en un 20.3 %. Sin embargo, estas pruebas no estuvieron exentas de desafíos, especialmente en lo que respecta a las altas frecuencias. La integración de componentes electrónicos de alta velocidad presentan limitaciones notables porque la mayor parte de los componentes disponibles no cumple con este requerimiento.

En consecuencia, la posibilidad de modificar la amplitud del voltaje en V_{nivel_1} y V_{nivel_2} es muy baja para estas velocidades. En estas pruebas, el enfoque fue ajustar

únicamente el ancho del sub pulso $Tiempo_3$ con el dispositivo digital. Debido a las limitaciones técnicas y a que los sobre-impulsos y oscilaciones son más pronunciados. Estas pruebas nos permitieron realizar un análisis del comportamiento centrado en el $Tiempo_3$.

Trabajo futuro

Como parte del trabajo futuro para la optimización y mejora de los resultados hasta ahora obtenidos, se identifican algunas acciones a nivel de la técnica propuesta y de la parte experimental.

- De la técnica de GD.
 - Optimización de $Tiempo_1$, $Tiempo_2$, $Tiempo_3$ y $Tiempo_4$.
 - Optimización de los niveles de voltaje de V_{nivel_1} y V_{nivel_2} .
- Para la parte experimental se consideran las siguientes actividades.
 - Análisis con instrumentación de mayor velocidad.
 - Integrar sistema completo del GD, es decir, *totem pole* con el *boost trap*.
 - Integrar dispositivo digital con n Zener obtener una variación de la amplitud del sub pulso en V_{nivel_1} y V_{nivel_2} .
 - Integrar y realizar las pruebas para el análisis como en la etapa de simulaciones.

Publicaciones

Como resultado obtenido de este trabajo de investigación se logró la presentación de un artículo de congreso en la conferencia internacional de la Sociedad de Electrónica Industrial (IES) de la IEEE.

1. L. F. Gomez-Rivera, A. Paredes-Camacho, G. Mino-Aguilar and J. Castañeda-Camacho. "Analysis of a Gate-Driving Technique for Enhancing the GaN Power Transistors Performance" 2023 IEEE 2nd Industrial Electronics Society Annual On-Line Conference (ONCON), Beijing, China, 8-10 December 2023.

Analysis of a Gate-Driving Technique for Enhancing the GaN Power Transistors Performance

Luis F. Gomez-Rivera¹, Alejandro Paredes-Camacho², Gerardo Mino-Aguilar¹ and Josefina Castañeda-Camacho¹

¹*Facultad de Ciencias de la Electrónica
Benemérita Universidad Autónoma de Puebla
Puebla, México*

²*MCIA Research Center, Electronic Engineering Department
Universitat Politècnica de Catalunya
Terrassa, Spain*

¹luis.gomezriv@alumno.buap.mx

Abstract—This paper presents an analysis of a gate-driving technique for enhancing the switching performance of gallium nitride (GaN) power transistors. The technique consists of modifying the Pulse Width Modulated (PWM) signal that is applied to the gate of transistors by using diodes and a totem pole circuit. As purpose of this technique is to control the turn-on and turn-off HEMT GaN transitions and reduce the oscillations caused by high-speed operation without increasing power losses. LTspice is used for analyzing the gate driving technique by simulations considering models of commercial components. Simulation results show the viability of the proposed, which can reduce the ringing in the GaN transitions without affecting their performance.

Index Terms—GaN transistors, gate driving, LTspice models

I. INTRODUCTION

Nowadays gallium nitride (GaN) devices such as high electron mobility transistors (HEMTs) are a key technology to cover the new trends in power electronics in many applications including telecommunications, industrial power supplies, renewable energy sources and electrified transportation [1], [2]. The advantages, drawbacks and challenges of HEMT GaN transistor applications have been widely discussed in the literature [3]–[6]. Highest efficiency and switching speed are two important characteristics of these devices. However, as was investigated in [4], [7], high-speed commutation leads to instability and ringing that originate electromagnetic interference (EMI) issues. Many solutions for mitigating the high-speed operation issues in GaN transistors are discussed in the literature including optimizing the gate resistances [8], the printed circuit board (PCB) designs [9], and integration of the GaN monolithic systems inside a chip for reducing the parasitic inductances and monolithic gate drivers [10]–[17].

Numerous gate driver circuits and gate driving methods have been discussed in the literature [18], [19]. The multilevel gate driving concepts have been widely investigated for controlling the GaN transition shifting the voltage-source levels [12], [20]–[23]. The multilevel gate driver is widely studied due to the advantage of controlling gate-voltage slopes and achieving high performances at high-speed operation. The main limitation is the high complexity circuitry and complex algorithms to control the GaN transitions at high speed. Even though some

gate-driving techniques have been presented, the complexity of circuitry, cost, and some gate drivers can limit the integration in power converters based on HEMT GaN. Therefore, it is important to investigate alternative gate-driving methods, that can be implemented without increasing the complexity and circuitry integration.

This paper analyzes a gate-driving strategy, which consists of modifying the Pulse Width Modulated (PWM) signal at the gate in GaN transistors during turn-on and turn-off transitions by using a digital device and simple analog circuitry. The main contribution of this paper is a new gate-driving solution that considers a PWM modification and the circuitry based on Zener diodes for reducing the ringing in power HEMT GaN transistors. Analogous solutions have been explored for Silicon Carbide (SiC) metal–oxide–semiconductor field-effect transistor (MOSFETs) in [24]; however, the proposals require many power supplies and several power transistors to produce the voltage levels, which could increase the complexity and the costs. Therefore, the new gate-driving proposed solution expects to reduce the complexity and easier integration of gate drivers in GaN transistors.

The paper is organized as follows. Section II presents a description of the circuitry and the concept of gate driving. Section III presents the LTspice models based on commercial GaN transistors models and the evaluation of the gate-driving method behavior. Finally, section IV concludes the paper.

II. GATE-DRIVING CONCEPT

The proposed gate-driving technique consists of modifying the main PWM signal in different voltage levels during the GaN turn-on and turn-off transitions, as is shown in Fig. 1. The voltage modification is established by the circuit shown in Fig. 2. The circuit consist of a digital device, which could be a Field Programmable Gate Array (FPGA), and n Zener diodes connected to the digital device outputs for setting n different voltage levels by programming a digital sequence. In addition, the gate-driving architecture has a bootstrap and totem-pole configuration which condition the gate voltage and current of GaN transistor. Gate-driving circuit requires two

Bibliografía

- [1] Y. Zhong, J. Zhang, S. Wu, L. Jia, X. Yang, Y. Liu, Y. Zhang, and Q. Sun, “A review on the gan-on-si power electronic devices,” *Fundamental Research*, vol. 2, no. 3, pp. 462–475, 2022.
- [2] T. M. U. y. W. P. R. Ned Mohan, *ELECTRÓNICA DE POTENCIA: Convertidores, aplicaciones y diseño*. The McGraw-Hill, 3 ed., 2009.
- [3] M. Garcés Quílez, M. Abdel-Monem, M. El Baghdadi, Y. Yang, J. Van Mierlo, and O. Hegazy, “Modelling, analysis and performance evaluation of power conversion unit in g2v/v2g application—a review,” *Energies*, vol. 11, no. 5, 2018.
- [4] S. Microelectronics., “Electric vehicle (ev) ecosystem.” Recuperado de: https://www.st.com/content/ccc/resource/sales_and_marketing/promotional_material/brochure/group0/5f/66/06/cf/a3/85/42/90/BREVECO_Electric_vehicle_ecosystem/files/BREVECO0518.pdf/jcr:content/translations/en.BREVECO0518.pdf, 2018. Fecha de consulta: 15.03.2022.
- [5] S. Chakraborty, H.-N. Vu, M. M. Hasan, D.-D. Tran, M. E. Baghdadi, and O. Hegazy, “Dc-dc converter topologies for electric vehicles, plug-in hybrid electric vehicles and fast charging stations: State of the art and future trends,” *Energies*, vol. 12, no. 8, 2019.
- [6] H. Lee, V. Smet, and R. Tummala, “A review of sic power module packaging technologies: Challenges, advances, and emerging issues,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 239–255, 2020.
- [7] A. M. Bouchour, A. E. Oualkadi, O. Latry, P. Dherbécourt, and A. Echeverri, “Estimation of losses of gan hemt in power switching applications based on experimental characterization,” *Computers and Electrical Engineering*, vol. 84, p. 106622, 2020.
- [8] J. Chen, X. Du, Q. Luo, X. Zhang, P. Sun, and L. Zhou, “A review of switching oscillations of wide bandgap semiconductor devices,” *IEEE Transactions on Power Electronics*, vol. 35, no. 12, pp. 13182–13199, 2020.
- [9] W. L. Jiang, S. Kadee Murray, M. S. Zaman, H. De Vleeschouwer, J. Roig, P. Moens, and O. Trescases, “Monolithic integration of a 5-mhz gan half-bridge

- in a 200-v gan-on-soi process: Programmable dv/dt control and floating high-voltage level-shifter,” in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 728–734, 2021.
- [10] GaNSystems, “Gan technologies for electric vehicles.” Recuperado de: <https://gansystems.com/wp-content/uploads/2020/01/GaN-Technologies-For-Electric-Vehicles-GaN-Systems-IDTechEx-201911.pdf>, 2019. Fecha de consulta: 15.03.2022.
- [11] GaNSystems, “Gn001 application guide, design with gan enhancement mode hemt.” Recuperado de: https://gansystems.com/wp-content/uploads/2018/02/GN001_Design_with_GaN_EHEMT_180228.pdf, 2018. Fecha de consulta: 15.03.2022.
- [12] S. Musumeci and V. Barba, “Gallium nitride power devices in power electronics applications: State of art and perspectives,” *Energies*, vol. 16, no. 9, 2023.
- [13] N. Keshmiri, D. Wang, B. Agrawal, R. Hou, and A. Emadi, “Current status and future trends of gan hemts in electrified transportation,” *IEEE Access*, vol. 8, pp. 70553–70571, 2020.
- [14] N. Islam, M. F. P. Mohamed, M. F. A. J. Khan, S. Falina, H. Kawarada, and M. Syamsul, “Reliability, applications and challenges of gan hemt technology for modern power devices: A review,” *Crystals*, vol. 12, no. 11, 2022.
- [15] A. I. Emon, M. ul Hassan, A. B. Mirza, J. Kaplun, S. S. Vala, and F. Luo, “A review of high-speed gan power modules: State of the art, challenges, and solutions,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 11, no. 3, pp. 2707–2729, 2023.
- [16] J. P. Kozak, R. Zhang, M. Porter, Q. Song, J. Liu, B. Wang, R. Wang, W. Saito, and Y. Zhang, “Stability, reliability, and robustness of gan power devices: A review,” *IEEE Transactions on Power Electronics*, vol. 38, no. 7, pp. 8442–8471, 2023.
- [17] A. Udabe, I. Baraia-Etxaburu, and D. G. Diez, “Gallium nitride power devices: A state of the art review,” *IEEE Access*, vol. 11, pp. 48628–48650, 2023.
- [18] N. Hari, T. Long, and E. Shelton, “Investigation of gate drive strategies for high voltage gan hemts,” *Energy Procedia*, vol. 117, pp. 1152–1159, 2017. "First International Conference on Power Engineering Computing and CONTROL (PECCON-2017) 2nd -4th March .2017.. Organized by School of Electrical Engineering, VIT University, Chennai, Tamil Nadu, India.
- [19] O. Husev, T. Jalakas, D. Vinnikov, N. Vosoughi, and E. Persson, “Pcb design impact on gan-based converter operation,” in *2023 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1–6, 2023.

- [20] Y.-Y. Kao, T.-W. Wang, S.-H. Hung, Y.-H. Wen, T.-H. Yang, S.-Y. Li, K.-H. Chen, Y.-H. Lin, S.-R. Lin, and T.-Y. Tsai, “A monolithic gan-based driver and gan power hemt with diode-emulated gan technique for 50mhz operation and sub-0.2ns deadtime control,” in *2022 IEEE International Solid-State Circuits Conference (ISSCC)*, vol. 65, pp. 228–230, 2022.
- [21] C. Hsia and D.-F. Lu, “Gan-on-si: Monolithically integrated all-gan drivers for high-voltage dc-dc power conversion,” *Applied Sciences*, vol. 12, no. 10, 2022.
- [22] S.-Y. Lin, S.-Y. Lin, S.-H. Hung, T.-W. Wang, C.-H. Li, C.-L. Go, S.-C. Huang, K.-H. Chen, K.-L. Zheng, Y.-H. Lin, S.-R. Lin, and T.-Y. Tsai, “Monolithic gan-based gate driver with on-chip adaptive on-time controller and negative current slope detector to prevent shoot-through,” *IEEE Solid-State Circuits Letters*, vol. 6, pp. 217–220, 2023.
- [23] M. Basler, N. Deneke, S. Mönch, R. Reiner, B. Wicht, and R. Quay, “Monolithically integrated gan gate drivers— a design guide,” *IEEE Open Journal of Power Electronics*, vol. 4, pp. 487–497, 2023.
- [24] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, and N. Rouger, “Cmos active gate driver for closed-loop dv/dt control of gan transistors,” *IEEE Transactions on Power Electronics*, vol. 35, no. 12, pp. 13322–13332, 2020.
- [25] X. Mu, G. Zhao, A. Zhao, Y. Jiang, M.-K. Law, M. Takamiya, P.-I. Mak, and R. P. Martins, “Floating-domain integrated gan driver techniques for dc–dc converters: A review,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 70, no. 9, pp. 3790–3805, 2023.
- [26] C.-T. Ma and Z.-H. Gu, “Review on driving circuits for wide-bandgap semiconductor switching devices for mid- to high-power applications,” *Micromachines*, vol. 12, no. 1, 2021.
- [27] B. Lasek, P. Trochimiuk, R. Kopacz, and J. Rąbkowski, “Parasitic-based active gate driver improving the turn-on process of 1.7 kv sic power mosfet,” *Applied Sciences*, vol. 11, no. 5, 2021.
- [28] H. C. P. Dymond, J. Wang, D. Liu, J. J. O. Dalton, N. McNeill, D. Pamunuwa, S. J. Hollis, and B. H. Stark, “A 6.7-ghz active gate driver for gan fets to combat overshoot, ringing, and emi,” *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 581–594, 2018.
- [29] T. Takahashi, T. Takehisa, J. Furuta, M. Shintani, and K. Kobayashi, “A three-level gan driver for high false turn-on tolerance with minimal reverse conduction loss,” *IEEE Open Journal of Power Electronics*, vol. 4, pp. 357–366, 2023.
- [30] W. J. Zhang, J. Yu, W. T. Cui, Y. Leng, J. Liang, Y.-T. Hsieh, H.-H. Tsai, Y.-Z. Juang, W.-K. Yeh, and W. T. Ng, “A smart gate driver ic for gan power hemts with dynamic ringing suppression,” *IEEE Transactions on Power Electronics*, vol. 36, no. 12, pp. 14119–14132, 2021.

- [31] M. Parker, I. Sahin, R. Mathieson, S. Finney, and P. D. Judge, “Investigation into active gate-driving timing resolution and complexity requirements for a 1200 v 400 a silicon carbide half bridge module,” *IEEE Open Journal of Power Electronics*, vol. 4, pp. 161–175, 2023.
- [32] A. Soldati, “Active gate drivers and wide band-gap devices: architectures, applications and limits,” 2018.
- [33] S. Zhao, X. Zhao, Y. Wei, Y. Zhao, and H. A. Mantooth, “A review of switching slew rate control for silicon carbide devices using active gate drivers,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 9, no. 4, pp. 4096–4114, 2021.
- [34] M. Dalla Vecchia, S. Ravyts, G. Van den Broeck, and J. Driesen, “Gallium-nitride semiconductor technology and its practical design challenges in power electronics applications: An overview,” *Energies*, vol. 12, no. 14, 2019.
- [35] GaNSystems, “Power systems design get going with gan.” Recuperado de: https://gansystems.com/wp-content/uploads/2019/06/GaNSystems_PCIM2019_Get-Going-with-GaN.pdf, 2019. Fecha de consulta: 15.03.2022.
- [36] T. P. Chow, “Progress in high voltage sic and gan power switching devices,” in *Silicon Carbide and Related Materials 2013*, vol. 778 of *Materials Science Forum*, pp. 1077–1082, Trans Tech Publications Ltd, 5 2014.
- [37] W. Wang, Q. Song, S. Zhang, Y. Li, M. Ahmad, and Y. Gong, “The loss analysis and efficiency optimization of power inverter based on sic mosfets under the high-switching frequency,” *IEEE Transactions on Industry Applications*, vol. 57, no. 2, pp. 1521–1534, 2021.
- [38] A. Kar, M. Miura-Mattausch, M. Sengupta, D. Navaroo, H. Kikuchihara, T. Iizuka, H. Rahaman, and H. J. Mattausch, “Simulation-based power-loss optimization of general-purpose high-voltage sic mosfet circuit under high-frequency operation,” *IEEE Access*, vol. 9, pp. 23786–23794, 2021.
- [39] K. P. Krovi, P. Skarolek, and J. Bauer, “Comparison of bi-directional dc/dc converter using si and wbg devices,” in *2023 International Conference on Electrical Drives and Power Electronics (EDPE)*, pp. 1–7, 2023.
- [40] D. Lumbreras, J. Zaragoza, N. Berbel, J. Mon, E. Galvez, and A. Collado, “Efficiency comparison of power converters based on sic and gan semiconductors at high switching frequencies,” in *2021 IEEE 30th International Symposium on Industrial Electronics (ISIE)*, pp. 1–6, 2021.
- [41] X. Ding, Y. Zhou, and J. Cheng, “A review of gallium nitride power device and its applications in motor drive,” *CES Transactions on Electrical Machines and Systems*, vol. 3, no. 1, pp. 54–64, 2019.

- [42] C. Liu, R. Abdul Khadar, and E. Matioli, “Vertical gan-on-si mosfets with monolithically integrated freewheeling schottky barrier diodes,” *IEEE Electron Device Letters*, vol. 39, no. 7, pp. 1034–1037, 2018.
- [43] H. Fu, K. Fu, S. Chowdhury, T. Palacios, and Y. Zhao, “Vertical gan power devices: Device principles and fabrication technologies—part ii,” *IEEE Transactions on Electron Devices*, vol. 68, no. 7, pp. 3212–3222, 2021.
- [44] J. Chen, J. Liu, W. Zou, and J. Ma, “Investigation of on-wafer esd characteristics (hbm and tlp) of lateral gan-on-si sbds,” *IEEE Transactions on Electron Devices*, pp. 1–4, 2023.
- [45] T. Zhang, J. Zhang, H. Zhou, Y. Wang, T. Chen, K. Zhang, Y. Zhang, K. Dang, Z. Bian, J. Zhang, S. Xu, X. Duan, J. Ning, and Y. Hao, “A >3 kv/2.94 m $\omega \cdot$ cm² and low leakage current with low turn-on voltage lateral gan schottky barrier diode on silicon substrate with anode engineering technique,” *IEEE Electron Device Letters*, vol. 40, no. 10, pp. 1583–1586, 2019.
- [46] D. Cittanti, E. Vico, and I. R. Bojoi, “New fom-based performance evaluation of 600/650 v sic and gan semiconductors for next-generation ev drives,” *IEEE Access*, vol. 10, pp. 51693–51707, 2022.
- [47] Q. Song, R. Zhang, J. P. Kozak, J. Liu, Q. Li, and Y. Zhang, “Robustness of cascode gan hemts under repetitive overvoltage and surge energy stresses,” in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 363–369, 2021.
- [48] U. S. Kumar, K. Bhuvir, S. Halder, S. Tolani, S. Bhattacharjee, and A. Panda, “Performance analysis of gan inverter fed electric traction drive system for ev application,” in *2023 International Conference on Computer, Electronics & Electrical Engineering & their Applications (IC2E3)*, pp. 1–6, 2023.
- [49] H. R. Dhanyal, W. Hu, A. Ahmed, H. Nawaz, and W. Shahzad, “High performance gan based switching and linear power amplifier for airborne application,” in *2019 Photonics & Electromagnetics Research Symposium - Fall (PIERS - Fall)*, pp. 3278–3282, 2019.
- [50] H. R. Dhanyal, A. Ahmed, M. Javed, T. Javed, A. Burney, and N. Ahsan, “Design & development of 45 watt gan hemt power amplifier with high speed gate switching for pulsed radar application,” in *2018 15th International Bhurban Conference on Applied Sciences and Technology (IBCAST)*, pp. 858–861, 2018.
- [51] M. Notarianni, B. Messant, and P. Maynadier, “Using gan hfet to replace mosfet in dc/dc for space applications,” in *2019 European Space Power Conference (ESPC)*, pp. 1–3, 2019.
- [52] N. Berbel, G. J. Capella, J. Zaragoza, and J. Luis Romeral, “Performance assessment of a wide-bandgap-semiconductor dual-active-bridge converter for electrical

- vehicles,” in *2021 IEEE 30th International Symposium on Industrial Electronics (ISIE)*, pp. 1–6, 2021.
- [53] L. Zhang, Z. Zheng, and X. Lou, “A review of wbg and si devices hybrid applications,” *Chinese Journal of Electrical Engineering*, vol. 7, no. 2, pp. 1–20, 2021.
- [54] A. Lidow, “Gan transistors — giving new life to moore’s law,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC’s (ISPSD)*, pp. 1–6, 2015.
- [55] S. Khandelwal, M. Labrecque, Y. Huang, F. Qi, Z. Wang, P. Smith, Y. Wu, and R. Lal, “An accurate compact model for gan power switches with the physics-based asm-hemt model,” in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 2389–2392, 2021.
- [56] D. Mahajan and S. Khandelwal, “Statistical modeling of gan power devices with asm-gan model,” in *2020 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, pp. 1–6, 2020.
- [57] S. Khandelwal, G. Stecklein, and T. Herman, “Modeling substrate voltage effects on gan i-v characteristics with asm-hemt model,” in *2022 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1731–1734, 2022.
- [58] A. U. H. Pampori, S. A. Ahsan, and Y. S. Chauhan, “Modeling the impact of dynamic fin-width on the i–v, c–v and rf characteristics of gan fin-hemts,” *IEEE Transactions on Electron Devices*, vol. 69, no. 5, pp. 2275–2281, 2022.
- [59] Y. Xu, L. Huang, X. Yu, Y. Duan, and S. Mao, “Compact physical modeling of trapping effects for microwave gan hemt,” in *2021 IEEE International Workshop on Electromagnetics: Applications and Student Innovation Competition (iWEM)*, vol. volume1, pp. 1–3, 2021.
- [60] GaNSystems., “Spice model for gan hemt- usage guidelines and example.” Recuperado de: https://gansystems.com/wp-content/uploads/2018/01/GN006_SPICE-model-for-GaN-HEMT-usage-guidelines-and-example-v10.pdf, 2016. Fecha de consulta: 05.11.2023.
- [61] P. Bau, S. Gavira-Duque, C. Reymond, T. H. Phung, J. Delaine, G. Calabro, S. Hariharan, and D. Bergogne, “Static and dynamic measurements for gan integrated switches,” in *PCIM Europe 2022; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pp. 1–8, 2022.
- [62] M. Mehrabankhomartash, S. Yin, A. J. Cruz, L. Graber, M. Saeedifard, S. Evans, F. Kapaun, I. Revel, G. Steiner, L. Ybanez, and C. Park, “Static and dynamic characterization of 650 v gan e-hemts in room and cryogenic environments,” in *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 5289–5296, 2021.

- [63] A. Romero, C. DiMarino, R. Burgos, R. Li, M. Chen, Y. Cao, and R. Chu, “Static and dynamic characterization of a gan-on-gan 600 v, 2 a vertical transistor,” in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 413–418, 2017.
- [64] D. Koch, S. Moench, R. Reiner, J. Hueckelheim, K. M. Baron, P. Waltereit, and I. Kallfass, “Static and dynamic characterization of a monolithic integrated temperature sensor in a 600 v gan power ic,” in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pp. 1–7, 2020.
- [65] K. Mukherjee, M. Arnold, J. Zhang, K. Ledins, M. Michalak, O. Fung, L. Efthymiou, Z. Ansari, G. Longobardi, and F. Udrea, “Characterization of the novel icedgan 650v/ 8.5 a, 200 m Ω power device technology,” *Power Electronic Devices and Components*, vol. 5, p. 100037, 2023.
- [66] D. Nardo, A. Scuto, S. Buonomo, M. Chiantello, M. Cacciato, G. Scarcella, and S. A. Rizzo, “Gan hemt power losses modeling and evaluation in resonant llc converters,” in *2022 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1637–1644, 2022.
- [67] M. Koszel and P. Grzejszczak, “Power loss estimating in gan e-hemt based synchronous buck-boost converter,” in *2020 Progress in Applied Electrical Engineering (PAEE)*, pp. 1–6, 2020.
- [68] R. Hou, J. Xu, and D. Chen, “A multivariable turn-on/turn-off switching loss scaling approach for high-voltage gan hemts in a hard-switching half-bridge configuration,” in *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, pp. 171–176, 2017.
- [69] T.-S. Chow, “Progress in high voltage sic and gan power switching devices,” *Materials Science Forum*, vol. 778-780, pp. 1077–1082, 02 2014.
- [70] K. Mukherjee, C. De Santi, M. Borga, K. Geens, S. You, B. Bakeroot, S. Decoutere, P. Diehle, S. Hübner, F. Altmann, M. Buffolo, G. Meneghesso, E. Zanoni, and M. Meneghini, “Challenges and perspectives for vertical gan-on-si trench mos reliability: From leakage current analysis to gate stack optimization,” *Materials*, vol. 14, no. 9, 2021.
- [71] D. B. Ma, “Driving gan power transistors,” in *2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp. 87–90, 2019.
- [72] E. A. Jones, F. F. Wang, and D. Costinett, “Review of commercial gan power devices and gan-based converter design challenges,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 707–719, 2016.
- [73] STMicroelectronics., “High power density 600v half bridge driver with two enhancement mode gan hemt.” Recuperado de: <https://www.st.com/resource/en/datasheet/mastergan1.pdf>, 2020. Fecha de consulta: 05.11.2023.

- [74] E. P. C. Corporation., “Epc2152 80 v, 15 a epower stage preliminary datasheet.” Recuperado de: https://epc-co.com/epc/documents/datasheets/EPC2152_datasheet.pdf, 2021. Fecha de consulta: 05.11.2023.
- [75] GaNFast., “Nv6152 power ic with gansense technology.” Recuperado de: <https://navitassemi.com/download/nv6152/?wpdmdl=44588&ind=1650533708410>, 2022. Fecha de consulta: 05.11.2023.
- [76] S. T. Li, P. Ying Wang, C. J. Chen, and C.-C. Hsu, “A 10mhz gan based buck converter with dynamic pull-up resistor gate driver,” in *2019 IEEE 4th International Future Energy Electronics Conference (IFEEEC)*, pp. 1–4, 2019.
- [77] D. Yan and D. B. Ma, “A monolithic gan power ic with on-chip gate driving, level shifting, and temperature sensing, achieving direct 48-v/1-v dc–dc conversion,” *IEEE Journal of Solid-State Circuits*, vol. 57, no. 12, pp. 3865–3876, 2022.
- [78] D. Liu, H. C. P. Dymond, S. J. Hollis, J. Wang, N. McNeill, D. Pamunuwa, and B. H. Stark, “Full custom design of an arbitrary waveform gate driver with 10-ghz waypoint rates for gan fets,” *IEEE Transactions on Power Electronics*, vol. 36, no. 7, pp. 8267–8279, 2021.
- [79] “Mouser electronics.” Recuperado de: <https://www.mouser.es/>, 2023. Fecha de consulta: 05.11.2023.
- [80] “Rs online.” Recuperado de: <https://es.rs-online.com//>, 2023. Fecha de consulta: 05.11.2023.
- [81] L. Shu, J. Zhang, F. Peng, and Z. Chen, “A voltage controlled current source gate drive method for igbt devices,” in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 5525–5530, 2014.
- [82] J. Chen, J. Xu, W. Song, Q. Luo, and H. A. Mantooth, “A suppression method for gate-source voltage oscillation with clamping function for gan devices,” *IEEE Transactions on Power Electronics*, vol. 38, no. 2, pp. 1435–1439, 2023.
- [83] S. Yu, Q. Zhou, G. Shi, T. Wu, J. Zhu, L. Zhang, W. Sun, S. Zhang, N. He, and Y. Li, “A 400-v half bridge gate driver for normally-off gan hemts with effective dv/dt control and high dv/dt immunity,” *IEEE Transactions on Industrial Electronics*, vol. 70, no. 1, pp. 741–751, 2023.
- [84] Z. Zhang, C. Liu, Y. Si, Y. Liu, M. Wang, and Q. Lei, “A closed-loop current source gate driver with active gate current control for dynamic voltage balancing in series-connected gan hemts,” *IEEE Open Journal of Power Electronics*, vol. 2, pp. 463–482, 2021.
- [85] W.-R. Lin, C. Suarez, K. Umetani, and W. Martinez, “Gate drivers techniques and solutions for gan hemts in high frequency applications,” in *2020 IEEE 29th International Symposium on Industrial Electronics (ISIE)*, pp. 712–716, 2020.

-
- [86] X. Mu, Y. Jiang, M.-K. Law, P.-I. Mak, and R. P. Martins, “Design challenges and considerations of non-isolated gate driver for gan-based converters,” in *2022 IEEE 65th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 1–4, 2022.
- [87] GaNSystems., “Gs-065-011-1-l 650 v e-mode gan transistor datasheet.” Recuperado de: <https://gansystems.com/wp-content/uploads/2020/04/GS61004B-DS-Rev-221201.pdf>, 2023. Fecha de consulta: 05.11.2023.