



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA

DISEÑO DE UN BANCO DE PRUEBA PARA
MICRO-CIRCUITO DE RECOLECCIÓN DE ENERGÍA
ELÉCTRICA

T E S I S

QUE PARA OBTENER EL TÍTULO DE:

LICENCIADA EN ELECTRÓNICA

P R E S E N T A :

DIANA LUPITA JIMÉNEZ GARCÍA*

DIRECTORES DE TESIS

DR. VÍCTOR RODOLFO GONZÁLEZ DÍAZ*
MTRA. MARÍA MAGDALENA PÉREZ TORRES*

DIRECTOR DE TESIS EXTERNO

DR. JOEL MOLINA REYES**



DICIEMBRE, 2024
PUEBLA, MÉXICO

* Benemérita Universidad Autónoma de Puebla

** Instituto Nacional de Astrofísica, Óptica y Electrónica

Resumen

Este documento presenta el trabajo realizado en la tesis titulada “Diseño de un banco de prueba para micro-circuito de recolección de energía eléctrica”, en el que se explora la caracterización eléctrica de un circuito integrado diseñado para recolectar pequeñas cantidades de energía eléctrica y aumentarla para obtener un voltaje mayor con el propósito de alimentar dispositivos de bajo consumo. Este trabajo se orienta hacia aplicaciones que atienden la creciente necesidad de minimizar el consumo de baterías y recargas frecuentes para reducir el impacto ambiental, permitiendo que los dispositivos electrónicos funcionen de manera autónoma, promoviendo la sustentabilidad mediante el aprovechamiento de sistemas de energía sustentable.

Para abordar estos retos, el trabajo se centra en la caracterización estática de un circuito integrado compuesto de varios elementos clave. El circuito cuenta con una bomba de carga de seis etapas de topología lineal Dickson, que permite alcanzar niveles de voltaje superiores a partir de una pequeña diferencia de potencial suministrada. Esta bomba de carga está implementada con tecnología CMOS 180nm, lo que garantiza eficiencia en términos de tamaño y consumo energético, de esta forma, se posiciona como la mejor opción para aplicaciones de baja potencia, optimizando el uso de energía eléctrica de los dispositivos.

Otro componente importante en este circuito es el oscilador en anillo de siete etapas, capaz de generar una señal que impulsa el proceso de carga. Además, el diseño incluye un sistema de bloqueo conformado de un flip-flop tipo D y un transistor NMOS, que asegura que la carga fluya en la dirección correcta hacia el dispositivo de almacenamiento, evitando una corriente de fuga que limite el tiempo de carga o recolección energética.

En el capítulo 1 se presenta una introducción al tema, se establece el contexto del trabajo y se plantean los objetivos generales y los específicos. A lo largo del desarrollo del documento se explica cómo se lograron dichos objetivos. El capítulo dos es un resumen de los fundamentos teóricos y desarrollo matemático de cada uno de los componentes del circuito (bomba de carga, oscilador y flip-flop D). El estado del arte contribuyó a la comprensión del funcionamiento del circuito, para después implementar el diseño en la herramienta de diseño de circuitos analógicos, Virtuoso, de la compañía Cadence. En el capítulo 3 se presentan los componentes requeridos para el banco de pruebas, así como las dimensiones y los criterios para la disposición de los elementos, además de una propuesta de diseño. En los capítulos 4 y 5, se documenta el diseño del banco de pruebas como PCB (placa de circuito impreso) mediante la herramienta KiCad. Se incluye el circuito esquemático del diseño, la ubicación de

huellas, una vista previa en 3D de la placa y evidencia de la placa física. Así como la caracterización del circuito usando la PCB diseñada, además de la interpretación de los resultados obtenidos.

Índice general

Resumen	II
1. Introducción	1
1.1. Justificación	2
1.2. Contexto	3
1.3. Objetivo General	4
1.3.1. Objetivos Específicos	4
2. Circuito de Bomba de Carga	5
2.1. Bomba de Carga	7
2.1.1. Bomba de carga Cockcroft-Walton	8
2.1.2. Bomba de carga Dickson	9
2.1.3. Bomba de carga Dickson con transistores	10
2.2. Oscilador	12
2.2.1. Consideraciones generales del oscilador	12
2.2.2. Oscilador de Anillo	14
2.3. Sistema de bloqueo	18
2.3.1. Latch D con compuertas NAND	18
2.3.2. Flip-flop D	19
2.4. Implementación de Circuito de Bomba de Carga en Virtuoso	20
2.4.1. Bomba de Carga Topología Dickson de 6 Etapas	20
2.4.2. Oscilador de Anillo de 7 Etapas	21
2.4.3. Circuito de Bloqueo	22
2.4.4. Simulación de Circuito de Bomba de Carga en Virtuoso	23
3. Diseño de Banco de Prueba (PCB)	26
3.1. Componentes de la PCB	26
3.2. Dimensiones Requeridas	29
3.3. Disposición de Componentes	31
3.4. Propuesta de Diseño	32
3.4.1. Propuesta de Diseño (Primera Versión)	32
3.4.2. Propuesta de Diseño (Segunda Versión)	33

4. Diseño de PCB en Kicad	35
4.1. Diseño de la Primera Versión de PCB	35
4.1.1. Circuito Esquemático	35
4.1.2. Disposición de Huellas	36
4.1.3. Wire Bonding y PCB Física	37
4.1.4. Consideraciones de mejora de la primera versión de la PCB . .	38
4.2. Rediseño de la PCB	38
4.2.1. Circuito Esquemático	38
4.2.2. Disposición de Huellas	39
4.2.3. Wire Bonding y PCB Física	40
5. Caracterización Eléctrica Estática	42
5.1. Variables de Interés	42
5.2. Disposición del banco de pruebas	42
5.3. Implementación de Conexiones	44
5.4. Respuesta de Bomba de Carga	45
5.4.1. Consumo del Circuito	46
5.5. Resumen de características del circuito y Comparativa con Literatura Actual	47
6. Conclusiones y Trabajo a Futuro	49
Índice de Figuras	50
Bibliografía	56
Apéndice Anexo 1	57

Agradecimientos

- A mi madre Maricela García Barrientos y a mi padre Dionicio Jiménez Guzmán, por su amor incondicional y dedicación. Su apoyo y ejemplo han sido fundamentales para alcanzar este logro.
- A mi hermano Iván Jaciel, por alentarme y confiar en mí. Siempre estaré agradecida por tenerte en mi vida.
- A Michelle y Maggie, por llenarme de alegría e inspirarme siempre.
- A mi novio Yohan Aldair Guzmán Sánchez, por su paciencia, comprensión y cariño. Gracias por ser mi fuente de motivación, este trabajo también es tuyo.
- A mi abuela Margarita Barrientos y mi abuelo Francisco García, por su tiempo, compañía y cariño.
- A mis amigos Julia, Ivonne, Sol, Rogelio, Max, Ángel y Sergio, por motivarme de una forma única.
- A mis amigos del laboratorio Jessi, Ozzi, Alex, Dani, Enrique, Emigdio y Yerandi, por todos los buenos momentos que compartimos.
- A mis asesores: Dr. Víctor Rodolfo González Díaz, Mtra. María Magdalena Pérez Torres y Dr. Joel Molina Reyes, por el tiempo y su invaluable apoyo.
- A mi jurado, por las observaciones para mejorar este trabajo.
- A mi institución la Benemérita Universidad Autónoma de Puebla por el apoyo recibido a través del proyecto VIEP 2024 ID 215.
- Al Consejo Nacional de Humanidades, Ciencias y Tecnologías, por el apoyo financiero para realizar este trabajo.

1 Introducción

La tecnología está revolucionando nuestro mundo a gran velocidad, dando paso a dispositivos portátiles y autónomos, tal es el caso de teléfonos móviles, laptops y dispositivos médicos. En cada una de estas aplicaciones, el consumo energético debe estar rigurosamente controlado, de manera que un diseño eficiente y de bajo consumo es fundamental en este contexto [1] [2].

La tendencia de innovación tecnológica se enfoca en el desarrollo de dispositivos portables, sostenibles y económicos. Por lo que las aplicaciones de sistemas de bajo consumo son cada vez más importantes, sin embargo, para estos sistemas un voltaje mínimo resulta insuficiente para impulsar circuitos internos. En este sentido, ampliar el suministro de energía (usualmente baterías) no es posible, debido al peso y tamaño de los dispositivos portables. Es por ello, que la bomba de carga representa la mejor opción para aumentar el voltaje de la fuente de alimentación hasta el nivel requerido, con el objetivo de cubrir las necesidades energéticas de los circuitos [3]. La novedad en el sector energético apunta a extender la vida útil de las baterías mediante fuentes de energía alternativas. Al integrar fuentes renovables de forma intermitente se reduce el consumo de baterías y con ello la contaminación electrónica. [1] [4].

En términos simples, una bomba de carga es un arreglo de condensadores y diodos que proporciona una ganancia de voltaje (definida como la relación entre el voltaje de salida del circuito y el voltaje de entrada). Las bombas de carga usualmente son capaces de operar en alta frecuencia para aumentar la potencia de salida dentro de un tamaño razonable de capacitancia utilizada para la transferencia de carga. Gracias a la eficiencia y al mínimo espacio que requiere esta arquitectura, se posiciona como la mejor opción para aplicaciones de bajo consumo. La bomba de carga Dickson utiliza transistores MOS en conexión a diodo y una serie de capacitores asociados a un ciclo de reloj complementario que permite transferir la carga desde la fuente de alimentación hasta los múltiples capacitores para conseguir un voltaje más alto, además de la posibilidad de implementar el arreglo en circuito integrado. Es por ello que, entre las diversas topologías de una bomba de carga, la configuración Dickson es una de las más populares [3].

Por otro lado, el concepto de recolección de energía surge como alternativa innovadora para enfrentar la grave crisis ambiental y económica que se presenta actualmente [5]. La recolección de energía, en inglés conocida como “energy harvesting”, es el proceso de captura de pequeñas cantidades de energía que se encuentra dispersa en el entorno para convertirla en energía eléctrica útil y alimentar dispositivos electrónicos. Estos circuitos capturan, acumulan y gestionan la energía disponible en el

ambiente, tal es el caso de la luz solar, ondas de radiofrecuencia o vibraciones mecánicas. Debido al avance tecnológico de dispositivos portables y autónomos, este tema ha cobrado relevancia en los últimos años, principalmente en aplicaciones de Internet de las Cosas (IoT), dispositivos de uso médico y sensores inalámbricos. Estas aplicaciones demandan fuentes de energía que permitan reducir la dependencia de baterías y con el propósito de disminuir el impacto ambiental [6] [4].

Estos sistemas reducen la dependencia de fuentes de energía no renovables y proporciona autonomía al minimizar la necesidad de conexión a la red eléctrica. Además, los sistemas de cosecha de energía se utilizan en aplicaciones remotas, especialmente en áreas de difícil acceso donde no hay energía eléctrica [4].

Uno de los sistemas más populares es la recolección de energía solar, por medio de celdas fotovoltaicas para recolectar la luz solar y convertirla en energía eléctrica [4] [7]. Este tipo de recolección de energía es viable para aplicaciones en las que la luz solar está disponible de forma constante. La energía solar fotovoltaica continúa desarrollándose rápidamente para aumentar su eficiencia y reducir costos. Actualmente, las celdas de silicio predominan en el mercado, y se espera que esta tendencia se mantenga en el futuro [4] [8].

En ese sentido, un circuito integrado orientado a la recolección de energía representa una fuente sostenible y confiable, en una configuración compacta, eficiente y de bajo consumo. Es por ello, que este trabajo se centra en el estudio de una bomba de carga para aplicaciones de recolección de energía eléctrica. El desarrollo de esta investigación se enfoca en el diseño de un banco de prueba con la finalidad de medir y caracterizar una bomba de carga para evaluar el desempeño y diseño del circuito. A través de la caracterización, se obtiene información sobre la capacidad de almacenamiento, pérdidas energéticas y la estabilidad del sistema ante variaciones en el entorno, estos puntos críticos permiten valorar el rendimiento, optimizar el diseño y garantizar el funcionamiento en condiciones específicas. En resumen, esta investigación busca contribuir al desarrollo de circuitos de recolección de energía, que puedan impulsar el avance de dispositivos energéticamente autónomos, promoviendo la sustentabilidad en tecnologías emergentes.

1.1. Justificación

El presente trabajo se justifica en la creciente demanda de desarrollo de tecnologías sostenibles, portables y energéticamente autónomas, minimizando la dependencia de fuentes de energía externas o de frecuentes reemplazos de baterías. Con el constante avance tecnológico, el Internet de las Cosas (IoT) está inmerso en aplicaciones de diversas áreas, por lo que la demanda de fuentes de energía compactas, duraderas y sostenibles se ha vuelto fundamental. En este sentido, la recolección de energía surge como una alternativa viable, ya que estos sistemas permiten capturar pequeñas cantidades de energía disponible en el entorno y transformarla en energía eléctrica, fortaleciendo la portabilidad de los dispositivos y reduciendo el impacto ambiental.

Los dispositivos IoT requieren de múltiples sistemas electrónicos que dependen de una fuente de energía constante para operar en ubicaciones remotas o de difícil ac-

ceso. La dependencia de baterías limita la portabilidad de estos dispositivos, implica costos y retos asociados al mantenimiento. Considerando estos desafíos, la tesis propone el acondicionamiento para la caracterización de una bomba de carga en circuito integrado, contribuyendo a la reducción de residuos generados por el uso excesivo de baterías y fomentando el desarrollo de dispositivos sostenibles.

Asimismo, la implementación de un circuito integrado de recolección de energía de bajo consumo ofrece la posibilidad de incluir esta tecnología en múltiples dispositivos portátiles. La investigación presentada en esta tesis tiene como objetivo verificar el rendimiento de la bomba de carga. De esta manera, el trabajo contribuye al avance de tecnología sostenible y promueve la autonomía energética, aprovechando fuentes de energía alternativas disponibles en el entorno.

1.2. Contexto

Este trabajo se desarrolla bajo el contexto de búsqueda de autonomía energética y portabilidad de dispositivos electrónicos, mediante el aprovechamiento de fuentes sostenibles, con un enfoque en una bomba de carga en circuito integrado para aplicaciones de cosechada de energía. Estos circuitos se posicionan como la mejor opción para impulsar la autonomía energética en nuestro país.

Como antecedente del trabajo, se tiene el desarrollo de un sistema de acondicionamiento de una bomba de carga en circuito integrado, diseñado en el “Laboratorio de Diseño y Caracterización de Circuitos y Sistemas, FCE BUAP”. Este circuito busca resolver la creciente demanda de tecnología sustentable, atendiendo la necesidad de independencia energética y diseño compacto de dispositivos, minimizando la dependencia de baterías y conexiones a fuentes de alimentación. El circuito mencionado será medido y caracterizado a través de un banco de pruebas diseñado en este trabajo de tesis.

1.3. Objetivo General

- Diseñar de un banco de pruebas para la caracterización estática de una bomba de carga para sistemas de recolección de energía.

1.3.1. Objetivos Específicos

- Investigar y analizar circuitos integrados existentes como bomba de carga en recolección energética.
- Analizar la topología de una bomba de carga fabricada en tecnología CMOS en 180nm.
- Diseñar el banco de pruebas como tarjeta PCB para la caracterización eléctrica de la bomba de carga.
- Obtener mediciones en corriente directa de la bomba de carga e interpretar resultados.

2 Circuito de Bomba de Carga

La recolección de energía representa una buena técnica para alimentar dispositivos electrónicos de bajo consumo ampliando la vida útil de las baterías. Este enfoque es importante particularmente en aplicaciones en donde la autonomía energética es esencial, como es el caso de sensores inalámbricos, dispositivos médicos implantables o sistemas de aplicación para internet de las cosas (IoT). Existen diversos métodos de recolección de energía, pero las técnicas que involucran el tratamiento de señales de radiofrecuencia o fuentes de baja tensión son de gran interés, debido a la disponibilidad de estas señales, ya que se encuentran dispersas en el entorno.

A continuación, se presenta el circuito de interés en la Figura 2.1, el sistema consta de una bomba de carga de 6 etapas de topología Dickson (Figura 2.2) conectada a un oscilador en anillo y un circuito de bloqueo. La bomba de carga, también conocida como multiplicador de voltaje, aumenta el voltaje de forma ideal en cada ciclo de reloj, de esta manera, la carga obtenida de la etapa anterior se almacena en un condensador y después se transfiere a la siguiente etapa para finalmente, almacenar la carga de la etapa final en una batería o circuito de almacenamiento. La bomba de carga Dickson es la topología más popular para rectificar y almacenar energía, a través de un arreglo de diodos y condensadores. Esta bomba de carga es eficiente como multiplicador de voltaje, permite generar voltajes altos a partir de niveles bajos de energía, lo que la convierte en la mejor opción para trabajar con tecnología CMOS.

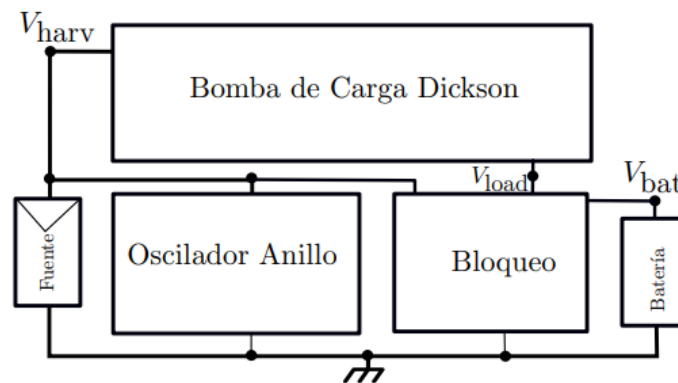


Figura 2.1: Diagrama a Bloques del Circuito de Recolección de Energía.

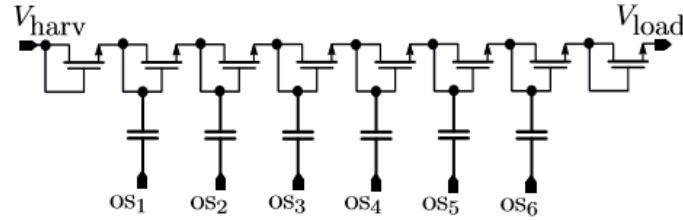


Figura 2.2: Bomba de Carga de 6 Etapas.

Por otra parte, el oscilador en anillo tiene 7 etapas (Figura 2.3) y la frecuencia está controlada por el retardo del inversor. La señal generada por el oscilador controla el circuito de bloqueo implementado con un flip-flop tipo D y un transistor NMOS, el flip-flop tipo D es responsable de manipular el ciclo de trabajo del reloj y generar una onda cuadrada que se dirige al transistor, el cual conecta el voltaje de carga y el voltaje de la batería.

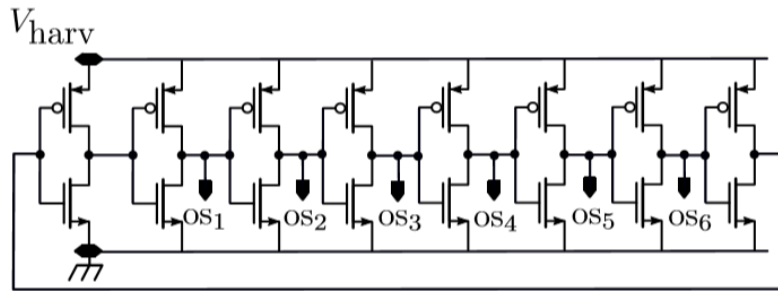


Figura 2.3: Oscilador en Anillo 7 Etapas.

Cuando el voltaje en la fuente es menor que el voltaje de umbral de los dispositivos, la bomba de carga entra a un estado de inyección inversa, lo cual provoca que la energía almacenada regrese al instrumento recolector. Entonces, el circuito de bloqueo (Figura 2.4) genera un estado que apaga al transistor entre las terminales V_{load} (voltaje resultante de la bomba de carga) y V_{bat} (voltaje en la batería) cuando el voltaje en V_{load} no es suficiente y evita que la bomba de carga en estado de inyección inversa drene la energía almacenada.

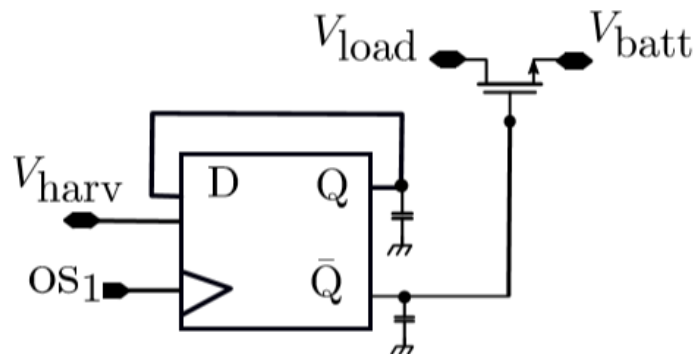


Figura 2.4: Circuito de Bloqueo.

El circuito requiere un oscilador para mejorar y facilitar el incremento de energía, este genera una señal periódica que impulsa el proceso de carga. El oscilador proporciona las señales de reloj necesarias para controlar los transistores en la bomba de carga. La eficiencia del oscilador es fundamental, ya que determina el rendimiento del circuito. El sistema de bloqueo es esencial para evitar pérdidas de energía, asegurando que el flujo de carga este dirigido a un dispositivo de almacenamiento y cuidando que no haya retornos de voltaje a las etapas anteriores. El diseño de este componente es esencial para maximizar el cosechamiento de energía y evitar fugas que podrían reducir el voltaje en el dispositivo de almacenamiento. A continuación, se muestra el patrón geométrico del circuito, en la figura 2.5 se observa V_{harv} , V_{bat} y GND, la ubicación de estos puntos será fundamental para el diseño de la PCB.

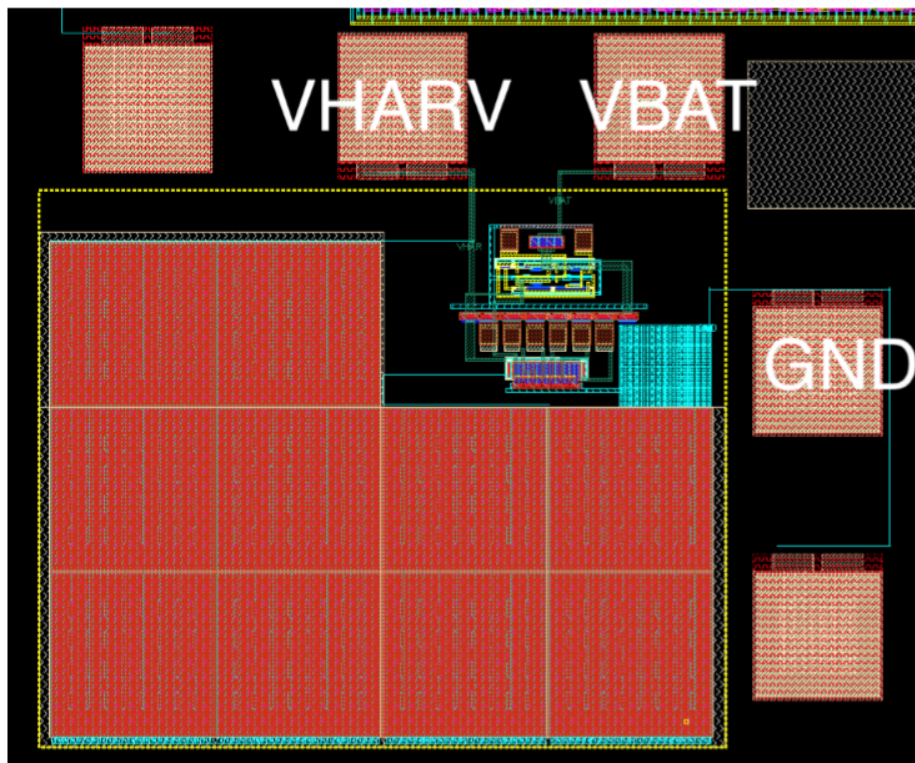


Figura 2.5: Patrón Geométrico.

En las siguientes secciones se presenta el fundamento teórico y desarrollo matemático de cada componente del circuito.

2.1. Bomba de Carga

Dado que una mínima diferencia de potencial no es suficiente para cargar un componente de almacenamiento de energía, usar una bomba de carga es una opción viable. [9] El multiplicador de voltaje o bomba de carga, es un tipo de rectificador que transforma el voltaje de corriente alterna (CA) en voltaje de corriente continua (CD) y eleva el voltaje rectificado, lo cual es especialmente útil cuando este no es suficiente

para aplicaciones específicas. El voltaje amplificado resultado de un multiplicador de voltaje tiene relación directa con el número de etapas del circuito. Es decir, el voltaje de salida aumenta a medida que se incrementan el número de etapas en el multiplicador de voltaje. [10] [11] Los multiplicadores de tensión construidos con diodos y condensadores son especialmente importantes debido a la simplicidad de aplicación y su reducido tamaño, en el circuito, los diodos funcionan como interruptores y solo se requiere de un voltaje bajo para funcionar [12].

Existen diferentes topologías para implementar un multiplicador de voltaje, algunas son: Cockcroft-Walton, Dickson, Dickson Charge Pump y Greinacher. La selección del arreglo adecuado depende de las necesidades específicas de la aplicación. También es fundamental considerar elementos como la resistencia de carga, la frecuencia y la potencia [11] [6].

2.1.1. Bomba de carga Cockcroft-Walton

Es posible generar voltajes superiores que los que proporciona una fuente de alimentación en un circuito integrado utilizando el multiplicador de voltaje Cockcroft-Walton. En el circuito, los condensadores de acoplamiento están conectados en serie, por lo que la multiplicación será eficiente únicamente si los condensadores de acoplamiento (C) son mayores que los condensadores de dispersión (C_s), además, la impedancia de salida aumenta rápidamente a medida que se incrementa el número de etapas del multiplicador. [13] [3]

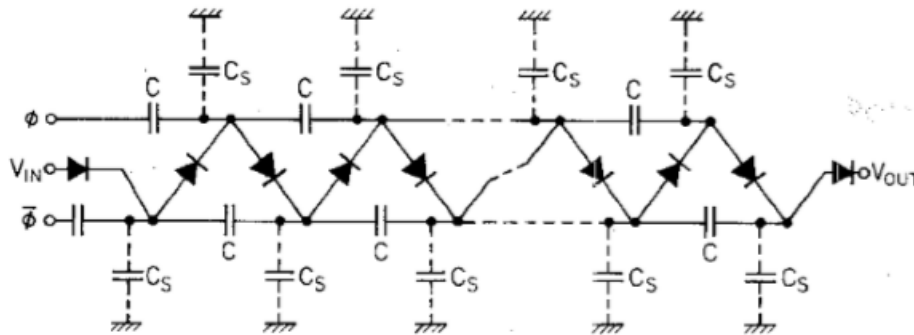


Figura 2.6: Multiplicador de voltaje básico de Cockcroft-Walton [13].

El incremento de voltaje es posible debido a que el voltaje máximo a través de cualquiera de los capacitores de acoplamiento es igual al voltaje de entrada de la fuente de alimentación, siendo independiente del número de etapas de multiplicación. Sin embargo, este multiplicador no se puede integrar de forma monolítica, ya que los condensadores integrados en un chip están limitados a valores en el rango de picofaradios con altos niveles de capacitancia parásita con respecto al sustrato.

Por otra parte, se ha comprobado que, de forma práctica es difícil conseguir voltajes considerablemente superiores al doble del voltaje en la fuente. De hecho, al aumentar el número de etapas, más allá de un número crítico (normalmente 3 o 4), determinado por la relación entre los valores de los capacitores de acoplamiento y

dispersión, el voltaje de salida disminuye debido a las caídas de voltaje en la cadena de diodos. [13]

2.1.2. Bomba de carga Dickson

El multiplicador Dickson fue presentado como una mejora del circuito Cockcroft-Walton. En este circuito, los nodos de la cadena de diodos están acoplados a las entradas a través de condensadores en paralelo, de modo que los condensadores deben soportar todos los voltajes generados a lo largo de la cadena, esto no representa un problema en esta configuración, siempre que no se excedan los límites del proceso del circuito integrado. Además, es importante mencionar que el circuito presenta una baja impedancia de salida a medida que aumenta el número de etapas [13] [14].

En este multiplicador se puede lograr una multiplicación eficiente con niveles relativamente altos de capacitancia parásita y la capacidad de control de corriente es independiente del número de etapas de multiplicador. Sin embargo, la ganancia se degrada por las caídas de umbral a través de los diodos [3].

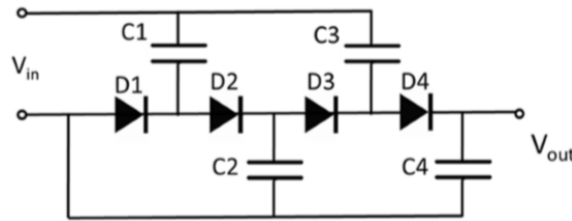


Figura 2.7: Bomba de carga Dickson. [11]

El circuito consta de dos entradas de reloj desfasadas entre sí. Los diodos funcionan como interruptores sincronizados, caracterizados por el voltaje de polarización y la amplitud del reloj. El multiplicador Dickson aumenta el voltaje a lo largo de la cadena de diodos a medida que el capacitor de cada etapa se carga y descarga alternativamente, con respecto a la amplitud del reloj cada ciclo. De forma inicial, cuando el reloj baja, el diodo D1 conduce hasta que el voltaje en el nodo 1 (V_1), se convierte en [3]:

$$V_1 = (V_{in} + V_{d_f}) \quad (2.1)$$

V_{d_f} es el voltaje umbral del diodo. Cuando CLK cambia, el voltaje en el nodo 1 ahora se convierte en:

$$V_1 = (V_{in} + V_{in} - V_{d_f}) \quad (2.2)$$

Dado que las amplitudes de V_{in} y ambas entradas de reloj son iguales. CLK baja al mismo tiempo, lo que provoca que el diodo D2 conduzca hasta el voltaje en el nodo 2. V_2 se convierte

$$V_2 = (V_{in} + V_{in} - V_{d_f}) - V_{d_f} \quad (2.3)$$

Cuando CLK vuelve a subir, el voltaje en el nodo 2 se convierte en:

$$V_2 = V_{in} - 2(V_{in} - V_{d_f}) \quad (2.4)$$

Después de N etapas, es fácil ver que el voltaje de salida es:

$$V_{out} = V_{in} + N(V_{in} - V_{d_f}) \quad (2.5)$$

Aquí se ignora el efecto de la capacitancia parásita. En presencia de carga, el voltaje de salida está dado por:

$$V_{out} = V_{in} + N \left[V_{in} - V_{d_f} - \frac{I_{out}}{2\pi f C_{f_{osc}}} \right] \quad (2.6)$$

Sin carga, el término $\frac{I_{out}}{2\pi f C_{f_{osc}}}$ se vuelve cero. Entonces f_{osc} podría calcularse mediante la fórmula:

$$f_{osc} = \frac{I_{out} N}{C \Delta V_{tot}} \quad (2.7)$$

Donde ΔV_{tot} podría calcularse como:

$$\Delta V_{tot} = (N + 1)(V_{in} - V_{d_f}) - V_{out} \quad (2.8)$$

De este modo, durante el primer semiciclo negativo, el capacitor C1 se carga con el voltaje pico de entrada V_{in} a través del diodo D1. En el siguiente semiciclo positivo, el capacitor C2 se carga a través del diodo D2 con la suma del voltaje almacenado en C1 y V_{in} . Posteriormente, durante el semiciclo negativo siguiente el capacitor C3 se carga con la suma de los voltajes de C1, C2 y V_{in} a través del diodo D3. Para el siguiente semiciclo positivo el capacitor C4 se carga con el voltaje en C3 y el voltaje de entrada V_{in} a través del diodo D4 [15].

2.1.3. Bomba de carga Dickson con transistores

El multiplicador de Dickson es la mejor opción para aplicaciones de bajo voltaje. Sin embargo, es difícil obtener una alta eficiencia de conversión de potencia (PCE) debido al alto voltaje de umbral entre los diodos que crea una corriente de fuga, lo que reduce la eficiencia general. Además, para cargas de alta resistencia, el voltaje de salida se reduce drásticamente, lo que limita la corriente suministrada a la carga [11].

La tecnología MOSFET (transistor de efecto de campo de semiconductor de óxido metálico) está superando las limitaciones de los diodos y se está consolidando como una solución alternativa para rectificar y aumentar la potencia. Gracias a la tecnología MOSFET, los multiplicadores de carga de topología Dickson se pueden implementar en circuitos integrados (CI) reemplazando los diodos por CMOS, como se muestra en la figura [11].

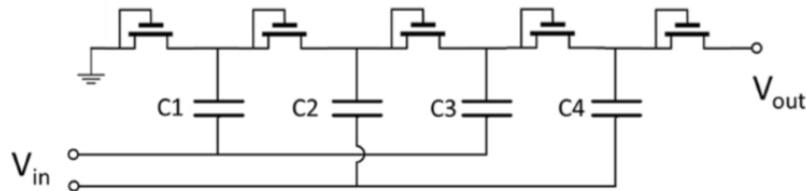


Figura 2.8: Multiplicador de voltaje Dickson usando tecnología CMOS [11].

La conexión del interruptor de transferencia de carga (CTS) del MOSFET, utilizado en la bomba de carga, se implementa conectando la compuerta (G), la fuente (S) y el cuerpo (B) entre sí. En esta configuración, el cuerpo flotante del canal P se conecta a la fuente, lo que provoca un cortocircuito en la unión del cuerpo de tipo N a la fuente de tipo P. Por lo tanto, solo existe un diodo entre la conexión compuerta-fuente-cuerpo y el drenaje. En esta disposición, la conexión compuerta-fuente-cuerpo servirá como ánodo, mientras que el drenador funciona como el cátodo. Por lo tanto, funcionará como un diodo y tendrá un voltaje umbral V_{th} menor, que puede llegar a ser 0 V para voltajes más bajos [3].

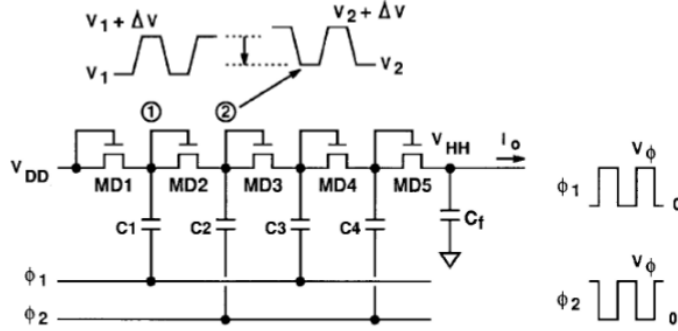


Figura 2.9: Multiplicador de voltaje Dickson señales de reloj [13].

La configuración que se muestra en la figura se emplea para generar un voltaje más alto a partir de V_{in} junto con dos pulsos de reloj desfasados 180° y un ciclo de trabajo del 50%. Se puede apreciar en la figura que el transistor CMOS se utiliza en una configuración de conexión en diodo, donde la mayor parte del transistor conectada a la fuente y a la compuerta, por lo que la ganancia de voltaje máxima V_g por etapa del circuito de bomba de carga de Dickson se puede calcular con la ecuación [3]:

$$V_g = (V_{in} - V_t) \quad (2.9)$$

Donde V_t es el voltaje umbral del transistor CMOS. Como se muestra en las figuras, la bomba de carga de Dickson se implementa utilizando transistores CMOS en conexión diodo en lugar de diodos. Por lo tanto, V_1 , V_2 o V_{out} se pueden calcular sustituyendo V_{df} con el voltaje de umbral V_t del transistor de las ecuaciones anteriores. Las bombas de carga que utilizan transistores son adecuadas para operar a bajo voltaje, ya que ofrecen mejores ganancias de bombeo de voltaje y generan voltajes de salida más altos respecto a la bomba de carga Dickson implementada con diodos. El circuito consta de dos relojes de bombeo Φ_1 y Φ_2 , que están desfasados y tienen una amplitud de voltaje de V_Φ . El valor de V_Φ es usualmente idéntico al voltaje del suministro VDD [16].

A través de los condensadores de acoplamiento C_1 , C_2 , C_3 y C_4 , los dos relojes empujan el voltaje de carga hacia arriba a través de los transistores. Despreciando las condiciones de contorno, la variación de voltaje en cada nodo de bombeo ΔV es idéntica y se puede expresar como se muestra en la siguiente ecuación:

$$A_P = A_{P_1} = \Delta V = V_2 - V_1 = V_{CLK} \frac{C}{C + C_s} - \frac{I_0}{f(C + C_s)} \dots \quad (2.10)$$

Donde C_s es la capacitancia parásita de $C1$, $C2$, $C3$ y $C4$, asociada con cada nodo de bombeo, f es la frecuencia de los relojes de bombeo e I_o es la corriente de salida de carga. Este es el cambio de voltaje que ocurre en cada nodo de una bomba de carga de un ciclo de reloj al siguiente. A continuación, se presentan las formas de onda de salida de la bomba de carga de Dickson [16]:

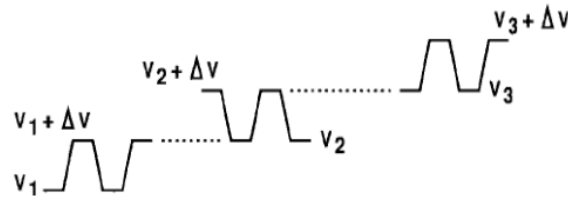


Figura 2.10: Cambio de voltaje. [16]

2.2. Oscilador

Los osciladores son componentes fundamentales en numerosos sistemas electrónicos. Las aplicaciones van desde la generación de señales de reloj en microprocesadores hasta la síntesis de portadoras en teléfonos móviles, lo que requiere topologías de oscilador y diferentes parámetros de rendimiento. El diseño de osciladores robustos y de alto rendimiento en tecnología CMOS sigue planteando desafíos interesantes [17].

Un oscilador es un circuito con la capacidad de generar una señal de salida periódica sin una excitación externa aplicada en la entrada. La pureza espectral de la señal generada es uno de los retos más desafiantes en los sistemas de comunicación de RF y en sistemas digitales sincronizados, ya que ello influye de manera decisiva en la correcta operación del sistema completo en el cual se aplique [18].

2.2.1. Consideraciones generales del oscilador

Un oscilador simple genera una salida periódica, usualmente en forma de voltaje. De forma estricta, el circuito no tiene entrada externa, manteniendo la salida de manera indefinida. En el diseño de la mayoría de sistemas retroalimentados se pone especial atención en evitar la inestabilidad. Sin embargo, en el diseño de osciladores, se busca intencionalmente obtener las condiciones de inestabilidad para que el circuito oscile [18]. La retroalimentación negativa hace posible la oscilación en el circuito, es decir, un oscilador es un amplificador de retroalimentación mal diseñado. Se considera el siguiente circuito de retroalimentación negativa con ganancia unitaria [17]:

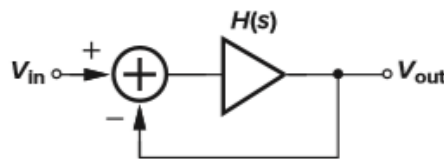


Figura 2.11: Sistema de retroalimentación [17].

Donde

$$\frac{V_{out}}{V_{in}}(s) = \frac{H(s)}{1 + H(s)} \quad (2.11)$$

Si el amplificador experimenta un cambio de fase a altas frecuencias, haciendo que la retroalimentación general se vuelve positiva, entonces puede ocurrir oscilación. Específicamente, si para $s = j\omega_0$, $H(j\omega_0) = -1$, entonces la ganancia de lazo cerrado se acerca al infinito en ω_0 . Bajo esta condición, el circuito amplifica indefinidamente sus propios componentes de ruido en ω_0 . Un componente de ruido en ω_0 experimenta una ganancia total unitaria y un cambio de fase de 180° , regresando al sustractor como una réplica negativa de la entrada. Al restar, la entrada y las señales de retroalimentación el resultado es una diferencia mayor. Por lo tanto, el circuito continúa regenerándose, lo que permite que el componente en ω_0 crezca [17].

Para que inicie una oscilación, se requiere que la ganancia de bucle sea igual o superior a la unidad. Esto se puede ilustrar siguiendo la señal alrededor del bucle durante muchos ciclos:

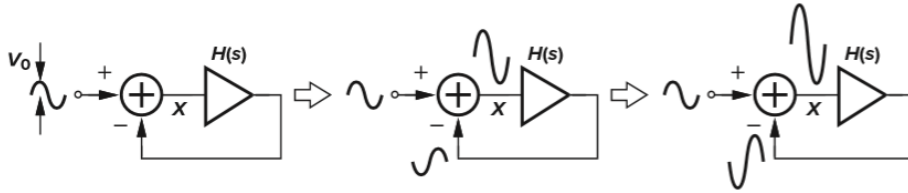


Figura 2.12: Evolución del sistema oscilador en el tiempo [17].

Y expresando la amplitud de la salida del restador como una serie geométrica, tenemos que:

$$V_X = V_0 + |H(j\omega)|V_0 + |H(j\omega)|^2V_0 + |H(j\omega)|^3V_0 + \dots$$

Si $|H(j\omega)| > 1$, la suma anterior diverge si $|H(j\omega)| < 1$, entonces:

$$V_X = \frac{V_0}{1 - |H(j\omega)|} < \infty$$

En resumen, si un circuito de retroalimentación negativa tiene una ganancia de bucle que satisface dos condiciones:

$$|H(j\omega)| \geq 1$$

$$\angle H(j\omega) = 180^\circ$$

Entonces el circuito puede oscilar a ω_0 . Estas condiciones, conocidas como “criterios de Barkhausen”, son necesarias, pero no suficientes. Para garantizar la oscilación en presencia de variaciones de temperatura y proceso, usualmente se elige que la ganancia del bucle sea al menos el doble o el triple del valor requerido. Es posible enunciar el segundo criterio de Barkhausen como $\angle H(j\omega) = 180^\circ$ o un desplazamiento de fase total de 360° . Esto no debería causar confusión, si el sistema está diseñado para

tener retroalimentación negativa de baja frecuencia, ya produce un desplazamiento de fase de 180° en la señal que viaja alrededor del bucle y $H(j\omega) = 180^\circ$ representa un desplazamiento de fase adicional dependiente de la frecuencia, que asegura que la señal de retroalimentación mejora la señal original. En la tecnología actual, los osciladores CMOS comúnmente se implementan como “osciladores de anillo” u “osciladores LC” [17].

Cualitativamente, y desde el punto de vista de la localización de los polos, se sabe que las oscilaciones se producen cuando un sistema contiene dos polos complejos conjugados localizados sobre el eje imaginario. Sin embargo, en un oscilador electrónico estos polos no se encuentran exactamente sobre el eje imaginario. Esto se debe a los mecanismos no-lineales de la ganancia del lazo, que son provocados por la saturación del amplificador al operar a gran señal, de tal manera que altera la ubicación de dichos polos [18]. A medida que la amplitud de la señal de salida aumenta, las características de limitación de amplitud tales como reducción de la ganancia, provocan que los polos se desplacen directamente hacia el eje imaginario. Estos cambios son tales que los polos llegan al plano izquierdo, una vez que se encuentran en este plano la amplitud comienza a disminuir, lo que ocasiona que los polos se muevan directo hacia el plano derecho.

Este movimiento del plano de izquierda a derecha y viceversa se repite continuamente, generando una oscilación con una frecuencia fundamental en estado estable. En conclusión, para que las oscilaciones inicien, el circuito deberá ser inestable. Una vez que esto ocurre, los criterios de Barkhausen pueden predecir de manera aproximada la frecuencia fundamental [18] [17].

2.2.2. Oscilador de Anillo

Un oscilador de anillo es un circuito electrónico que está compuesto por una cantidad impar de inversores conectados en cascada formando un lazo cerrado en forma de anillo. La siguiente figura muestra un esquema de este tipo de oscilador. [18].

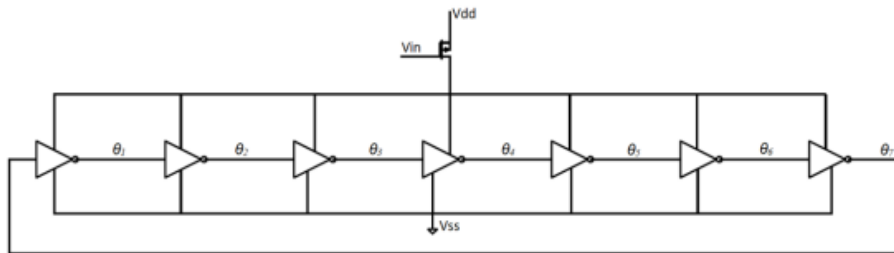


Figura 2.13: Oscilador en anillo de 7 etapas [19].

Durante el funcionamiento, si uno de los nodos del oscilador en anillo es excitado, entonces el pulso se propaga a través de todas las celdas y eventualmente invierte la polaridad del nodo inicialmente excitado. Es importante resaltar que los criterios de Barkhausen mencionados previamente son necesarios para lograr una oscilación estable, pero no son suficientes para garantizar las condiciones de arranque. Para

asegurar el arranque de cualquier oscilador, la ganancia de bucle abierto debe ser mayor que uno. Siempre que se cumpla esta condición, el oscilador puede activarse por [20]:

- El ruido del circuito.
- Una condición inicial.
- Un pequeño pulso de corriente en uno de sus nodos.
- Un breve pulso en el voltaje de alimentación.

El oscilador en anillo se destaca por su capacidad para proporcionar altas frecuencias de oscilación con un bajo voltaje de alimentación, lo que reduce el consumo de potencia, al mismo tiempo que se mantiene la resolución en la conversión de tensión a frecuencia. Gracias a su estructura, es posible obtener múltiples fases de salida, las cuales pueden combinarse para producir oscilaciones en múltiples fases, siendo θ_n las fases de salida del oscilador. El VCO (Oscilador Controlado por Voltaje) funciona como un integrador de la señal de entrada, ya que la fase del oscilador corresponde a la integral de su frecuencia. Asimismo, si la salida del oscilador se procesa de manera que la progresión de la fase sea muestreada en intervalos fijos, el VCO también desempeña el papel de cuantificador en el dominio de la fase [19]:

$$\theta(t) = 2\pi \int_0^t f_{osc}(\tau) d\tau = 2\pi f_0 \cdot t + 2\pi \cdot K_{VCO} \int_0^t x(\tau) d\tau, \quad (2.12)$$

donde $\theta(t)$ es la fase de la salida del VCO y K_{vco} la ganancia del oscilador. Se puede notar que la fase de salida del VCO es la integral de la frecuencia de oscilación.

La frecuencia de oscilación está determinada por el tiempo de retraso, τ_d , por cada etapa y el número total de etapas, además de la alimentación. El número de etapas depende del desplazamiento en fase dependiente en frecuencia que se desee y/o se pueda conseguir en cada etapa, de modo que el desplazamiento en fase en todo el lazo cumpla con los criterios de Barkhausen para obtener oscilaciones. Para que el oscilador sea autosostenido, es fundamental lograr un cambio de fase de 2π y una ganancia unitaria. Por otro lado, en un oscilador con M etapas, cada etapa debe generar un cambio de fase de $\frac{\pi}{M}$, al mismo tiempo que la inversión en corriente continua (CC) debe aportar el cambio de fase adicional de π . De ahí que, para alcanzar un cambio total de 2π , la señal debe recorrer todas las etapas dos veces en un intervalo de $2M \cdot \tau_d$. La frecuencia de oscilación se expresa como [18]:

$$f_0 = \frac{1}{2M \cdot \tau_d} \quad (2.13)$$

Además de la tensión de alimentación, el parámetro clave para determinar esta frecuencia es el tiempo de retraso, τ_d , el cual depende de los parámetros del inversor y de los transistores que lo componen. En la ecuación, se pueden identificar dos formas de aumentar la frecuencia: disminuyendo el retardo de la celda o reduciendo el número de etapas. Disminuir M no solo resulta atractivo para incrementar la frecuencia, sino

también para disminuir el consumo de potencia. Sin embargo, para lograr señales en cuadratura, el número mínimo de etapas es $N = 2$. Esto implica la necesidad de explorar nuevas arquitecturas que permitan obtener un desfase mayor o igual a 90° a una frecuencia donde la ganancia supere la unidad, para cumplir con los criterios de Barkhausen, lo que requiere circuitos de retardo con más de un polo.

Cuando los transistores que forman los inversores son de menor tamaño, el tiempo de retraso se reduce, lo que acelera la oscilación. En cambio, al aumentar el tamaño de los transistores, el tiempo de retraso incrementa y la oscilación se vuelve más lenta. Esto se debe a las capacidades parásitas de los transistores, que retrasan la transición entre los estados 0 y 1 en el dominio digital. Por ende, para llevar a cabo la conversión de analógico a digital, se alimenta el oscilador en anillo con la señal analógica que se desea convertir. La frecuencia de oscilación se calcula mediante la siguiente expresión [19]:

$$f_{osc} = f_0 + K_{VCO} \cdot x(t) \quad \text{con} \quad x(t) \in [1, -1] \quad (2.14)$$

donde f_0 es la frecuencia central de oscilación cuando $x(t) = 0$ y K_{VCO} es la ganancia del VCO. La señal de entrada $x(t)$ se considera adimensional y f_0 y K_{VCO} se expresan en Hz. En ciertas aplicaciones, es fundamental obtener señales en cuadratura, es decir, señales desfasadas 90° , además de lograr un mayor rechazo al ruido de alimentación y de sustrato. Una celda de retardo diferencial facilita la formación de osciladores en anillo con un número par de etapas, simplemente configurando una de las etapas para que no invierta la señal a bajas frecuencias [18].

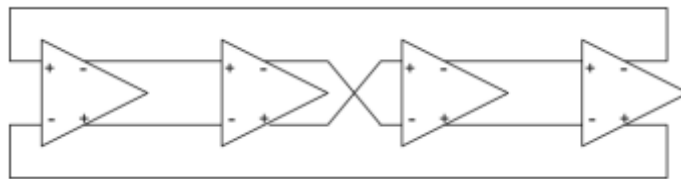


Figura 2.14: Oscilador de anillo de cuatro etapas, cada etapa aporta 45° de desfase [18]

En la figura 2.15 se muestra un arreglo sencillo de osciladores en anillo que no requieren resistencias. Supongamos que el circuito se funciona con un voltaje inicial en cada nodo igual al punto de disparo de los inversores, V_{trip} . Si todas las etapas son idénticas y sin ruido en los dispositivos, el circuito se mantendrá en este estado indefinidamente, pero los componentes de ruido perturban el voltaje de cada nodo, generando una forma de onda creciente. La señal eventualmente presenta oscilaciones de riel a riel [17].

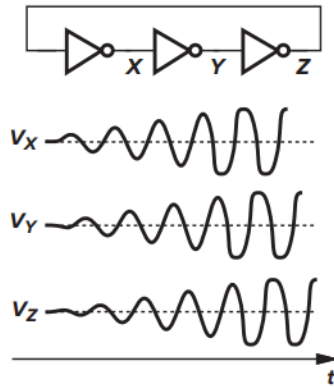


Figura 2.15: Oscilador de anillo con inversores CMOS. [17]

En la práctica, a medida que la amplitud de oscilación aumenta, las etapas en el camino de la señal experimentan efectos de no linealidad y finalmente alcanzan una "saturación", lo que limita la amplitud máxima. En este caso, los polos que inicialmente se encuentran en el semiplano derecho y, con el tiempo se desplazan hacia el eje imaginario, deteniendo el crecimiento de la oscilación. Si la ganancia de bucle en pequeña señal es mayor que uno, el circuito debe permanecer suficiente tiempo en saturación para que la ganancia "promedio" del bucle se mantenga igual a uno [17].

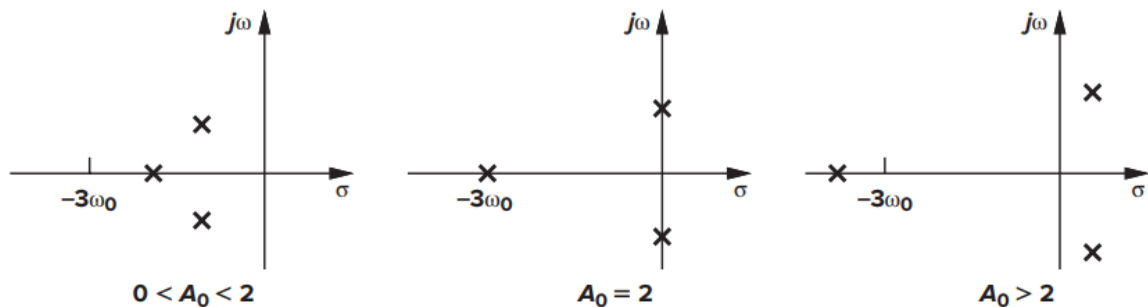


Figura 2.16: Polos de un oscilador en anillo de tres etapas para distintos valores de ganancia [17].

El número de etapas en un oscilador de anillo está determinado por varios requisitos, incluidos la velocidad, la disipación de potencia, la inmunidad al ruido, etc. En la mayoría de las aplicaciones, de tres a cinco etapas proporcionan un rendimiento óptimo (para implementaciones diferenciales) [17]. El esquema de un oscilador en anillo de 7 etapas se muestra en la figura 2.13, formado por 7 inversores, en la siguiente figura se muestra cómo se implementó cada uno de los inversores, donde V_{in} es la entrada y V_{out} es la salida [19].

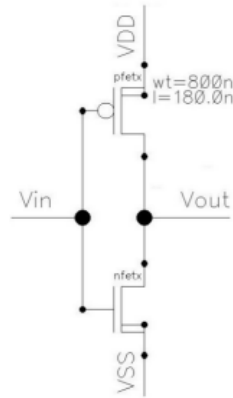


Figura 2.17: Inversor CMOS con transistores [19].

También se consideran los tamaños de los transistores, es decir, el ancho y largo. Para obtener que el inversor sea simétrico es necesario que el transistor P sea 2,5 veces más ancho que el transistor N. Esto permite que el punto de cambio se encuentre a la mitad de la alimentación (0.9 V). Como se mencionó anteriormente, la frecuencia de oscilación está vinculada al retardo de este inversor. El tamaño de los transistores es uno de los factores más influyentes en el tiempo de retardo, al aumentar el tamaño de los transistores, el retardo también incrementa, lo que da lugar a una menor frecuencia de oscilación [19].

2.3. Sistema de bloqueo

El circuito de bloqueo tiene como objetivo evitar que la energía almacenada en la batería se drene cuando la bomba de carga no este activa. Este circuito este compuesto por un flip flop D y un transistor NMOS. El trabajo del flip flop se encarga de manipular el ciclo de trabajo del reloj generando una onda cuadrada. Esta señal se utiliza para controlar el estado del transistor, el cual funciona como interruptor entre el voltaje resultante de la bomba de carga y el potencial en la batería.

2.3.1. Latch D con compuertas NAND

El latch D se llama así por su capacidad para almacenar datos en su interior. Es apropiado para usarse como almacenamiento temporal de información binaria entre una unidad y su entorno. La información binaria presente en la entrada de datos del latch D se transfiere a la salida Q cuando se habilita la entrada de control. La salida seguirá los cambios en la entrada de datos en tanto esté habilitada la entrada de control. Esta situación crea un camino de la entrada Da la salida, y es por ello que el circuito se conoce como latch transparente. Cuando se inhabilita la entrada de control, la información binaria que estaba presente en la entrada de datos en el momento en que se presentó la transición se conservará en la salida Q hasta que se habilite otra vez la entrada de control [21].

Cuando el pulso de entrada cambia a 1 lógico, el dato en la entrada D externa se arrastra al latch amo. Sin embargo, el latch esclavo permanecerá inhabilitado mientras el reloj esté en 1, debido a que la entrada C se encuentra en 0. Cualquier modificación en la entrada afectará la salida Y del latch amo, pero no influirá en la salida del esclavo. Cuando el pulso regrese a 0, el latch amo quedará inhabilitado y se desconectará de la entrada D. Al mismo tiempo, el latch esclavo se habilitará, y el valor Y se transferirá a la salida Q del flip-flop. Así, la salida del flip-flop solo puede cambiar durante la transición del reloj de 1 a 0.

2.4. Implementación de Circuito de Bomba de Carga en Virtuoso

El circuito de bomba de carga fue diseñado para maximizar la eficiencia en la transferencia de carga en un sistema de recolección de energía eléctrica. Este sistema permite acumular y transferir progresivamente la carga a través de sus etapas, incrementando el voltaje de salida a partir de una pequeña diferencia de potencial a la entrada, esto con el objetivo de alimentar circuitos de bajo consumo o cargar una batería. Cada etapa de la bomba de carga utiliza condensadores que almacenan la carga y transistores CMOS que direccionan el flujo hacia la siguiente etapa. Durante cada ciclo del reloj, la carga acumulada en la etapa previa es transferida al condensador de la siguiente, incrementando el potencial. De esta manera, el voltaje total a la salida es proporcional al número de etapas más uno, cumpliendo con la relación ideal $V_{out}=(N+1)V_{in}$, donde N es el número de etapas de la bomba. En el circuito los transistores CMOS, actúan como interruptores controlados para dirigir la corriente, y los condensadores garantizan el almacenamiento de energía durante el proceso.

2.4.1. Bomba de Carga Topología Dickson de 6 Etapas

La bomba de carga de seis etapas se implementó en la herramienta de diseño de circuitos analógicos, Virtuoso, de la compañía Cadence que opera bajo una licencia académica. El circuito fue construido con transistores NMOS en una tecnología de 180 nm, siguiendo la topología lineal Dickson. El circuito se construyó con 8 transistores en conexión a diodo y seis capacitores.

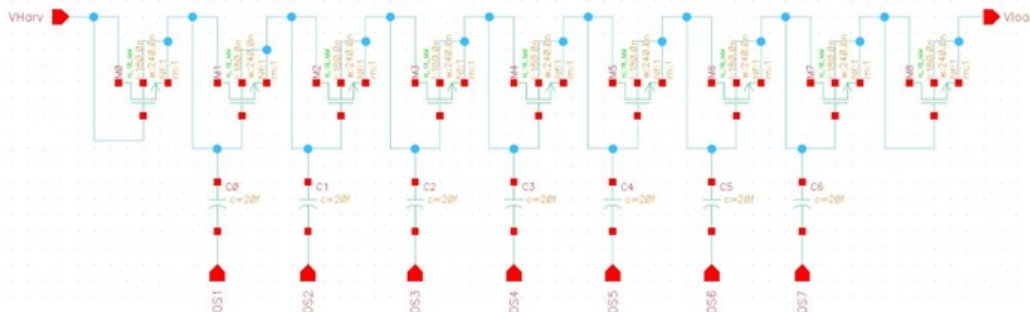


Figura 2.20: Implementación de Bomba de Carga de 6 Etapas en Virtuoso.

2.4. IMPLEMENTACIÓN DE CIRCUITO DE BOMBA DE CARGA EN VIRTUOSO21

A continuación, se muestra el símbolo generado correspondiente al circuito de la bomba de carga. El símbolo tiene 6 entradas vinculadas al oscilador, así como un pin destinado a la entrada V_{harv} y otro a la salida Vload, que representa el potencial resultante de la operación de la bomba.

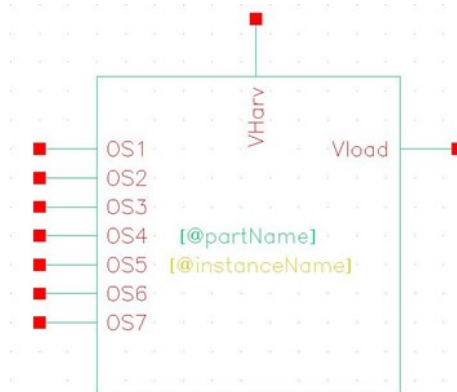


Figura 2.21: Símbolo de Bomba de Carga Dickson en Virtuoso.

2.4.2. Oscilador de Anillo de 7 Etapas

La implementación de un oscilador de anillo con transistores CMOS en 180nm consta de 7 etapas y el rango de frecuencia está determinada por el retardo acumulado en los inversores de cada etapa. El primer paso es el diseño de un inversor básico. Este se construye a partir de un transistor NMOS y uno PMOS, los tamaños de los transistores son importantes porque esta relación permite equilibrar la velocidad de conmutación y el consumo de energía. Generalmente, el transistor PMOS es más grande que el NMOS, esto con el propósito de compensar la menor movilidad de portadores.

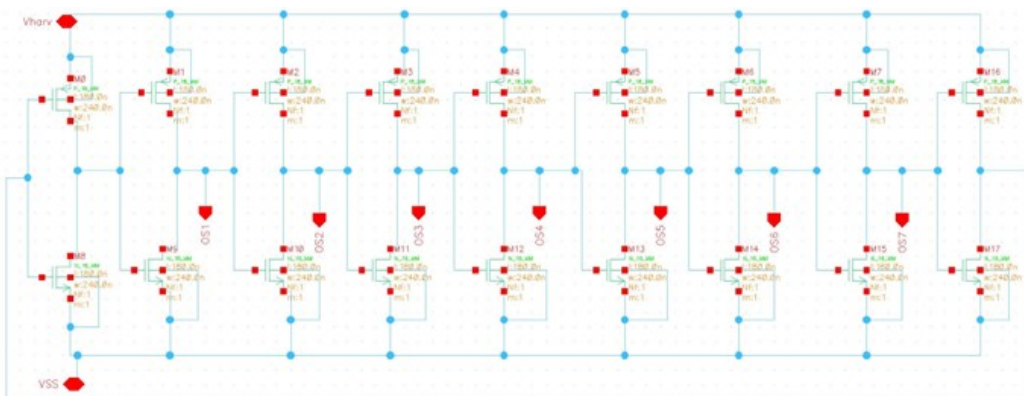


Figura 2.22: Implementación de Oscilador de Anillo de 7 Etapas en Virtuoso.

En la siguiente figura se muestra el símbolo asociado al circuito del oscilador de anillo, el cual tiene un pin destinado a la entrada V_{harv} y otra terminal que representa la conexión a tierra, además de 7 salidas que corresponden a cada etapa del oscilador.

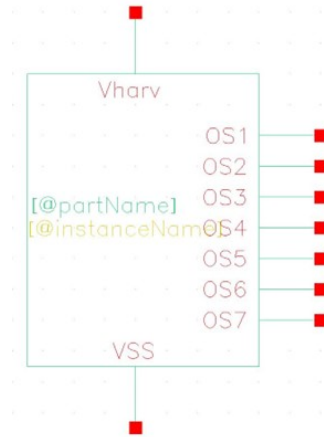


Figura 2.23: Símbolo de Oscilador en Virtuoso.

2.4.3. Circuito de Bloqueo

Para implementar el circuito de bloqueo, es necesario construir un latch tipo D a partir de compuertas NAND. La compuerta NAND se construye mediante la interconexión de transistores CMOS, especificando terminales de entrada (A y B) y una de salida (S), como se muestra en la figura 2.24. Además, se asocia un símbolo (figura 2.25) al circuito, el cual tendrá las terminales especificadas en el circuito.

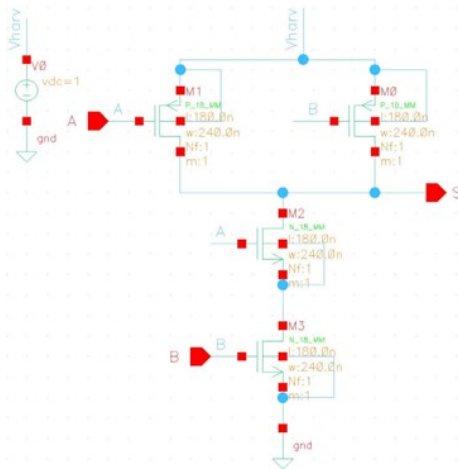


Figura 2.24: Implementación de Compuerta NAND.

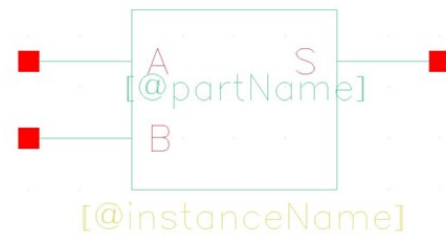


Figura 2.25: Símbolo de Compuerta NAND.

Para continuar con la construcción del latch D es necesario diseñar un inversor a partir de transistores NMOS y PMOS. Es importante señalar con etiquetas la entrada (A) y la salida (B), para facilitar la construcción del símbolo (figura 2.27).

2.4. IMPLEMENTACIÓN DE CIRCUITO DE BOMBA DE CARGA EN VIRTUOSO23

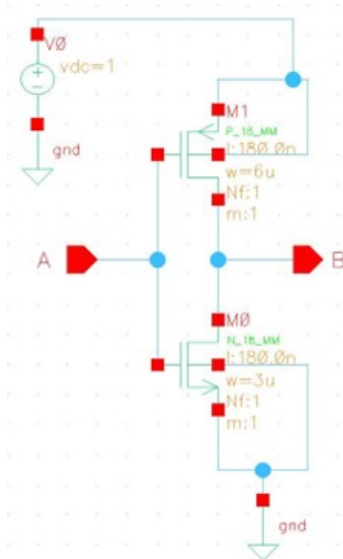


Figura 2.26: Implementación de Inversor.

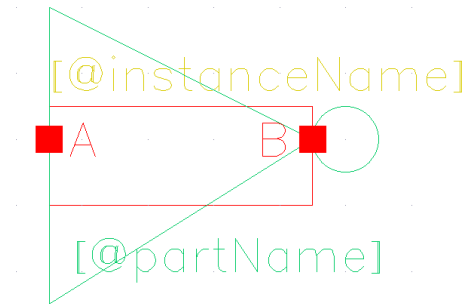


Figura 2.27: Símbolo de Inversor.

El siguiente paso en la construcción del latch D es establecer las conexiones entre las compuertas NAND y el inversor diseñado. Este proceso implica una disposición física y lógica de los componentes. En el circuito, las compuertas NAND forman la base del sistema de memoria y el inversor se encarga de generar señales complementarias necesarias para controlar las entradas del latch.

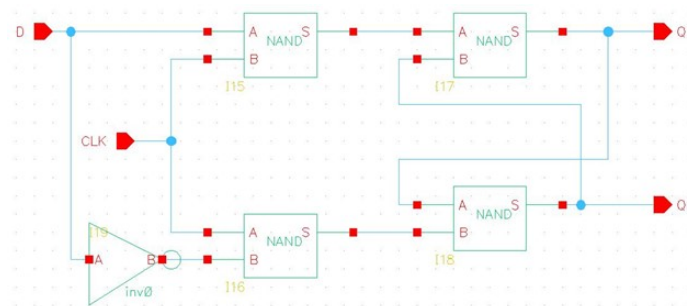


Figura 2.28: Implementación de Latch D.



Figura 2.29: Símbolo de Flip-flop D en Virtuoso.

2.4.4. Simulación de Circuito de Bomba de Carga en Virtuoso

La siguiente figura presenta el circuito esquemático de la bomba de carga implementado en Virtuoso. Se muestra la conexión detallada de los componentes y la disposición lógica que permite el flujo de carga desde la entrada V_{harv} , hasta la salida V_{load} .

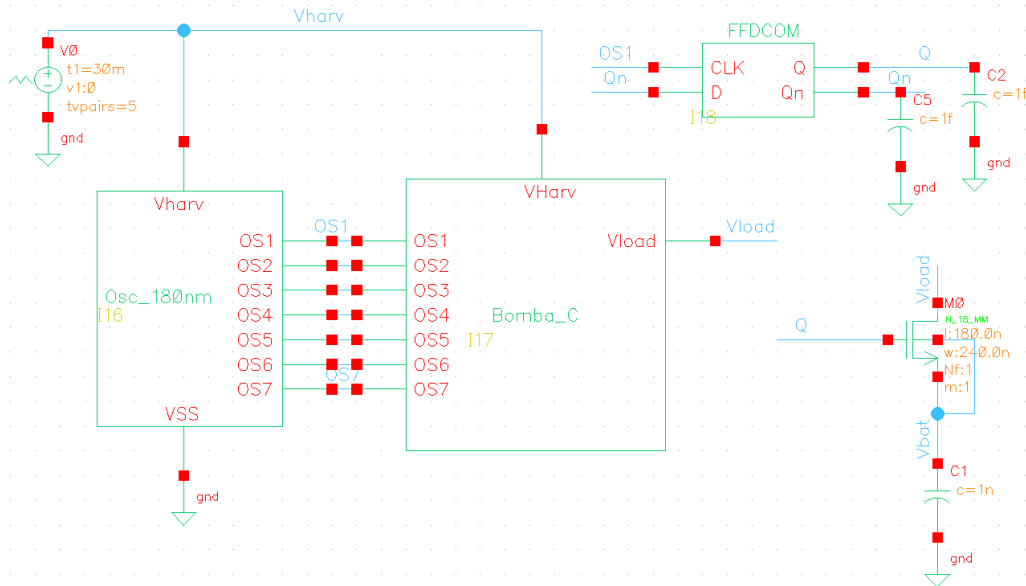


Figura 2.30: Circuito de Bomba de Carga en Virtuoso.

Esta gráfica muestra el comportamiento del voltaje en la entrada del sistema, que corresponde a la fuente de energía que alimenta la bomba de carga. Se usó una fuente de tipo VPWL (Voltage Piece-Wise Linear) que es un componente utilizado para generar señales de voltaje definidas de forma personalizada mediante valores específicos, segmentados por intervalos de tiempo. Este tipo de fuente permite simular señales complejas que varían con el tiempo, lo cual es útil para probar el circuito bajo condiciones definidas. De manera que los cambios de voltaje en la fuente permiten evaluar la de operación de la bomba de carga y el sistema de bloqueo.

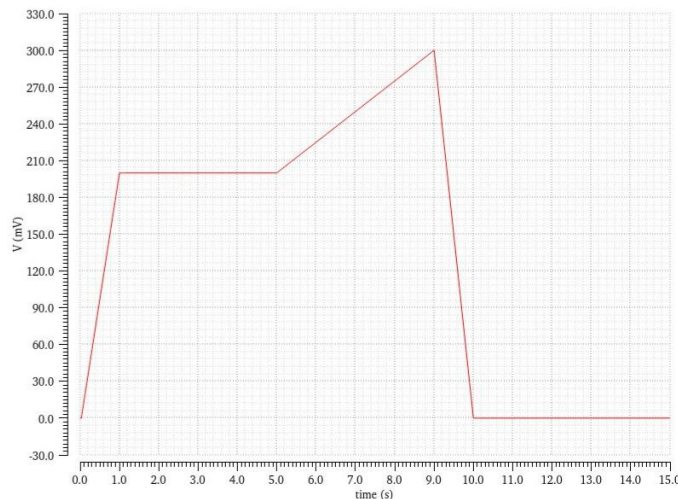


Figura 2.31: Salida de la Fuente.

En esta gráfica se presenta el voltaje acumulado en la batería, que actúa como el componente de almacenamiento energético del sistema. La gráfica ilustra cómo el

2.4. IMPLEMENTACIÓN DE CIRCUITO DE BOMBA DE CARGA EN VIRTUOSO25

circuito de la bomba de carga incrementa el voltaje. Esto es resultado del trabajo conjunto de la bomba de carga y el oscilador, que transfieren la carga acumulada progresivamente. La forma y valores de la gráfica permiten evaluar la eficiencia de la transferencia de carga, además del buen desempeño del sistema de bloqueo para evitar pérdidas de voltaje almacenado en la batería.

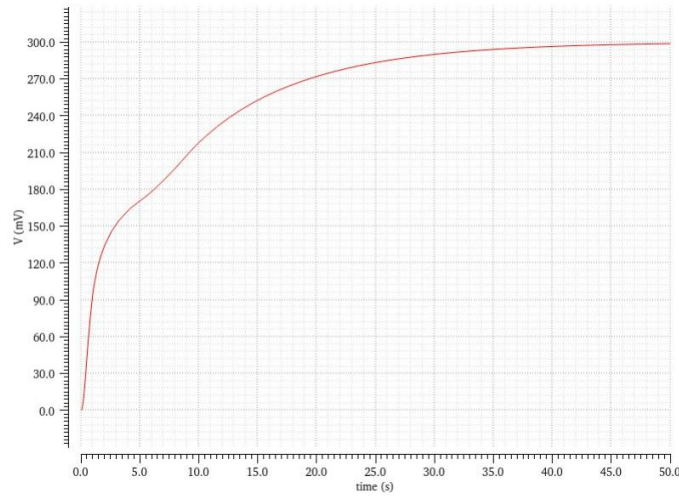


Figura 2.32: Voltaje en la Batería.

3 Diseño de Banco de Prueba (PCB)

La placa de circuito impreso (PCB) es la plataforma en la cual se montan elementos electrónicos (chips, condensadores, resistencias) y proporciona interconexiones eléctricas entre los componentes. Las PCB sustituyeron el cableado eléctrico por un paisaje de caminos conductores sobre una superficie rígida y muchas de ellas, son productos multicapa de alta velocidad. Estas placas se encuentran en todos los productos electrónicos y son indispensables para la fabricación y ventas de dispositivos eléctricos.

La industria de circuito impresos, al igual que la industria electrónica tiene un alcance global. Sin embargo, en los últimos años la industria manufacturera de Estados Unidos ha sufrido un declive importante. En 2003, Estados Unidos produjo el 15 % de los PCB del mundo, detrás de Japón, el mayor productor con el 29 %, y China, el segundo mayor productor con el 17 %. Taiwán fue el cuarto mayor productor con el 13 %. Europa produjo sólo el 10 % y Corea del Sur el 8 %.

Algunas de estas placas desempeñan una función doble: operan como elemento estructural y también realizan una función eléctrica. Debido a estos criterios, el proceso de fabricación es complejo. El proceso de una PCB es complicado, requiere equipos especializados y un desarrollo específico [22].

3.1. Componentes de la PCB

El diseño de la PCB debe cumplir con las especificaciones para caracterizar el circuito, por lo que se seleccionan elementos compatibles con el equipo del laboratorio que se describen a continuación:

Circuito Integrado

El elemento fundamental de la PCB es el circuito integrado, el cual contiene el circuito específico que se desea caracterizar (circuito de recolección de energía). Este circuito integrado es el núcleo funcional de la placa, ya que en él se encuentran todos los componentes electrónicos que constituyen el circuito, el cual está elaborado con un material semiconductor (generalmente silicio) y al mismo tiempo, estos circuitos se encuentran protegidos por conductores metálicos que establecen la conexión entre la pastilla de material semiconductor y el circuito impreso [23].

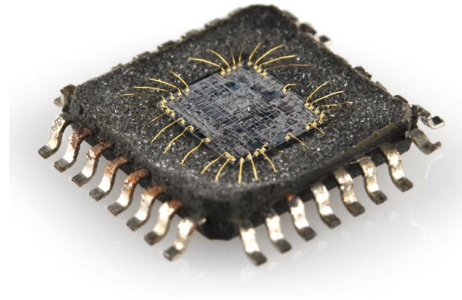


Figura 3.1: Circuito Integrado [24].

Conector SMA

El conector SMA (Subminiature A) son conectores coaxiales de RF desarrollados en la década de 1960, diseñados como los conectores más pequeños con un mecanismo de unión mediante tornillo para cables coaxiales. Este conector tiene una impedancia de 50Ω y ofrece un excelente rendimiento eléctrico desde CC hasta 17 GHz [25]. Es uno de los conectores más utilizados en RF y microondas debido a su bajo costo y tamaño compacto. Cuenta con un dieléctrico de PTFE (politetrafluoroetileno) entre el conductor central y el externo. El SMA es comúnmente empleado en cables semi-rígidos de pequeño diámetro, en equipos para interconectar diferentes módulos de RF, y en aplicaciones con líneas de microstrip. En aplicaciones de microbanda, es importante seleccionar conectores que ofrezcan un buen acoplamiento y reduzcan las características no deseadas.

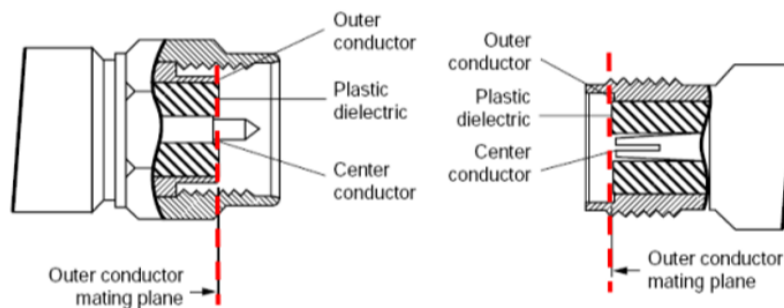


Figura 3.2: Corte transversal de un conector SMA macho y hembra [26].

Los conectores SMA están fabricados en acero inoxidable (cuerpo y sistema de acople), con contactos de Cu-Be revestidos con al menos 1 micrón de oro. La mayoría de los conectores SMA presentan un coeficiente de reflexión más alto que otros conectores hasta 26.5 GHz, debido a la dificultad de fijar el soporte dieléctrico, lo que puede resultar en valores de ROE (Relación de Onda Estacionaria) de hasta 1,25 en ciertos modelos. Actualmente, estos conectores están regulados bajo la norma MIL-C-39012, y existen diferentes versiones cuya frecuencia máxima de trabajo varía de 12 GHz a 24 GHz, según el fabricante [26]. Estos conectores están disponibles en distintas clases de calidad para diferentes aplicaciones, y con múltiples opciones de materiales. Además,

se presentan en diversos tipos para adaptarse a distintos métodos de instalación y usos específicos [25].

PAD SMD (Dispositivo de Montaje Superficial)

Un pad de PCB puede describirse como una determinada zona expuesta de cobre en la placa de circuito impreso. Los pads son parte fundamental en la conexión entre los componentes electrónicos y las placas de circuitos. Funcionan como puntos de contacto para soldar los componentes de manera segura, garantizando una conexión eléctrica óptima. Los pads en una PCB ofrecen una superficie adecuada para soldar componentes (resistores, capacitores, circuitos integrados o conectores) de manera confiable a una placa de circuito impreso. Garantizan una fijación firme y a su vez, se establecen conexiones eléctricas [27].

Estos pads se utilizan para conectar los cables o terminales de los componentes a las pistas conductoras de una PCB. Además, ofrecen un camino conductor para el flujo de corriente, permitiendo una transmisión de señales y distribución de energía a lo largo del circuito eléctrico. Son componentes esenciales para soldar elementos mediante tecnología de montaje superficial (SMT). Los pads de montaje superficial están diseñadas para componentes que se colocan directamente en la superficie de la placa. Estos forman una parte esencial del diseño de las placas PCB, ya que permiten crear circuitos funcionales y de alta densidad, evitando la necesidad de usar placas de mayor tamaño [28]. Estos pads están disponibles en varias formas (rectangulares, cuadradas o circulares) adaptándose al tamaño de la superficie de contacto de los componentes que se soldaran sobre ellas.

Para garantizar un buen rendimiento de las placas de circuito impreso, el tamaño y forma deben adaptarse a las especificaciones de los componentes, considerando el tamaño de los cables, el paso entre pines y los requerimientos térmicos. Es importante que ofrezcan una superficie amplia de contacto para facilitar la soldadura y las conexiones eléctricas entre los componentes y la placa [27].

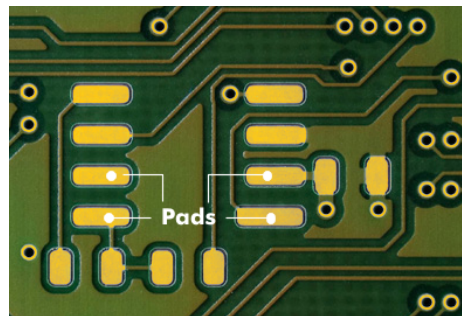


Figura 3.3: PAD SMD [29].

Conector Pin Header

Los conectores Pin Header son un tipo de conector eléctrico compuestos por una o más filas de pines o contactos de metal fijados en una base de plástico, esta estructura

mantiene unidos estos conjuntos de conectores y está diseñada para separarse cuando sea necesario [30]. Actúan como un puente entre varios componentes en un dispositivo electrónico, permitiendo la distribución de energía, datos y señales en todo el circuito. Estos conectores pueden unir placas de circuito impreso (PCB) entre sí o conectar una PCB con una placa de pruebas u otro dispositivo de creación de prototipos. Están disponibles en una gran variedad de tamaños y configuraciones, incluyendo opciones rectas o en ángulo recto. Por lo general, los conectores de pines se soldan a la PCB, pero también pueden ajustarse a presión en conectores diseñados específicamente para ese propósito.

Los conectores header son la mejor opción para conexiones simples, como las de una placa de microcontrolador a una placa de pruebas, un sensor a una PCB, una PCB a una placa base, una pantalla a una PCB o un motor a una PCB. Estas interconexiones versátiles, económicas y fáciles de usar son adecuadas para una amplia gama de aplicaciones, incluidas la electrónica de consumo, automatización industrial, dispositivos médicos, entre otros [31].

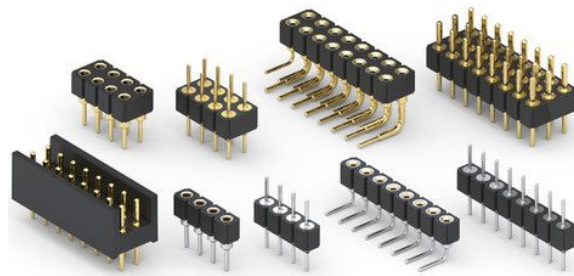


Figura 3.4: Conector Pin Header [31].

3.2. Dimensiones Requeridas

Dado que el chip tiene medidas milimétricas, la placa tendrá dimensiones reducidas. Sin embargo, es importante garantizar una ubicación óptima para la disposición del chip, poniendo especial énfasis en la longitud de las rutas y el tamaño de los componentes. Al mismo tiempo, la placa debe ser lo suficientemente amplia para manipularla y realizar las mediciones necesarias en el laboratorio. Debido que el propósito de la placa es satisfacer los requisitos específicos para la caracterización del circuito, su forma no está restringida y se ajusta a la disposición estratégica de los componentes.

Ya que el chip mide 1mm^2 , para determinar el tamaño de la huella es necesario considerar que estará soldado mediante el método “wire bonding”. Por ello, se propone un margen de 0.15 mm , de modo que la dimensión de la huella es $1.3\text{mm} \times 1.3\text{ mm}$. Por lo tanto, se dispone 1mm^2 para colocar el chip y un espacio de 0.15 mm en cada lado para el alambrado.

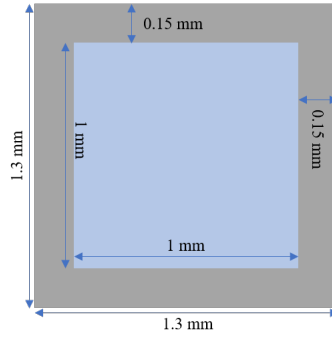


Figura 3.5: Dimensiones del chip.

Para los pads correspondientes a V_{harv} , V_{bat} y GND, así como los puntos de contacto adicionales requeridos en el diseño, es necesario utilizar pads milimétricos. Esto se debe al tamaño del experimento y al tipo de soldadura empleada (wire bonding). Por esta razón, las dimensiones de los pads han sido cuidadosamente calculadas para adaptarse a las necesidades del especio y a las características técnicas del método de soldadura. El tamaño de los pads se muestra en la siguiente figura:

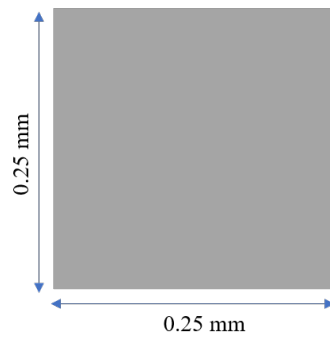


Figura 3.6: Dimensión del pad SMD.

Para los conectores verticales de tipo Pin Header 1x2, se requiere un modelo genérico con dos orificios de 0.5 mm de radio y una distancia entre agujeros de 2.54 mm. La figura 3.7 ilustra las dimensiones requeridas:

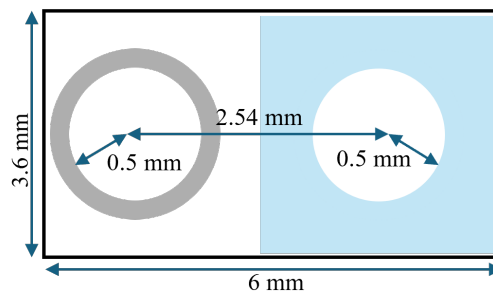


Figura 3.7: Dimensiones de Conector 1x2 Vertical Tipo Pin Header.

Por otra parte, para los conectores verticales de tipo Pin Header de 1x1 se requiere un modelo básico. Debe contar con un orificio central de 0.5 mm de radio y un margen de 2.6mm x 2.6mm, lo que asegura espacio para el aislamiento y facilita el proceso de soldadura, las dimensiones se muestran en la figura:

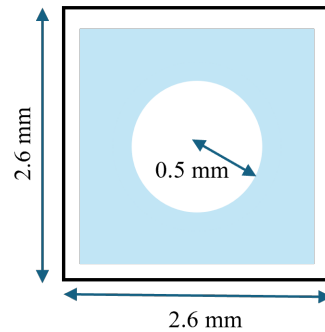


Figura 3.8: Dimensiones de Conector 1x1 Vertical Tipo Pin Header.

En el caso de los conectores SMA, se requiere una huella correspondiente a un conector coaxial vertical con 4 orificios laterales de 0.85 mm de radio y un orificio central de 0.6 mm de radio, con una distancia de 5 mm entre orificios laterales y 3.6 mm con respecto al orificio central, tal como se muestra en la figura 3.9.

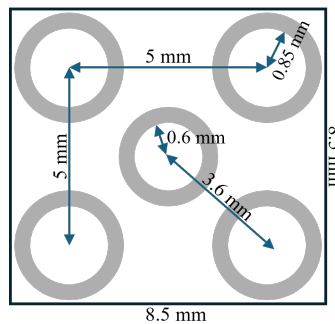


Figura 3.9: Dimensiones de Conector SMA.

3.3. Disposición de Componentes

La distribución de los elementos debe ajustarse al patrón geométrico del chip, poniendo especial atención a la posición de los puntos de contacto V_{harv} , V_{bat} y GND. Donde V_{harv} , cumple con la función de entrada y V_{bat} es la salida del circuito la cual estará conectada a la batería o dispositivo de almacenamiento.

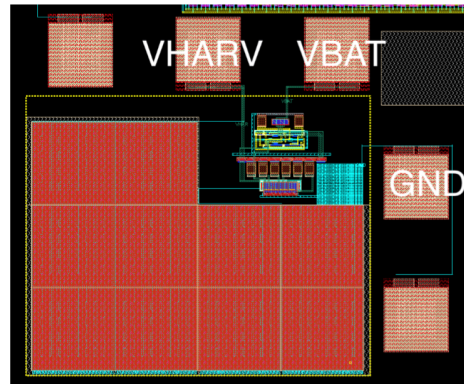


Figura 3.10: Patrón Geométrico, Puntos de Contacto V_{harv} , V_{bat} y GND.

Teniendo en cuenta el proceso de soldadura "wire bonding", es importante colocar estratégicamente puntos de cobre que hagan posible la conexión de los puntos de contacto del chip a la placa. Estos puntos de cobre deben ubicarse lo más cerca posible a la huella donde estará colocado el chip.

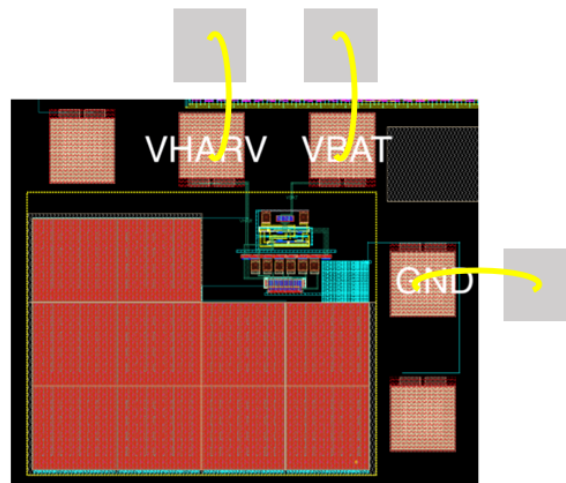


Figura 3.11: Ilustración de Puntos de Contacto y Wire Bonding.

Por otro lado, la ubicación de los conectores resulta crucial, ya que se requiere que estén situados a una distancia adecuada del chip para prevenir daños en el microsoldado durante las pruebas de laboratorio. Por lo que serán colocados en el borde de la placa con espacio suficiente para las conexiones necesarias.

3.4. Propuesta de Diseño

3.4.1. Propuesta de Diseño (Primera Versión)

El diseño propuesto se centra en la disposición estratégica de tres terminales fundamentales para el funcionamiento del sistema: V_{harv} (entrada del circuito), V_{bat} (salida del circuito) y GND (conexión a tierra). La ubicación precisa de estos puntos

de contacto en el patrón geométrico es esencial, ya que determina el lugar donde se instanciarán los pads para soldar el chip mediante el proceso de wire bonding. Considerando las necesidades del experimento y las posibles pruebas en proyectos futuros, es fundamental contar con múltiples puntos de conexión, lo que aporta flexibilidad al diseño y facilita su integración con el equipo de laboratorio.

Para satisfacer los requerimientos del proyecto, se incluyen dos tipos de conectores en la placa: conectores verticales tipo Pin Header, ideales para establecer conexiones eléctricas rápidas y estables, y conectores coaxiales SMA de tipo hembra, que permiten conectar componentes adicionales de manera sencilla y son ideales para conexiones directas a instrumentos de medición. La combinación de estos elementos asegura un diseño flexible y funcional, maximizando la utilidad de la placa y garantizando conexiones estables.

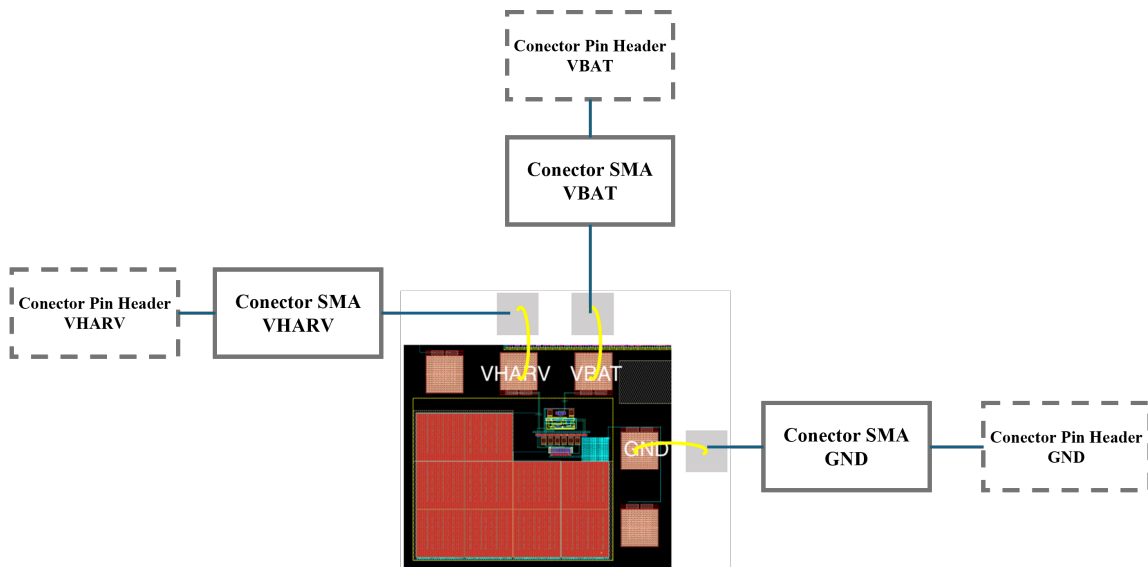


Figura 3.12: Primera Versión de Propuesta de Diseño.

3.4.2. Propuesta de Diseño (Segunda Versión)

El diseño propuesto se centra en la disposición estratégica de tres terminales fundamentales para el funcionamiento del sistema: V_{harv} (entrada del circuito), V_{bat} (salida del circuito) y GND (conexión a tierra). La ubicación precisa de estos puntos de contacto en el patrón geométrico es esencial, ya que determina el lugar para instanciar los pads donde se soldará el chip mediante el proceso de wire bonding. De acuerdo con las necesidades del experimento y considerando pruebas variables en proyectos futuros, es fundamental contar con múltiples puntos de conexión. Esto aporta flexibilidad al diseño y facilita la conexión al equipo del laboratorio.

Para satisfacer los requerimientos del proyecto, se propone incluir dos tipos de conectores en el diseño de la placa. Se usarán conectores verticales de tipo Pin Header, que son ideales para establecer conexiones eléctricas rápidas y estables. Además, se propone el uso de pads tipo SMD (Surface-Mount Device), diseñados para servir como puntos de contacto. Estos pads permiten soldar componentes adicionales de manera

sencilla y son ideales para conexiones directas, ampliando el alcance del diseño sin necesidad aumentar el tamaño de la placa. La combinación de conectores y pads asegura un diseño robusto y flexible, capaz de satisfacer las exigencias del proyecto, con el propósito de maximizar la funcionalidad y flexibilidad de la placa, lo cual garantiza conexiones adecuadas, así como un buen rendimiento del circuito.

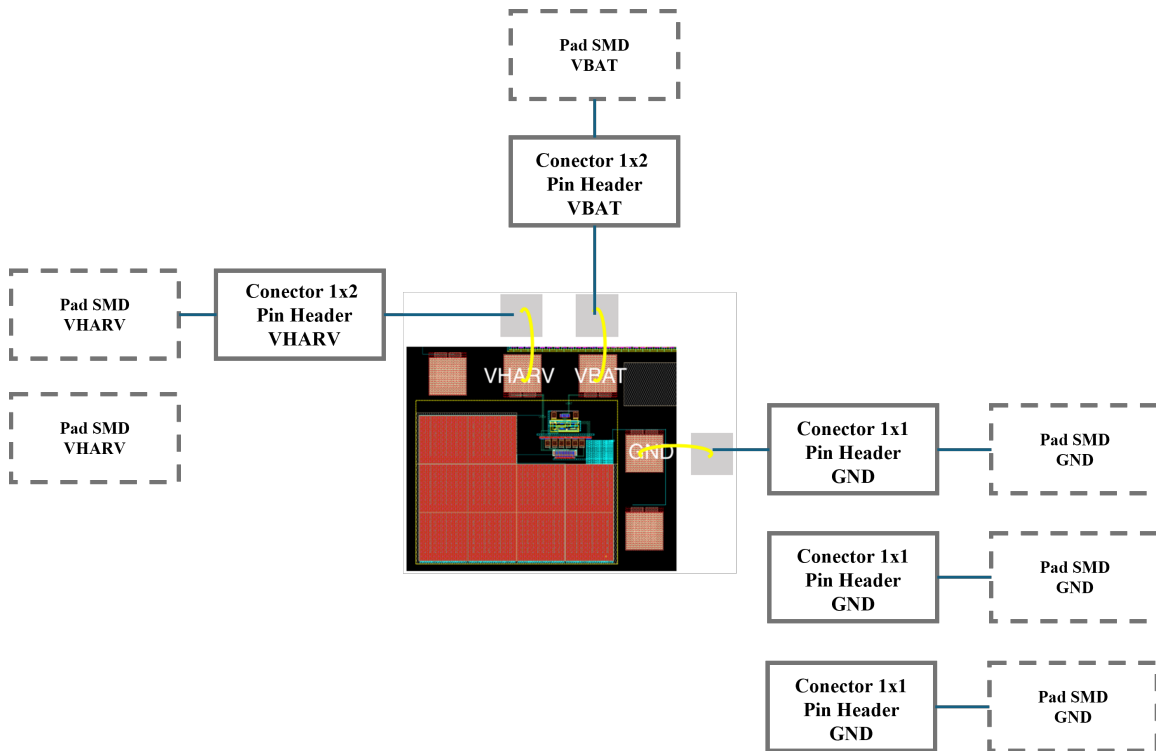


Figura 3.13: Segunda Versión de Propuesta de Diseño.

4 Diseño de PCB en Kicad

La placa de pruebas fue diseñada utilizando KiCad, una suite de software de código abierto para la automatización del diseño electrónico (EDA). Este programa permite realizar desde la captura esquemática del circuito hasta el diseño de PCB. Esta herramienta es flexible y facilita el diseño a la medida de componentes y huellas asociadas a estos elementos [32]. El diseño de la PCB se divide en dos fases principales. En primer lugar, se aborda el esquema de conexiones, donde se define el circuito y la relación entre los componentes. La segunda fase consiste en colocar estratégicamente las huellas, en esta etapa se ubica físicamente cada elemento, asegurando que la distribución sea adecuada y cumpla con las características requeridas.

4.1. Diseño de la Primera Versión de PCB

4.1.1. Circuito Esquemático

En la figura 4.1, se presenta el circuito esquemático y las conexiones de los componentes del primer diseño de la PCB. Se personalizan elementos con el propósito de representar correctamente las características eléctricas de V_{harv} , V_{bat} , GND y el componente que representa al chip.

El elemento diseñado para instanciar al chip, solo cuenta con una conexión a GND, lo cual es una técnica común para garantizar el correcto funcionamiento del circuito y proteger el dispositivo de daños. Además, asegura que el circuito integrado opere en un entorno eléctrico limpio y estable, maximizando su desempeño y vida útil [33].

Para el diseño de los componentes V_{harv} y V_{bat} es fundamental considerar la función de cada una de las terminales dentro del circuito para asignar el pin correspondiente, por lo tanto, V_{harv} está asociado a un pin de entrada, mientras que V_{bat} corresponde a un pin de salida. De estos elementos se puede extraer información suficiente para llevar a cabo la caracterización del circuito, es por ello, que se requieren múltiples puntos que faciliten la conexión del circuito a los dispositivos de medición en el laboratorio. Los elementos V_{harv} , V_{bat} y GND están asociados a conectores coaxiales del tipo SMA hembra y los conectores 1x2 están vinculados a conectores verticales tipo Pin Header.

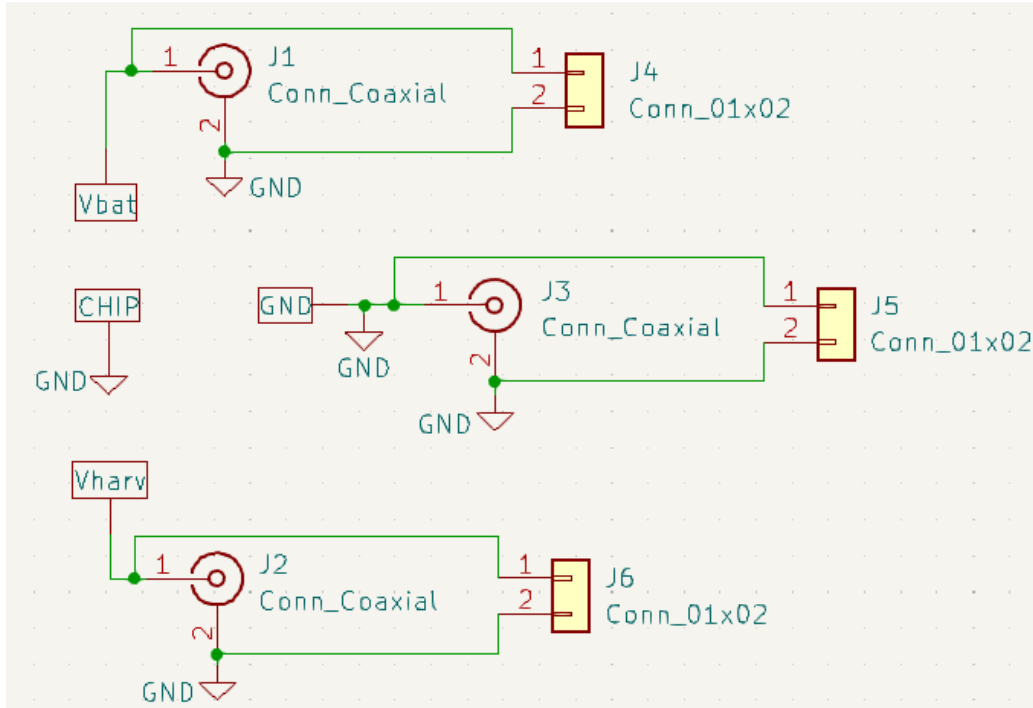


Figura 4.1: Circuito Esquemático en KiCad, Primera Versión.

4.1.2. Disposición de Huellas

Tras realizar las conexiones del circuito esquemático, se distribuyen las huellas de V_{harv} , V_{bat} , GND y el chip, diseñadas con las características eléctricas y dimensiones requeridas. La huella del chip, montado de forma superficial, debe ser un pad de cobre SMD con las medidas descritas en el capítulo anterior. Las huellas asociadas a V_{harv} , V_{bat} y GND, destinadas a conectarse a las terminales del circuito mediante wire bonding, deben diseñarse como puntos de contacto tipo SMD. Estos pads deben posicionarse alrededor de la huella del chip, respetando una distancia de 0.2 mm, como se ilustra en la figura 4.2.

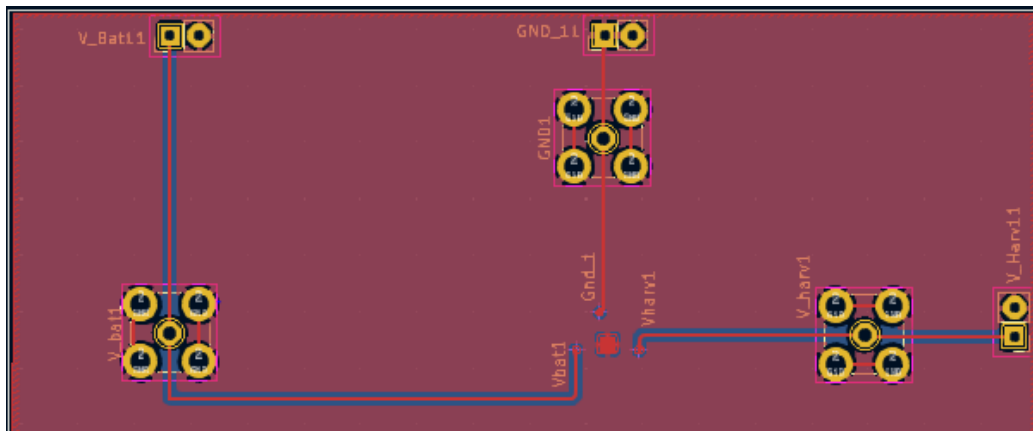


Figura 4.2: Disposición de Huellas en KiCad de Primera Versión.

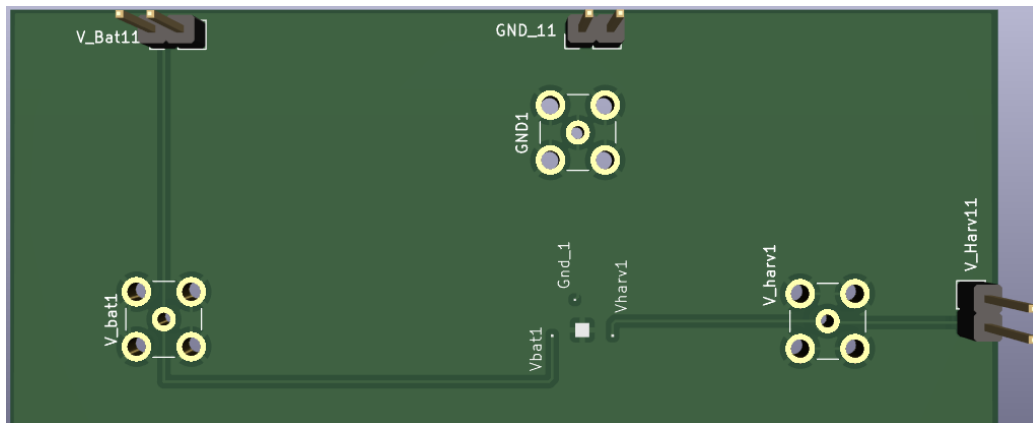


Figura 4.3: Vista 3D de primer diseño de PCB.

4.1.3. Wire Bonding y PCB Física

La siguiente figura muestra el proceso de "wire bonding", realizado con herramientas especializadas para microsoldadura. Este procedimiento se llevó a cabo en las instalaciones del Instituto Nacional de Astrofísica, Óptica y Electrónica, utilizando equipos de alta precisión que aseguran la calidad y confiabilidad de las conexiones. En la imagen, se observa el alambrado que conecta las terminales del chip con los pads de montaje superficial (SMD).

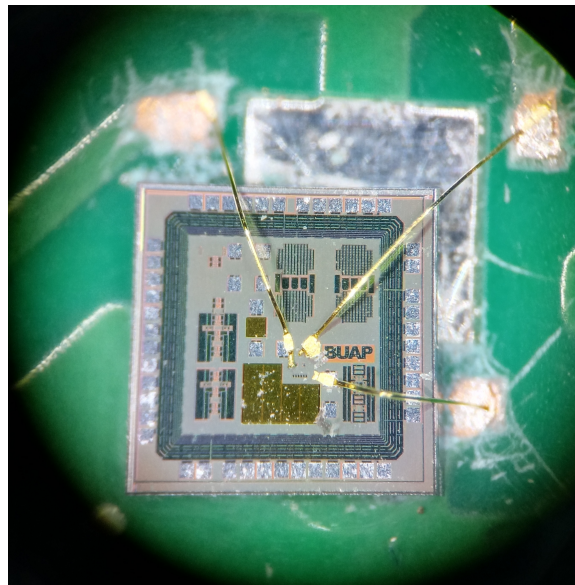


Figura 4.4: Wire Bonding Chip-PCB, Primera Versión.

La siguiente figura muestra la placa física, fabricada por JLCPCB y ensamblada en el laboratorio de "Diseño y Caracterización de Circuitos y Sistemas". Sus dimensiones son 9.3 cm de largo por 3.9 cm de ancho.



Figura 4.5: Resultado de Placa de Circuito Impreso, Primera Versión.

4.1.4. Consideraciones de mejora de la primera versión de la PCB

- La resistencia de los conectores SMA afecta directamente el voltaje medido, ya que provoca una caída adicional de voltaje que distorsiona la lectura. Esta alteración impacta la precisión de las mediciones, lo que puede afectar la exactitud de los resultados obtenidos.
- El banco de prueba debe incluir más puntos de conexión a tierra debido a las interconexiones con el equipo de medición.
- Los pads SMD destinados para soldarse a las terminales del chip están muy cerca y dificulta la colocación del chip y el proceso de microsoldado.

4.2. Rediseño de la PCB

4.2.1. Circuito Esquemático

En la siguiente imagen se muestra el circuito esquemático de la segunda versión del banco de prueba, así como las conexiones de los componentes en el diseño. En esta versión de la PCB (al igual que en la primera) se diseñan los componentes correspondientes a V_{harv} y V_{bat} , se asignan pines de entrada y salida, respectivamente, según su función en el circuito. En este diseño, los elementos V_{harv} , V_{bat} y GND están asociados a conectores 1x1 y 1x2. Los conectores 1x1 están vinculados a huellas para conectores verticales tipo Pin Header y los conectores 1x1 tipo pin están asociados a pads SMD que funcionaran como puntos de contacto disponibles para microsoldado. Por su parte, los conectores 1x1 representan conectores verticales tipo Pin Header.

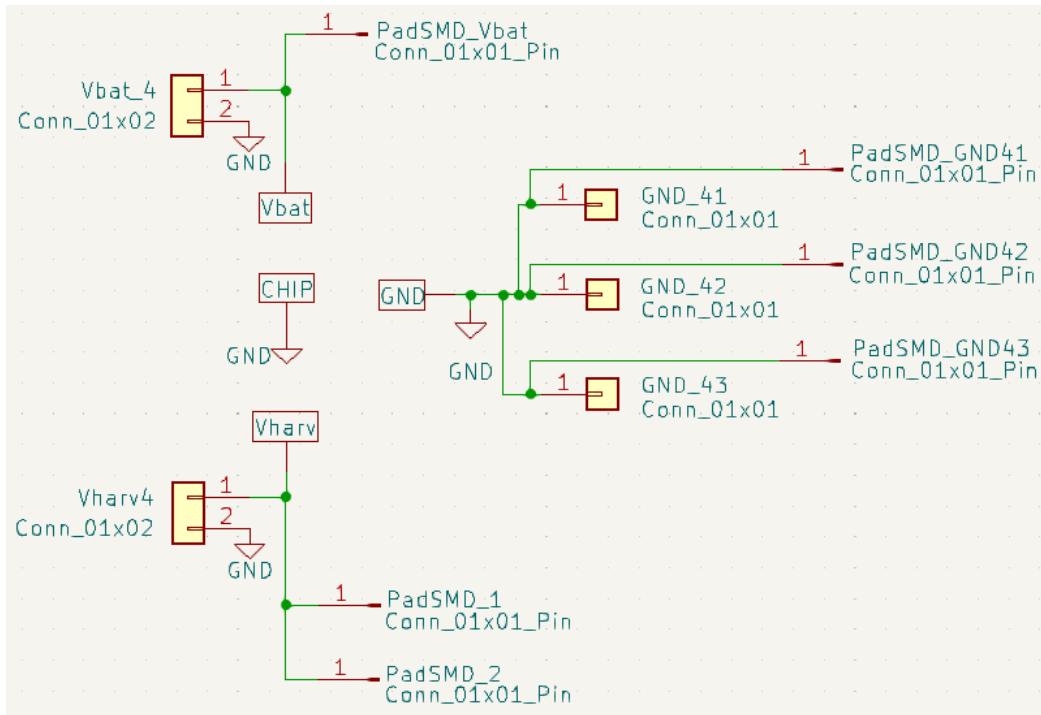


Figura 4.6: Circuito Esquemático en KiCad, Segunda Versión.

4.2.2. Disposición de Huellas

Después de hacer las conexiones necesarias en el circuito esquemático, se procede a distribuir estratégicamente las huellas asociadas a cada elemento. Se diseñaron huellas (de la misma forma que en la primera versión de la placa) con las características eléctricas y dimensiones requeridas para V_{harv} , V_{bat} , GND y la huella para colocar el chip. Debido a que el circuito integrado se montará a la PCB de manera superficial, se requiere que la huella correspondiente al chip sea un pad de cobre de tipo SMD (surface-mount technology) con las dimensiones descritas en el capítulo anterior.

Dado que las huellas asociadas a V_{harv} , V_{bat} y GND estarán conectadas a las terminales del circuito mediante un proceso de “wire bonding”, estas deben ser diseñadas como puntos de contacto del tipo SMD. Es importante mencionar que estos pads deben estar ubicados alrededor de la huella del chip como se muestra en la figura 3.13, con una distancia de 2 mm para facilitar el montaje del chip y la microsoldadura.

La ubicación de los componentes es fundamental tanto para facilitar las mediciones en el laboratorio como para ampliar el alcance del experimento en futuros proyectos. Es por ello, que se consideran dos tipos de conexión (puntos de contacto y conectores verticales de tipo pin header). Es importante instanciar estratégicamente estos elementos, por ese motivo, se elige distribuirlos en el borde de la placa para facilitar las conexiones. Por otro lado, la conexión a GND es un aspecto esencial en el diseño de una PCB, ya que una conexión a tierra adecuada garantiza que todas las señales de tierra estén libres de ruido, lo que es fundamental para que el circuito opere correctamente. De ahí que el diseño de la PCB incluye un plano de tierra co-

mún que cubre toda la superficie. El plano de tierra, hecho de cobre, se extiende por todas las áreas de la PCB sin componentes ni pistas, proporcionando una referencia de voltaje estable que permite reducir interferencias electromagnéticas, lo cual mejora el desempeño y la fiabilidad del diseño [33].

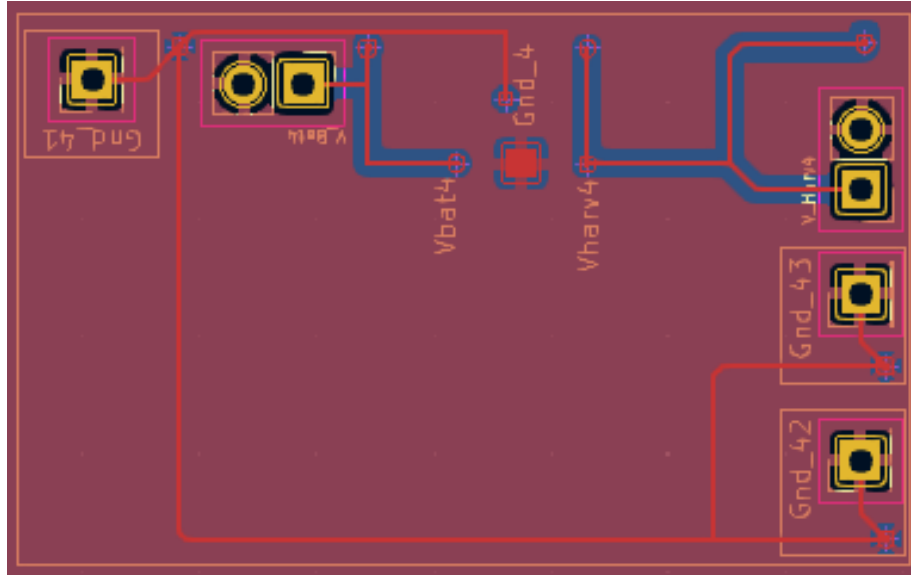


Figura 4.7: Disposición de Huellas en KiCad, Segunda Versión.

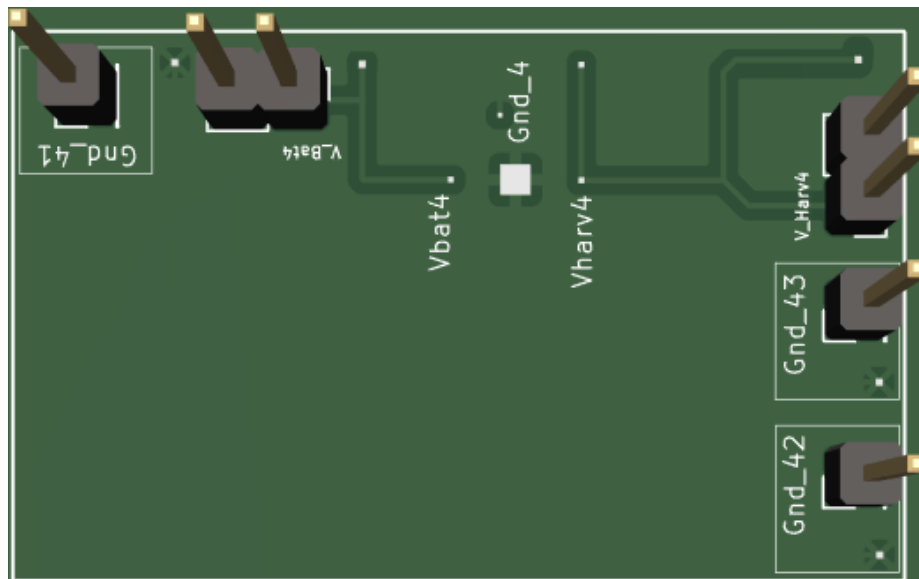


Figura 4.8: Vista 3D de Segunda Versión Diseño de PCB.

4.2.3. Wire Bonding y PCB Física

A continuación, se muestra el resultado del proceso de "wire bonding", el cual se llevó a cabo utilizando herramientas especializadas para microsoldadura. Este pro-

cedimiento fue realizado en las instalaciones del Instituto Nacional de Astrofísica, Óptica y Electrónica, empleando equipos de alta precisión que garantizan la calidad y confiabilidad de las conexiones realizadas. En esta imagen es posible observar la conexión mediante alambrado entre las terminales del chip y los pads de montaje superficial (SMD).



Figura 4.9: Wire Bonding Chip-PCB, Segunda Versión.

En la siguiente figura se presenta la placa física, la cual fue fabricada por JLCPCB y posteriormente ensamblada en el laboratorio de “Diseño y Caracterización de Circuitos y Sistemas”. Esta placa tiene dimensiones de 3.9 cm de largo por 2.4 cm de ancho.

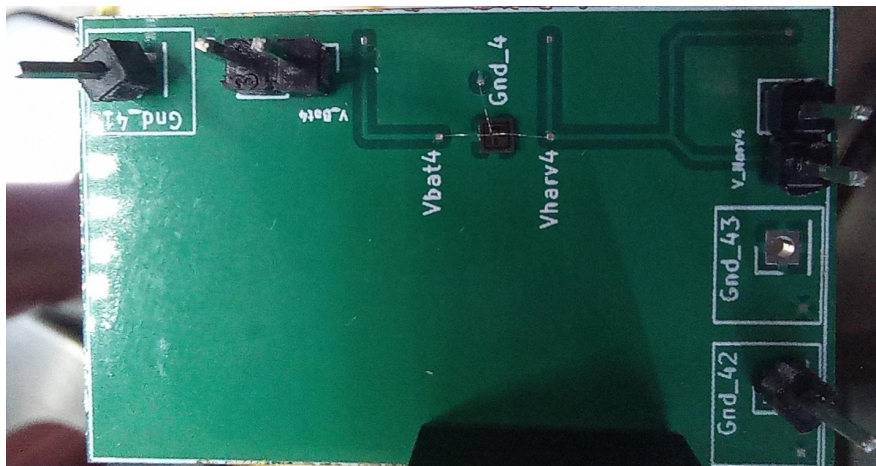


Figura 4.10: Resultado de Placa de Circuito Impreso, Segunda Versión.

5 Caracterización Eléctrica Estática

A lo largo de este capítulo se describe el procedimiento seguido para caracterizar el circuito de bomba de carga. Se aborda la variable de interés, el equipo requerido y las conexiones a la PCB, así como las características de los instrumentos de medición. Finalmente, se presentan los resultados de las mediciones y se compara con los datos reportados en otro trabajo.

5.1. Variables de Interés

El voltaje es la variable de interés para el proceso de caracterización del circuito de la bomba de carga. El análisis de las variaciones de voltaje es fundamental, ya que permite evaluar la eficiencia del circuito implementado. Al monitorear la respuesta de circuito ante variaciones de voltaje en la entrada del circuito, es posible determinar el desempeño del sistema. El resultado de las mediciones proporciona información valiosa para identificar posibles mejoras en el diseño y garantizar que cumple con todas las características planteadas.

5.2. Disposición del banco de pruebas

Para llevar a cabo la caracterización del circuito de la bomba de carga, se utilizará una fuente de energía modelo B2962A de la compañía Keysight. Este equipo cumplirá una doble función, como instrumento de medición y como suministro de energía, lo que garantiza precisión en los resultados obtenidos. Es por ello que la fuente de energía deberá configurarse como voltímetro y como fuente al mismo tiempo. Así se ajusta el canal 1 como voltímetro, esto se logra poniendo el canal en modo flotante y se configura como fuente de corriente con un suministro de 1nA. En este caso, la fuente actúa como un voltímetro flotante al no aplicar corriente al circuito, lo que permite medir el voltaje residual en el circuito abierto. Desde la perspectiva teórica de redes de dos puertos, el canal 1 se comporta como una entrada de voltaje donde la corriente de salida es cero (sin interacción con el sistema), permitiendo que el voltaje residual sea medido sin interferir en el comportamiento del circuito. Esto es análogo a un puerto de entrada en una red de dos puertos con una corriente de salida igual a cero [34].

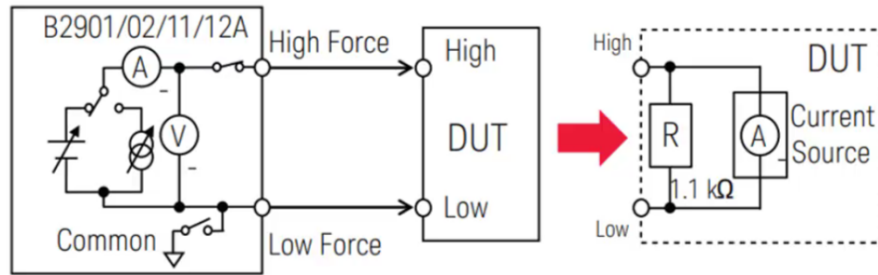


Figura 5.1: Diagrama de Conexión para fuente flotante.

Por otro lado, el canal 2 se establece como fuente de voltaje, el cual suministrara una diferencia de potencial en la entrada del circuito. A continuación, se muestra un esquema de conexión de la PCB al instrumento de medición. Debido a que el canal 1 funcionara como voltímetro, este se conecta a la salida V_{bat} para monitorizar el potencial resultante de la bomba de carga. Dado que el canal 2 se ajusta como fuente de voltaje, se conectará a V_{harv} . Las conexiones a GND se realizarán en los pines más accesibles, con el fin de minimizar el riesgo de dañar el microsoldado al manipular las puntas de medición.

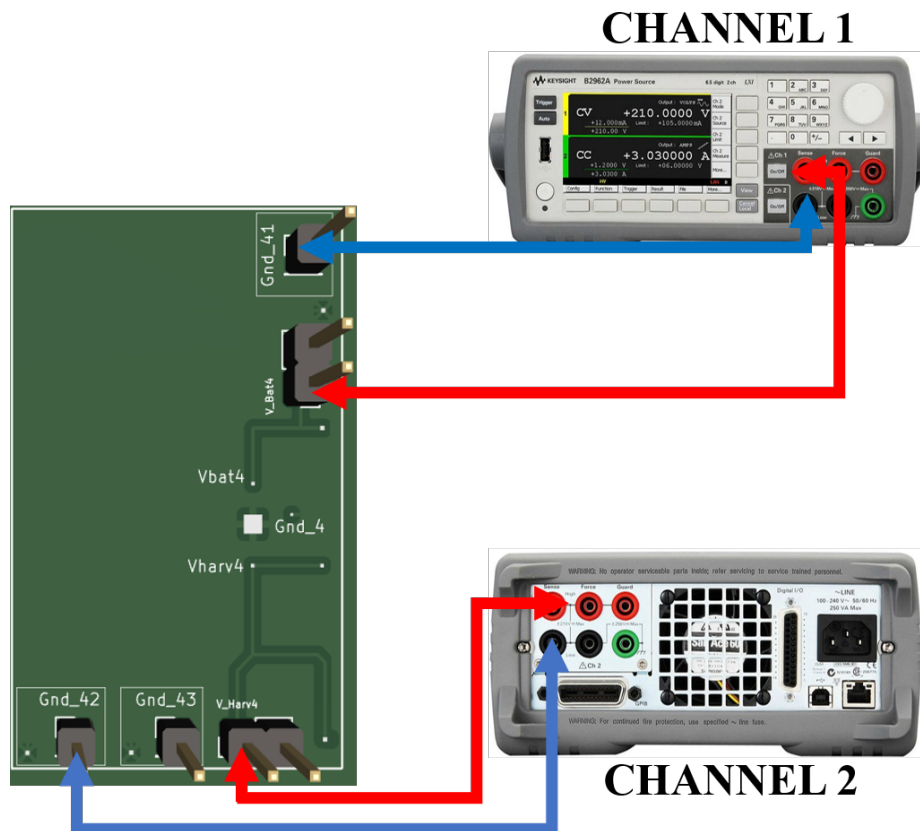


Figura 5.2: Conexión de PCB a equipo de medición.

5.3. Implementación de Conexiones

El circuito se implementó utilizando los recursos del laboratorio de "Diseño y Caracterización de Circuitos y Sistemas", usando la estación de pruebas, una fuente de alimentación modelo B2962A de Keysight, y puntas de prueba adecuadas.

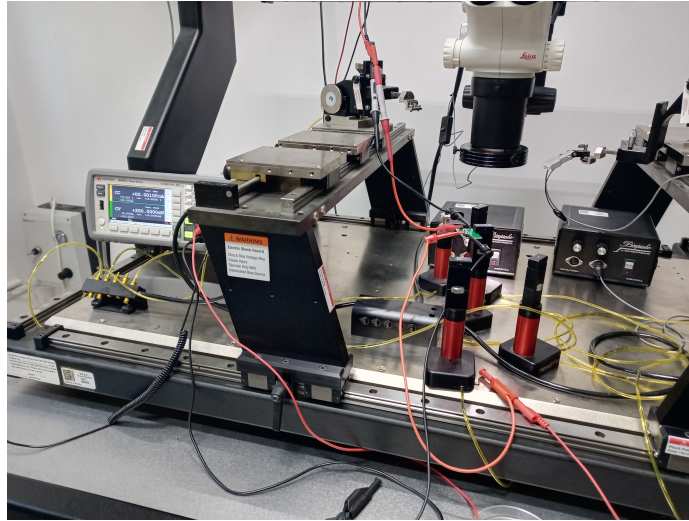


Figura 5.3: Implementación de conexiones de PCB con equipo de medición.

Para realizar las conexiones en la PCB, se utilizaron soportes que permitieron asegurar la placa y facilitar el procedimiento.

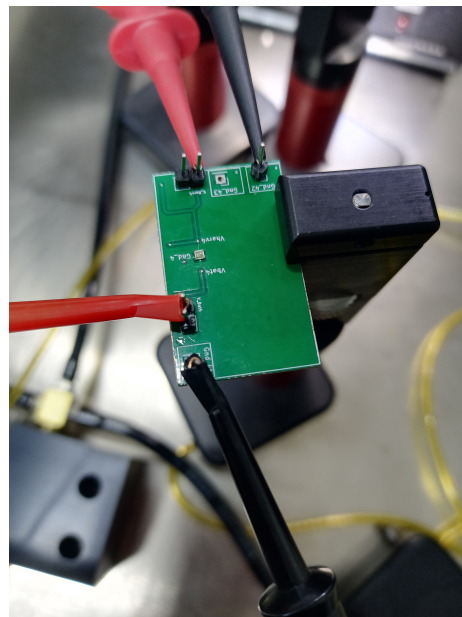


Figura 5.4: Conexión de PCB.

5.4. Respuesta de Bomba de Carga

Las siguientes figuras muestran las gráficas de voltaje en función del tiempo, en las cuales se ilustra la variación del potencial en un lapso de 90 segundos. Este comportamiento se debe al proceso de acumulación de carga resultante de la bomba y el oscilador de anillo. El eje horizontal representa el tiempo en [s] y en el eje vertical se encuentra el voltaje en [V]. La curva muestra el incremento gradual del potencial suministrado al circuito. Además, es importante mencionar que las variaciones en la curva reflejan la rapidez con la que el sistema se estabiliza.

La figura 5.5 ilustra la variación del voltaje respecto al tiempo para una entrada de 100mV, alcanzando un valor máximo de 4.1V en el segundo 70.

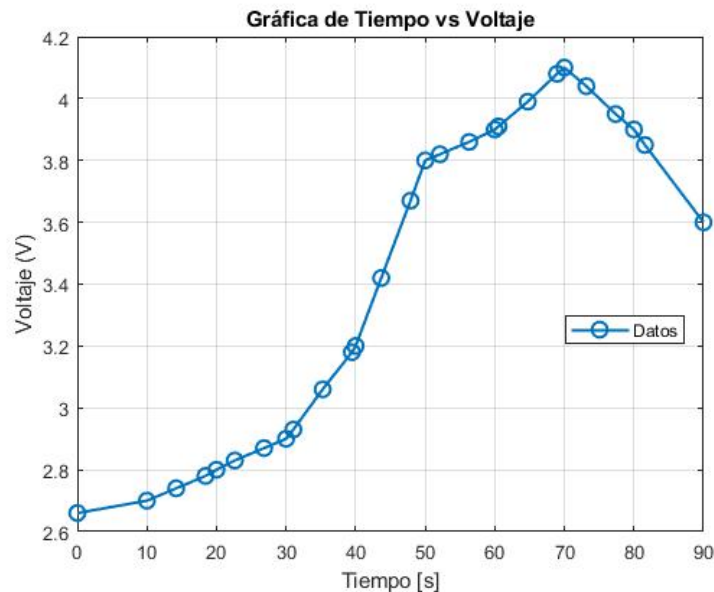


Figura 5.5: Respuesta de la Bomba de Carga con una Entrada de 100mV.

La gráfica 5.6 muestra el comportamiento del voltaje respecto al tiempo con una entrada de 0.7V, se puede apreciar que en el segundo 90 hay un pico de 4.3V.

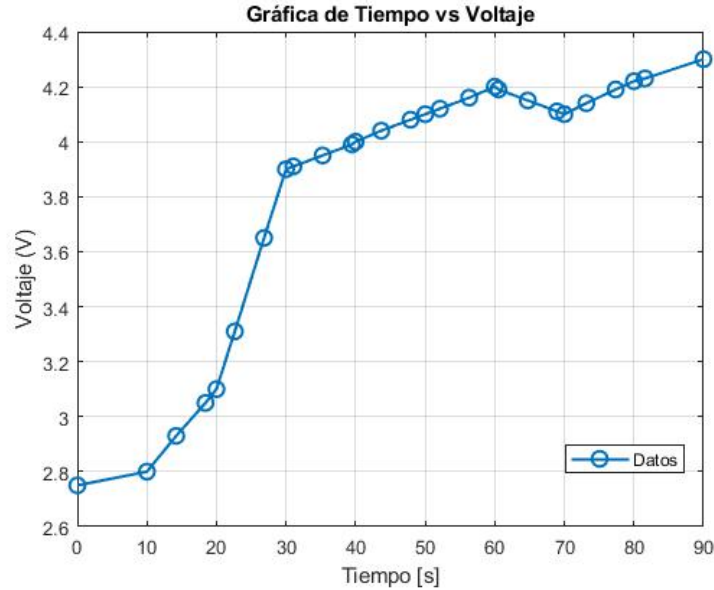


Figura 5.6: Respuesta de la Bomba de Carga con una Entrada de 0.7 V.

La gráfica 5.7 representa la carga acumulada a partir de 1V, en la curva se destaca un pico de 4.44V en el segundo 70.

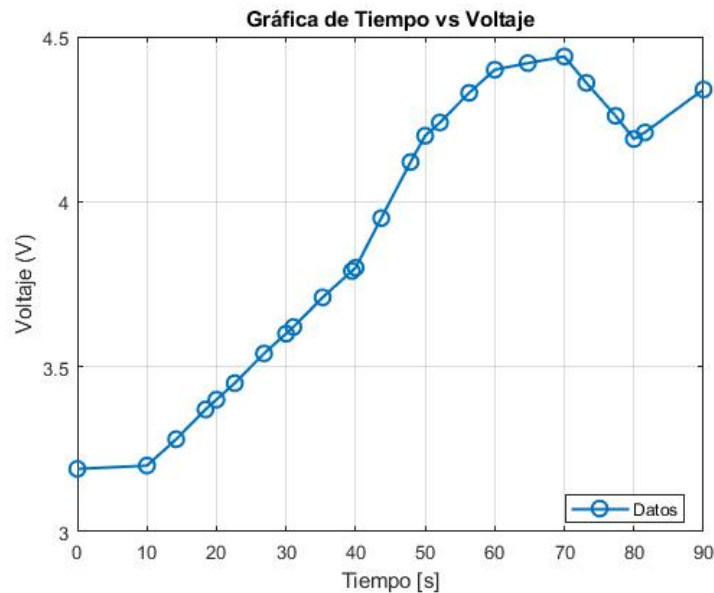


Figura 5.7: Respuesta de la Bomba de Carga con una Entrada de 1 V.

5.4.1. Consumo del Circuito

La gráfica presentada ilustra detalladamente la relación entre la potencia consumida por el circuito y el tiempo. Este análisis corresponde a un fenómeno de tipo transitorio, lo que implica que las variables observadas cambian con el tiempo. En

5.5. RESUMEN DE CARACTERÍSTICAS DEL CIRCUITO Y COMPARATIVA CON LITERATURA

este contexto, el eje horizontal de la gráfica representa el tiempo, definido como la variable independiente del sistema. Por su parte, el eje vertical muestra la potencia consumida, medida en unidades de nano [nW].

La forma de la curva registrada en la gráfica está directamente influenciada por las características de la fuente de entrada al circuito. Se observa un incremento gradual en el consumo de potencia conforme la fuente aumenta el potencial de entrada. De manera destacable, en el tiempo de 9 segundos se identifica un punto máximo, en el cual la potencia consumida alcanza un pico de 2 nW. Esta gráfica es fundamental para analizar la eficiencia y la estabilidad del diseño bajo una entrada variable.

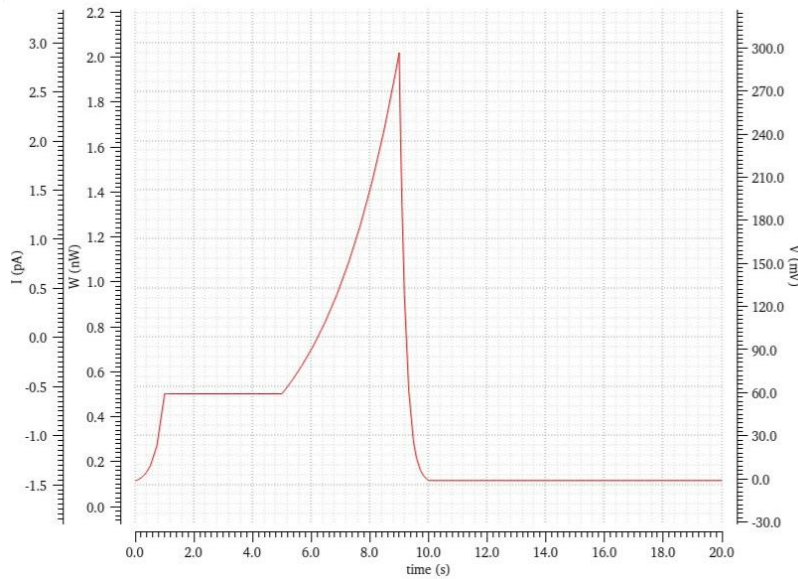


Figura 5.8: Consumo de Circuito.

5.5. Resumen de características del circuito y Comparativa con Literatura Actual

La Tabla 5.1 muestra la comparativa realizada del presente trabajo y los circuitos existentes.

Algoritmo	Este trabajo	[35]	[?]	[3]	[36]	[37]
Tecnología	180 nm	180 nm	90 nm	90 nm	110 nm	130 nm
Número de Etapas	6	16	4	6	4	4
Voltaje de Alimentación (Mínimo-Máximo)	100mV - 4V	5V - 15 V	0.5V - 1.8V	1.2V - 4V	2.4V - 3.6V	1.2V - 1.6V
Consumo de Potencia	2nW	—	7.496 μ W	1.6nW	—	—
Integrado	Sí	Sí	No	No	Sí	No
Factor de Elevación de Voltaje (Temperatura Ambiente)	6	3	5	4.2	5.7	3

Tabla 5.1: Comparativa con Circuitos Similares

Este trabajo presenta el diseño de un banco de prueba y la caracterización de

un circuito dedicado a la recolección de energía eléctrica, basado en una bomba de carga con topología Dickson. El circuito, desarrollado con tecnología CMOS de 180 nm, incluye seis etapas que permiten alcanzar un factor de elevación de voltaje de hasta seis veces el valor de entrada. Este diseño opera eficientemente en un rango de alimentación que va desde los 100 mV hasta los 4 V, con un consumo de potencia extremadamente bajo, de tan solo 2 nW, lo que lo posiciona como una alternativa competitiva frente a otros diseños reportados en la literatura.

Una de las principales ventajas de este circuito es su capacidad para operar con voltajes de entrada considerablemente más bajos que los de otros trabajos revisados. Asimismo, su consumo energético es sustancialmente menor, en comparación con valores de hasta 7.496 μV reportados en estudios previos. Aunque algunas investigaciones han explorado topologías más complejas, con un mayor número de etapas o tecnologías de fabricación diferentes, el circuito propuesto en este trabajo destaca por lograr un balance entre simplicidad y rendimiento, optimizando su implementación en diseño integrado.

En conclusión, este trabajo de tesis proporciona una caracterización exhaustiva del circuito, lo cual constituye una contribución significativa al desarrollo de sistemas de recolección de energía eléctrica. Su bajo consumo, capacidad de operar a voltajes mínimos, y diseño optimizado para integración en circuitos, ofrecen una solución efectiva para aplicaciones que demandan tecnologías sostenibles y eficientes. Este avance resulta especialmente valioso en el contexto de la creciente búsqueda de sistemas energéticos sostenibles y de bajo impacto.

6 Conclusiones y Trabajo a Futuro

Conclusiones

- En este trabajo se logró construir el circuito de interés en la herramienta Virtuoso para analizar el funcionamiento del circuito, lo que significa que los dos primeros objetivos específicos, planteados en el capítulo 1, se cumplieron.
- El tercer objetivo específico consistió en el diseño de un banco de pruebas en forma de tarjeta PCB, que permitiera instanciar el circuito integrado y realizar una serie de pruebas utilizando los instrumentos de medición disponibles en el “Laboratorio de Diseño y Caracterización de Circuitos y Sistemas”. Este objetivo se cumplió satisfactoriamente, y posteriormente, la caracterización del circuito permitió validar el desempeño de la placa. A partir de los resultados obtenidos, se procedió a re-diseñar el banco de pruebas para optimizar su funcionamiento y adaptarlo a los instrumentos disponibles en el laboratorio.
- Se llevó a cabo la validación del funcionamiento de la bomba de carga mediante una serie de pruebas diseñadas para evaluar su desempeño. Los resultados obtenidos fueron positivos, lo que confirma que el sistema está funcionando de manera eficiente. Las pruebas demostraron la efectividad del circuito en un entorno a temperatura ambiente, sin condiciones específicas. Además, los datos obtenidos ofrecen información valiosa que puede ser útil para futuros trabajos. A partir de estos resultados, se puede concluir que el circuito cumple con las expectativas.
- En cuanto a los instrumentos de medición, se consideró inicialmente el uso de un multímetro. Sin embargo, la impedancia asociada a este dispositivo causaba distorsiones en el voltaje medido. Como alternativa, se optó por configurar una fuente de alimentación para que funcionara como un voltímetro de mayor precisión.

Trabajo a Futuro

El presente trabajo abre la posibilidad de explorar las siguientes áreas de oportunidad para avanzar en la investigación:

- Incorporar una batería para almacenar la energía producida por el circuito de la bomba de carga, con el objetivo de mejorar la eficiencia del sistema. Esta incorporación también permitiría realizar pruebas adicionales para analizar la capacidad de almacenamiento y la duración de la energía bajo diversas condiciones de operación, ampliando así el alcance del diseño.
- Realizar un análisis del comportamiento del circuito de bomba de carga mediante una caracterización dinámica. Estas pruebas permitirán evaluar el desempeño del circuito bajo condiciones de operación variables, como cambios en la frecuencia de entrada, la carga conectada o variaciones de voltaje. Esto permitiría determinar la estabilidad, eficiencia y adaptabilidad del circuito. Este análisis proporcionará información valiosa para optimizar el diseño y garantizar que el circuito funcione de manera confiable en aplicaciones prácticas.
- Validar el funcionamiento de las micro celdas a través de un conjunto de pruebas que empleen diversas fuentes de luz. Este enfoque incluye someter las micro celdas a distintos tipos de iluminación, además de variar parámetros como la intensidad de la luz y el ángulo de incidencia. Estas pruebas permitirán evaluar la respuesta del sistema bajo diferentes condiciones lumínicas, proporcionando datos clave para determinar su eficiencia y desempeño.

Índice de figuras

2.1. Diagrama a Bloques del Circuito de Recolección de Energía.	5
2.2. Bomba de Carga de 6 Etapas.	6
2.3. Oscilador en Anillo 7 Etapas.	6
2.4. Circuito de Bloqueo.	6
2.5. Patrón Geométrico.	7
2.6. Multiplicador de voltaje básico de Cockcroft-Walton [13].	8
2.7. Bomba de carga Dickson. [11]	9
2.8. Multiplicador de voltaje Dickson usando tecnología CMOS [11].	10
2.9. Multiplicador de voltaje Dickson señales de reloj [13].	11
2.10. Cambio de voltaje. [16]	12
2.11. Sistema de retroalimentación [17].	12
2.12. Evolución del sistema oscilador en el tiempo [17].	13
2.13. Oscilador en anillo de 7 etapas [19].	14
2.14. Oscilador de anillo de cuatro etapas, cada etapa aporta 45° de desfaseamiento [18]	16
2.15. Oscilador de anillo con inversores CMOS. [17]	17
2.16. Polos de un oscilador en anillo de tres etapas para distintos valores de ganancia [17].	17
2.17. Inversor CMOS con transistores [19].	18
2.18. Diagrama Lógico de Latch D y Tabla de Función [21].	19
2.19. Flip-flop D amo-esclavo [21].	19
2.20. Implementación de Bomba de Carga de 6 Etapas en Virtuoso.	20
2.21. Símbolo de Bomba de Carga Dickson en Virtuoso.	21
2.22. Implementación de Oscilador de Anillo de 7 Etapas en Virtuoso.	21
2.23. Símbolo de Oscilador en Virtuoso.	22
2.24. Implementación de Compuerta NAND.	22
2.25. Símbolo de Compuerta NAND.	22
2.26. Implementación de Inversor.	23
2.27. Símbolo de Inversor.	23
2.28. Implementación de Latch D.	23
2.29. Símbolo de Flip-flop D en Virtuoso.	23
2.30. Circuito de Bomba de Carga en Virtuoso.	24
2.31. Salida de la Fuente.	24
2.32. Voltaje en la Batería.	25

3.1.	Circuito Integrado [24].	27
3.2.	Corte transversal de un conector SMA macho y hembra [26].	27
3.3.	PAD SMD [29].	28
3.4.	Conector Pin Header [31].	29
3.5.	Dimensiones del chip.	30
3.6.	Dimensión del pad SMD.	30
3.7.	Dimensiones de Conector 1x2 Vertical Tipo Pin Header.	30
3.8.	Dimensiones de Conector 1x1 Vertical Tipo Pin Header.	31
3.9.	Dimensiones de Conector SMA.	31
3.10.	Patrón Geométrico, Puntos de Contacto V_{harv} , V_{bat} y GND.	32
3.11.	Ilustración de Puntos de Contacto y Wire Bonding.	32
3.12.	Primera Versión de Propuesta de Diseño.	33
3.13.	Segunda Versión de Propuesta de Diseño.	34
4.1.	Circuito Esquemático en KiCad, Primera Versión.	36
4.2.	Disposición de Huellas en KiCad de Primera Versión.	36
4.3.	Vista 3D de primer diseño de PCB.	37
4.4.	Wire Bonding Chip-PCB, Primera Versión.	37
4.5.	Resultado de Placa de Circuito Impreso, Primera Versión.	38
4.6.	Circuito Esquemático en KiCad, Segunda Versión.	39
4.7.	Disposición de Huellas en KiCad, Segunda Versión.	40
4.8.	Vista 3D de Segunda Versión Diseño de PCB.	40
4.9.	Wire Bonding Chip-PCB, Segunda Versión.	41
4.10.	Resultado de Placa de Circuito Impreso, Segunda Versión.	41
5.1.	Diagrama de Conexión para fuente flotante.	43
5.2.	Conexión de PCB a equipo de medición.	43
5.3.	Implementación de conexiones de PCB con equipo de medición.	44
5.4.	Conexión de PCB.	44
5.5.	Respuesta de la Bomba de Carga con una Entrada de 100mV.	45
5.6.	Respuesta de la Bomba de Carga con una Entrada de 0.7 V.	46
5.7.	Respuesta de la Bomba de Carga con una Entrada de 1 V.	46
5.8.	Consumo de Circuito.	47
1.	Gráfica obtenida en INAOE, entrada negativa.	57
2.	Gráfica obtenida en INAOE, entrada positiva.	58

Bibliografía

- [1] C. A. Ramos-Paja, J. D. Bastidas-Rodriguez, and A. J. Saavedra-Montes, “Low-voltage photovoltaic system based on a continuous input/output current converter,” *Computation*, vol. 11, no. 2, 2023. [Online]. Available: <https://www.mdpi.com/2079-3197/11/2/42>
- [2] I. D. Bougas, M. S. Papadopoulou, A. D. Boursianis, P. Sarigiannidis, S. Nikolaidis, and S. K. Goudos, “Energy harvesting and autonomous energy systems: A proposal for rf energy harvesting,” *2024 13th International Conference on Modern Circuits and Systems Technologies (MOCAST)*, 2024, consultado en Noviembre de 2024. [Online]. Available: https://www.researchgate.net/publication/382922702_Energy_Harvesting_Autonomous_Energy_Systems_A_Proposal_for_RF_Energy_Harvesting
- [3] A. Singh, R. Kumar, and K. P., “Design analysis of dickson charge pump in 90nm technology,” *nternational Journal of Engineering Research and Reviews*, vol. 2, pp. 10–17, 2014, consultado en Octubre de 2024. [Online]. Available: www.researchpublish.com
- [4] L. Morales-Aguilar, “Caracterización de un medidor de voltaje-corriente para seguidores de máximo punto de potencia,” Master’s thesis, Benemérita Universidad Autónoma de Puebla, Maestría en Ing. Electrónica Opción Instrumentación Electrónica, 2024.
- [5] G. Martínez De Urquidi. (2014) Cosechar energía para construir el futuro: Una mirada desde la arquitectura. Consultado en Noviembre de 2024. [Online]. Available: <https://www.plataformaurbana.cl/archive/2014/04/24/cosechar-energia-para-construir-el-futuro-una-mirada-desde-la-arquitectura/>
- [6] P. S. D, “Diseño y simulación de un circuito de arranque basado en la carga de empuje de dickson para aplicaciones de cosecha de energía,” Master’s thesis, PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ FACULTAD DE CIENCIAS E INGENIERIA, 2023.
- [7] D. Barberá Santos, “Sistema generador fotovoltaico de alto rendimiento conectado a red,” Master’s thesis, Tesis para obtener titulo de maestro, Instituto Europeo de Normas de Telecomunicaciones E.T.S.I., 2011, consultado en Noviembre de 2024. [Online]. Available: <https://biblus.us.es/bibing/proyectos/abreproy/70271/>

- [8] ASOLMEX. (2023) Asolmex. Fecha de acceso: Octubre de 2024. [Online]. Available: <https://asolmex.org/>
- [9] Y. Luo, L. Pu, G. Wang, and Y. Zhao, “Rf energy harvesting wireless communications: Rf environment, device hardware and practical issues,” *Sensors*, vol. 19, no. 13, 2019. [Online]. Available: <https://www.mdpi.com/1424-8220/19/13/3010>
- [10] P. Nintanavongsa, U. Muncuk, D. Lewis, and K. Chowdhury, “Design optimization and implementation for rf energy harvesting circuits,” *Emerging and Selected Topics in Circuits and Systems, IEEE Journal on*, vol. 2, pp. 24–33, 2012, consultado en Octubre de 2024. [Online]. Available: https://www.researchgate.net/publication/260619140_Design_Optimization_and_Implementation_for_RF_Energy_Harvesting_Circuits
- [11] L. Tran, H. Cha, and W. Park, “Rf power harvesting: a review on designing methodologies and applications,” *Micro and Nano Systems Letters*, vol. 5, no. 14, 2017, consultado en Septiembre de 2024. [Online]. Available: <https://mns-l-journal.springeropen.com/articles/10.1186/s40486-017-0051-0>
- [12] F. Sari and Y. Uzun, “A comparative study: Voltage multipliers for rf energy harvesting system,” *Commun.Fac.Sci.Univ.Ank.Series A2-A3*, vol. 61, pp. 12–23, 2019, consultado en Octubre de 2024. [Online]. Available: https://www.researchgate.net/publication/332727389_A_COMPARATIVE_STUDY_VOLTAGE_MULTIPLIERS_FOR_RF_ENERGY_HARVESTING_SYSTEM
- [13] J. Dickson, “On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique,” *IEEE Journal of Solid-State Circuits*, vol. 11, no. 3, pp. 374–378, 1976.
- [14] A. C. Kailuke, P. Agrawal, and R. V. Kshirsagar, “Design of 2.45 ghz rectifier for low-power rf energy harvesting applications,” *Microsystem Technologies*, vol. 1, 2024, consultado en Octubre de 2024. [Online]. Available: <https://doi.org/10.1007/s00542-024-05762-4>
- [15] D. Barrón Longoria, E. Stevens-Navarro, A. Arce Casas, M. Cárdenas Juárez, and U. Pineda Rico, “Comparacion de circuitos multiplicadores de voltaje para cosecha de energia en rf,” *Pistas Educativas*, vol. 136, 2020, consultado en Octubre de 2024. [Online]. Available: <https://pistaseducativas.celaya.tecnm.mx/index.php/pistas/article/viewFile/2397/1946>
- [16] A. C. Kailuke, P. Agrawal, and R. V. Kshirsagar, “Design and implementation of low power dickson charge pump in 0.18 μm cmos process,” *International Journal of Scientific and Engineering Research*, vol. 4, 2013, consultado en Octubre de 2024. [Online]. Available: <https://api.semanticscholar.org/CorpusID:212510018>

- [17] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Education, 2017.
- [18] L. C. Álvarez Simón, “Diseño de un oscilador de anillo controlado digitalmente en tecnología cmos,” Ph.D. dissertation, Instituto Nacional de Astrofísica Óptica y Electrónica, <https://inaoe.repositorioinstitucional.mx/jspui/bitstream/1009/477/1/AlvarezSLCC.pdf>, Febrero 2010, consultado en Octubre de 2024.
- [19] O. S. C. Boixadós, “Diseño de un convertidor a/d basado en oscilador en anillo en tecnología cmos 0,18 μm ,” Ph.D. dissertation, Universidad Carlos III de Madrid, <https://e-archivo.uc3m.es/rest/api/core/bitstreams/40a7983b-4ed3-499f-9eba-a1f0bc509fba/content>, Febrero 2018, consultado en Octubre de 2024.
- [20] J. Jalil, M. B. I. Reaz, and M. A. M. Ali, “Cmos differential ring oscillators: Review of the performance of cmos ros in communication systems,” *IEEE Microwave Magazine*, vol. 14, no. 5, pp. 97–109, 2013. [Online]. Available: <https://ieeexplore.ieee.org/document/6556063>
- [21] M. Morris Mano, *DISEÑO DIGITAL*. Pearson, 2003.
- [22] J. LaDou, “Printed circuit board industry,” *International Journal of Hygiene and Environmental Health*, vol. 209, no. 3, pp. 211–219, 2006. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S1438463906000204>
- [23] Hardware. (2019) Circuitos integrados e impresos. Fecha de acceso: Octubre de 2024. [Online]. Available: <https://sites.google.com/prod/view/laramblahardware/circuitos-integrados-e-impresos>
- [24] J. Rosa. (2021) Circuito integrado: ¿qué es?, ¿cómo funciona?, y fabricación. Fecha de acceso: Octubre de 2024. [Online]. Available: <https://tumundohardware.com/circuito-integrado-que-es-como-funciona-y-tipos/>
- [25] J. Paleček, M. Vestenický, P. Vestenický, and J. Spalek, “Examination of sma connector parameters,” *IEEE 16th International Conference on Intelligent Engineering Systems*, vol. 16, pp. 259–263, 2012, consultado en Octubre de 2024. [Online]. Available: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6249841>
- [26] A. Henze, “Conectores coaxiales de rf y microondas para uso en laboratorio,” *Instituto Nacional de Tecnología Industrial*, vol. 1, 2012, consultado en Octubre de 2024. [Online]. Available: https://www.researchgate.net/publication/363151267_Conectores_coaxiales_de_RF_y_Microondas_para_uso_en_laboratorio
- [27] PCBPEAK. (2024) Pcb pads: Essential elements for reliable component connections. Fecha de acceso: Diciembre de 2024. [Online]. Available: <https://www.pcbapeak.com/pcb-pads-essential-elements/>

- [28] PCBX. (2024) Types of pcb pad. Fecha de acceso: Diciembre de 2024. [Online]. Available: <https://www.pcbx.com/article/Types-of-PCB-Pad>
- [29] MOREPCB. (2023) Pcb pads. Fecha de acceso: Diciembre de 2024. [Online]. Available: <https://morepcb.com/pcb-pads/>
- [30] J. S. Cook. (2019) Pin header types and sizes explained. Fecha de acceso: Octubre de 2024. [Online]. Available: <https://www.arrow.com/en/research-and-events/articles/know-your-pin-headers>
- [31] A. Goetzman. (2020) What are pin headers? Consultado en Octubre de 2024. [Online]. Available: [https://connectorsupplier.com/what-are-pin-headers/#:~:text=Meet%20the%20Connector%3A%20Pin%20Headers&text=They%20can%20connect%20printed%20circuit,2.54%20mm%20\(0.1%20inches\)](https://connectorsupplier.com/what-are-pin-headers/#:~:text=Meet%20the%20Connector%3A%20Pin%20Headers&text=They%20can%20connect%20printed%20circuit,2.54%20mm%20(0.1%20inches)).
- [32] KiCad. (2024) Acerca de kicad. Fecha de acceso: Diciembre de 2024. [Online]. Available: <https://www.kicad.org/about/kicad/>
- [33] P. D. World. (2019) Pcb grounding techniques that every designer should know. Fecha de acceso: Diciembre de 2024. [Online]. Available: <https://pcbdesignworld.com/article/pcb-grounding-techniques-that-every-designer-should-know>
- [34] A. S. Sedra and K. C. Smith, *Circuitos Microelectrónicos*. Oxford University Press, 1999.
- [35] Y. ZHAI, L. Gao, J. Li, and Q. Qiu, “A design of fast-setting on-chip charge pump circuit,” *International Conference on Smart Transportation, Energy and Power (STEP 2021)*, vol. 2195, pp. 211–219, 2022. [Online]. Available: <https://iopscience.iop.org/article/10.1088/1742-6596/2195/1/012034/pdf>
- [36] H. L. y Wing Chun Chan y Wai Kwong Lee y Zhirong Chen y Min Zhang, “Bomba de carga dickson con mejora del accionamiento de puerta y ahorro de área,” *Revista de electrónica de potencia*, vol. 16, no. 3, pp. 1209–1217, 2016. [Online]. Available: <http://dx.doi.org/10.6113/JPE.2016.16.3.1209>
- [37] B. Christopher-Mabuza, “Charge pumps and floating gate devices for switching applications,” Master’s thesis, University of Pretoria, Department of Electrical, Electronic and Computer Engineering Faculty of Engineering, Built Environment and Information Technology, 2012.

Anexo 1

Resultados de Medición en INAOE

Las gráficas que se presentan a continuación corresponden a los resultados de mediciones realizadas en el Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE). Estas mediciones se llevaron a cabo utilizando instrumentos especializados de alta precisión, lo que permitió medir directamente desde los pads de cobre del circuito. Además, durante las pruebas se consideraron variaciones en la temperatura, de esta forma se logró analizar el comportamiento del sistema bajo diferentes condiciones térmicas.

Los resultados obtenidos muestran un comportamiento similar al reportado en este trabajo de tesis, lo que refuerza la validez de los métodos empleados y de las conclusiones alcanzadas. Estas gráficas, por tanto, ofrecen un respaldo adicional a la caracterización realizada, destacando la coherencia entre los datos experimentales y los resultados previos.

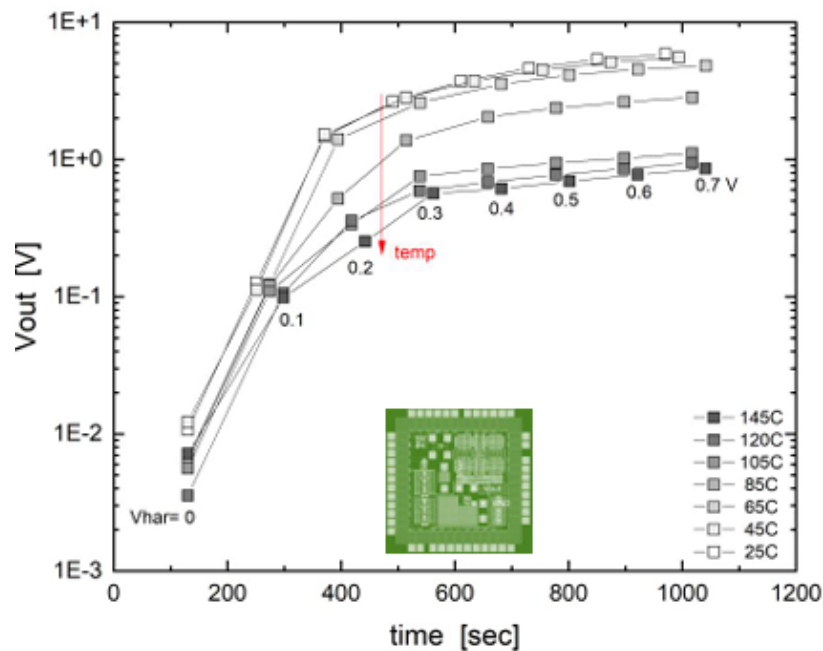


Figura 1: Gráfica obtenida en INAOE, entrada negativa.

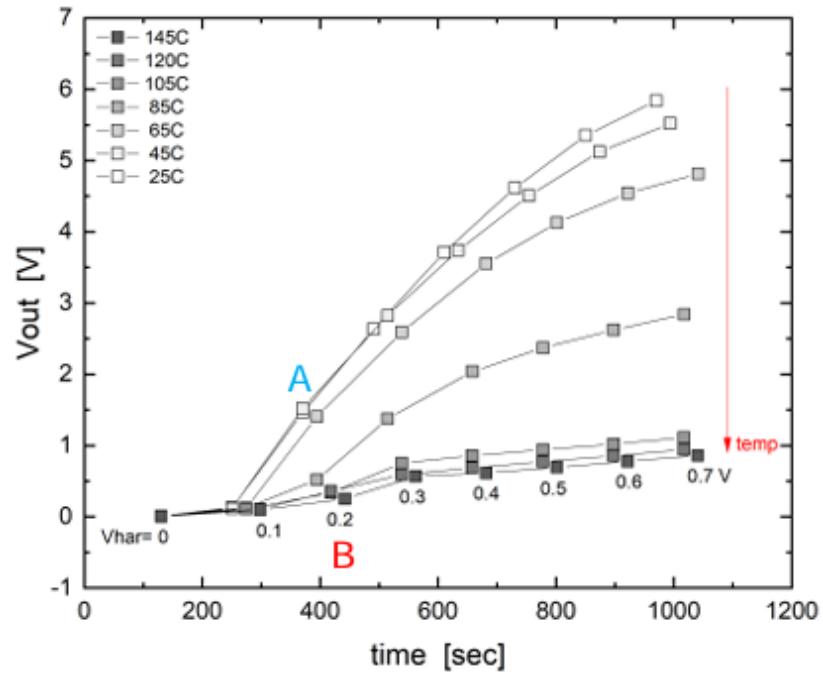


Figura 2: Gráfica obtenida en INAOE, entrada positiva.