



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA
MAESTRÍA EN CIENCIAS DE LA ELECTRÓNICA
OPCIÓN EN AUTOMATIZACIÓN

TESIS PARA OBTENER EL GRADO DE:
MAESTRO EN CIENCIAS DE LA
ELECTRÓNICA OPCIÓN EN
AUTOMATIZACIÓN

DISEÑO Y CONSTRUCCIÓN DE UN
AMPLIFICADOR TIPO LOCK-IN
(LIA)*

Presenta:

Ing. Luis Manuel Ramírez Ramírez**

Asesores:

Dr. Sergio Vergara Limon

Dr. Fernando Reyes Cortés

Puebla, Pue., Enero 2016

*Trabajo financiado por VIEP-BUAP y DITCo

**Becario CONACYT

Agradecimientos

Agradezco a Dios por darme la oportunidad de haber concluido esta etapa en mi vida y el permitirme conocer a mis profesores, compañeros y amigos que son tan importantes en mi desarrollo profesional y personal.

Gracias a mi familia por brindarme su apoyo en todo momento. A mi padre Ezequiel por todo su apoyo a lo largo de mi vida, el compartir sus experiencias y estar pendiente de que no cometa errores graves en mi vida. A mi madre Silvia por aconsejarme y darme siempre las palabras para seguir adelante. A mi hermano Gabriel por animarme y apoyarme siempre que me ve cansado y decaído. A mis padrinos Teresa y Ezequiel y a sus hijos Goretti, Jesica, Frida y Sergio por su apoyo y cariño en todo momento.

Agradezco al Dr. Sergio Vergara Limon y a la Dra. María Aurora Diozcora Vargas Treviño por ayudarme y apoyarme durante todo el tiempo que fui su estudiante, su apoyo va más allá de lo esperado mediante consejos y orientación no solo sobre el trabajo que nos involucra sino sobre la vida misma.

Gracias a mis profesores Dr. Fernando Reyes Cortés y Dra. Amparo Palomino Merino por sus enseñanzas y convivencia en el período de esta maestría, su exigencia al explicar y justificar los resultados al presentar un trabajo me ayudó a llevar un mejor desarrollo profesional en los estudios.

Agradezco a mis compañeras Adilene, Nayelli, Montserrat y a mis compañeros Oscar y Francisco por su amistad y apoyo tanto en los estudios como en la vida diaria. La convivencia con ellos contribuyo en gran medida a una muy buena experiencia en la maestría.

Gracias a mis compañeros Jehú y Arturo de la Generación 2011 y Gibram e Iván de la Generación 2012 de esta maestría por enseñarme y apoyarme durante mi estancia de servicio social y motivarme a continuar con los estudios de maestría.

Agradezco a la Universidad Autónoma de Puebla la formación que se me ha brindado a través de todos aquellos que fueron y son mis profesores, la ayuda que se me ha otorgado en mi formación profesional.

Muchas Gracias.

Resumen

El presente trabajo describe el desarrollo del diseño y construcción de una tarjeta de circuito impreso de un amplificador Lock-In, el desarrollo del trabajo consiste en la implementación de hardware, firmware y software, el desarrollo de estas etapas funcionales se describe mediante diagramas a bloques y diagramas de flujo para explicar su funcionalidad.

La teoría de operación del sistema es abordada de forma puntual mediante las ecuaciones que validan la funcionalidad del sistema y en base a ello se empieza el desarrollo del sistema, se selecciona el hardware mediante pruebas experimentales y se valida su funcionalidad mediante la caracterización de los dispositivos en base a los parámetros de operación del amplificador Lock-In, la funcionalidad del instrumento incluye la unión de firmware y software para el control de los dispositivos y el monitoreo de sus resultados.

El hardware consiste en una tarjeta madre que es controlada mediante una tarjeta hija de control basada en un FPGA Cyclone III de *Altera*. La tarjeta de circuito impreso es una placa de cuatro capas que es diseñada mediante el software *Altium Designer* versión 13.0.12.

El firmware implementado está desarrollado en el ambiente de programación *Quartus II* versión 13.0.1 de *Altera* y el lenguaje de programación es AHDL, el firmware se encarga de controlar los dispositivos digitales mediante la creación de controladores.

El software de monitoreo se elabora en el ambiente de programación *LabVIEW* de *National Instruments* empleando un lenguaje de programación gráfico mediante la construcción de diagramas a bloques, el software realiza los cálculos numéricos de la información del amplificador Lock-In y despliega los resultados mediante una interfaz de usuario.

Contenido

Resumen	i
Introducción.....	iii
Capítulo 1 Descripción del sistema.....	1
1.1 Principio de operación	1
1.2 Mediciones del amplificador Lock-In	6
1.3 Diseño del amplificador Lock-In	7
1.3.1 Regulación de la señal de referencia.....	7
1.3.2 Amplificación, filtrado y regulación de pequeña señal	8
1.3.3 Circuito corredor de fase.....	10
1.3.4 Multiplicación y filtrado de las señales	11
1.3.5 Cálculo de amplitud y fase.....	11
1.3.6 Comunicación inalámbrica	12
1.3.7 Diagrama a bloques funcional del amplificador Lock-In	12
1.4 Conclusiones	13
Capítulo 2 Hardware del sistema.....	15
2.1 Amplificadores de instrumentación.....	15
2.1.1 Caracterización de los amplificadores de instrumentación	15
2.2 Amplificadores operacionales.....	18
2.2.1 Filtro rechaza bandas de 60 Hz.....	19
2.2.2 Filtro pasa bajas de 100 kHz.....	23
2.2.3 Filtro pasa bajas de 0.1 Hz	26
2.2.4 Filtro pasa altas de 0.1 Hz	28
2.2.5 Amplificador de ganancia programable.....	31
2.2.6 Derivador de ganancia programable.....	31
2.2.7 Sumador inversor y comparador	33
2.3 Potenciómetros digitales.....	34
2.3.1 Modificación del registro de control	37
2.3.2 Modificación del registro RDAC	37
2.3.3 Caracterización de los potenciómetros digitales	38
2.4 Convertidores analógico-digital	39
2.4.1 Especificaciones de tiempo	41
2.4.2 Proceso de conversión	42
2.5 Multiplicador analógico	43
2.6 Módulo de comunicación inalámbrica RN-XV.....	45
2.6.1 Comunicación del RN-XV con una computadora personal	47
2.6.2 Configuración del RN-XV	47
2.7 Tarjeta de desarrollo Cyclone III.....	49
2.8 Conclusiones	51

Capítulo 3 Diseño de la tarjeta de circuito impreso	53
3.1 Estrategias de diseño	53
3.1.1 Ruido de las fuentes de alimentación	54
3.1.2 Ruido por interferencia entre pistas	55
3.1.3 Ruido por interferencia entre las etapas analógico y digital	56
3.1.4 Ruido externo.....	56
3.2 Diagrama electrónico	57
3.2.1 Circuito amplificador	57
3.2.2 Circuito referencia.....	60
3.2.3 Circuito desfasador.....	62
3.2.4 Circuito nivel CD.....	64
3.2.5 Circuito rechaza bandas.....	64
3.2.6 Circuito pasa bajas.....	66
3.2.7 Circuito módulos PSD	67
3.2.8 Circuito ADC-PSD	69
3.2.9 Circuito tarjeta Cyclone III.....	70
3.3 Diseño de la tarjeta de circuito impreso	71
3.3.1 Capa superior de la tarjeta de circuito impreso	72
3.3.2 Capa de planos de tierra de la tarjeta de circuito impreso	72
3.3.3 Capa de planos de alimentación de la tarjeta de circuito impreso	73
3.3.4 Capa inferior de la tarjeta de circuito impreso	73
3.3.5 Vista superior de la tarjeta de circuito impreso	74
3.3.6 Vista inferior de la tarjeta de circuito impreso	74
3.4 Conclusiones	75
Capítulo 4 Firmware del sistema.....	77
4.1 Convertidor analógico-digital	77
4.2 Potenciómetro digital	80
4.3 Calculo de frecuencia y amplitud de señal alterna	81
4.4 Controlador del lazo de control de amplitud	84
4.5 Modulo de comunicación inalámbrica.....	86
4.6 Conclusiones	88
Capítulo 5 Software del sistema	89
5.1 Panel frontal del software implementado	89
5.2 Diagrama a bloques del software implementado.....	90
5.3 Conclusiones	93
Capítulo 6 Resultados experimentales.....	95
6.1 Circuito de control corredor de fase	95
6.2 Circuito de control de amplitud	96
6.3 Protocolo de control del AD7440.....	97
6.4 Protocolo de control del AD5292.....	98
6.5 Filtro rechaza bandas de 60 Hz	98

6.6 Filtro pasa bajas de 98 kHz.....	99
6.7 Amplificador operacional TL082.....	100
6.8 Filtro pasa bajas de 0.1 Hz.....	101
6.9 Filtro pasa altas de 0.1 Hz	102
6.10 Multiplicador analógico MPY634	102
6.11 Amplificadores de instrumentación.....	104
6.12 Conclusiones	105
Conclusiones generales.....	1
Referencias	2

Índice de figuras

Figura 1.1 Formas de onda de la señal a detectar y la señal de referencia.	2
Figura 1.2 Diagrama a bloques del arreglo experimental del amplificador Lock-In.	6
Figura 1.3 Diagrama a bloques del circuito de regulación de la señal de referencia.....	7
Figura 1.4 Diagrama a bloques del cálculo de período de la señal de referencia.	8
Figura 1.5 Diagrama a bloques del circuito electrónico de control de pequeña señal.....	9
Figura 1.6 Diagrama a bloques del circuito corredor de fase.	10
Figura 1.7 Diagrama a bloques funcional del amplificador Lock-In.	12
Figura 2.1 Circuito divisor de voltaje para emular la pequeña señal.	15
Figura 2.2 Disposición de terminales de los amplificadores de instrumentación:	17
Figura 2.3 Circuito de caracterización de los amplificadores de instrumentación.	17
Figura 2.4 Diagrama a bloques del proceso de caracterización de los amplificadores.	18
Figura 2.5 Circuito rechaza bandas de 60 Hz.	19
Figura 2.6 Gráfica de ganancia contra frecuencia del filtro rechaza bandas de 60 Hz.	21
Figura 2.7 Gráfica de fase contra frecuencia del filtro rechaza bandas de 60 Hz.	22
Figura 2.8 Circuito pasa bajas de 100 kHz.	23
Figura 2.9 Gráfica de ganancia contra frecuencia del filtro pasa bajas de 100 kHz.	25
Figura 2.10 Gráfica de fase contra frecuencia del filtro pasa bajas de 100 kHz.	26
Figura 2.11 Circuito pasa bajas de 0.1 Hz.	26
Figura 2.12 Gráfica de ganancia contra frecuencia del filtro pasa bajas de 0.1 Hz.	27
Figura 2.13 Gráfica de fase contra frecuencia del filtro pasa bajas de 0.1 Hz.	28
Figura 2.14 Circuito pasa altas de 0.1 Hz.	28
Figura 2.15 Gráfica de ganancia contra frecuencia del filtro pasa altas de 0.1 Hz.....	30
Figura 2.16 Gráfica de fase contra frecuencia del filtro pasa altas de 0.1 Hz.....	30
Figura 2.17 Circuito amplificador de ganancia programable.....	31
Figura 2.18 Circuito derivador de ganancia programable.	32
Figura 2.19 Circuito sumador inversor y comparador.....	33
Figura 2.20 Diagrama a bloques del AD5292.....	34
Figura 2.21 Registro empleado por el protocolo de comunicación.	35
Figura 2.22 Diagrama de tiempos de escritura del registro de configuración.....	36
Figura 2.23 Circuito de caracterización del potenciómetro digital.	38
Figura 2.24 Diagrama a bloques del proceso de caracterización del potenciómetro digital.	39
Figura 2.25 Disposición de terminales del AD7440.	39
Figura 2.26 Respuesta ideal del AD7440.	40
Figura 2.27 Circuito de conversión de una señal bipolar a una señal diferencial.	40
Figura 2.28 Diagrama de tiempos del proceso de conversión del AD7440.	41
Figura 2.29 Ejemplo del proceso de conversión del AD7440.....	42
Figura 2.30 Diagrama a bloques del MPY634.....	43
Figura 2.31 Fotografía del módulo RN-XV.....	45
Figura 2.32 Canales de operación del módulo RN-XV.....	46
Figura 2.33 Diagrama a bloques del proceso de comunicación con el RN-XV.	47
Figura 2.34 Captura de pantalla de la conexión vía Telnet.....	48

Figura 2.35 Fotografía de la tarjeta Cyclone III, capa inferior (izq.) y superior (der.).....	49
Figura 2.36 Descripción del FPGA en base a la matricula.	51

Figura 3.1 Gráfica del voltaje de rizo de una fuente de alimentación.	54
Figura 3.2 Localización de los filtros de alimentación.	55
Figura 3.3 Diagrama de interferencia entre pistas.	55
Figura 3.4 Diagrama de reducción de interferencia por vías.	56
Figura 3.5 Parte 1 del circuito amplificador.	57
Figura 3.6 Parte 2 del circuito amplificador.	57
Figura 3.7 Parte 3 del circuito amplificador.	58
Figura 3.8 Parte 4 del circuito amplificador.	58
Figura 3.9 Parte 5 del circuito amplificador.	59
Figura 3.10 Parte 6 del circuito amplificador.	59
Figura 3.11 Parte 1 del circuito referencia.	60
Figura 3.12 Parte 2 del circuito referencia.	60
Figura 3.13 Parte 3 del circuito referencia.	60
Figura 3.14 Parte 4 del circuito referencia.	61
Figura 3.15 Parte 5 del circuito referencia.	61
Figura 3.16 Parte 1 del circuito desfasador.	62
Figura 3.17 Parte 2 del circuito desfasador.	62
Figura 3.18 Parte 3 del circuito desfasador.	63
Figura 3.19 Parte 4 del circuito desfasador.	63
Figura 3.20 Circuito nivel CD.	64
Figura 3.21 Parte 1 del circuito rechaza bandas.	64
Figura 3.22 Parte 2 del circuito rechaza bandas.	65
Figura 3.23 Parte 3 del circuito rechaza bandas.	65
Figura 3.24 Parte 4 del circuito rechaza bandas.	65
Figura 3.25 Parte 5 del circuito rechaza bandas.	66
Figura 3.26 Parte 6 del circuito rechaza bandas.	66
Figura 3.27 Circuito pasa bajas.	66
Figura 3.28 Parte 1 del circuito módulos PSD.	67
Figura 3.29 Parte 2 del circuito módulos PSD.	67
Figura 3.30 Parte 3 del circuito módulos PSD.	68
Figura 3.31 Parte 4 del circuito módulos PSD.	68
Figura 3.32 Parte 1 del circuito ADC-PSD.	69
Figura 3.33 Parte 2 del circuito ADC-PSD.	69
Figura 3.34 Parte 3 del circuito ADC-PSD.	70
Figura 3.35 Parte 1 del circuito tarjeta Cyclone III.	70
Figura 3.36 Parte 2 del circuito tarjeta Cyclone III.	71
Figura 3.37 Disposición de las capas de la tarjeta de circuito impreso.	71
Figura 3.38 Capa superior de la tarjeta de circuito impreso.	72
Figura 3.39 Capa de planos de tierra de la tarjeta de circuito impreso.	72
Figura 3.40 Capa de planos de alimentación de la tarjeta de circuito impreso.	73
Figura 3.41 Capa inferior de la tarjeta de circuito impreso.	73
Figura 3.42 Vista superior de la tarjeta de circuito impreso.	74

Figura 3.43 Vista inferior de la tarjeta de circuito impreso.	74
Figura 4.1 Componente AD7440_DRIVER_V1.	77
Figura 4.2 Diagrama de flujo de la señal SP_SYNC (AD7440).	78
Figura 4.3 Diagrama de flujo de la señal SP_CLK (AD7440).	78
Figura 4.4 Diagrama de flujo de las señales DOUT[9..0] y READY.	79
Figura 4.5 Componente AD5292_DRIVER_V1.	80
Figura 4.6 Diagrama de flujo de las señales SP_SYNC y SP_DATA (AD5292).	80
Figura 4.7 Diagrama de flujo de la señal SP_CLK (AD5292).	81
Figura 4.8 Componente V_MEAN.	82
Figura 4.9 Diagrama de flujo de la señal FREQ[19..0] (V_MEAN).	82
Figura 4.10 Diagrama de flujo de la señal READY (V_MEAN).	83
Figura 4.11 Diagrama de flujo de la señal V_MAX (V_MEAN).	83
Figura 4.12 Diagrama de flujo de la señal V_MIN (V_MEAN).	84
Figura 4.13 Componente comparador.	84
Figura 4.14 Componente TANH_T1.	85
Figura 4.15 Componente CONTROLADOR_T1.	85
Figura 4.16 Componente clock_460800.	86
Figura 4.17 Componente UART_TX.	86
Figura 4.18 Componente UART_RX.	87
Figura 4.19 Componente TEST_UART_2.	87
Figura 4.20 Componente startStop.	87
Figura 5.1 Interfaz de usuario del software de monitoreo.	89
Figura 5.2 Inicialización de variables del sistema.	90
Figura 5.3 Creación de conexión TCP.	91
Figura 5.4 Escritura de datos a la conexión TCP.	91
Figura 5.5 Recepción de datos de la conexión TCP.	91
Figura 5.6 Manipulación de los datos recibidos.	91
Figura 5.7 Cálculo de las variables amplitud y fase.	92
Figura 5.8 Retardo de 75 ms.	92
Figura 5.9 Indicador de comunicación activa.	92
Figura 5.10 Reinicio del sistema por fallo de conexión o dato no válido.	92
Figura 5.11 Cierre de la conexión TCP.	93
Figura 5.12 Botón de paro del sistema.	93
Figura 6.1 Respuesta del circuito de control corredor de fase (estado estable).	95
Figura 6.2 Respuesta del circuito de control corredor de fase (estado transitorio).	96
Figura 6.3 Respuesta del circuito de control de amplificación (estado estable).	96
Figura 6.4 Respuesta del circuito de control de amplificación (estado transitorio).	97
Figura 6.5 Formas de onda que controlan el AD7440.	97
Figura 6.6 Formas de onda que controlan el AD5292.	98
Figura 6.7 Respuesta del filtro rechaza bandas de 60 Hz (rango 1 Hz a 10 kHz).	98
Figura 6.8 Respuesta del filtro rechaza bandas de 60 Hz (rango 40 Hz a 80 Hz).	99

Figura 6.9 Respuesta del filtro pasa bajas de 98 kHz (rango 1 Hz a 10 kHz).....	99
Figura 6.10 Respuesta del filtro pasa bajas de 98 kHz (rango 1 Hz a 400 kHz).	100
Figura 6.11 Respuesta del amplificador inversor (rango 1 Hz a 10 kHz).....	100
Figura 6.12 Respuesta del amplificador inversor (rango 1 Hz a 100 kHz).	101
Figura 6.13 Respuesta del filtro pasa bajas de 0.1 Hz (rango 0.01 Hz a 1 Hz).	101
Figura 6.14 Respuesta del filtro pasa altas de 0.1 Hz (rango 0.01 Hz a 0.1 Hz).	102
Figura 6.15 Respuesta del MPY634 (frecuencia máxima de operación).....	102
Figura 6.16 Respuesta del MPY634 (rango 1 Hz a 10 kHz).	103
Figura 6.17 Respuesta del MPY634 (rango 1 Hz a 400 kHz).....	103
Figura 6.18 Gráfica de ganancia contra frecuencia del AD8421.....	104
Figura 6.19 Gráfica de ganancia contra frecuencia del AD8221.....	104

Introducción

La medición de pequeñas señales en presencia de ruido es un desafío permanente en muchos campos de la ciencia y la tecnología. La medición de pequeñas señales se realiza mediante el empleo de circuitos de amplificación y filtrado, sin embargo, cuando la relación señal a ruido (SNR, *Signal to Noise Ratio*) es mucho menor que uno, la técnica empleada por el amplificador Lock-In puede mejorar esta relación de una manera más eficiente debido a su bajo ancho de banda que aísla muchas más componentes de ruido en comparación con los amplificadores comunes que tienen un ancho de banda mayor [1].

El amplificador Lock-In es un instrumento de medición de pequeñas señales alternas (inclusive del orden de unos cientos de nano volts) que realiza una medición indirecta de la amplitud y fase de una señal de respuesta en un experimento en particular a partir de una señal de referencia que funciona como señal de excitación.

Entre las aplicaciones del amplificador Lock-In se encuentra el uso del instrumento en nano litografía para la detección de contacto como lo menciona el artículo: “*A Digital Lock-In Amplifier Based Contact Detection Technique for Electrochemical Nanolithography*” [2]. A continuación se describe de forma breve esta aplicación.

El instrumento se emplea en un sistema de posicionamiento para aplicaciones de nano fabricación electroquímica. El sistema cuenta con dos actuadores de posicionamiento, el primero emplea un motor a pasos que provoca desplazamiento en el orden de micrómetros y el segundo emplea un actuador piezoeléctrico que puede generar desplazamiento en el orden de nanómetros. En el extremo final del mecanismo se monta una plantilla que debe de estar en contacto con un sustrato, el cual se encuentra en el fondo de un electrolizador fijo a la base del mecanismo. Para detectar el desplazamiento de la plantilla se utiliza un módulo de visión y un sensor capacitivo de desplazamiento de alta resolución, el módulo de visión se encuentra fijo en la base, mientras que el sensor capacitivo se encuentra unido entre el actuador piezoeléctrico y la plantilla mediante un mecanismo de flexión.

Para detectar el contacto de la plantilla con el sustrato se da prioridad al sensor capacitivo, sin embargo, la señal producida por este último se ve afectada por las vibraciones mecánicas del sistema así como de la temperatura ambiente y el ruido electromagnético. El amplificador Lock-In es empleado para evitar las interferencias antes mencionadas, primero se provoca una oscilación en el actuador nanométrico de 50 Hz con una amplitud de 1 nm, esto ocasiona que la salida del sensor capacitivo tenga una componente alterna de la misma frecuencia que puede ser detectada por el amplificador Lock-In. Cuando la punta de la plantilla entra en contacto con el sustrato, la amplitud de la señal alterna incrementa y es cuando se establece el contacto de la plantilla con el sustrato.

El amplificador Lock-In también es empleado en la medición de gases, en el artículo “*A Fully-Analog Lock-In Amplifier With Automatic Phase Alignment for Accurate Measurements of ppb Gas Concentrations*” [3]. A continuación se describe de forma breve la manera en que se realiza esta medición.

En esta aplicación el instrumento se emplea en un sistema de medición de concentraciones de gas. El sistema de medición está conformado por el circuito electrónico propio del amplificador Lock-In, una cámara de confinamiento para gases, controladores de flujo de gases (MFC, *Mass Flow Controller*) y un sistema de adquisición (DAQ NI USB-6212).

Los controladores de flujo de gas permiten seleccionar el tipo de gas y la concentración del mismo que entra a la cámara de confinamiento. Para detectar la presencia de diferentes gases se emplea un sensor de gas resistivo comercial FIGARO TGS 2600 y el amplificador Lock-In que entregan una señal que es procesada por la tarjeta de adquisición y monitoreada mediante una computadora personal.

Para detectar la señal del sensor mediante el amplificador Lock-In se incide una señal de voltaje sinusoidal de 77 Hz con una amplitud de 30 mV voltaje pico a pico en la resistencia del sensor de gas, para realizar el experimento se incide monóxido de carbono en la cámara de confinamiento durante 9 minutos con una concentración de 10 ppm y después se incide aire seco durante 14 minutos, el proceso se repite para concentraciones de 20 ppm y 30 ppm.

Los amplificadores Lock-In son utilizados en la investigación y en diferentes áreas. Los primeros amplificadores de este tipo comerciales fueron los de *Princeton Applied Research* y en la actualidad existen una variedad de amplificadores Lock-In comerciales de las empresas *Stanford Research Systems* y *Zurich Instruments* principalmente. A continuación se muestran las características principales de algunos ejemplos de estos últimos.

- **SR830:** El principio de operación del instrumento está basado en un DSP, tiene un rango de operación de 102.4 kHz a 1 MHz con una reserva dinámica máxima de 100 dB y dispone de una fuente de referencia [4].
- **SR124:** El principio de operación del instrumento es completamente análogo, tiene un rango de operación de 0.2 Hz a 200 kHz con una reserva dinámica máxima de 60 dB y puede realizar detección de armónicos (1f, 2f o 3f) [5].
- **SR844:** El principio de operación del instrumento está basado en un DSP, tiene un rango de operación de 25 Hz a 200 MHz con una reserva dinámica máxima de 80 dB y puede operar con referencia interna o externa [6].
- **HF2LI:** La frecuencia de operación del instrumento es de 50 MHz con una reserva dinámica máxima de 120 dB, dispone de dos unidades de amplificador Lock-In y dos generadores de funciones [7].
- **UHFLI:** La frecuencia de operación del instrumento es de 600 MHz con una reserva dinámica máxima de 100 dB, dispone de dos unidades de amplificador Lock-In y dos generadores de funciones de alto rendimiento [8].

Como se describe en las aplicaciones antes mencionadas el instrumento es empleado para la medición de señales de sensores que miden variaciones muy pequeñas de una variable física en una aplicación muy específica. Por este motivo se considera importante el desarrollo de esta tecnología que puede ser una herramienta de trabajo para futuros trabajos de investigación.

Objetivo general

“Diseñar y construir un amplificador Lock-In”

Objetivos particulares

- Estudiar los conceptos básicos del amplificador Lock-In.
- Diseñar el diagrama funcional del amplificador Lock-In.
- Diseñar la tarjeta de circuito impreso del amplificador Lock-In.
- Desarrollar el firmware.
- Desarrollar el software.
- Realizar pruebas experimentales.
- Publicar los resultados del amplificador Lock-In.

El presente documento describe el diseño y construcción del amplificador Lock-In mediante 6 capítulos en los cuales se aborda el principio de operación del instrumento para su diseño y las pruebas experimentales y construcción del mismo mediante hardware, firmware y software. A continuación se describe de forma breve el contenido de cada capítulo.

En el capítulo 1 se aborda la descripción del sistema en cuestión, se explica el principio de operación del amplificador Lock-In y en base a ello se diseñan los diagramas a bloques de las etapas funcionales del instrumento para generar así el diagrama a bloques funcional del amplificador Lock-In.

En el capítulo 2 se aborda el hardware del sistema, se explica cómo se llevan a cabo las etapas funcionales del amplificador Lock-In mediante el uso de circuitos electrónicos y los detalles que vienen involucrados en la selección de los mismos.

En el capítulo 3 se aborda el diseño de la tarjeta de circuito impreso del amplificador Lock-In, se describen las técnicas de diseño empleadas así como los diagramas electrónicos y la disposición de los componentes y su ruteo.

En el capítulo 4 se aborda el firmware del sistema, se muestra el flujo de información mediante diagramas a bloques y diagramas de flujo y los componentes lógico-secuenciales que controlan a los dispositivos digitalmente controlados.

En el capítulo 5 se aborda el software del sistema, se muestra y describe la interfaz de usuario empleada para el monitoreo de la información proporcionada por el hardware y firmware y se presentan los cálculos realizados en el software para presentar la información del amplificador Lock-In.

En el capítulo 6 se abordan los resultados experimentales obtenidos mediante las pruebas experimentales del hardware, firmware y software. Se muestran los resultados de cada etapa así como los resultados en los que intervienen dos o más etapas.

Capítulo 1

Descripción del sistema

El amplificador Lock-In es un instrumento de medición de señales de corriente alterna de frecuencia fija, la amplitud de las señales que puede medir el instrumento puede ser inclusive de unos cientos de nano volts [1, 9] y para realizar esta medición se requiere de una señal de referencia de corriente alterna cuya frecuencia es igual a la señal a medir. El principio de operación del instrumento permite realizar la medición de la señal de interés aun cuando esta se encuentra alterada por la presencia de otras señales no deseadas.

El principio de operación del amplificador Lock-In se basa en la técnica de detección sensible a la fase (PSD, *Phase Sensitive Detection*), como su nombre lo sugiere, esta técnica puede hacer una medición a partir de un desfaseamiento entre señales, la señal de interés a medir y la señal de referencia. Las señales cuya frecuencia es diferente de la señal de referencia son filtradas y no afectan la medición [10].

Basándose en el principio de operación se diseña un diagrama a bloques funcional del instrumento que sirve de guía para la construcción del mismo. A continuación se presenta la teoría de operación del instrumento con el fin de explicar el diseño, la construcción y el funcionamiento del mismo.

1.1 Principio de operación

Como se mencionó anteriormente el instrumento requiere de una señal de referencia para realizar las mediciones, esto es porque esa señal es una señal de excitación de un experimento en particular y mediante el amplificador Lock-In se mide la respuesta de ese experimento.

Considerando una señal de referencia sinusoidal y una señal de respuesta no contaminada de la misma forma sinusoidal pero desfasada respecto a la otra, estas señales se pueden representar mediante las siguientes expresiones:

$$V_{señal1} = V_s \text{sen}(\omega_s t + \phi_s), \quad (1.1)$$

$$V_{ref1} = V_r \text{sen}(\omega_r t + \phi_r). \quad (1.2)$$

Donde:

V_s Es la amplitud de la señal a medir en volts.

ω_s Es la frecuencia angular de la señal a medir en radianes/segundo.

ϕ_s Es la fase de la señal a medir en radianes.

V_r Es la amplitud de la señal de referencia en volts.

ω_r Es la frecuencia angular de la señal de referencia en radianes/segundo.

ϕ_r Es la fase de la señal de referencia en radianes.

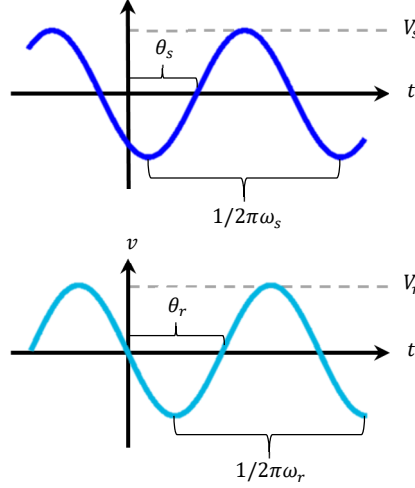


Figura 1.1 Formas de onda de la señal a detectar y la señal de referencia.

En la Figura 1.1 se muestran las formas de onda de la señal a detectar (señal de respuesta) y la señal de referencia, ambas señales son sinusoidales y debido a que una señal es consecuencia de la otra se considera que las señales tienen la misma frecuencia pero diferentes amplitudes y están desfasadas una de la otra.

La técnica de detección sensible a la fase consiste en multiplicar la señal a detectar y la señal de referencia y después obtener el voltaje promedio mediante un filtro pasa bajas. Al multiplicar las señales (1.1) y (1.2) se obtiene por identidades trigonométricas:

$$V_{señal1}V_{ref1} = V_s \text{sen}(\omega_s t + \phi_s) V_r \text{sen}(\omega_r t + \phi_r), \quad (1.3)$$

$$\begin{aligned} V_{señal1}V_{ref1} &= \frac{V_s V_r \cos(\omega_s t - \omega_r t + \phi_s - \phi_r)}{2} \\ &\quad - \frac{V_s V_r \cos(\omega_s t + \omega_r t + \phi_s + \phi_r)}{2}, \end{aligned} \quad (1.4)$$

$$V_{señal1}V_{ref1} = \frac{V_s V_r \cos(\phi_s - \phi_r)}{2} - \frac{V_s V_r \cos(2\omega_s t + (\phi_s + \phi_r))}{2}. \quad (1.5)$$

De la ecuación (1.5) se puede observar una componente de corriente alterna debida a la suma de frecuencias $(\omega_s + \omega_r)$ y una componente de corriente directa (CD) debida a la diferencia de fases $(\phi_s - \phi_r)$, suponiendo que la fase de las señales es constante debido a que las señales tienen la misma frecuencia.

Como se mencionó anteriormente, lo siguiente es utilizar un filtro pasa bajas lo cual elimina la componente de corriente alterna (CA) dando como resultado:

$$V_{PSD1} \cong \frac{1}{T} \int_0^T V_{señal1}(t) V_{ref1}(t) dt, \quad (1.6)$$

$$V_{PSD1} \cong \frac{V_s V_r \cos(\phi)}{2}. \quad (1.7)$$

En la ecuación anterior $\phi = \phi_s - \phi_r$ es la fase entre la señal de referencia y la señal a medir. Como puede observarse el valor de V_{PSD1} tiene un máximo cuando las señales están en fase, es decir, cuando $\phi = 0$, en ese instante se puede calcular la amplitud de la señal a medir mediante un despeje ya que se conoce la amplitud de la señal de referencia V_r y se puede medir el voltaje promedio resultante V_{PSD1} .

Considerando otra señal de referencia de la forma:

$$V_{ref2} = V_r \cos(\omega_r t + \phi_r). \quad (1.8)$$

Al emplear la misma técnica de detección sensible a la fase con esta señal de referencia, la multiplicación con la señal a detectar resulta en:

$$V_{señal1} V_{ref2} = V_s \sin(\omega_s t + \phi_s) V_r \cos(\omega_r t + \phi_r), \quad (1.9)$$

$$\begin{aligned} V_{señal1} V_{ref1} &= \frac{V_s V_r \sin(\omega_s t + \omega_r t + \phi_s + \phi_r)}{2} \\ &+ \frac{V_s V_r \sin(\omega_s t - \omega_r t + \phi_s - \phi_r)}{2}, \end{aligned} \quad (1.10)$$

$$V_{señal1} V_{ref1} = \frac{V_s V_r \sin(2\omega_s t + (\phi_s + \phi_r))}{2} + \frac{V_s V_r \sin(\phi_s - \phi_r)}{2}. \quad (1.11)$$

Aplicando el filtro pasa bajas para quitar la componente de corriente alterna se obtiene otro voltaje promedio expresado por:

$$V_{PSD2} \cong \frac{1}{T} \int_0^T V_{señal1}(t) V_{ref2}(t) dt, \quad (1.12)$$

$$V_{PSD2} \cong \frac{V_s V_r \sin(\phi)}{2}. \quad (1.13)$$

De forma análoga se podría calcular el valor de la amplitud de la señal a medir V_s mediante un despeje pero cuando las señales están desfasadas 90 grados, es decir, un cuarto de ciclo, sin embargo, esta dependencia de la fase entre las señales puede ser evitada mediante el procedimiento descrito a continuación.

Elevando al cuadrado y sumando las ecuaciones (1.7) y (1.13) se obtiene:

$$V_{PSD1}^2 + V_{PSD2}^2 \cong \left(\frac{V_s V_r \cos(\phi)}{2} \right)^2 + \left(\frac{V_s V_r \sin(\phi)}{2} \right)^2, \quad (1.14)$$

$$V_{PSD1}^2 + V_{PSD2}^2 \cong \left(\frac{V_s V_r}{2} \right)^2 [\cos^2(\phi) + \sin^2(\phi)], \quad (1.15)$$

$$V_{PSD1}^2 + V_{PSD2}^2 \cong \left(\frac{V_s V_r}{2} \right)^2. \quad (1.16)$$

De esta manera se puede obtener el valor de la amplitud de la señal a medir V_s sin tener una dependencia directa entre el desfaseamiento de la señal a medir con la señal de referencia mediante la siguiente expresión:

$$V_s \cong \frac{2\sqrt{V_{PSD1}^2 + V_{PSD2}^2}}{V_r}. \quad (1.17)$$

Ahora el cálculo del desfaseamiento de la señal a medir con la señal de referencia puede calcularse mediante una división de las ecuaciones (1.13) y (1.7) obteniendo:

$$\frac{V_{PSD2}}{V_{PSD1}} \cong \frac{V_s V_r \sin(\phi)}{2} \div \frac{V_s V_r \cos(\phi)}{2}, \quad (1.18)$$

$$\frac{V_{PSD2}}{V_{PSD1}} \cong \tan(\phi), \quad (1.19)$$

$$\phi \cong \text{atan}(V_{PSD2}/V_{PSD1}). \quad (1.20)$$

Hasta este punto se ha considerado que la señal a medir tiene la misma frecuencia que la señal de referencia. Si ahora se considera que las frecuencias de las ecuaciones (1.1) y (1.2) son diferentes, entonces se obtiene la siguiente expresión:

$$V_{señal1} V_{ref1} = \frac{V_s V_r \cos((\omega_s - \omega_r)t + \phi_s - \phi_r)}{2} - \frac{V_s V_r \cos((\omega_s + \omega_r)t + \phi_s + \phi_r)}{2}. \quad (1.21)$$

Si esta señal es procesada por el mismo filtro pasa bajas de la ecuación (1.6), entonces el valor de salida es idealmente cero dado que la ecuación (1.21) contiene únicamente señales de frecuencia alterna y el filtro las elimina dando como resultado:

$$V_{PSD1} \cong 0, \quad (1.22)$$

$$V_{PSD2} \cong 0. \quad (1.23)$$

Finalmente si ahora se considera que la señal a detectar se encuentra dentro de una envolvente de ruido de amplitud mucho mayor a la señal a detectar, entonces la señal de entrada es la suma de la señal a detectar y el ruido envolvente que puede interpretarse como la suma de señales sinusoidales cada una a diferente frecuencia. La señal de entrada puede entonces expresarse como:

$$\begin{aligned} V_{señal2} &= V_s \sin(\omega_s t + \phi_s) \\ &+ V_1 \sin(\omega_1 t + \phi_1) + V_2 \sin(\omega_2 t + \phi_2) \\ &+ \dots + V_n \sin(\omega_n t + \phi_n). \end{aligned} \quad (1.24)$$

Donde:

$V_1, V_2, \dots, V_n$ Son las amplitudes de cada componente sinusoidal del ruido envolvente.

$\omega_1, \omega_2, \dots, \omega_n$ Son las frecuencias de cada componente sinusoidal del ruido envolvente.

El resultado de la multiplicación de esta señal de entrada con la señal de referencia de la ecuación (1.2) viene dado por la siguiente expresión:

$$\begin{aligned}
 V_{señal2} V_{ref1} &= \frac{V_s V_r \cos((\omega_s - \omega_r)t + \phi_s - \phi_r)}{2} \\
 &\quad - \frac{V_s V_r \cos((\omega_s + \omega_r)t + \phi_s + \phi_r)}{2} \\
 &\quad + \frac{V_1 V_r \cos((\omega_1 - \omega_r)t + \phi_1 - \phi_r)}{2} \\
 &\quad - \frac{V_1 V_r \cos((\omega_1 + \omega_r)t + \phi_1 + \phi_r)}{2} \\
 &\quad + \dots + \frac{V_n V_r \cos((\omega_n - \omega_r)t + \phi_n - \phi_r)}{2} \\
 &\quad - \frac{V_n V_r \cos((\omega_n + \omega_r)t + \phi_n + \phi_r)}{2}.
 \end{aligned} \tag{1.25}$$

Como puede observarse en la ecuación anterior, la multiplicación de la señal de entrada y la señal de referencia genera la suma de diferentes componentes sinusoidales. Cada componente relaciona un par de frecuencias que resulta en una señal de corriente alterna siempre que las frecuencias son diferentes y una señal de corriente directa si las frecuencias son iguales. Aplicando la misma metodología el resultado de los filtros pasa bajas es:

$$V_{PSD3} \cong \frac{1}{T} \int_0^T V_{señal2}(t) V_{ref1}(t) dt, \tag{1.26}$$

$$V_{PSD3} \cong \frac{V_s V_r \cos(\phi)}{2}, \tag{1.27}$$

$$V_{PSD4} \cong \frac{1}{T} \int_0^T V_{señal2}(t) V_{ref2}(t) dt, \tag{1.28}$$

$$V_{PSD4} \cong \frac{V_s V_r \sin(\phi)}{2}. \tag{1.29}$$

De esta manera se conserva únicamente la componente que contiene la misma frecuencia que la señal de referencia y se pueden realizar los cálculos de amplitud y fase a pesar del ruido envolvente mediante las siguientes ecuaciones:

$$V_s \cong \frac{2\sqrt{V_{PSD3}^2 + V_{PSD4}^2}}{V_r}, \tag{1.30}$$

$$\phi \cong \text{atan}(V_{PSD4}/V_{PSD3}). \tag{1.31}$$

Es importante resaltar que el filtro pasa bajas sea lo suficientemente adecuado para eliminar las componentes de corriente alterna provocadas por la multiplicación de la señal de referencia con la pequeña señal y el ruido envolvente. La frecuencia de corte del filtro entonces debe ser cercana a la corriente directa para eliminar estas componentes.

En los cálculos de amplitud (1.30) y fase (1.31) de la señal a detectar se utiliza el valor de amplitud de la señal de referencia V_r que resulta de las dos señales de referencia. Es de suma importancia tener en cuenta que esto es válido solo si las señales de referencia tienen la misma amplitud como lo muestra el desarrollo de las ecuaciones (1.14)-(1.20).

1.2 Mediciones del amplificador Lock-In

El amplificador Lock-In emplea señales de referencia sinusoidales puras, es decir, que tienen solo la componente fundamental. El instrumento multiplica las señales de referencia con todas las componentes de la señal de entrada como se representa en la ecuación (1.25). La salida del filtro pasa bajas es una componente de corriente directa que es proporcional a la componente cuya frecuencia es igual a la frecuencia de la señal de referencia.

Dado que se utilizan señales de referencia puras, el amplificador Lock-In mide la componente fundamental de la señal de entrada que tenga la frecuencia de la señal de referencia. De esta componente el instrumento otorga la amplitud y la fase respecto a la señal de referencia.

La amplitud que mide el amplificador Lock-In es la mostrada en la ecuación (1.30), esto es el voltaje pico de la componente fundamental de la señal de entrada mientras que la fase que viene dada por la expresión (1.31) representa el desfaseamiento de la señal de respuesta del experimento respecto a la señal de referencia en grados. Es importante resaltar que el instrumento no recupera una forma de onda a medir, el instrumento solo entrega estos valores de amplitud y fase.

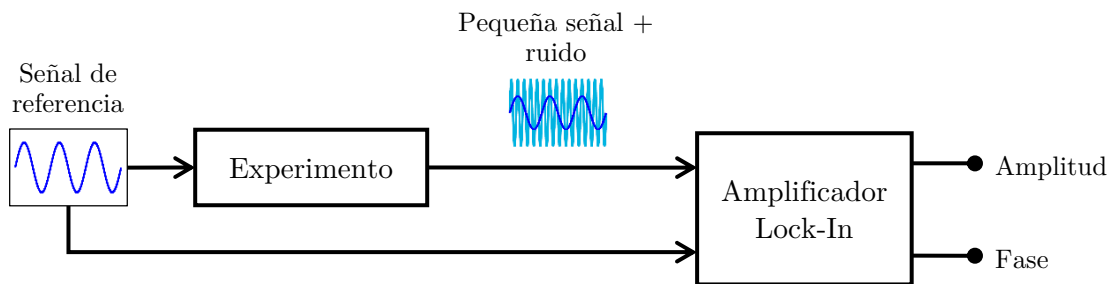


Figura 1.2 Diagrama a bloques del arreglo experimental del amplificador Lock-In.

En la Figura 1.2 se muestra el diagrama a bloques del arreglo experimental del amplificador Lock-In. Una señal de referencia se emplea como excitación de un experimento en particular y esta señal junto con la respuesta del mismo son entradas analógicas del amplificador, el instrumento otorga el valor numérico de la amplitud de la pequeña señal (voltaje pico) y el desfaseamiento de la pequeña señal respecto a la señal de referencia. El amplificador Lock-In desarrollado mide señales cuya frecuencia se encuentra en el rango de 10 Hz a 10 kHz, con una amplitud de voltaje pico de 400 nV a 250 mV.

1.3 Diseño del amplificador Lock-In

En base al principio de operación del amplificador Lock-In se establecen las etapas necesarias para llevar a cabo la construcción del instrumento. Las etapas principales en base a su función son:

- Regulación de la señal de referencia.
- Amplificación, filtrado y regulación de pequeña señal.
- Circuito corredor de fase.
- Multiplicación y filtrado de las señales.
- Cálculo de amplitud y fase.

1.3.1 Regulación de la señal de referencia

La señal de referencia es la señal de excitación del experimento para el cual el amplificador Lock-In realiza las mediciones. Se considera que esta señal de entrada sea de 2 V pico a pico, sin embargo, para asegurar de que esto se cumpla se utiliza un circuito electrónico de control que regula la amplitud de la señal mediante un amplificador operacional controlado con un FPGA y el empleo de un potenciómetro digital.

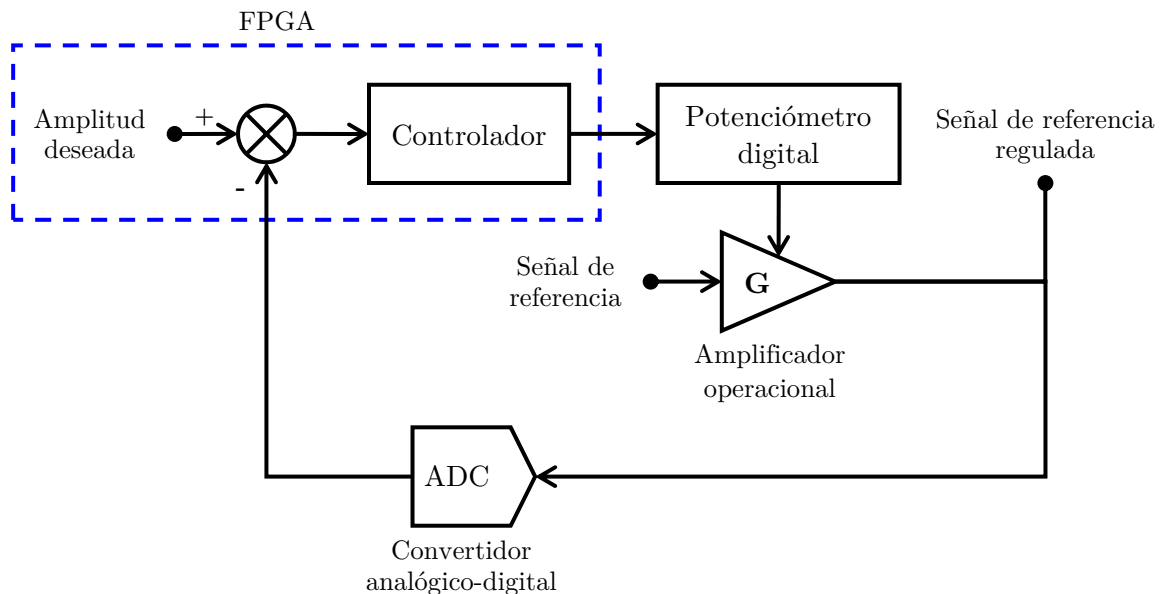


Figura 1.3 Diagrama a bloques del circuito de regulación de la señal de referencia.

En la Figura 1.3 se muestra el diagrama a bloques del circuito de regulación de la señal de referencia. La señal de referencia se amplifica mediante un amplificador operacional y su salida es retroalimentada al FPGA mediante el convertidor analógico-digital, el FPGA realiza la comparación y genera la señal de control para producir un cambio de resistencia en el potenciómetro digital el cual ocasiona un cambio de ganancia en el amplificador operacional.

La señal de referencia es una señal alterna sinusoidal que puede tener una frecuencia en particular sobre el rango de 1Hz a 10 kHz. Para determinar la amplitud actual de la señal de referencia mediante el convertidor analógico-digital y el FPGA es necesario medir los valores máximo y mínimo en al menos un ciclo de la señal de referencia.

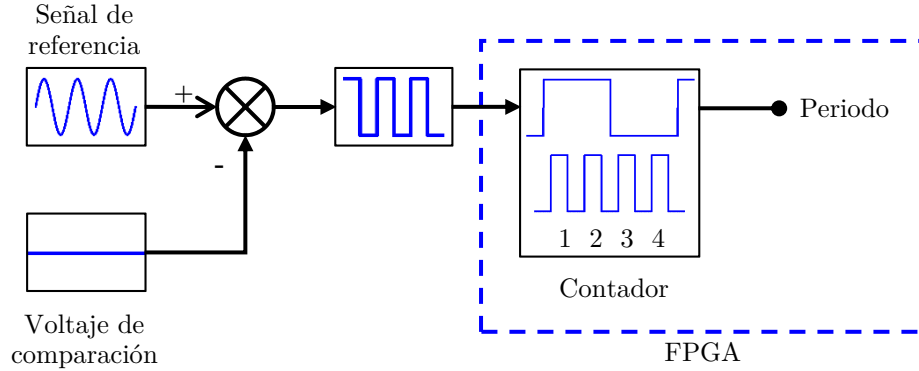


Figura 1.4 Diagrama a bloques del cálculo de período de la señal de referencia.

En la Figura 1.4 se muestra el diagrama a bloques del cálculo de período de la señal de referencia. Para medir el período se emplea un comparador de voltaje que convierte la señal continua sinusoidal en una señal discreta cuadrada que puede ser procesada por el FPGA. El período de la señal se mide mediante un contador de pulsos de la señal de reloj del FPGA entre dos flancos de subida de la señal cuadrada de la señal de referencia.

Una vez que se tiene el valor del período de la señal de referencia, se pueden calcular los valores mínimo y máximo de la señal analógica mediante el convertidor analógico-digital. De esta manera se retroalimenta la amplitud actual del sistema y ejecutar la acción de control mediante el FPGA y el potenciómetro digital.

1.3.2 Amplificación, filtrado y regulación de pequeña señal

De forma análoga a la regulación de la señal de referencia se requiere de otro circuito electrónico de control para amplificar la pequeña señal a niveles de voltaje adecuados. La pequeña señal debe ser filtrada para eliminar las componentes de ruido inducidas por altas frecuencias y la componente de línea de 60 Hz.

Es importante resaltar que la amplificación de este circuito de control es mucho mayor que la anterior debido a la pequeña señal, considerando la amplitud mínima de la pequeña señal de 400 nV voltaje pico y una amplitud deseada de 1 V se requiere una ganancia máxima de:

$$G_{max} = \frac{\text{amplitud deseada}}{\text{amplitud mínima}} = \frac{1 \text{ V}}{400 \text{ nV}} = 2.5 \times 10^6. \quad (1.32)$$

Como puede observarse, la ganancia es alta por lo cual se requieren varios amplificadores, esto sin embargo, también influye sobre el ruido inducido y es necesario mejorar la etapa de filtrado mediante el uso de filtros en serie.

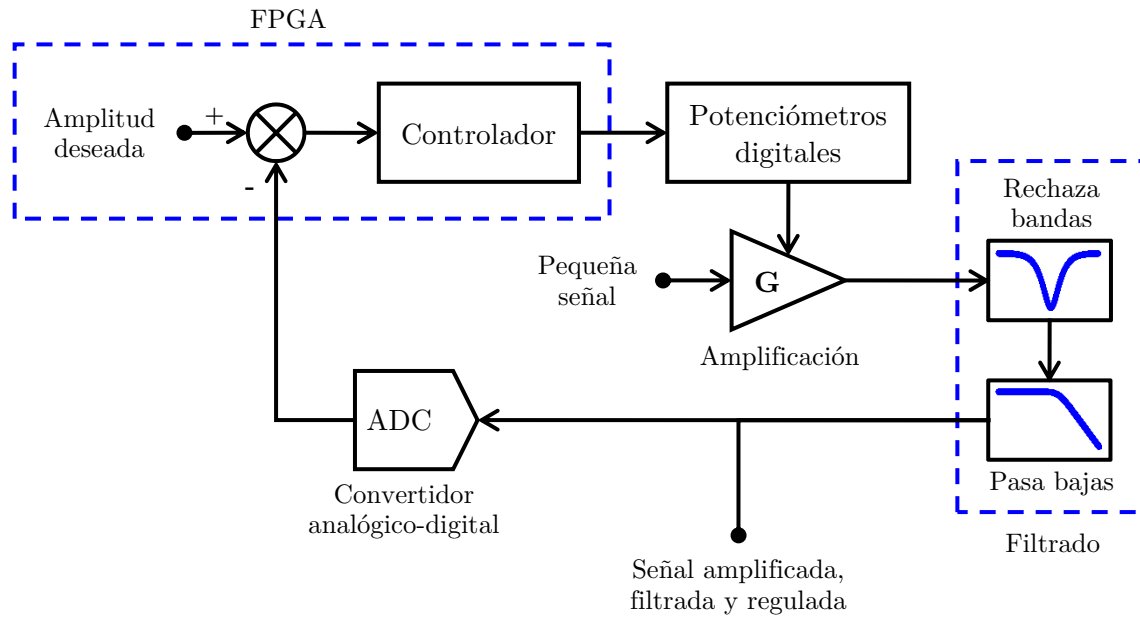


Figura 1.5 Diagrama a bloques del circuito electrónico de control de pequeña señal.

En la Figura 1.5 se muestra el diagrama a bloques del circuito electrónico de control de pequeña señal. La pequeña señal es amplificada mediante amplificadores de instrumentación y amplificadores operacionales, después se emplean filtros rechaza bandas y pasa bajas para adecuar la señal que mediante un convertidor analógico-digital se retroalimenta al FPGA para cerrar el lazo de control mediante la comparación de la amplitud deseada y la amplitud actual del sistema y ejecutar así la acción de control que consiste en cambiar la resistencia del potenciómetro digital, el cual provoca un cambio de ganancia en los amplificadores.

Para asegurar el correcto funcionamiento del instrumento se requiere de la caracterización de los circuitos integrados empleados. Una consideración muy importante es asegurar que la ganancia de los amplificadores sea constante durante el rango de operación del instrumento, de forma similar los filtros empleados no deben modificar de manera considerable la señal de interés y en el desarrollo del firmware del FPGA se deben de tomar en cuenta los tiempos de respuesta de los circuitos integrados.

La amplificación requiere de una alta ganancia y para asegurar que la pequeña señal se puede recuperar mediante los amplificadores se emplea un circuito para emularla y garantizar el funcionamiento del instrumento. Este circuito se emplea para la caracterización de la ganancia de los amplificadores a diferentes frecuencias sobre el rango de operación del instrumento y de esta manera validar el diseño del amplificador Lock-In.

La etapa de filtrado consiste de filtros rechaza bandas de 60 Hz eliminar las componentes de ruido provocadas por la alimentación de línea y filtros pasa bajas para eliminar las altas frecuencias superiores al rango de operación de frecuencia del instrumentos (10 kHz). Para validar el funcionamiento de los filtros activos se toma en consideración el voltaje de regulación del circuito electrónico de control y se comprueba su funcionamiento en diferentes frecuencias sobre el mismo rango de operación.

1.3.3 Circuito corredor de fase

Las ecuaciones (1.14)-(1.15) son válidas solo si las señales de referencia tienen la misma amplitud V_r , ya que de lo contrario no se puede realizar la factorización. Las ecuaciones (1.15)-(1.16) tienen sentido solo si las señales de referencia son de la forma seno y coseno para emplear la identidad trigonométrica. El circuito corredor de fase es el sistema que se encarga de asegurar que las ecuaciones antes mencionadas sean válidas y es una etapa crucial en el amplificador Lock-In.

El amplificador Lock-In tiene una sola señal de referencia de entrada, la cual tiene la forma seno de la ecuación (1.2). Para obtener la señal de referencia coseno de la ecuación (1.8) se emplea un circuito derivador, el cual además de desfasar la señal y garantizar la forma de onda, amplifica la señal en función de la frecuencia de la señal derivada y esto crea la necesidad de ajustar la amplitud del resultado.

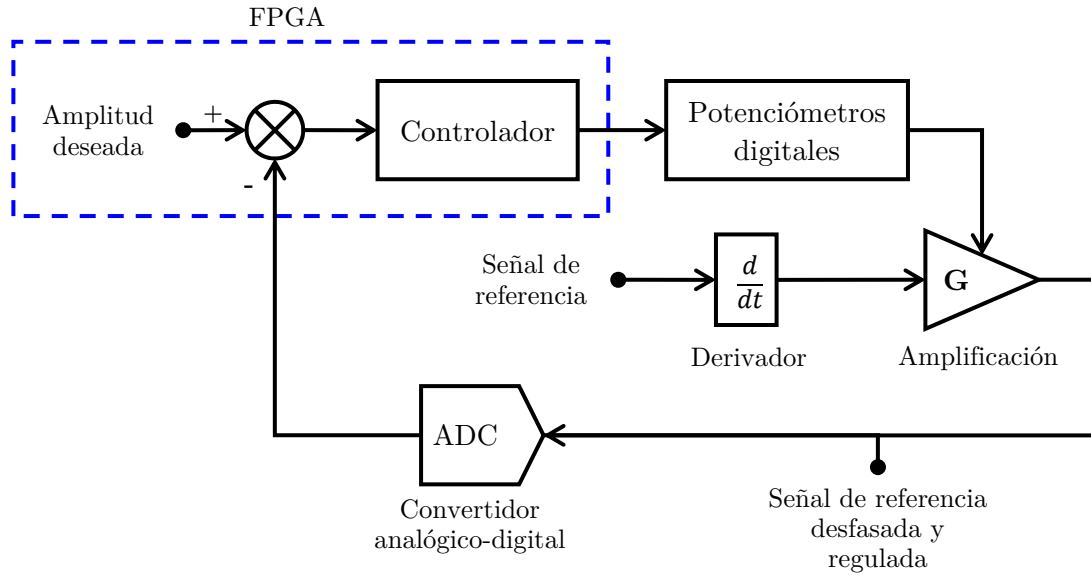


Figura 1.6 Diagrama a bloques del circuito corredor de fase.

En la Figura 1.6 se muestra el diagrama a bloques del circuito corredor de fase, el cual funciona como otro circuito electrónico de control. La señal de referencia es una señal seno que al derivarse se convierte en una señal coseno la cual es después amplificada y mediante el convertidor analógico-digital se retroalimenta al FPGA para realizar la acción de control.

Al derivar la señal de referencia de la ecuación (1.2) con amplitud de 1V se obtiene:

$$\frac{d}{dt} \text{sen}(\omega_r t + \phi_r) = \omega_r \text{cos}(\omega_r t + \phi_r). \quad (1.33)$$

En esta expresión se observa la ganancia ω_r provocada por la derivación. Al tomar en cuenta el rango de operación del amplificador Lock-In de 10 Hz a 10 kHz se obtiene la ganancia máxima provocada por el cambio de frecuencia.

$$G_{max} = 2\pi f_{max} = 2\pi(10000). \quad (1.34)$$

Como puede observarse en la ecuación anterior, la ganancia máxima debida al derivador es mayor a 60,000 por lo cual se debe tener cuidado con esta ganancia y considerarla en la etapa de amplificación y control y regularla a la misma amplitud que la señal de referencia (2 V, voltaje pico a pico).

1.3.4 Multiplicación y filtrado de las señales

Una vez que las señales de referencia y la pequeña señal son reguladas por los circuitos electrónicos de control, se realiza la etapa de multiplicación y filtrado de las señales. Se requiere multiplicar la salida del circuito de control de pequeña señal con la salida del circuito de control de referencia y la salida del circuito de control de pequeña señal con la salida del circuito corredor de fase. Para evitar la pérdida de información debido al muestreo de una multiplicación digital se empleara una multiplicación analógica de las señales de referencia con la señal a detectar.

Como se describió en el principio de operación, resultado de cada multiplicación debe de ser filtrado para quitar las componentes de corriente alterna. Tomando en cuenta el rango de operación en frecuencia del amplificador Lock-In, se considera un filtro pasa bajas con una frecuencia de corte de 0.1 Hz para filtrar las frecuencias más bajas posibles debidas a la señal de entrada (10 Hz, la frecuencia mínima).

1.3.5 Cálculo de amplitud y fase

El cálculo de amplitud y fase de la señal a detectar se realiza mediante el FPGA que se emplea en los circuitos electrónicos de control.

Los circuitos electrónicos de control de las señales de referencia aseguran la misma amplitud de las señales (V_r). Mientras que el circuito electrónico de control de pequeña señal cambia la amplitud de esta señal mediante una ganancia ($G \cdot V_s$). El resultado de la etapa de amplificación y filtrado en base a las ecuaciones (1.27) y (1.29), tomando en cuenta lo antes mencionado es entonces:

$$V_{PSD3} \cong \frac{GV_s V_r \cos(\phi)}{2} \cong \frac{GV_s \cos(\phi)}{2} \leq \frac{\cos(\phi)}{2}, \quad (1.35)$$

$$V_{PSD4} \cong \frac{GV_s V_r \sin(\phi)}{2} \cong \frac{GV_s \sin(\phi)}{2} \leq \frac{\sin(\phi)}{2}. \quad (1.36)$$

Dado que $V_r \leq 1$ y $GV_s \leq 1$. El voltaje resultante es entonces menor o igual a 0.5 V en cada componente por lo cual se sugiere una pequeña amplificación para obtener un rango más amplio y procesarlo por otro convertidor analógico-digital, mandar estas señales a la computadora personal y realizar el cálculo de amplitud y fase.

1.3.6 Comunicación inalámbrica

Las mediciones realizadas por el amplificador Lock-In son almacenadas en el FPGA y estas pueden ser representadas mediante indicadores LED o una pantalla LCD, sin embargo, con el fin de agregar versatilidad al instrumento se incorpora la capacidad de enviar la información de las mediciones vía inalámbrica a una computadora personal que cuente con un software en específico en el cual se pueden monitorear estas mediciones y realizar ajustes de ser necesario.

Para realizar la comunicación inalámbrica se emplea el protocolo IEEE 802.11 b/g mediante un módulo de comunicación inalámbrico comercial RN-XV, el software para el monitoreo empleado es *LabVIEW* de *National Instruments*.

1.3.7 Diagrama a bloques funcional del amplificador Lock-In

En base a las etapas funcionales del amplificador Lock-In descritas anteriormente se elabora el diseño del instrumento en un diagrama a bloques mostrado a continuación.

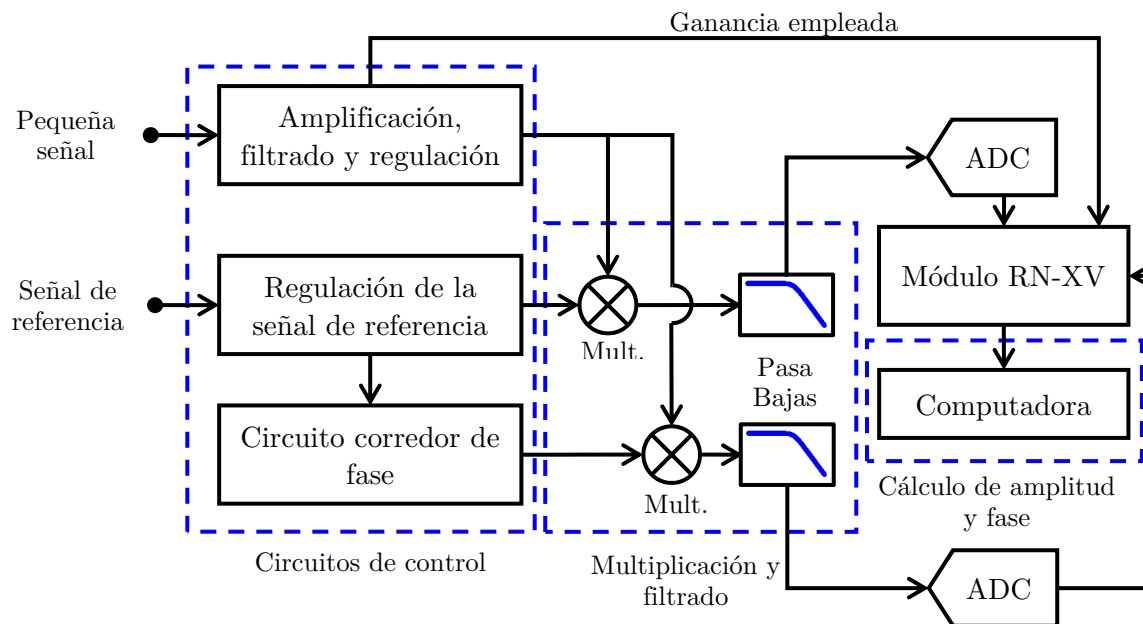


Figura 1.7 Diagrama a bloques funcional del amplificador Lock-In.

En la Figura 1.7 se muestra el diagrama a bloques funcional del amplificador Lock-In. El instrumento requiere dos señales de entrada, la pequeña señal y la señal de referencia. Mediante circuitos de control se amplifican y regulan estas señales y se obtiene la segunda señal de referencia desfasada. El resultado de estos circuitos de control es multiplicado y filtrado en el orden que se muestra en el diagrama y se envía la información de forma inalámbrica mediante el modulo RN-XV empleando el protocolo IEEE 802.11 para finalmente realizar el cálculo de amplitud y fase mediante una computadora con una interfaz de usuario en el software *LabVIEW*.

1.4 Conclusiones

En este primer capítulo se comprende el principio de operación del amplificador Lock-In y se realizan las primeras consideraciones de diseño, se elabora el diagrama a bloques funcional del amplificador Lock-In y el de sus etapas principales.

Para realizar la regulación de la señal de referencia se considera que el usuario debe tener un equipo adecuado que genere esta señal de referencia. El amplificador Lock-In la debe de regular a pesar de esto, sin embargo, esto no debería ser una modificación grande por lo cual el problema será el desarrollo del controlador.

La amplificación de la pequeña señal es un aspecto que puede ser difícil de llevar a cabo ya que se requiere de una ganancia de hasta 2.5×10^6 lo cual sugiere que los amplificadores empleados se pueden saturar de forma sencilla y se debe tener especial atención.

Para obtener la segunda señal de referencia se considera un operador de derivación y esto puede suponer un gran problema si la primera señal de referencia contiene mucho ruido ya que el operador derivada amplificaría en gran medida este ruido. Por este motivo la primera señal de referencia debe de provenir de una fuente confiable como un generador de funciones.

Para realizar la etapa de multiplicación y filtrado se considera que es mejor llevarla a cabo mediante un dispositivo analógico ya que un multiplicador digital podría suponer pérdida de información debido al muestreo de las señales.

El cálculo de amplitud y fase podría ser realizado en el FPGA, sin embargo, para realizar estos cálculos con exactitud se sugiere el empleo de operaciones de punto flotante y a pesar de no ser muchas operaciones, estas puede saturar los recursos del FPGA y no se podría integrar todo el firmware de forma adecuada. Aprovechando el hecho de que se realizará una comunicación inalámbrica con una computadora personal, se decide realizar los cálculos de amplitud y fase mediante esta misma.

La comunicación inalámbrica del amplificador Lock-In con la computadora personal puede representar una tarea difícil, sin embargo, esta tarea se simplifica al emplear un módulo que realiza una conversión del protocolo serial UART al protocolo IEEE 802.11 b/g basta entonces con realizar el protocolo UART en el FPGA, estudiar el funcionamiento del módulo y realizar las pruebas experimentales pertinentes.

Es necesario ahora identificar los componentes necesarios para llevar a cabo la construcción del amplificador Lock-In. Para comprobar que los componentes seleccionados sean adecuados es necesario realizar pruebas experimentales y familiarizarse con el uso de estos componentes.

Capítulo 2

Hardware del sistema

Para la construcción del amplificador Lock-In se considera el uso de amplificadores de instrumentación, amplificadores operacionales, potenciómetros digitales, convertidores analógico-digital, un FPGA y componentes pasivos. El principio de operación indica cuales son las partes más importantes en el desarrollo del instrumento y en base en este se elige el circuito electrónico apropiado y se analiza si los componentes empleados son los adecuados. A continuación se describe de forma detallada las características más importantes de los componentes empleados en la construcción del amplificador Lock-In.

2.1 Amplificadores de instrumentación

Para amplificar la pequeña señal se requiere de circuitos integrados que logren realizar esta tarea sin alterar la forma de onda de la señal. Los amplificadores de instrumentación de bajo ruido son dispositivos que pueden realizar esta tarea, sin embargo, siempre es adecuado realizar la caracterización de los mismos antes de ponerlos en una aplicación.

Tomando como referencia el trabajo de tesis “Sistema de adquisición de datos para el registro de señales bioeléctricas humanas” [11], en el cual se emplea el amplificador de instrumentación AD8221 para amplificar pequeñas señales biológicas, se propone evaluar este dispositivo junto con el AD8421 para emplearlos en la amplificación de la pequeña señal ya que son dispositivos de muy bajo ruido [12, 13].

2.1.1 Caracterización de los amplificadores de instrumentación

Para asegurar que el amplificador Lock-In funciona adecuadamente en su rango de trabajo, se realiza la caracterización de ganancia contra frecuencia de los amplificadores de instrumentación. Para esto se emula una pequeña señal de entrada mediante el siguiente circuito divisor de voltaje.

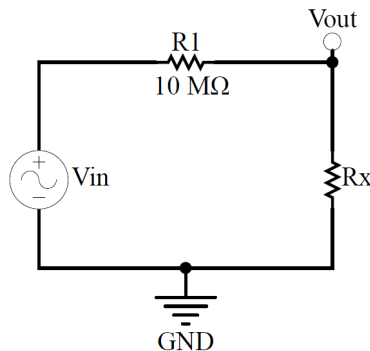


Figura 2.1 Circuito divisor de voltaje para emular la pequeña señal.

En la Figura 2.1 se muestra el circuito divisor de voltaje empleado para emular la pequeña señal de entrada a detectar por el amplificador Lock-In. El voltaje de entrada del circuito divisor de voltaje es una señal de la forma:

$$V_{in} = V_m \sin(\omega_m t). \quad (2.1)$$

Donde:

V_m : Es la amplitud de la señal.
 ω_m : Es la frecuencia de la señal.

Con el circuito divisor de voltaje se pueden obtener niveles de voltaje pequeños para configurar diferentes ajustes de ganancia en los amplificadores y de esta manera caracterizar su respuesta a diferentes frecuencias. De la misma manera se emplea este circuito para verificar que se puede recuperar la forma de onda mediante amplificadores en serie.

Tabla 2.1 Valores de salida del circuito divisor de voltaje.

Amplitud de la señal de entrada (V)	Valor de la resistencia de carga R_x (Ω)	Amplitud de la señal de salida (V)
1.25	3.2	399×10^{-9}
1.25	32	3.999×10^{-6}
1.25	320	39.998×10^{-6}
1.25	3200	399.872×10^{-6}
1.25	2500000	250×10^{-3}

En la Tabla 2.1 se muestran algunos de los valores obtenidos con el divisor de voltaje para la caracterización de los amplificadores de instrumentación. Mediante un cambio de la resistencia de carga se configura el voltaje de salida para una ganancia en particular.

La ganancia de los amplificadores de instrumentación se modifica mediante una resistencia y el valor de la ganancia configurada viene dada por las siguientes expresiones:

$$G_{AD8221} = 1 + \frac{49.4 \text{ k}\Omega}{R_G}, \quad (2.2)$$

$$G_{AD8421} = 1 + \frac{9.9 \text{ k}\Omega}{R_G}. \quad (2.3)$$

Donde:

G_{AD8221} : Es la ganancia del amplificador AD8221.
 G_{AD8421} : Es la ganancia del amplificador AD8421.
 R_G : Es la resistencia de ajuste de ganancia.

La función de salida de los amplificadores de instrumentación viene dada por:

$$V_{OUT} = G \times (V_{+IN} - V_{-IN}) + V_{REF}. \quad (2.4)$$

Donde:

V_{OUT} : Es el voltaje de salida de los amplificadores.

G : Es la ganancia de los amplificadores determinada por (2.2) y (2.3).

V_{+IN} : Es la entrada no inversora de los amplificadores.

V_{-IN} : Es la entrada inversora de los amplificadores.

V_{REF} : Es el voltaje de CD de los amplificadores.

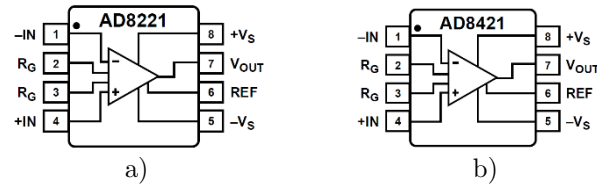


Figura 2.2 Disposición de terminales de los amplificadores de instrumentación:
a) AD8221 b) AD8421.

En la Figura 2.2 se muestra la disposición de terminales de los amplificadores de instrumentación. La función de transferencia de los amplificadores está en función de los voltajes aplicados a estas terminales.

Para realizar la caracterización de ganancia contra frecuencia de los amplificadores de instrumentación se emplea un generador de funciones y se realizan los ajustes siguientes.

- **Tipo de función:** sinusoidal.
- **Modo de salida:** barrido de frecuencia lineal.
- **Rango de frecuencias:** de 1 Hz a 100 kHz.
- **Tiempo en que se realiza el barrido de frecuencia:** 2 s.

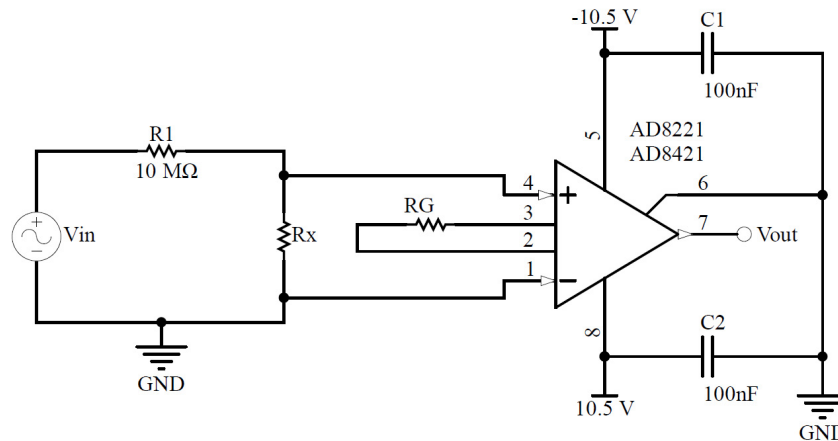


Figura 2.3 Circuito de caracterización de los amplificadores de instrumentación.

En la Figura 2.3 se muestra el circuito de caracterización de los amplificadores de instrumentación. Se emplea el circuito divisor de voltaje para atenuar la señal de entrada y recuperarla mediante el amplificador, la resistencia de ganancia R_G se modifica en función de la resistencia de carga R_x . El voltaje de referencia se ajusta a cero para mantener el nivel de CD.

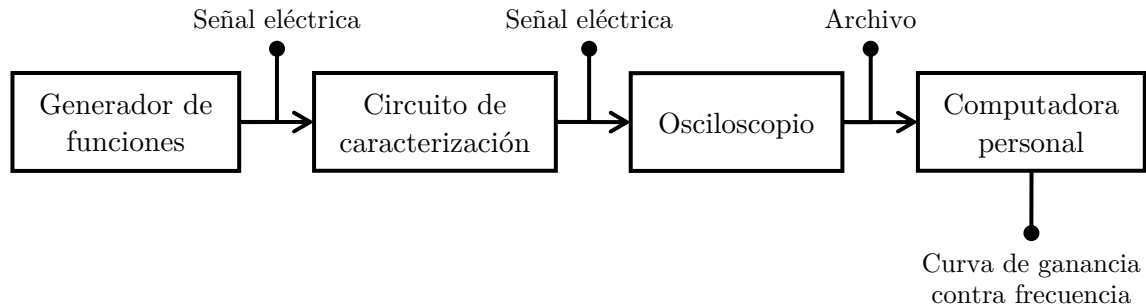


Figura 2.4 Diagrama a bloques del proceso de caracterización de los amplificadores.

En la Figura 2.4 se muestra el diagrama a bloques del proceso de caracterización de los amplificadores. Como se mencionó anteriormente se emplea un generador de funciones para emplear una señal de entrada sinusoidal de frecuencia variable. Una vez que se realiza el barrido de frecuencias, el osciloscopio almacena el resultado en un archivo y este es procesado por una computadora personal para obtener la curva característica de ganancia contra frecuencia.

2.2 Amplificadores operacionales

Los amplificadores operacionales son circuitos integrados que se pueden emplear para realizar tareas de amplificación, suma de señales y filtrado. En el diseño del amplificador Lock-In se emplean estos dispositivos para los circuitos electrónicos de control así como para la construcción de filtros pasa bajas y rechaza bandas.

Los amplificadores a emplear son TL082 de *Texas Instruments*, estos amplificadores de propósito general tienen las siguientes características principales [14]:

- Bajo nivel de CD de entrada.
- Bajo nivel de ruido de entrada.
- Alta impedancia de entrada.
- Amplio ancho de banda.

El bajo nivel de CD de entrada es conveniente porque a menor nivel de CD menor será el efecto de este voltaje en la señal amplificada, el bajo nivel de ruido siempre es una propiedad deseable en las etapas de amplificación, la alta impedancia permite la construcción de filtros y seguidores de voltaje sin afectar de manera significativa a la señal de interés y el amplio ancho de banda permite un amplio rango de frecuencias de la señal de interés.

2.2.1 Filtro rechaza bandas de 60 Hz

Los equipos electrónicos comúnmente se alimentan de un voltaje de corriente alterna de 50 o 60 Hz, este voltaje tiene un efecto negativo cuando se manipulan pequeñas señales ya que agrega una componente de ruido de esta frecuencia no deseada. Los filtros rechaza bandas son empleados para atenuar estas componentes de ruido no deseadas.

Para la construcción del amplificador Lock-In se considera un filtro rechaza bandas para atenuar el ruido de 60 Hz, la estructura del filtro se basa en un filtro VCVS (*Voltage-Controlled Voltage Source Filter*) [15].

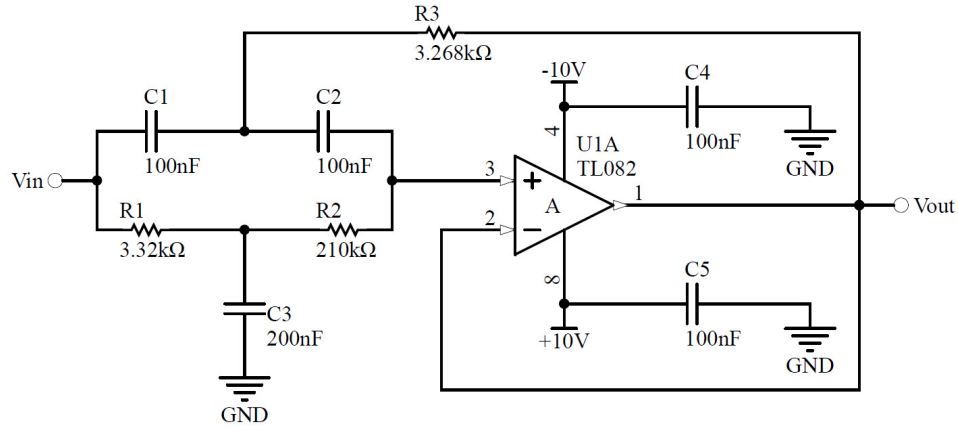


Figura 2.5 Circuito rechaza bandas de 60 Hz.

En la Figura 2.5 se muestra el circuito rechaza bandas de 60 Hz. Este circuito atenúa las señales en un cierto rango de frecuencias cercanas a 60 Hz y no afecta a las señales de frecuencia diferente a este rango.

En la ecuación anterior se toma en cuenta lo siguiente:

- $C_2 = C_1$
- $C_3 = 2C_1$
- $R_3 = R_1 || R_2$

La función de transferencia del circuito rechaza bandas está determinada por:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{s^2 + \frac{1}{R_1 R_2 C_1^2}}{s^2 + \frac{2}{R_2 C_1} s + \frac{1}{R_1 R_2 C_1^2}}. \quad (2.5)$$

La ecuación anterior permite hacer el análisis del cálculo de amplitud y fase de la señal de salida en función de la frecuencia de la señal de entrada. Para este caso la ecuación de ganancia se puede obtener mediante el siguiente procedimiento.

Al emplear los valores de los componentes del filtro y evaluando la ecuación (2.5) se obtiene:

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{s^2 + 143430.8663}{s^2 + 95.238s + 143430.8663}. \quad (2.6)$$

Las ecuaciones de magnitud y fase de la función de transferencia se obtienen mediante:

$$|H(s)| = \sqrt{Re^2\{H(s)\} + Im^2\{H(s)\}}, \quad (2.7)$$

$$\varphi(s) = \text{atan}\left(\frac{Im\{H(s)\}}{Re\{H(s)\}}\right). \quad (2.8)$$

Donde:

$Re\{H(s)\}$: Representa la parte real de $H(s)$.

$Im\{H(s)\}$: Representa la parte imaginaria de $H(s)$.

$|G(s)|$: Es la ecuación de magnitud de $H(s)$.

$\varphi(s)$: Es la ecuación de fase de $H(s)$.

Siendo $s = j\omega$, (ω , la frecuencia angular) la función $H(j\omega) \equiv H(s)$ esta determinada por:

$$H(j\omega) = \frac{(j\omega)^2 + 143430.8663}{(j\omega)^2 + 95.238j\omega + 143430.8663}, \quad (2.9)$$

$$H(j\omega) = \frac{143430.8663 - \omega^2}{143430.8663 - \omega^2 + 95.238\omega j}. \quad (2.10)$$

Sean $143430.8663 = a$ y $95.238 = b$, al multiplicar la ecuación anterior por el complejo conjugado del denominador, se puede obtener la parte real e imaginaria de $H(j\omega)$.

$$H(j\omega) = \frac{a - \omega^2}{a - \omega^2 + b\omega j} \times \frac{a - \omega^2 - b\omega j}{a - \omega^2 - b\omega j}, \quad (2.11)$$

$$H(j\omega) = \frac{(a - \omega^2)^2 - (a - \omega^2)b\omega j}{(a - \omega^2)^2 + (b\omega)^2}. \quad (2.12)$$

Luego entonces las partes real e imaginarias de $H(j\omega)$ son:

$$Re\{H(j\omega)\} = \frac{(a - \omega^2)^2}{(a - \omega^2)^2 + (b\omega)^2}, \quad (2.13)$$

$$Im\{H(j\omega)\} = \frac{-(a - \omega^2)b\omega}{(a - \omega^2)^2 + (b\omega)^2}. \quad (2.14)$$

La magnitud de $H(j\omega)$ está dada por:

$$|H(j\omega)| = \sqrt{\left(\frac{(a - \omega^2)^2}{(a - \omega^2)^2 + (b\omega)^2}\right)^2 + \left(\frac{-(a - \omega^2)b\omega}{(a - \omega^2)^2 + (b\omega)^2}\right)^2}, \quad (2.15)$$

$$|H(j\omega)| = \sqrt{\frac{(a - \omega^2)^2[(a - \omega^2)^2 + (b\omega)^2]}{[(a - \omega^2)^2 + (b\omega)^2]^2}}, \quad (2.16)$$

$$|H(j\omega)| = \frac{|(a - \omega^2)|}{\sqrt{(a - \omega^2)^2 + (b\omega)^2}}. \quad (2.17)$$

Mientras que la fase de $H(j\omega)$ está en función de:

$$\varphi(j\omega) = \text{atan}\left(\frac{-(a - \omega^2)b\omega}{(a - \omega^2)^2 + (b\omega)^2} \div \frac{(a - \omega^2)^2}{(a - \omega^2)^2 + (b\omega)^2}\right), \quad (2.18)$$

$$\varphi(j\omega) = \text{atan}\left(\frac{-(a - \omega^2)b\omega}{(a - \omega^2)^2}\right), \quad (2.19)$$

$$\varphi(j\omega) = \text{atan}\left(\frac{-b\omega}{(a - \omega^2)}\right). \quad (2.20)$$

Al sustituir los valores de a y b en las ecuaciones (2.17) y (2.20) se puede graficar la respuesta de la salida del filtro rechaza bandas en función de la frecuencia de la señal de entrada.

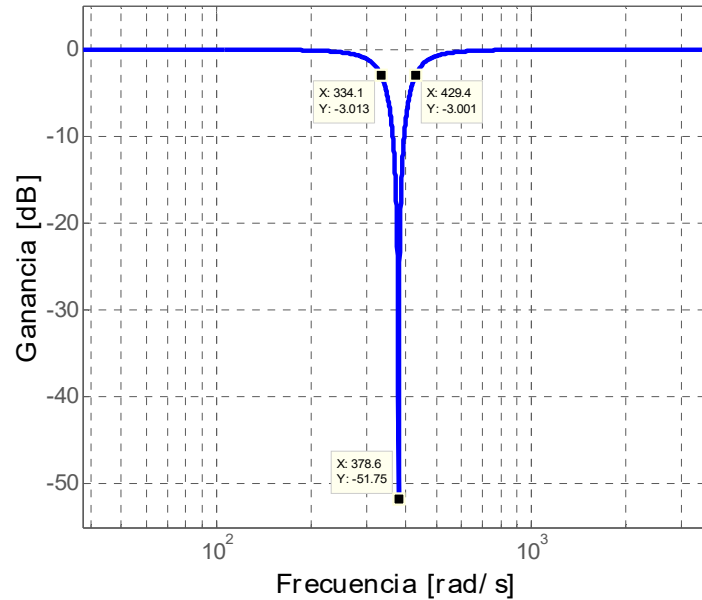


Figura 2.6 Gráfica de ganancia contra frecuencia del filtro rechaza bandas de 60 Hz.

En la Figura 2.6 se muestra la gráfica de ganancia contra frecuencia del filtro rechaza bandas. Se muestra la respuesta del sistema para un rango de frecuencia angular de 37.699 rad/s a 3769.911 rad/s que equivale a un rango de frecuencia cíclica de 6 a 600 Hz dado que $\omega = 2\pi f$ (f , la frecuencia cíclica). La escala horizontal es logarítmica y la ganancia se representa en decibels tomando como base la ecuación siguiente:

$$|H(j\omega)| = 20 \log_{10} \left(\frac{|(a - \omega^2)|}{\sqrt{(a - \omega^2)^2 + (b\omega)^2}} \right). \quad (2.21)$$

En la gráfica se resaltan dos puntos para los cuales la magnitud es de -3dB aproximadamente, estos puntos marcan el ancho de banda del filtro rechaza bandas, el cual está dado por la diferencia de estas frecuencias, es decir:

$$\text{ancho de banda} = (429.4 - 334.1) \text{ rad/s} = 95.3 \text{ rad/s} = 15.1674 \text{ Hz}. \quad (2.22)$$

La frecuencia de corte es a la cual se presenta la menor magnitud que para este caso es 378.6 rad/s aproximadamente que equivale a 60.25 Hz. De forma analítica la frecuencia de corte en base a la función de transferencia está dada por:

$$\omega_c^2 = 143430.8663 = a, \quad (2.23)$$

$$\omega_c = 378.7226 \text{ rad/s}, \quad (2.24)$$

$$f_c = 378.7226 / 2\pi \text{ Hz} = 60.2755 \text{ Hz}. \quad (2.25)$$

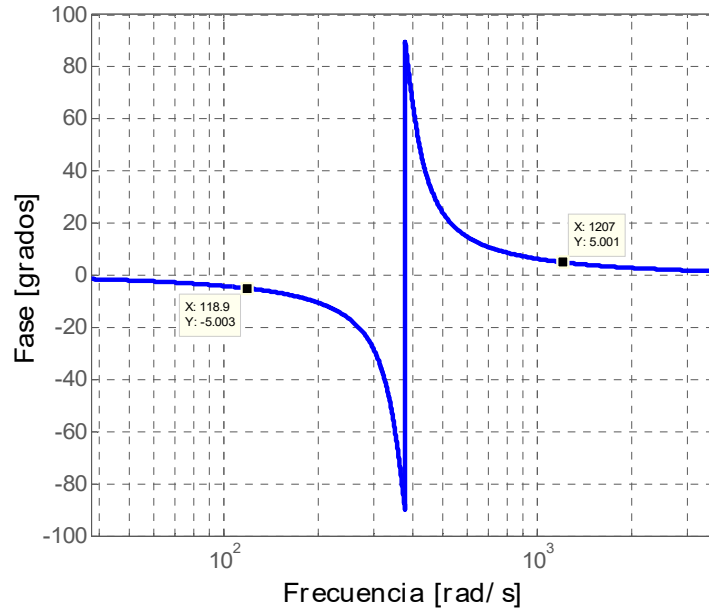


Figura 2.7 Gráfica de fase contra frecuencia del filtro rechaza bandas de 60 Hz.

En la Figura 2.7 se muestra la gráfica de fase contra frecuencia del filtro rechaza bandas. Se muestra la respuesta del filtro sobre el mismo rango de frecuencias de 6 a 600 Hz y la fase se muestra en grados.

En la gráfica se resaltan dos puntos para los cuales se tiene un desfase de 5 grados aproximadamente los cuales ocurren a las frecuencias angulares de 118.9 rad/s y 1207 rad/s lo cual equivale a las frecuencias cíclicas de 18.9 Hz y 192 Hz.

2.2.2 Filtro pasa bajas de 100 kHz

Tomando en cuenta el rango de frecuencias de la señal de entrada del amplificador Lock-In se emplea un filtro pasa bajas para eliminar las componentes por encima de estas frecuencias sin afectar a la señal de entrada.

Para la implementación del filtro pasa bajas se considera un filtro de primer orden para atenuar las frecuencias superiores a 100 kHz y no afectar a la señal de entrada en su rango de operación de 1 Hz a 10 kHz.

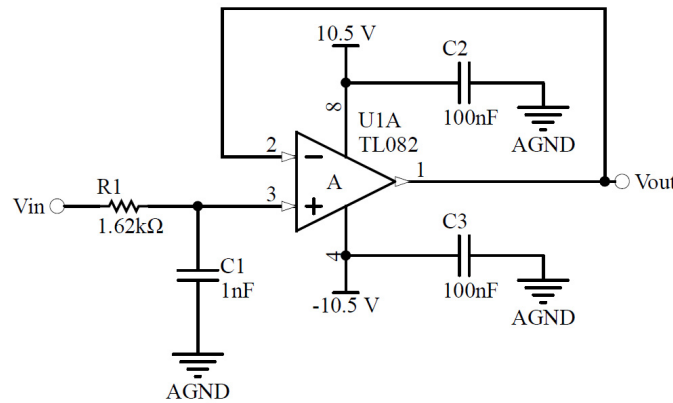


Figura 2.8 Circuito pasa bajas de 100 kHz.

En la Figura 2.8 se muestra el circuito pasa bajas de 100 kHz. Este filtro atenúa las componentes de corriente alterna cuya frecuencia sea superior a 100 kHz sin afectar el rango de operación del amplificador Lock-In.

La función de transferencia del circuito pasa bajas está dado por:

$$\frac{V_{out}}{V_{in}} = \frac{1}{s + \frac{1}{R_1 C_1}}. \quad (2.26)$$

El cálculo de las funciones de magnitud y fase se pueden calcular de forma análoga al filtro rechaza bandas. Al sustituir los valores de resistencia y capacitancia del filtro, la función de transferencia resulta en:

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{617283.9506}{s + 617283.9506}. \quad (2.27)$$

Al realizar el cambio de $s = j\omega$ se obtiene:

$$H(j\omega) = \frac{617283.9506}{j\omega + 617283.9506}. \quad (2.28)$$

Siendo $617283.9506 = a$, al multiplicar la ecuación anterior por el complejo conjugado del denominador se obtiene:

$$H(j\omega) = \frac{a}{a + j\omega} \times \frac{a - j\omega}{a - j\omega}, \quad (2.29)$$

$$H(j\omega) = \frac{a^2 - a\omega j}{a^2 + \omega^2}. \quad (2.30)$$

Luego entonces las partes real e imaginarias de $H(j\omega)$ son:

$$Re\{H(j\omega)\} = \frac{a^2}{a^2 + \omega^2}, \quad (2.31)$$

$$Im\{H(j\omega)\} = \frac{-a\omega}{a^2 + \omega^2}. \quad (2.32)$$

La magnitud de $H(j\omega)$ está dada por:

$$|H(j\omega)| = \sqrt{\left(\frac{a^2}{a^2 + \omega^2}\right)^2 + \left(\frac{-a\omega}{a^2 + \omega^2}\right)^2}, \quad (2.33)$$

$$|H(j\omega)| = \sqrt{\frac{a^2(a^2 + \omega^2)}{(a^2 + \omega^2)^2}}, \quad (2.34)$$

$$|H(j\omega)| = \frac{|a|}{\sqrt{(a^2 + \omega^2)}}. \quad (2.35)$$

Mientras que la fase de $H(j\omega)$ está en función de:

$$\varphi(j\omega) = \text{atan}\left(\frac{-a\omega}{a^2 + \omega^2} \div \frac{a^2}{a^2 + \omega^2}\right), \quad (2.36)$$

$$\varphi(j\omega) = \text{atan}\left(\frac{-(a^2 + \omega^2)a\omega}{(a^2 + \omega^2)a^2}\right), \quad (2.37)$$

$$\varphi(j\omega) = \text{atan}\left(-\frac{\omega}{a}\right). \quad (2.38)$$

Al sustituir el valor de a en las ecuaciones (2.35) y (2.38) se puede obtener la respuesta del filtro pasa bajas en función de la frecuencia de la señal de entrada.

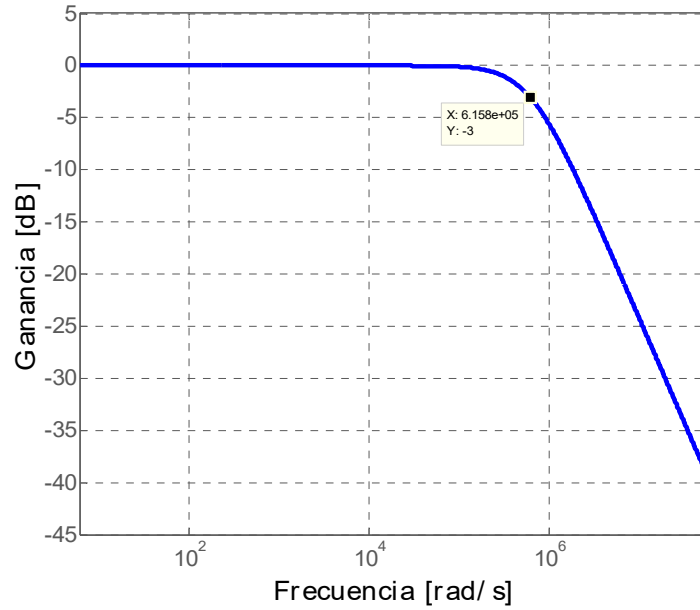


Figura 2.9 Gráfica de ganancia contra frecuencia del filtro pasa bajas de 100 kHz.

En la Figura 2.9 se muestra la gráfica de ganancia contra frecuencia del filtro pasa bajas. En la gráfica se muestra la respuesta del filtro en un rango de frecuencias angulares de 6.28 rad/s a 62.831×10^6 rad/s que equivale a un rango de frecuencia cíclica de 1 Hz a 10 MHz. El eje horizontal se grafica de forma logarítmica.

En la gráfica se resalta la frecuencia donde se tiene una magnitud de -3 dB aproximadamente, esta es la frecuencia de corte del filtro pasa bajas y su valor es de 6.158×10^5 rad/s lo que equivale a 98.007 kHz. De forma analítica la frecuencia de corte viene determinada por:

$$\omega_c = 617283.9506 \text{ rad/s} = a, \quad (2.39)$$

$$f_c = 617283.9506 / 2\pi \text{ Hz} = 98.243 \text{ kHz}. \quad (2.40)$$

Como puede observarse la diferencia entre la frecuencia de corte calculada y obtenida de forma gráfica son menores que el valor para el cual se diseña el filtro, esto sucede porque los valores de resistencia empleados son comerciales y no siempre coinciden con los valores deseados.

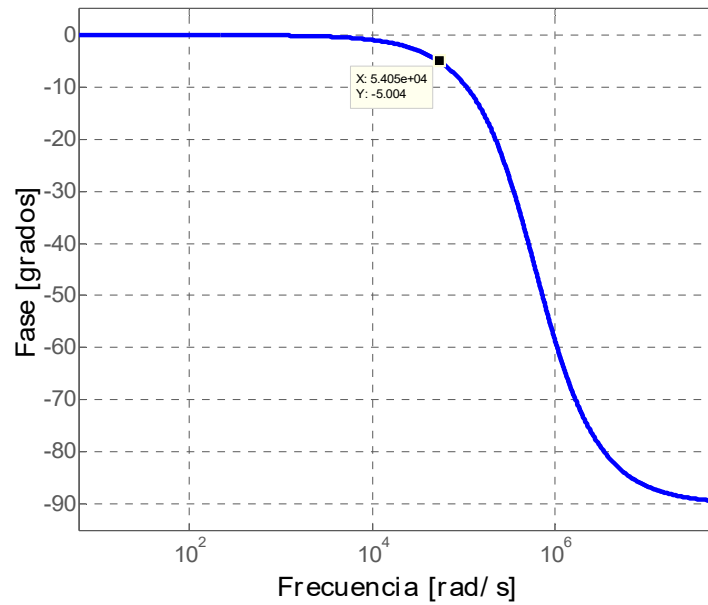


Figura 2.10 Gráfica de fase contra frecuencia del filtro pasa bajas de 100 kHz.

En la Figura 2.10 se muestra la gráfica de fase contra frecuencia del filtro pasa bajas de 100 kHz. Se emplea el mismo rango de frecuencias de 1 Hz a 10 MHz. La fase está en grados y el eje horizontal se grafica de forma logarítmica.

En la gráfica se resalta un punto en particular para la cual se tiene un desfase de 5 grados aproximadamente, este punto ocurre cuando la frecuencia angular es de 5.405×10^4 rad/s que equivale a una frecuencia cíclica de 8.6023 kHz.

2.2.3 Filtro pasa bajas de 0.1 Hz

Este filtro es el que se encarga de eliminar las componentes de CA después de la multiplicación de las señales de referencia y la pequeña señal amplificada.

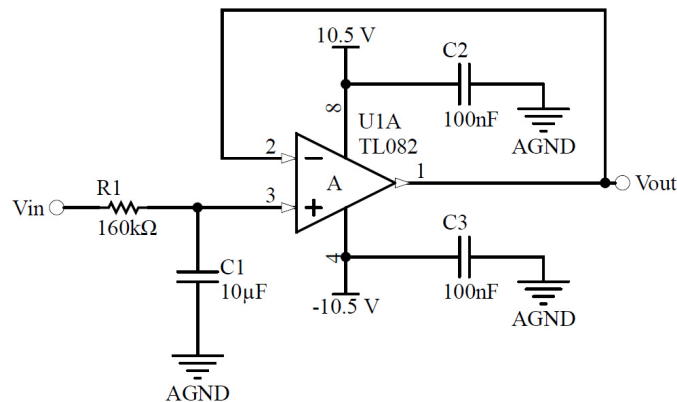


Figura 2.11 Circuito pasa bajas de 0.1 Hz.

En la Figura 2.11 se muestra el circuito pasa bajas de 0.1 Hz. La estructura de este filtro es la misma que el circuito pasa bajas de 100 kHz por lo cual sus funciones de magnitud y fase son idénticas, solo basta con reemplazar los valores de resistencia y capacitancia.

La función de magnitud está dada por:

$$|H(j\omega)| = \frac{0.625}{\sqrt{(0.625^2 + \omega^2)}} \quad (2.41)$$

Mientras que la función de fase está dada por:

$$\varphi(j\omega) = \text{atan}\left(-\frac{\omega}{0.625}\right). \quad (2.42)$$

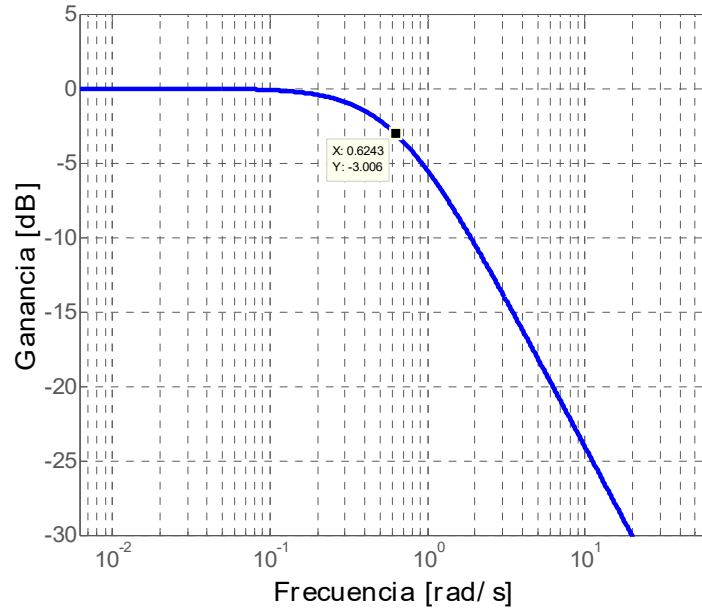


Figura 2.12 Gráfica de ganancia contra frecuencia del filtro pasa bajas de 0.1 Hz.

En la Figura 2.12 se muestra la gráfica de ganancia contra frecuencia del filtro pasa bajas de 0.1 Hz. Se muestra la respuesta del filtro para un rango de frecuencia angular de 0.00628 rad/s a 62.8318 rad/s que equivale a un rango de frecuencia cíclica de 0.001 Hz a 10 Hz.

En la gráfica se resalta la frecuencia de corte igual a 0.6243 rad/s aproximadamente que equivale a 0.09936 Hz, de forma analítica la frecuencia de corte está dada por:

$$\omega_c = 0.625 \text{ rad/s} = a, \quad (2.43)$$

$$f_c = 0.625/2\pi \text{ Hz} = 0.0995 \text{ kHz}. \quad (2.44)$$

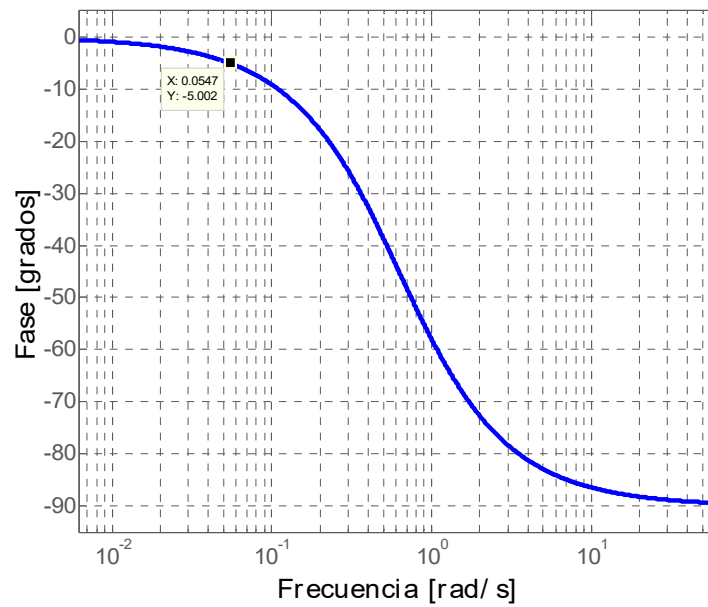


Figura 2.13 Gráfica de fase contra frecuencia del filtro pasa bajas de 0.1 Hz.

En la Figura 2.13 se muestra la gráfica de fase contra frecuencia del filtro pasa bajas de 0.1 Hz. de la misma manera se muestra la respuesta para un rango de frecuencia cíclica de 0.001 Hz a 10 Hz. En la gráfica se resalta la frecuencia para la cual se tiene un desfase de 5 grados, el valor de esta frecuencia es de 0.0547 rad/s que equivale a 0.008 Hz y a partir de esta frecuencia el valor de fase decrece de forma gradual, sin embargo, estas frecuencias son las que se desean eliminar y no es relevante este cambio de fase.

2.2.4 Filtro pasa altas de 0.1 Hz

Este filtro se encarga de eliminar las componentes de CD antes de la multiplicación de las señales de referencia con la pequeña señal amplificada. De esta manera las componentes de CD antes de la multiplicación no intervienen en el cálculo de amplitud y fase.

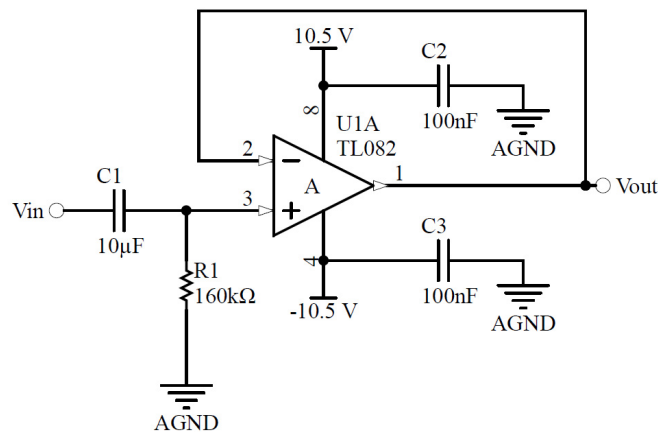


Figura 2.14 Circuito pasa altas de 0.1 Hz.

En la Figura 2.14 se muestra el circuito pasa altas de 0.1 Hz. este circuito se emplea para atenuar las componentes de CD sin afectar de forma severa a las componentes de CA antes de ser multiplicadas.

La función de transferencia del filtro pasa altas está determinada por:

$$\frac{V_{out}}{V_{in}} = \frac{s}{s + \frac{1}{R_1 C_1}}. \quad (2.45)$$

Al reemplazar los valores de resistencia y capacitancia la función de transferencia es:

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{s}{s + 0.625}. \quad (2.46)$$

Siendo $a=0.625$ y tomando en cuenta que $s = j\omega$ entonces la función de transferencia se puede representar de la manera siguiente:

$$H(j\omega) = \frac{j\omega}{j\omega + a} \times \frac{-j\omega + a}{-j\omega + a} = \frac{\omega^2 + a\omega j}{\omega^2 + a^2}. \quad (2.47)$$

Luego entonces la función de magnitud se obtiene mediante:

$$|H(j\omega)| = \sqrt{\left(\frac{\omega^2}{\omega^2 + a^2}\right)^2 + \left(\frac{a\omega}{\omega^2 + a^2}\right)^2}, \quad (2.48)$$

$$|H(j\omega)| = \sqrt{\frac{\omega^2(\omega^2 + a^2)}{(\omega^2 + a^2)^2}}, \quad (2.49)$$

$$|H(j\omega)| = \frac{|\omega|}{\sqrt{(\omega^2 + a^2)}}. \quad (2.50)$$

Mientras que la función de fase se obtiene mediante:

$$\varphi(j\omega) = \text{atan}\left(\frac{a\omega}{\omega^2 + a^2} \div \frac{\omega^2}{\omega^2 + a^2}\right), \quad (2.51)$$

$$\varphi(j\omega) = \text{atan}\left(\frac{(\omega^2 + a^2)a\omega}{(\omega^2 + a^2)\omega^2}\right), \quad (2.52)$$

$$\varphi(j\omega) = \text{atan}\left(\frac{a}{\omega}\right). \quad (2.53)$$

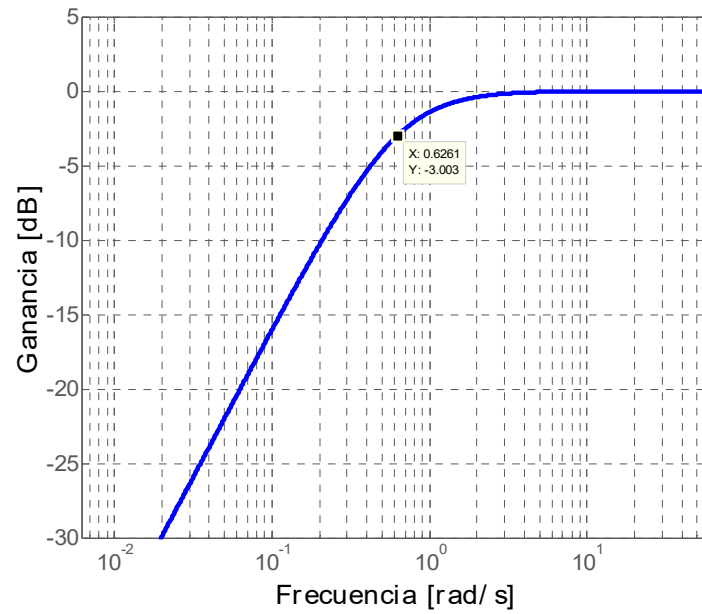


Figura 2.15 Gráfica de ganancia contra frecuencia del filtro pasa altas de 0.1 Hz.

En la Figura 2.15 se muestra la gráfica de ganancia contra frecuencia del filtro pasa altas de 0.1 Hz. se resalta la frecuencia de corte igual a 0.6261 rad/s que es igual a 0.0996 Hz.

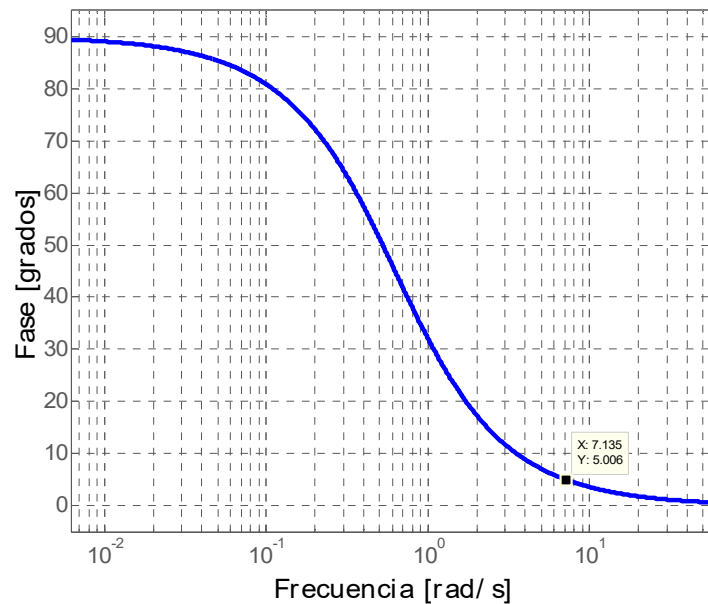


Figura 2.16 Gráfica de fase contra frecuencia del filtro pasa altas de 0.1 Hz.

En la Figura 2.16 se muestra la gráfica de fase contra frecuencia del filtro pasa altas de 0.1 Hz. Se resalta la frecuencia para la cual se tiene un desfase de 5 grados en 7.135 rad/s que equivale a 1.1355 Hz.

2.2.5 Amplificador de ganancia programable

Para implementar los circuitos electrónicos de control se emplean amplificadores de ganancia programable. Estos amplificadores están diseñados mediante amplificadores operacionales en su configuración de amplificadores inversores y su ganancia se modifica mediante potenciómetros digitales en su configuración de resistencia variable.

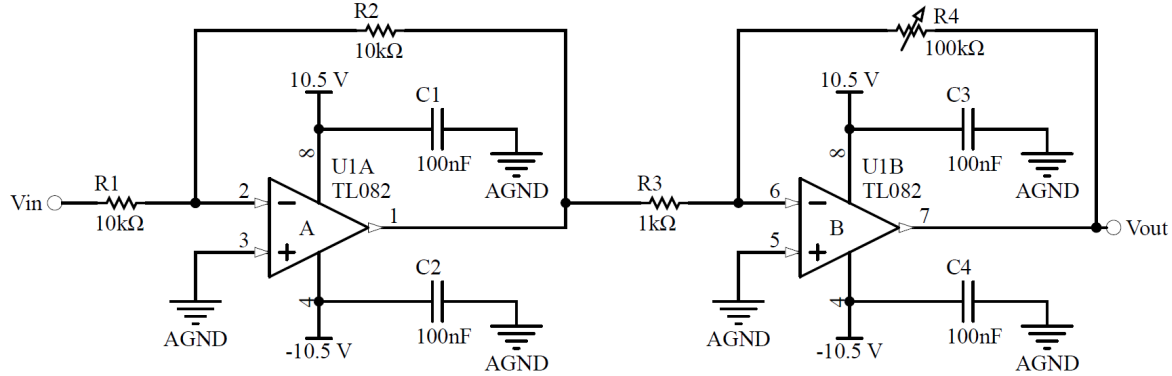


Figura 2.17 Circuito amplificador de ganancia programable.

En la Figura 2.17 se muestra el circuito amplificador de ganancia programable. El circuito emplea dos amplificadores inversores para obtener una ganancia positiva, el resistor variable R_4 modifica la ganancia del circuito hasta un valor máximo de 100.

La función de salida del circuito está dado por:

$$V_{out} = \frac{R_2 R_4}{R_1 R_3} V_{in}. \quad (2.54)$$

Las resistencias R_1 y R_2 son iguales por lo cual las ganancias que se pueden obtener están en función del resistor variable R_4 y R_3 . Las ganancias que se pueden configurar con este circuito están en función de las resistencias que se pueden obtener mediante el potenciómetro digital. Más adelante se describe la operación de este dispositivo.

De forma similar que con los amplificadores de instrumentación, la respuesta de la ganancia configurada en función de la frecuencia debe de ser caracterizada para asegurar que la ganancia configurada sea uniforme sobre el rango de frecuencias de operación del amplificador Lock-In.

2.2.6 Derivador de ganancia programable

Para implementar el circuito corredor de fase se emplea un derivador de ganancia programable y un amplificador de ganancia programable. El derivador de ganancia programable tiene una configuración muy similar al anterior solo que difiere por el cambio de una resistencia por un capacitor para realizar la tarea de derivación.

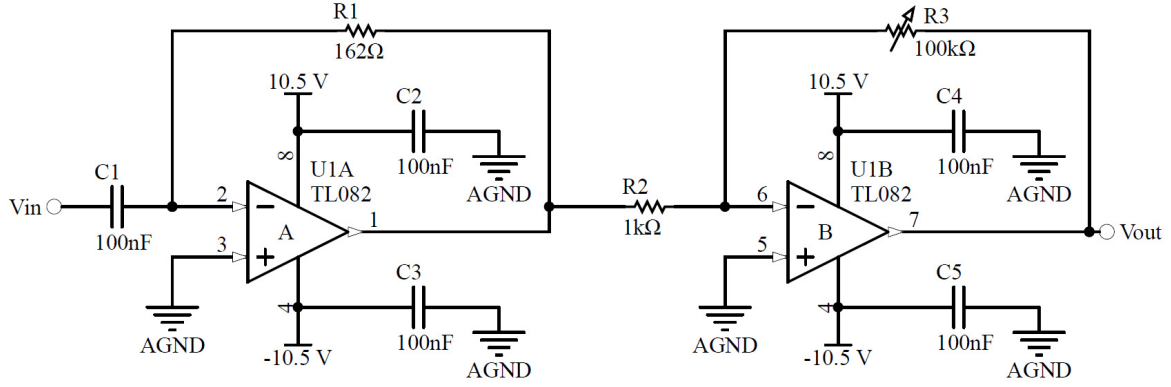


Figura 2.18 Circuito derivador de ganancia programable.

En la Figura 2.18 se muestra el circuito derivador de ganancia programable. El derivador configurado en el primer amplificador operacional (U1A) introduce una ganancia que afecta a la ganancia final del circuito por lo cual se debe considerar.

La función de salida del circuito está dada por:

$$V_{out} = \frac{R_1 C_1 R_3}{R_2} \frac{d}{dt} V_{in}. \quad (2.55)$$

Este circuito es empleado en la obtención de la segunda señal de referencia y por este motivo su entrada es siempre una señal sinusoidal. Tomando en cuenta este hecho, el operador de derivación tiene un efecto en particular sobre esta señal sinusoidal.

Siendo el voltaje de entrada una señal sinusoidal, la función de salida es equivalente a:

$$V_{out} = \frac{R_1 C_1 R_3}{R_2} \frac{d}{dt} (V_r \sin(\omega_r t + \phi_r)). \quad (2.56)$$

Al resolver la derivada, se encuentra la función de salida final que es igual a:

$$V_{out} = \frac{R_1 C_1 R_3 V_r \omega_r}{R_2} \cos(\omega_r t + \phi_r). \quad (2.57)$$

Al reemplazar los valores de capacitancia y resistencia se obtiene:

$$V_{out} = \frac{16 \times 10^{-6} R_3 V_r \omega_r}{R_2} \cos(\omega_r t + \phi_r). \quad (2.58)$$

Como puede observarse en la ecuación anterior, la ganancia se ve afectada además de los valores de resistencia y capacitancia por la frecuencia de la señal de entrada, es decir, la ganancia está en función de la frecuencia de la señal de entrada.

Tomando en cuenta el rango de frecuencia de la señal de entrada, la ganancia del circuito debida a la frecuencia de la señal de entrada tiene un rango de 2π a $2\pi \times 10^4$.

2.2.7 Sumador inversor y comparador

Para introducir la señal de referencia al FPGA es necesario convertir la señal de referencia de entrada continua en una señal digital. El circuito sumador inversor y comparador se encarga de realizar esta tarea.

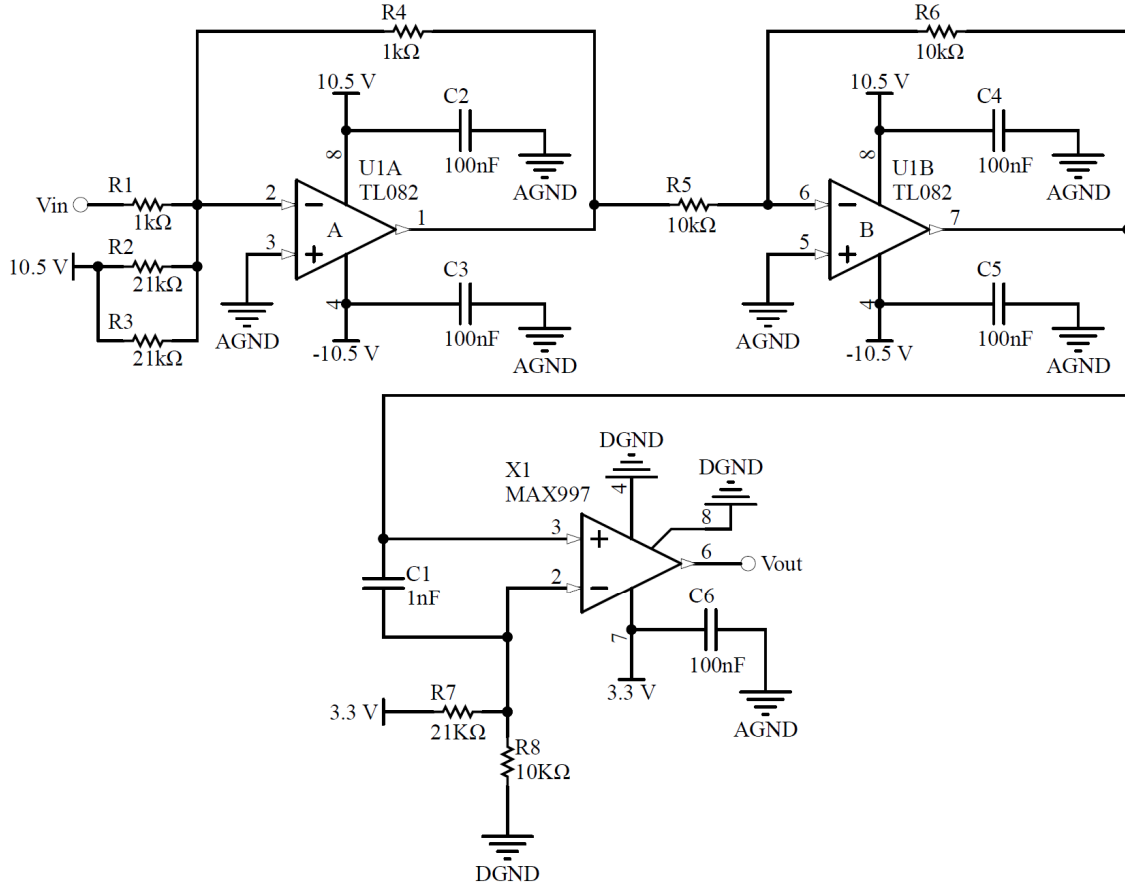


Figura 2.19 Circuito sumador inversor y comparador.

En la Figura 2.19 se muestra el circuito sumador inversor y comparador. El primer amplificador operacional (U1A) se configura para invertir la señal de referencia y sumar -1 V, luego el segundo amplificador (U1B) invierte este resultado para mantener voltajes positivos y el comparador (X1) transforma el resultado en una señal cuadrada.

La función de salida del circuito anterior está dada por:

$$V_{out} = \begin{cases} 3.3 & \text{si } \frac{R_4}{R_1} V_{in} + 10.5 \frac{R_4(R_2 + R_3)}{R_2 R_3} > 3.3 \frac{R_8}{R_7 + R_8} \\ 0 & \text{si } \frac{R_4}{R_1} V_{in} + 10.5 \frac{R_4(R_2 + R_3)}{R_2 R_3} < 3.3 \frac{R_8}{R_7 + R_8} \end{cases} \quad (2.59)$$

La ecuación anterior se simplifica reemplazando los valores de resistencia y capacitancia dando como resultado la siguiente expresión:

$$V_{out} = \begin{cases} 3.3 & \text{si } V_{in} > 0.064 \\ 0 & \text{si } V_{in} < 0.064 \end{cases} \quad (2.60)$$

2.3 Potenciómetros digitales

En el diseño del amplificador Lock-In los potenciómetros digitales son empleados para ajustar la ganancia de los amplificadores mediante el FPGA. Esto es importante porque la ganancia puede ser modificada de forma digital con una acción de control que provocada por el FPGA.

Los potenciómetros digitales son circuitos integrados que son controlados digitalmente y pueden ser usados para ajustar voltaje y corriente de forma similar a un potenciómetro mecánico. *Texas Instruments* y *Analog Devices* ofrecen diferentes potenciómetros digitales que pueden ser controlados con diferentes interfaces pero el AD5292 de *Analog Devices* es el potenciómetro digital que posee una mayor resolución en cuanto al número de pasos de resistencia y está disponible en diferentes valores de resistencia.

El AD5292 es un potenciómetro digital que tiene la posibilidad de seleccionar 1024 diferentes valores de resistencia mediante el cambio de posición de la terminal W del potenciómetro, este dispositivo tiene una resistencia nominal entre sus terminales A y B de (20, 50, 100) kΩ. El dispositivo se controla mediante el protocolo serial compatible con SPI con una frecuencia de reloj máxima de 50 MHz. A continuación se muestra el diagrama a bloques funcional del dispositivo (Figura 2.20).

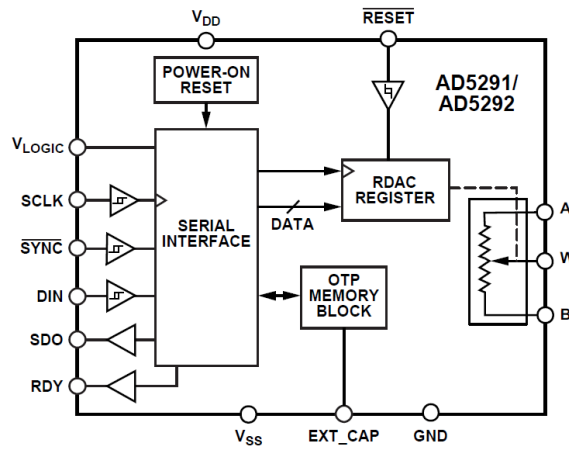


Figura 2.20 Diagrama a bloques del AD5292.

En la Figura 2.20 se muestra el diagrama a bloques del AD5292, se observan las terminales de control del protocolo serial (SCLK, SYNC, DIN, SDO, RDY) las terminales de alimentación (V_{LOGIC} , V_{DD} , V_{SS} , GND) y las terminales propias del potenciómetro (A, W, B) además la terminal de RESET y una terminal dedicada para un capacitor externo (EXT_CAP).

El AD5292 se controla mediante el protocolo serial empleando un registro de 16 bits, este registro consiste de dos bits que no se emplean en la configuración del dispositivo (DB15-DB14), cuatro bits de control (DB13-DB10) y 10 bits de datos (DB9-DB0). A continuación se muestra el registro empleado por el protocolo (Figura 2.21).

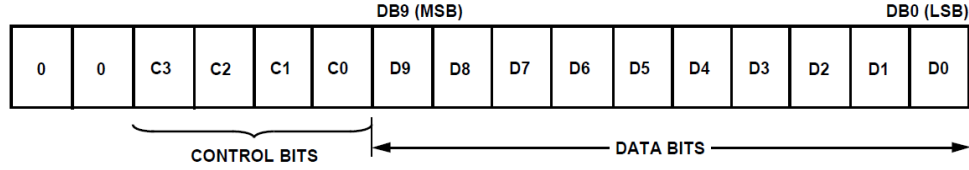


Figura 2.21 Registro empleado por el protocolo de comunicación.

Para realizar la configuración del potenciómetro digital se inicia la comunicación cuando la señal SYNC se activa, para este caso un cero lógico, esta señal debe permanecer en este estado hasta que se termine la transferencia del registro de configuración. La palabra digital es decodificada de acuerdo a los comandos de la Tabla 2.2. El dispositivo cuenta con un contador interno que cuenta múltiplos de 16 para decodificar los datos recibidos, si antes de recibir los 16 datos de desactiva SYNC los datos son ignorados.

Tabla 2.2 Tabla de comandos del AD5292.

Comando	Bits de comando				Bits de datos										Operación
	C3	C2	C1	C0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	Hacer nada
1	0	0	0	1	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Escribir a RDAC
2	0	0	1	0	X	X	X	X	X	X	X	X	X	X	Leer RDAC
3	0	0	1	1	X	X	X	X	X	X	X	X	X	X	Guardar RDAC a 20-TP
4	0	1	0	0	X	X	X	X	X	X	X	X	X	X	Actualizar con 20-TP
5	0	1	0	1	X	X	X	X	X	D4	D3	D2	D1	D0	Leer contenido 20-TP
6	0	1	1	0	X	X	X	X	X	X	D3	D2	D1	D0	Escribir a registro control
7	0	1	1	1	X	X	X	X	X	X	X	X	X	X	Leer registro de control
8	1	0	0	0	X	X	X	X	X	X	X	X	X	D0	Apagar software

En la Tabla 2.2 se muestran los comandos empleados para configurar el dispositivo, la selección del comando a emplear se realiza mediante los bits (DB13-DB10) y los bits de datos (DB9-DB0) se emplean para indicar un ajuste del comando en cuestión (X=no importa).

Tabla 2.3 Función del registro de control del AD5292.

Bit	Descripción
C0	Habilitar programación 20-TP 0=deshabilitado (por defecto) 1=habilitar
C1	Protección del registro RDAC 0=habilitado (por defecto) 1=deshabilitado
C2	Selección del modo de calibración 0=modo de rendimiento de resistencia 1=modo normal
C3	Verificar escritura 20-TP 0=no realizada 1=realizada

En la Tabla 2.3 se muestra la función de cada bit del registro de control del AD5292, para realizar un cambio en el dispositivo es necesario analizar este registro para asegurar que se puedan realizar los cambios necesarios. La modificación de este registro se realiza mediante el comando 6 mostrado en la Tabla 2.2. El dispositivo se puede configurar para que al alimentarlo o al inicializarlo tenga una resistencia fija configurable hasta 20 ocasiones (20-TP, *20-times programmable*).

Para ajustar la terminal W del potenciómetro digital y posicionarlo para obtener una resistencia en específico se requiere modificar dos registros del dispositivo (RDAC y el registro de control). Para realizar estas modificaciones se emplean los comandos 6 (Escribir a registro de control) y 2 (escribir a RDAC). A continuación se muestra una descripción de ejemplo de la modificación a los registros para ajustar un valor de resistencia específico.

Para ejecutar los comandos de la Tabla 2.2 en el dispositivo es necesario respetar los diagramas de tiempo del protocolo serial compatible con SPI. A continuación se muestra el diagrama de tiempo de escritura del AD5292 (Figura 2.22).

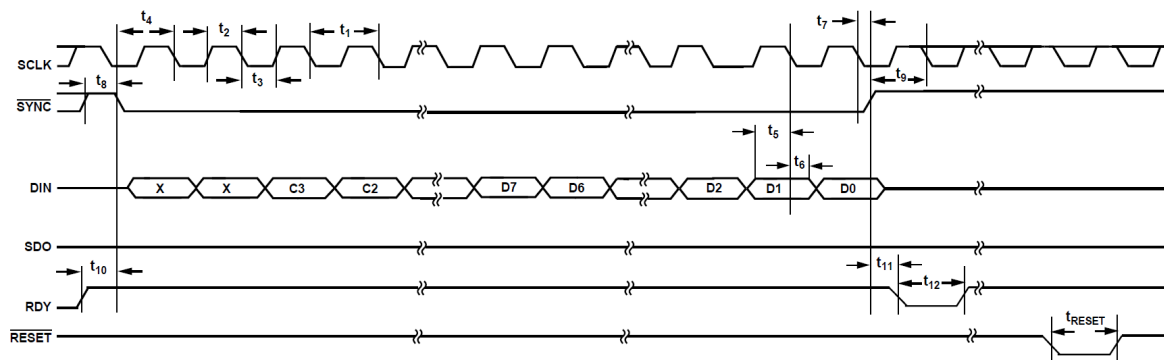


Figura 2.22 Diagrama de tiempos de escritura del registro de configuración.

En la Figura 2.22 se muestra el diagrama de tiempo de un ciclo de escritura del registro de configuración del AD5292. La transferencia inicia cuando la señal SYNC se activa en un nivel bajo y permanece en ese estado durante 15 ciclos de reloj y se desactiva en el ciclo número 16, los datos son validados mediante un flanco de bajada del ciclo de reloj.

Tabla 2.4 Descripción de los tiempos mínimos del AD5292.

Parámetro	Limite	Unidad	Descripción
t_1	20	ns min	Tiempo de ciclo de SCLK
t_2	10	ns min	Tiempo de ciclo de SCLK en alto
t_3	10	ns min	Tiempo de ciclo de SCLK en bajo
t_4	10	ns min	Tiempo de flanco de bajada de SYNC a SCLK
t_5	5	ns min	Tiempo de configuración de dato
t_6	5	ns min	Tiempo de retención de dato
t_7	1	ns min	Flanco de bajada de SCLK a flanco de subida de SYNC
t_8	400	ns min	Tiempo mínimo en alto de SYNC
t_9	14	ns min	Flanco de subida de SYNC al sig. flanco de bajada de SCLK
t_{10}	1	ns min	Flanco de subida RDY a flanco de bajada SYNC
t_{11}	40	ns min	Flanco de subida SYNC a flanco de bajada RDY
t_{12}	2.4	μ min	Tiempo en bajo RDY, escritura de RDAC (Rend. resistencia)

En la Tabla 2.4 se muestra la descripción de los tiempos mínimos requeridos por el protocolo de comunicación del AD5292, para controlar el dispositivo es necesario respetar estos tiempos al momento de desarrollar el firmware de control del dispositivo.

2.3.1 Modificación del registro de control

Para modificar este registro se requiere enviar el comando 6 mediante el registro de configuración, la palabra para este comando en base a la Tabla 2.2 es $(0001\ 10XX\ XXXX\ D3D2D1D0)_2$, para simplificar la palabra los términos no importa se toman como ‘0’ y en base a la Tabla 2.3 se configura:

- C0=0: Deshabilitar la programación 20-TP.
- C1=1: Deshabilitar la protección de escritura del registro RDAC.
- C2=0: Modo de rendimiento de resistencia.
- C3=0: Escritura a 20-TP no realizada.

De esta manera la palabra digital de configuración es $(0001\ 1000\ 0000\ 0010)_2$ que equivale a $(1802)_{16}$.

2.3.2 Modificación del registro RDAC

Para modificar este registro se requiere enviar el comando 1 mediante el registro de configuración, la palabra para este comando con base en la Tabla 2.2 es $(0000\ 01D9D8\ D7D6D5D4\ D3D2D1D0)_2$, supóngase que para este ejemplo se configura una palabra de la mitad del valor máximo que puede tener RDAC, es decir 512, la palabra a escribir es entonces $(0000\ 0110\ 0000\ 0000)_2$ que equivale a $(0600)_{16}$. Con este valor la terminal W del potenciómetro se posiciona a la mitad del valor total de la resistencia del dispositivo.

En base a la resistencia nominal del AD5292 entre las terminales A y B, se pueden obtener 1024 puntos de derivación que pueden ser configurados mediante la terminal W. la salida de resistencia digitalmente programada entre las terminales W y A, R_{WA} , y entre las terminales W y B, R_{WB} es internamente calibrada para otorgar un error máximo del 1% de resistencia.

La ecuación que determina la salida de resistencia digitalmente programada del AD5292 entre las terminales W y B es:

$$R_{WB}(D) = \frac{D}{1023} \times R_{AB} + R_W \quad (2.61)$$

Donde:

- D: Es el equivalente decimal de la palabra configurada al registro RDAC.
- R_{AB} : Es la resistencia nominal del potenciómetro digital.
- R_W : Es la resistencia nominal de la terminal W.

De forma idéntica a la de un potenciómetro mecánico, la resistencia entre las terminales W y A es complementaria y su salida de resistencia en función de la palabra configurada en el registro RDAC está dada por:

$$R_{WA}(D) = \frac{(1024 - D)}{1024} \times R_{AB} + R_W. \quad (2.62)$$

Cuando se configura una resistencia muy pequeña ya sea entre RWA o RWB se tiene una resistencia propia de la terminal W de 100Ω [16]. Es importante tener en cuenta que este dispositivo tiene un límite de corriente de 3mA entre las terminales A y B, entre las terminales A y W y entre las B y W.

2.3.3 Caracterización de los potenciómetros digitales

Para garantizar que la ganancia ajustada por el FPGA mediante el potenciómetro digital sea la que se configura es necesario caracterizar el potenciómetro digital. Para realizar esta tarea se emplea un circuito inversor de voltaje mediante un amplificador operacional.

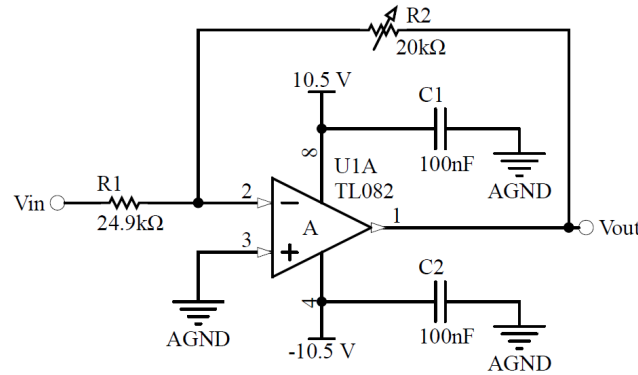


Figura 2.23 Circuito de caracterización del potenciómetro digital.

En la Figura 2.23 se muestra el circuito de caracterización del potenciómetro digital. El circuito es un amplificador inversor con la resistencia de retroalimentación configurada mediante el potenciómetro digital en su configuración de resistor variable.

La función de salida del circuito está dada por:

$$V_{out} = -\frac{R_2}{R_1} V_{in}. \quad (2.63)$$

En teoría los potenciómetros digitales tienen un cambio de resistencia lineal en función del valor de la palabra digital que configura su resistencia, sin embargo, el potenciómetro en su configuración de resistor variable presenta una resistencia por defecto, la cual debe de ser medida así como los cambio de resistencia por cada cambio de bit en la palabra de configuración de resistencia.

Para controlar el potenciómetro mediante el FPGA se realiza el firmware de control y mediante un contador se realiza ajusta la resistencia del potenciómetro en incrementos uniformes. La respuesta esperada es una respuesta lineal conforme al cambio de resistencia, es decir, cada incremento de resistencia debe corresponder al mismo incremento en voltaje.

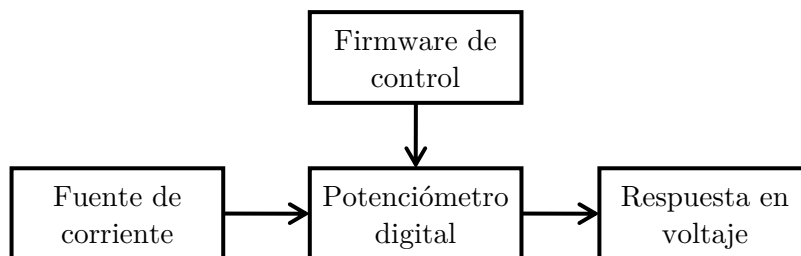


Figura 2.24 Diagrama a bloques del proceso de caracterización del potenciómetro digital.

En la Figura 2.24 se muestra el diagrama a bloques del proceso de caracterización del potenciómetro digital. Para la caracterización de este dispositivo es necesario emplear el FPGA donde se genera un código para configurar el comportamiento del potenciómetro en base a su principio de operación.

2.4 Convertidores analógico-digital

Para implementar los circuitos electrónicos de control es necesario que el FPGA procese la amplitud actual de cada lazo de control y para ello se emplean los convertidores analógico-digital. El convertidor a emplear deber ser lo suficientemente rápido para poder muestrear la señal de más alta frecuencia que puede entrar al amplificador es decir 10 kHz.

El AD7440 es un convertidor analógico-digital que emplea la técnica de aproximaciones sucesivas (SAR, *Successive Approximation Register*). El dispositivo puede operar con un voltaje de alimentación de 3.3 V y se puede obtener un período de muestreo de hasta una mega muestra por segundo [17].

Para ajustar el rango de los voltajes de entrada del AD7440, se dispone de una terminal en la cual se introduce el voltaje de referencia (V_{REF}) el cual puede ser variado de 100 mV hasta 3.5 en función del voltaje de alimentación del dispositivo.

El proceso de conversión del AD7440 es controlado mediante una terminal de sincronización (CS) y la señal de reloj. La adquisición inicia cuando esta señal produce un flanco de bajada y en ese instante se inicia la conversión del voltaje de entrada. Esto permite que el dispositivo pueda ser controlador mediante el FPGA al generar las señales de sincronización y reloj.

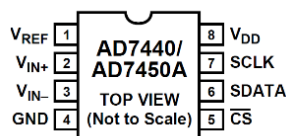


Figura 2.25 Disposición de terminales del AD7440.

En la Figura 2.25 se muestra la disposición de terminales del AD7440. La señal de entrada a ser procesada es una señal diferencial que se introduce en las terminales V_{IN+} y V_{IN-} . Las señales SCLK, SDATA y CS son las que se encargan de controlar el dispositivo mediante el protocolo SPI (*Serial Peripheral Interface*).

El resultado de la conversión del dispositivo es un código binario de 10 bits en complemento a dos. El resultado está en función del voltaje de entrada y el voltaje de referencia aplicados.

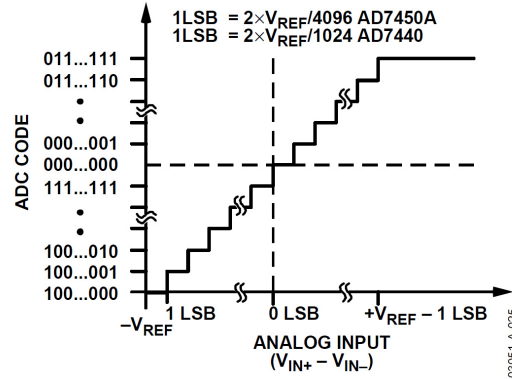


Figura 2.26 Respuesta ideal del AD7440.

En la Figura 2.26 se muestra la respuesta ideal del AD7440. Cuando se tiene un voltaje de entrada negativo, el bit más significativo del código de respuesta es 1, mientras que un voltaje de entrada positivo provoca que el bit más significativo sea 0.

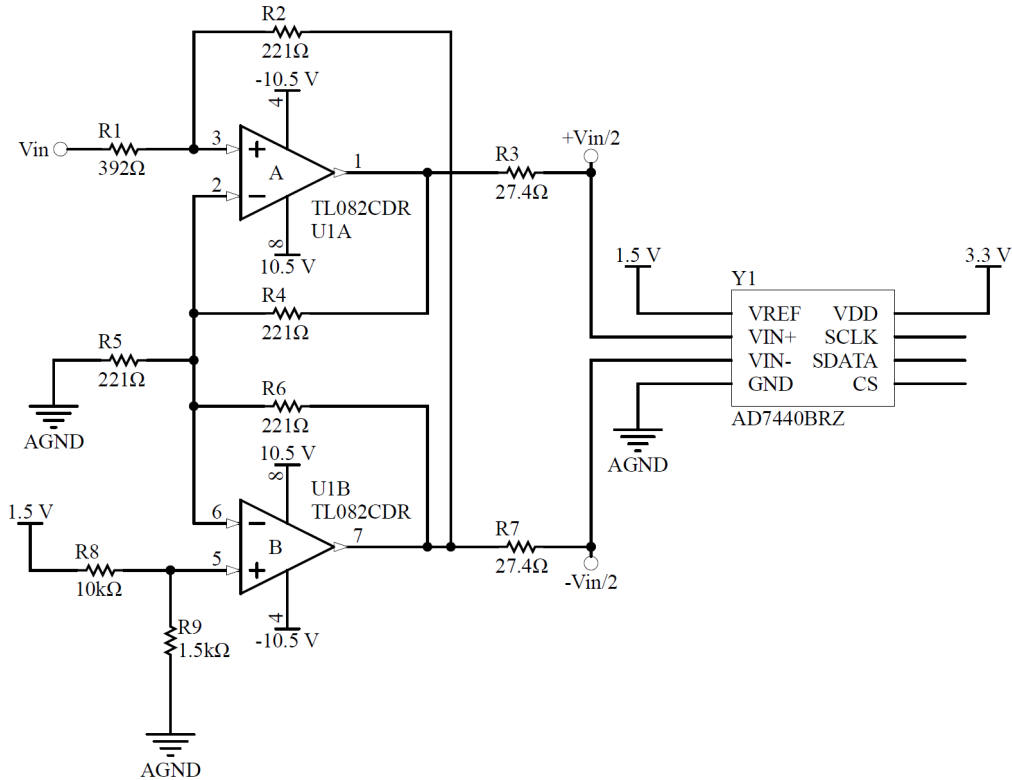


Figura 2.27 Circuito de conversión de una señal bipolar a una señal diferencial.

En la Figura 2.27 se muestra el circuito de conversión de una señal bipolar a una señal diferencial. Este circuito es necesario para acoplar las señales que se manejan en el amplificador Lock-In y el convertidor pueda realizar la conversión de manera adecuada.

2.4.1 Especificaciones de tiempo

Para controlar el AD7440 es necesario conocer los diagramas de tiempo que se tienen que llevar a cabo para iniciar la conversión y manipular el resultado de forma adecuada.

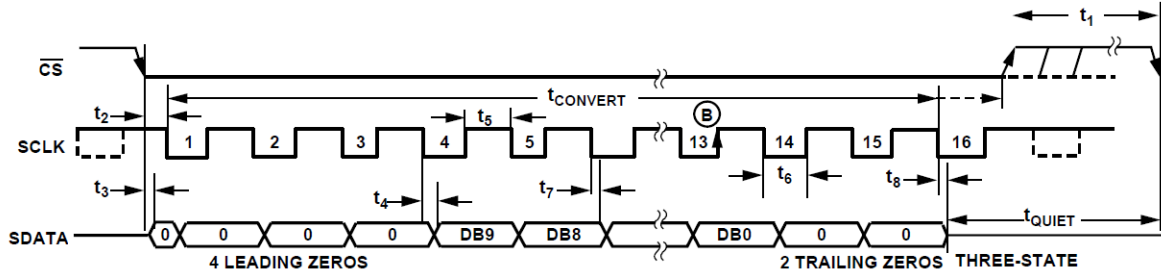


Figura 2.28 Diagrama de tiempos del proceso de conversión del AD7440.

En la Figura 2.28 se muestra el diagrama de tiempos del proceso de conversión del AD7440. Como puede observarse se requiere solo de tres señales para iniciar la conversión y obtener el resultado. A continuación se describe la operación del AD7440.

El flanco de bajada de CS inicia el proceso de conversión, la entrada es muestreada y el proceso de conversión requiere 16 ciclos de reloj de la señal SCLK. En los siguientes 4 flancos de bajada la señal SDATA permanece en 0 y en los siguientes 10 flancos de bajada se obtiene el resultado de la conversión empezando por el bit más significativo, finalmente en los últimos 2 ciclos de reloj la señal SDATA permanece en 0. Durante los 16 ciclos de reloj la señal CS debe permanecer en 0 de lo contrario el proceso de conversión se interrumpe.

Tabla 2.5 Especificaciones de tiempo del AD7440.

Parámetro	Limite	Unidad	Descripción
t_{sclk}	100	ns max	Tiempo de ciclo máximo de SCLK.
	55	ns min	Tiempo de ciclo mínimo de SCLK.
$t_{convert}$	888	ns max	Tiempo del proceso de conversión.
t_{quiet}	60	ns min	Tiempo de espera mínimo entre la lectura y la sig. Conversión.
t_1	10	ns min	Tiempo de ciclo mínimo de CS.
t_2	10	ns min	Tiempo de estabilización entre activación de CS y SCLK.
t_3	20	ns max	Retardo de desactivación de tri-estado de SDATA.
t_4	40	ns max	Tiempo de acceso al dato después de activación de SCLK.
t_5	$0.4t_{sclk}$	ns min	Ancho de pulso en alto de SCLK.
t_6	$0.4t_{sclk}$	ns min	Ancho de pulso en bajo de SCLK.
t_7	10	ns min	Tiempo de retención de dato válido.
t_8	10	ns min	Retardo de activación de tri-estado de SDATA.
	35	ns max	Retardo de activación de tri-estado de SDATA.
$t_{power-up}$	1	μ max	Tiempo de encendido desde power-down completo.

2.4.2 Proceso de conversión

Como se mencionó anteriormente el proceso de conversión inicia cuando se activa la señal CS, es decir, cuando esta señal tiene un flanco de bajada. El tiempo de procesamiento completo consiste de un tiempo de conversión y un tiempo de espera. A continuación se presenta el ejemplo de un proceso de conversión para mostrar el empleo del convertidor.

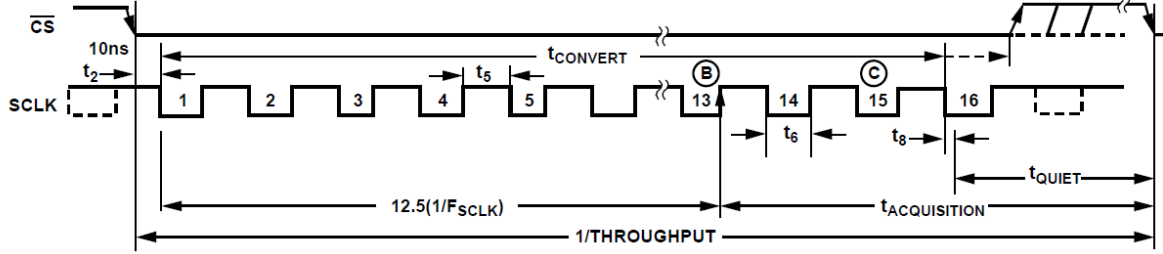


Figura 2.29 Ejemplo del proceso de conversión del AD7440.

En la Figura 2.29 se muestra un ejemplo del proceso de conversión del AD7440. En el diagrama se muestran los tiempos en base a la señal de reloj SCLK. A continuación se presentan los cálculos realizados para realizar el proceso de conversión para un muestreo de una mega muestra por segundo.

Tomando en cuenta una señal de reloj de SCLK de 18 MHz y en base la figura anterior, el tiempo de un proceso de conversión está dado por:

$$1 \mu s = t_2 + 12.5 \frac{1}{F_{SCLK}} + t_{ACQ}. \quad (2.64)$$

Donde:

t_2 : Es el tiempo de estabilización entre la activación de CS y SCLK.

F_{SCLK} : Es la frecuencia de la señal de reloj, 18 MHz para este caso.

t_{ACQ} : Es el tiempo de adquisición del resultado de la conversión mayor a 290 ns.

Luego entonces si se toma t_2 igual a 10 ns entonces se tiene que:

$$t_{ACQ} = 1 \mu s - t_2 - 12.5 \frac{1}{F_{SCLK}}, \quad (2.65)$$

$$t_{ACQ} = 295 \text{ ns}. \quad (2.66)$$

Lo cual es mayor a 290 ns, cumpliendo con el tiempo mínimo de 290 ns. Por otra parte se tiene que:

$$t_{ACQ} = 2.5 \frac{1}{F_{SCLK}} + t_8 + t_{QUIET}. \quad (2.67)$$

Considerando el tiempo máximo de t_8 igual a 35 ns entonces:

$$t_{QUIET} = t_{ACQ} - 2.5 \frac{1}{F_{SCLK}} - t_8, \quad (2.68)$$

$$t_{QUIET} = 122 \text{ ns}. \quad (2.69)$$

Lo cual es mayor a 60 ns, cumpliendo con el tiempo mínimo de t_{quiet} .

2.5 Multiplicador analógico

Para realizar la multiplicación de las señales de referencia con la pequeña señal amplificada se requiere de un circuito integrado que implemente la multiplicación entre dos señales de forma analógica.

El MPY634 es un circuito integrado que puede ser configurado para implementar diferentes funciones de forma analógica (multiplicación, función cuadrática, raíz cuadrada) con alta exactitud y en un amplio ancho de banda [18].

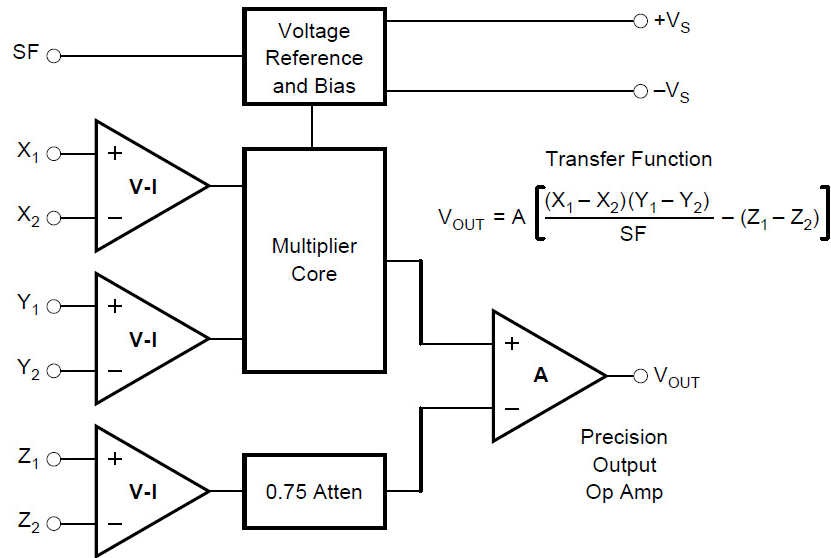


Figura 2.30 Diagrama a bloques del MPY634.

En la Figura 2.30 se muestra el diagrama a bloques del MPY634. La señal de salida está en función de tres entradas diferenciales y una señal no diferencial. Las funciones matemáticas que puede realizar el dispositivo están en función de la conexión de estas entradas.

La función de salida del MPY634 está determinada por:

$$V_{out} = A \left[\frac{(X_1 - X_2)(Y_1 - Y_2)}{SF} - (Z_1 - Z_2) \right]. \quad (2.70)$$

Donde:

A : Es la ganancia en lazo abierto del amplificador de salida, típico de 85 dB en DC.

SF : Es el factor de escala, predeterminado de 10 V pero ajustable de (3 a 10) V.

X, Y, Z : Son los voltajes de entrada.

De forma análoga a un amplificador operacional, al considerar la ganancia A del dispositivo como infinita, se pueden realizar los análisis del voltaje de salida en función de las conexiones de entrada y salida. Para implementar el multiplicador con este circuito integrado se realiza el siguiente procedimiento.

Sea Z_1 igual a V_{out} y Z_2 igual a cero, entonces la función de salida se transforma en:

$$V_{out} = A \left[\frac{(X_1 - X_2)(Y_1 - Y_2)}{SF} - (V_{out}) \right]. \quad (2.71)$$

Considerando la ganancia infinita se obtiene:

$$\frac{V_{out}}{A} = \frac{(X_1 - X_2)(Y_1 - Y_2)}{SF} - V_{out}, \quad (2.72)$$

$$0 = \frac{(X_1 - X_2)(Y_1 - Y_2)}{SF} - V_{out}. \quad (2.73)$$

Por lo cual:

$$V_{out} = \frac{(X_1 - X_2)(Y_1 - Y_2)}{SF}. \quad (2.74)$$

De esta manera se configura el multiplicador analógico para dos entradas. El factor de escala puede ser configurado mediante resistores externos pero al realizar este proceso se puede afectar el ancho de banda del dispositivo por lo cual se deja en la configuración predeterminada, es decir, $SF = 10 \text{ V}$.

Para asegurar que el multiplicador configurado realice la operación de forma adecuada en todo el rango de operación del amplificador Lock-In, se realiza el proceso de caracterización y verificar así su respuesta en función de la frecuencia de las señales de entrada.

El proceso de caracterización es similar al de los amplificadores de instrumentación, se emplean un generador de funciones para realizar un barrido de frecuencia de las señales de entrada y su respuesta se captura mediante un osciloscopio. Si la respuesta no es uniforme sobre el rango de frecuencias se guarda la respuesta mediante un archivo y mediante una computadora personal se procesan el resultado y se obtiene una curva de ganancia contra frecuencia.

2.6 Módulo de comunicación inalámbrica RN-XV

Como se mencionó en el principio de operación del amplificador Lock-In, los cálculos de amplitud y fase son realizados mediante una computadora personal. Para realizar estos cálculos se requiere de la siguiente información:

- Ganancia del circuito de amplificación y filtrado (G_{act}).
- Nivel de CD del resultado de la multiplicación del circuito de amplificación y filtrado con las señales de referencia (V_{PSD1} y V_{PSD2}).
- Amplitud de las señales de referencia (V_r).

La información anterior es almacenada en el FPGA y es enviada mediante el protocolo UART al módulo comercial RN-XV. Este módulo procesa los datos recibidos y los reenvía de forma inalámbrica mediante el protocolo IEEE 802.11 b/g.



Figura 2.31 Fotografía del módulo RN-XV.

En la Figura 2 se muestra la fotografía del módulo RN-XV. El dispositivo es una herramienta para migrar diseños basados en el protocolo de comunicación UART a un protocolo IEEE 802.11 b/n sin realizar cambios drásticos de hardware. El dispositivo a su vez está basado en el módulo de red de área local inalámbrica (LAN, *Local Area Network*) RN171 [19].

Unas de las características principales del módulo RN171 son las siguientes [20]:

- Frecuencia de operación de 2412 MHz a 2462 MHz.
- Tasa de transferencia sobre el aire hasta de 54 Mbps (802.11g).
- 11 posibles canales de operación con diferencia de 5 MHz.

El módulo RN-XV es una adaptación del módulo RN-171 de Roving Networks, el cual es realiza una conversión de comunicación serial al protocolo 802.11b/g. Este módulo cuenta con firmware integrado para la configuración del dispositivo, esta configuración se puede realizar de forma alámbrica o inalámbrica.

El módulo RN-171 admite la configuración por medio de dos protocolos en serie el SPI (*serial peripheral interface*) y el UART (*Universal Asynchronous Receiver Transmitter*), sin embargo, en el módulo RN-XV se deshabilita la configuración por el protocolo SPI.

La conexión inalámbrica con el modulo RN-XV se puede realizar configurando el modulo como un punto de acceso, la computadora se conecta a esta red y se puede realizar la comunicación inalámbrica.

Tabla 2.6 Valores del modo de operación de punto de acceso.

Parámetro	Valores por defecto
SSID	Wifly-XXX-YYY
Canal	ch
DHCP	Habilitado
Dirección IP	1.2.3.4
Máscara de red	255.255.255.0
Puerta de enlace	1.2.3.4

En la Tabla 2.6 se muestran los valores del modo de operación de punto de acceso, la variable XXX es GSX para el RN131 y EZX para el RN171, YYY es el Byte menos significativo de la dirección MAC del dispositivo. A continuación se muestra una breve descripción de las configuraciones del módulo [21].

- **SSID:** Nombre del punto de acceso.
- **Canal:** Canal que está siendo utilizado por el módulo.
- **DHCP:** Asigna la dirección IP de los dispositivos conectados.
- **Dirección IP:** Dirección lógica del módulo.
- **Máscara de red:** Especifica los bits de la dirección IP empleados para asignar direcciones IP a los dispositivos conectados.

El protocolo de comunicación IEEE 802.11 b/n opera en 11 canales de radio frecuencia de 2412 MHz a 2462 MHz. Cada valor de frecuencia se encuentra separado uno de otro por una diferencia de 5 MHz, sin embargo, cada canal tiene un rango de operación de 22 MHz por lo cual se sobrepone con otros canales adyacentes. Para evitar posibles interferencias entre los canales se sugiere emplear los canales 1, 6 y 11 [22].

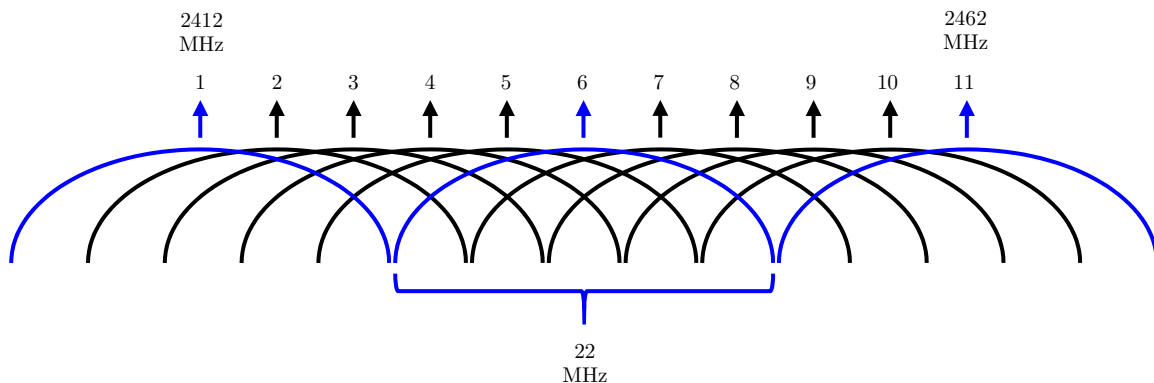


Figura 2.32 Canales de operación del módulo RN-XV.

En la Figura 2.32 se muestra la gráfica ilustrativa de los canales de operación del módulo RN-XV. En la gráfica se resaltan tres canales para indicar que estos no se interfieren uno con el otro, se recomienda utilizar esta configuración precisamente para asegurar una comunicación más estable cuando se tienen varios módulos de este tipo.

2.6.1 Comunicación del RN-XV con una computadora personal

El proceso de comunicación con el RN-XV empleando el FPGA requiere del empleo del firmware para realizar el protocolo UART y enviar los datos necesarios además del software del protocolo para recibir y representar el dato enviado.

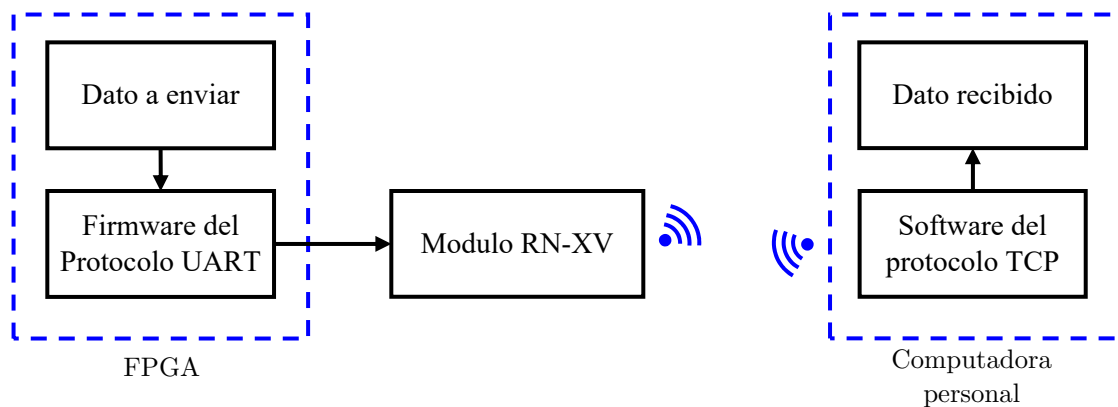


Figura 2.33 Diagrama a bloques del proceso de comunicación con el RN-XV.

En la Figura 2.33 se muestra el diagrama a bloques del proceso de comunicación con el RN-XV. El dato a enviar se transmite de forma alámbrica mediante el protocolo serial UART, se pueden enviar hasta 1420 Bytes en un paquete de transmisión y esto se personaliza mediante el firmware. El protocolo de control de transmisión (TCP, *Transmission Control Protocol*) puede utilizarse de forma sencilla gracias al ambiente de programación *LabVIEW* mediante pequeños bloques funcionales y de esta manera se pueden manipular los datos recibidos de forma sencilla.

2.6.2 Configuración del RN-XV

Son cuatro los datos a enviar mediante el módulo RN-XV como se mencionó anteriormente. Cada dato sin embargo es de 10 bits por lo que es necesario separar la información en 5 datos de 8 bits. Este hecho se también se considera en el software y una vez recibidos los datos se reconstruyen de forma adecuada.

Las configuraciones empleadas en el módulo RN-XV son:

- Activar el modo punto de acceso.
- Ajustar el número de Bytes de transmisión y recepción.
- Ajustar el baud rate del protocolo UART.
- Desactivar el mensaje de conexión TCP.

La configuración del modo de punto de acceso se puede realizar mediante hardware o software, por simplicidad se elige la opción de hardware. Las terminales empleadas para configurar el módulo de esta forma son 5.

Tabla 2.7 Terminales de configuración de punto de acceso del RN-XV.

Terminal	Nombre	Descripción
1	VDD_3V3	Fuente de alimentación
2	UART_TX	UART_TX
3	UART_RX	UART_RX
8	GPIO9	Habilitador punto de acceso
10	GND	Tierra

En la Tabla 2.7 se muestran las terminales de configuración de punto de acceso del RN-XV. Como puede observarse solo se requiere de la alimentación del módulo, las señales de transmisión serial TX y RX del protocolo UART y el habilitador.

Para configurar el modo de punto acceso primero se conecta la terminal 8 (GPIO9) a la alimentación del módulo y después se realiza un ciclo de apagado-encendido. El módulo entrara en modo punto de acceso después de un tiempo.

Una vez que se realiza la configuración anterior, se procede a conectar la computadora personal al punto de acceso, no se requiere de una contraseña pero se puede establecer de ser necesario. Para verificar el nombre de la red se consulta la Tabla 2.6.

Para realizar las configuraciones restantes se utiliza el protocolo Telnet el cual ya está implementado en el módulo RN-XV, solo basta con descargar una aplicación para la computadora personal que permite el uso de este protocolo. En el presente trabajo se emplea *Tera Term Professional* versión 4.52.

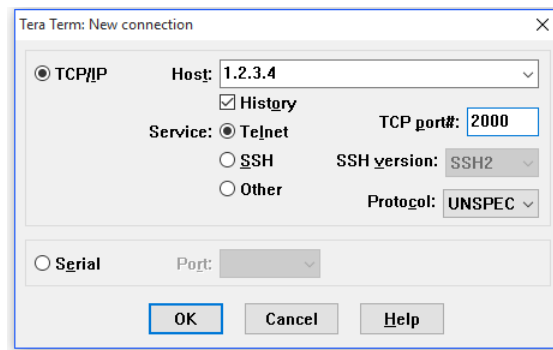


Figura 2.34 Captura de pantalla de la conexión vía Telnet

En la Figura 2.34 se muestra la captura de pantalla de la conexión vía Telnet. Los parámetros de configuración mostrados en la imagen son los siguientes:

- **Dirección IP del Host:** 1.2.3.4.
- **Servicio:** Telnet.
- **Puerto:** 2000

El valor de la dirección IP y el número de puertos son los predeterminados del módulo en modo punto de acceso de acuerdo a la hoja de especificaciones [21]. Una vez realizada la conexión se procede a configurar el modulo mediante el modo de comandos.

Para acceder al modo de comandos se introducen los caracteres **\$\$\$**. Los comandos necesarios para realizar los ajustes requeridos se muestran a continuación:

set uart baudrate 460800: este comando ajusta el baud rate del protocolo UART al número especificado, este número debe ser idéntico al empleado en el firmware.

set comm size 6: este comando ajusta el número de bytes que se transmitirá, este número debe ser idéntico al número de bytes que se envían mediante el protocolo UART.

set comm remote 0: este comando se emplea para indicar la cadena de caracteres que se envían cuando el puerto del TCP está abierto, cuando se indica '0' no se envían caracteres.

save: este comando almacena la configuración editada del módulo RN-XV, después de escribir este comando de debe presionar la tecla **enter**.

reboot: este comando se encarga de reiniciar el modulo para que los cambios surjan efecto, después de escribir este comando de debe presionar la tecla **enter**.

2.7 Tarjeta de desarrollo Cyclone III

El desarrollo del firmware de control de los potenciómetros digitales, el convertidor analógico-digital, el protocolo de comunicación UART son realizados mediante una tarjeta de control basada en un FPGA Cyclone III de *Altera*. La tarjeta es desarrollada por el grupo de robótica y control de la Facultad de Ciencias de la Electrónica.

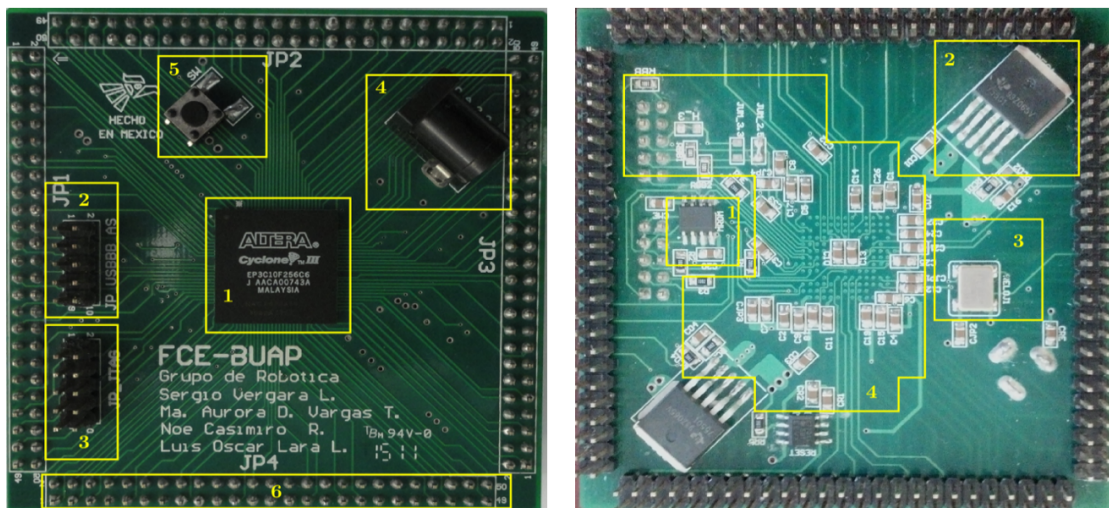


Figura 2.35 Fotografía de la tarjeta Cyclone III, capa inferior (izq.) y superior (der.).

En la Figura 2.35 se muestra la fotografía de la tarjeta Cyclone III. La tarjeta de control es diseñada para ser la unidad de control de diferentes proyectos y desarrollos tecnológicos de la Facultad de Ciencias de la Electrónica.

La parte superior de la tarjeta de control consta de:

- Un FPGA Cyclone III con matrícula EP3C10F256C6 de *Altera* (1).
- Un puerto de programación compatible con el programador usb-blaster (2)
- Un puerto JTAG (3).
- Un conector para alimentación externa (4).
- Un botón de reinicio (5).
- 4 Conectores header macho de 50 pines (6).

La parte inferior de la tarjeta de control consta de:

- Memoria EEPROM (EPC2) (1).
- Convertidor CD-CD de 3.3V a 1.2V (2).
- Oscilador de cristal (3).
- Resistencias y capacitores (4).

La arquitectura del Cyclone III se basa en bloques de arreglos lógicos (LAB, *Logic Array Block*) y en elementos lógicos (LE, *Logic Elements*). Cada LAB contiene 16 LE y un bloque de control del LAB, cada LE contiene cuatro entradas; una tabla look-up de cuatro entradas (LUT, *Look-Up Table*), un registro y lógica de salida. La LUT de cuatro entradas es un generador de funciones que puede implementar cualquier función de verdad con cuatro variables.

Los elementos lógicos son la unidad más pequeña de lógica en la arquitectura de la familia Cyclone III. Los elementos lógicos son compactos y proveen características avanzadas con el uso de lógica eficiente. Cada elemento lógico tiene las siguientes características:

- Una tabla look-up de cuatro entradas para implementar cualquier función lógica.
- Un registro programable.
- Una conexión de acarreo en cadena.
- Una conexión de registro en cadena.
- La habilidad de manejar diferentes interconexiones:
 - Local.
 - Filas.
 - Columnas.
 - Cadena de registro.
 - Enlace directo.
- Soporte para la unión de registros.
- Soporte para la retroalimentación de registros.

Los FPGA's de la familia Cyclone III se clasifican de acuerdo al número de elementos lógicos, el empaquetado del dispositivo, el número de terminales físicas, la temperatura de operación y el grado de velocidad del dispositivo.

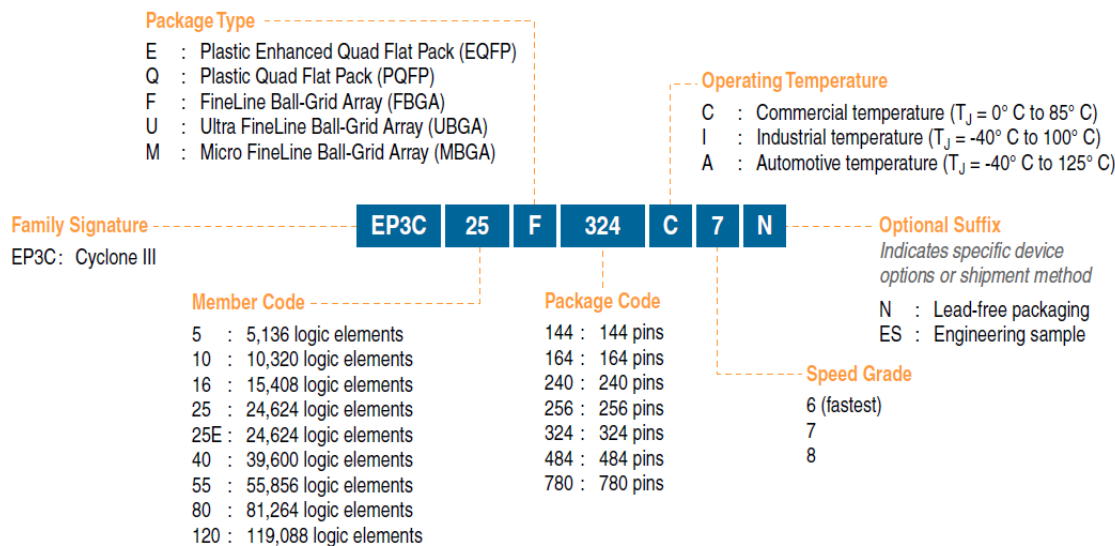


Figura 2.36 Descripción del FPGA en base a la matricula.

En la Figura 2.36 se muestra la descripción del FPGA en base a la matrícula del dispositivo. El dispositivo empleado tiene la matrícula EP3C10F256C6, por lo cual se trata de un FPGA con 10,320 elementos lógicos en un empaquetado BGA de línea fina (FBGA, *FineLine Ball-Grid Array*) de 256 terminales físicas con el grado de velocidad más alto de la familia.

2.8 Conclusiones

En este capítulo se selecciona el hardware del amplificador Lock-In, se realizan los circuitos electrónicos básicos y se realizan las pruebas experimentales con los mismos. Este hardware forma las estructuras básicas del diseño de la tarjeta de circuito impreso.

Las pruebas experimentales de los amplificadores de instrumentación se realiza en esta parte y estos dispositivos son caracterizados. Se comprueba que estos dispositivos pueden ser empleados para amplificar la pequeña señal pero solo uno de ellos tiene la respuesta adecuada para la construcción del amplificador Lock-In.

El amplificador operacional seleccionado se estudia y se realizan los circuito electrónicos de amplificación y filtrado con sus respectivas consideraciones. Lo más importante de estos circuitos es su empleo en el diseño del amplificador de ganancia programable y el derivador de ganancia programable.

Los circuito se ganancia programable toman un papel muy importante en el diseño de los circuitos electrónicos de control ya que estos pueden responder de forma lineal, es decir, para un valor de resistencia se tiene que el valor de ganancia es directamente proporcional a este valor de resistencia. Esto es posible gracias al potenciómetro digital seleccionado.

El potenciómetro digital es un dispositivo que hace posible realizar los circuitos electrónicos de control con el FPGA, sin embargo, al seleccionar el dispositivo se sugiere el hecho de que la resolución podría ser baja al menos de los dispositivos que ofrecen *Texas Instruments* y *Analog Devices*, aun así se seleccionó el de mayor resolución.

El convertidor analógico-digital seleccionado para la adquisición de señales analógicas por el FPGA resulta ser una opción muy adecuada por su frecuencia de muestreo de casi una mega muestra por segundo, de esta manera para la señal de mayor frecuencia de entrada (10 kHz) se pueden realizar 100 muestras del período y realizar así la medición de amplitud de la señal de forma adecuada. Un aspecto que no fue conveniente fue la necesidad de un circuito acoplador de la señal diferencial, si bien el dispositivo se puede usar sin este circuito acoplador, su rendimiento no es el mismo y el fabricante no garantiza su funcionamiento correcto en señales alternas, se podría realizar la caracterización para este funcionamiento pero se decidió usar el circuito acoplador.

El multiplicador empleado realiza la operación de forma analógica sin la necesidad de conexiones complejas por lo cual es sencillo de utilizar, sin embargo, la salida es atenuada en 10 y esto representa la necesidad de un amplificador adicional. La salida puede ser configurada mediante resistencias para que no sea atenuada, sin embargo, el rendimiento del amplificador puede bajar y se optó por no realizar este ajuste mediante otro amplificador.

El módulo de comunicación inalámbrica permite realizar la comunicación mediante el protocolo IEEE 802.11 b/g de forma sencilla ya que no se requiere de un amplio conocimiento del protocolo al emplear el software *Tera Term Professional* y *LabVIEW*, la configuración del módulo se realiza mediante el primero y la interfaz con el segundo.

La tarjeta de desarrollo basada en FPGA es una herramienta muy útil para diseños específicos como el amplificador Lock-In. Su programación puede ser sencilla pero es necesario tener estudiar con detalle los protocolos de control de los dispositivos que se quieran utilizar si es que se quiere realizar su controlador partiendo de lógica secuencial (sin utilizar la propiedad intelectual de terceros), luego entonces la tarea de llevar a cabo el control de la información para manejar los diferentes dispositivos no es trivial.

Una vez que se tiene seleccionado el hardware del amplificador Lock-In se puede proceder a realizar el diseño de la tarjeta de circuito impreso. Para llevar a cabo esta tarea se crean los bloques funcionales básicos de cada etapa y para elaborar el diseño final se interconectan mediante arreglos en serie de ser necesario y finalmente se realiza el diseño de la tarjeta de circuito impreso.

Capítulo 3

Diseño de la tarjeta de circuito impreso

Una vez que se ha determinado el hardware a emplear en la construcción del amplificador Lock-In, se procede a realizar el diseño de la tarjeta de circuito impreso (PCB, *printed circuit board*). Para llevar a cabo esta tarea se emplea el software *Altium Designer* versión 13.0.12.

Altium Designer es un software de diseño electrónico asistido por computadora (ECAD, *Electronic Computer-Aided Design*) para el sistema operativo *Windows*. Esta herramienta dispone de un ambiente de desarrollo para productos electrónicos en el cual se abarcan los siguientes aspectos del desarrollo electrónico:

- Diseño y captura del diagrama electrónico.
- Diseño físico del PCB.
- Diseño de hardware basado en FPGA.
- Simulación de circuitos electrónicos.
- Análisis de integridad de señales.
- Manufacturación de PCB.

Para el desarrollo de este trabajo solo se emplean el diseño y captura del diagrama electrónico así como el diseño físico del PCB. El ambiente de desarrollo permite la creación de diferentes documentos de captura de diagramas electrónicos y PCB en un solo proyecto facilitando así la depuración de errores en el diseño de las diferentes etapas del diseño antes de realzar la integración final.

3.1 Estrategias de diseño

El rendimiento de los circuitos analógicos se puede ver afectado por la actividad de señales eléctricas de alta frecuencia en la misma tarjeta de circuito impreso, de la misma manera la actividad eléctrica de señales externas propias del ambiente de trabajo pueden generar ruido que afecta el funcionamiento de los diferentes dispositivos electrónicos, este ruido puede ser provocado por la interferencia electromagnética (EMI, *Electromagnetic Interference*) y la interferencia de radio frecuencia (RFI, *Radio Frequency Interference*) [23].

Al realizar pruebas experimentales de los circuitos electrónicos del amplificador Lock-In se observan efectos de ruido electromagnético en las señales analógicas y digitales. Este comportamiento afecta de forma negativa el desempeño de los circuitos integrados y para evitarlo se emplean estrategias de diseño en la elaboración de la tarjeta de circuito impreso.

Las técnicas empleadas para eliminar el ruido se dividen de acuerdo a la fuente de ruido, considerando el ruido provocado por fuentes internas y el ruido provocado por fuentes externas. Para cada caso se consideran las fuentes de ruido y las estrategias propuestas e implementadas para reducirlo.

Dentro de las fuentes de ruido internas se consideran las siguientes:

- Fuentes de alimentación.
- Interferencia entre pistas.
- Interferencia entre las etapas analógicas y digitales.

3.1.1 Ruido de las fuentes de alimentación

Las fuentes de alimentación proporcionan voltajes de corriente directa, sin embargo, estos voltajes son obtenidos a partir de una señal de corriente alterna mediante rectificadores de onda y capacitores, dejando una pequeña componente de corriente alterna conocida como voltaje de rizo.

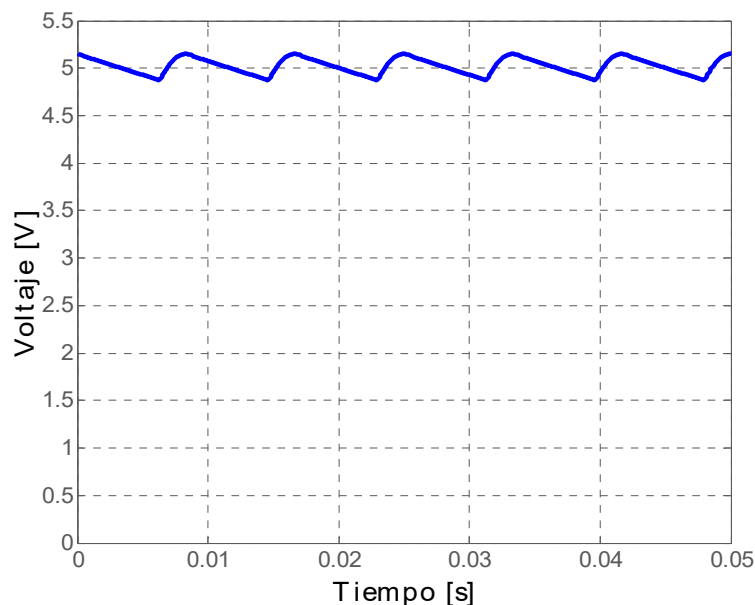


Figura 3.1 Gráfica del voltaje de rizo de una fuente de alimentación.

En la Figura 3.1 se muestra la gráfica del voltaje de rizo de una fuente de alimentación. Esta fuente de voltaje se compone de un voltaje de corriente directa y un voltaje de corriente alterna, en este ejemplo de tiene un voltaje de 5 V CD y alrededor de 0.30 V_{pp} de CA.

El voltaje de rizo de las fuentes de alimentación afecta el rendimiento de muchos circuitos integrados y por esta razón se tiene que evitar en la medida de lo posible. Para reducir el voltaje de rizo se pueden emplear capacitores, sin embargo, estos deben de ser colocados de lo más cerca de la terminal de alimentación porque de lo contrario existe la posibilidad de que la pista sea afectada por el ruido electromagnético inducido por otras pistas.

Si los capacitores para filtrar las fuentes de alimentación se encuentran alejados del circuito integrado entonces la fuente de alimentación podría retomar ruido por otras fuentes externas así que se sugiere conectar estos capacitores lo más cercano a las terminales de alimentación de los circuitos integrados.

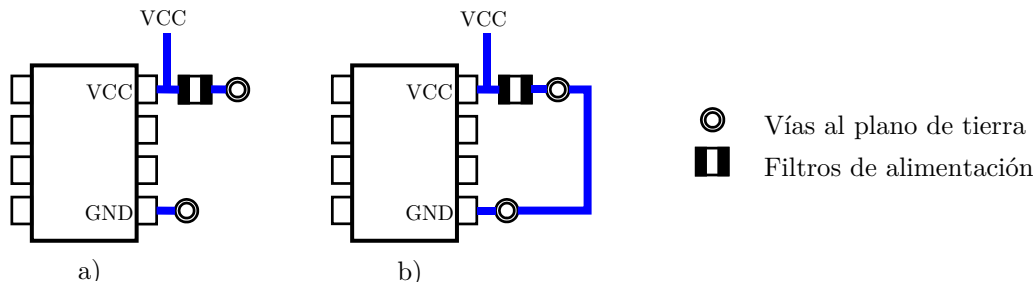


Figura 3.2 Localización de los filtros de alimentación.

a) Correcto b) Incorrecto

En Figura 3.2 se muestra la localización de los filtros de alimentación. Se muestra la manera correcta e incorrecta de la disposición de los capacitores así como el ruteo de las vías. Los capacitores deben colocarse lo más cerca posible a las terminales de alimentación y las terminales de tierra deben tener su propia vía al plano de tierra [24].

3.1.2 Ruido por interferencia entre pistas

El diseño de la tarjeta de circuito impreso tiene cuatro capas, dos capas exteriores (Top Layer y Bottom Layer) donde se realizan las conexiones de las señales y dos capas interiores para los planos de alimentación y tierra (VCC y GND).

Las pistas de las capas exteriores contienen señales de alta frecuencia, las señales de reloj son un ejemplo de esto y tienen una frecuencia de hasta 100 MHz. Estas señales de alta frecuencia (mayores a 50 MHz) producen un fenómeno de interferencia entre pistas que se traduce en un voltaje de ruido inducido por alta frecuencia [25].



Figura 3.3 Diagrama de interferencia entre pistas.

En la Figura 3.3 se muestra el diagrama de interferencia entre pistas. En este diagrama se ilustra como el campo electromagnético de las pistas con señales de alta frecuencia en su mayoría se distribuye sobre el plano de tierra, sin embargo, un pequeño porcentaje de este campo electromagnético se induce sobre las demás pistas contribuyendo así al ruido por interferencia entre pistas.

El ruido producido por este fenómeno aumenta conforme la frecuencia y el número de pistas de alta frecuencia. Para reducir el ruido provocado se sugiere el empleo de capacitores en cada circuito integrado de la fuente de alimentación a tierra. El plano de tierra es muy importante ya éste provoca que el campo electromagnético se dirija a tierra en lugar de afectar a las otras pistas, si bien no reduce todo el fenómeno, si es de gran ayuda.

3.1.3 Ruido por interferencia entre las etapas analógico y digital

En el diseño del amplificador Lock-In se emplean dispositivos analógicos y digitales y por este motivo se tiene una diferencia entre el tipo de señales que viajan en las pistas de la tarjeta. Los dispositivos digitales y analógicos están referenciados a su propia tierra, sin embargo, para acoplar estas señales es necesario tener una misma referencia y es en esta parte donde se crea la interferencia entre las etapas además de la misma interferencia entre pistas discutida anteriormente.

En la tarjeta de circuito impreso las etapas analógicas y digitales no siempre pueden ser separadas como es el caso del amplificador Lock-In donde los circuitos electrónicos de control emplean estas dos etapas funcionando a la par. Para evitar la interferencia entre estas etapas se sugiere el uso de vías para reducir el efecto del campo electromagnético.

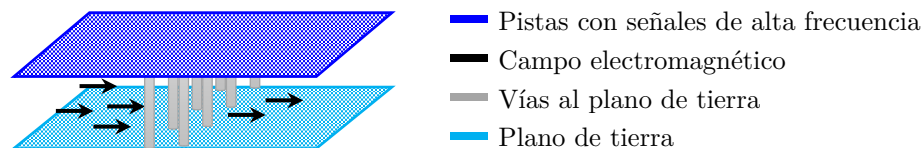


Figura 3.4 Diagrama de reducción de interferencia por vías.

En la Figura 3.4 se muestra el diagrama de reducción de interferencia por vías. En el diagrama se ilustra cómo el campo electromagnético disminuye al colocar vías al plano de tierra. Estas vías funcionan como postes que atrapan el campo electromagnético impidiendo así que este se distribuya más allá del arreglo de vías.

3.1.4 Ruido externo

Algunas de las fuentes de ruido externo pueden ser provocadas por:

- Emisiones de radio y televisión.
- Comunicaciones móviles de radio.
- Teléfonos celulares.
- Motores eléctricos.
- Iluminación.
- Computadoras.

Todas estas fuentes de campo electromagnético pueden provocar voltaje de ruido en las pistas de la tarjeta de circuito impreso, sin embargo, las técnicas empleadas para evitar el ruido interno ayudan a evitar este tipo de ruido.

Para evitar el ruido de alta frecuencia que puede ser generado por las fuentes externas se emplean filtros pasa bajas dentro del amplificador, recordando que estos dejan pasar solo las señales de interés para las cuales el amplificador Lock-In opera.

3.2 Diagrama electrónico

Para realizar la captura del diagrama electrónico del amplificador Lock-In se emplean diferentes sub-diagramas que están diseñados en base a la sección de hardware. El diagrama electrónico se muestra mediante los siguientes 9 circuitos:

- Circuito amplificador.
- Circuito referencia.
- Circuito desfasador.
- Circuito nivel CD.
- Circuito rechaza bandas.
- Circuito pasa bajas.
- Circuito Módulos PSD.
- Circuito ADC-PSD.
- Circuito Tarjeta Cyclone III.

A continuación se presentan todos los diagramas que forman el amplificador Lock-In.

3.2.1 Circuito amplificador

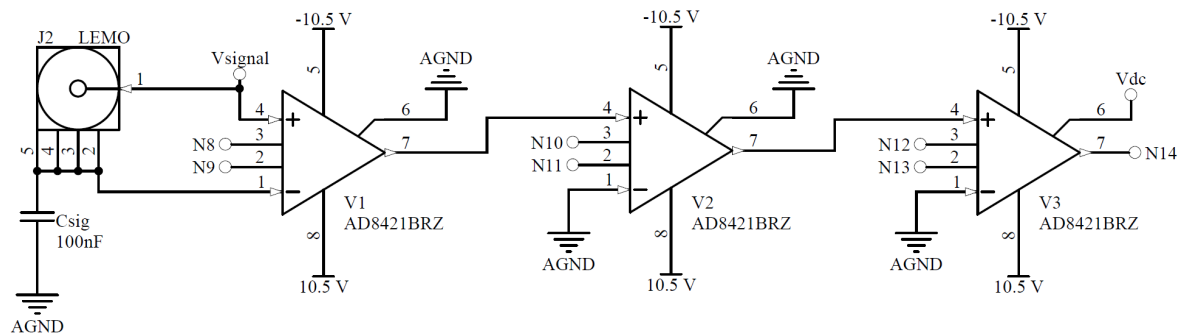


Figura 3.5 Parte 1 del circuito amplificador.

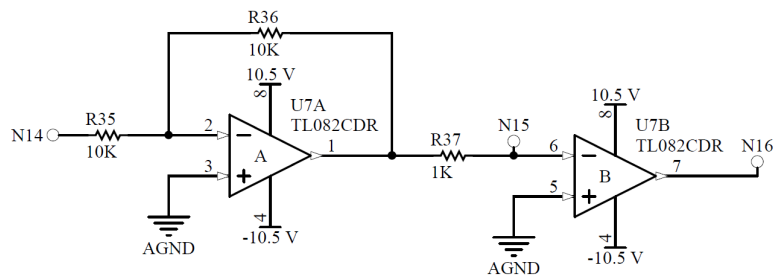


Figura 3.6 Parte 2 del circuito amplificador.

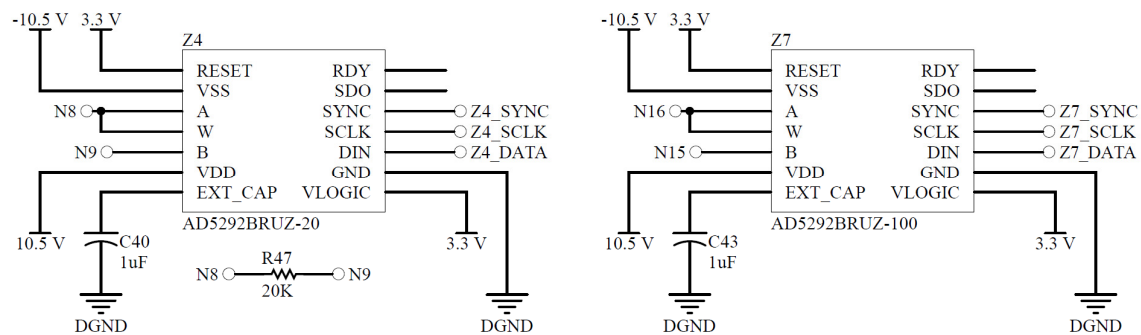


Figura 3.7 Parte 3 del circuito amplificador.

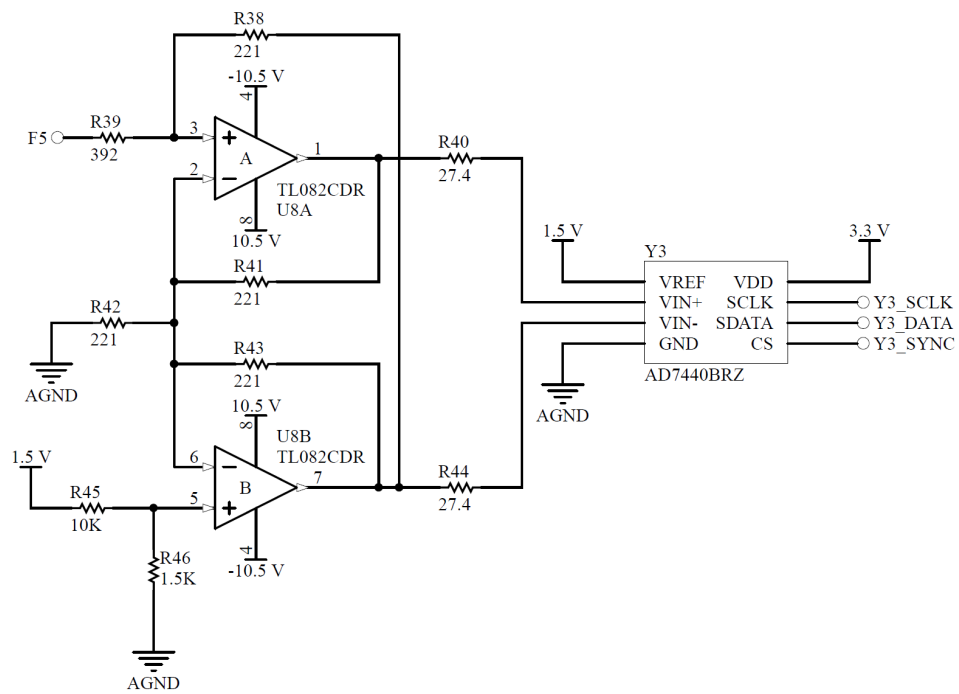


Figura 3.8 Parte 4 del circuito amplificador.

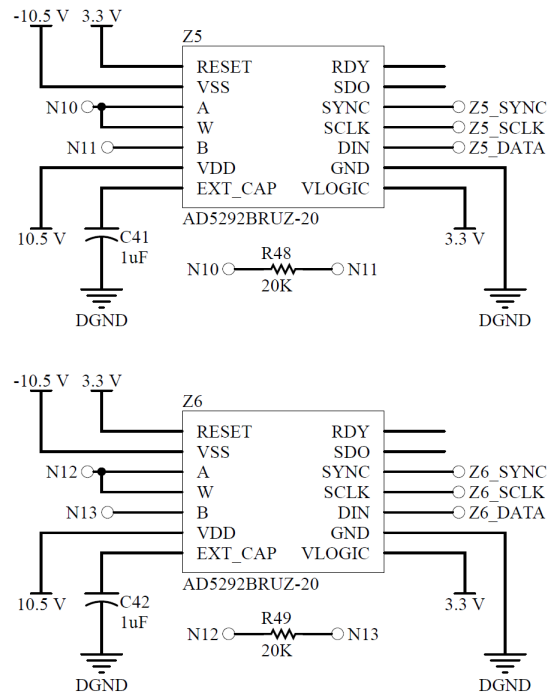


Figura 3.9 Parte 5 del circuito amplificador.

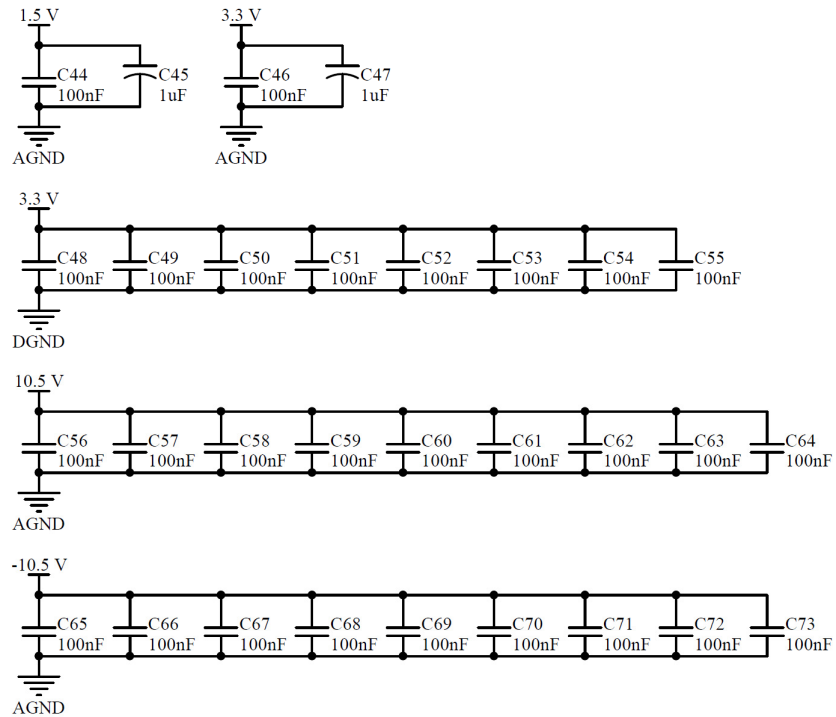


Figura 3.10 Parte 6 del circuito amplificador.

3.2.2 Circuito referencia

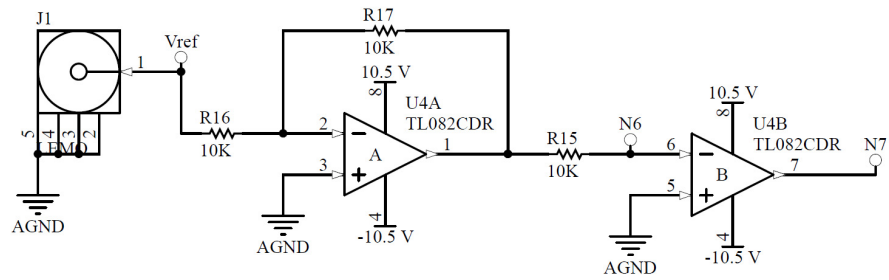


Figura 3.11 Parte 1 del circuito referencia.

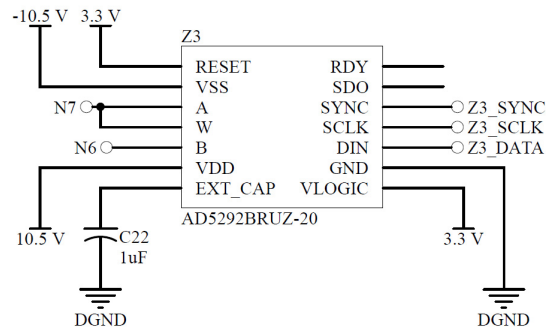


Figura 3.12 Parte 2 del circuito referencia.

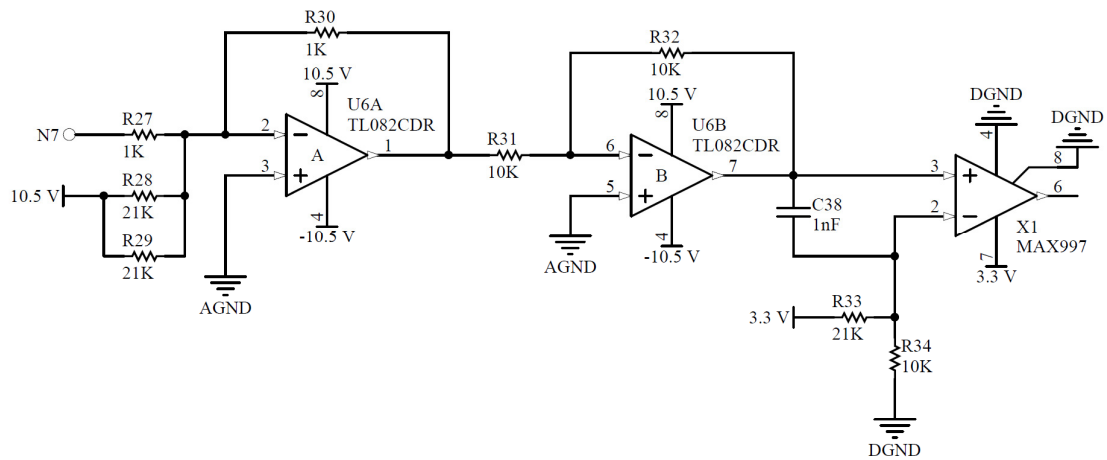


Figura 3.13 Parte 3 del circuito referencia.

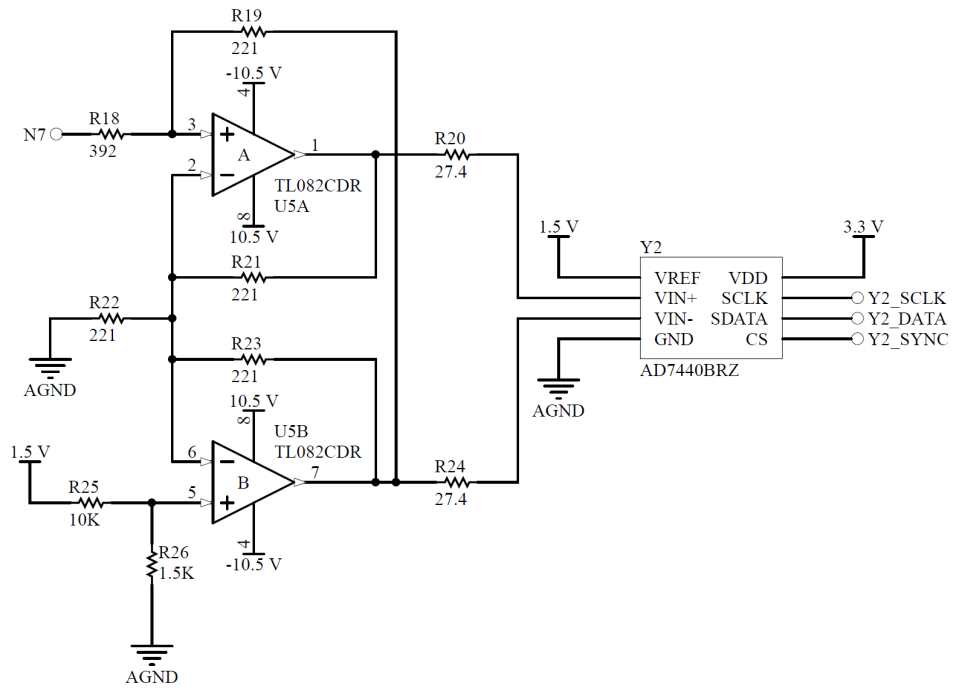


Figura 3.14 Parte 4 del circuito referencia.

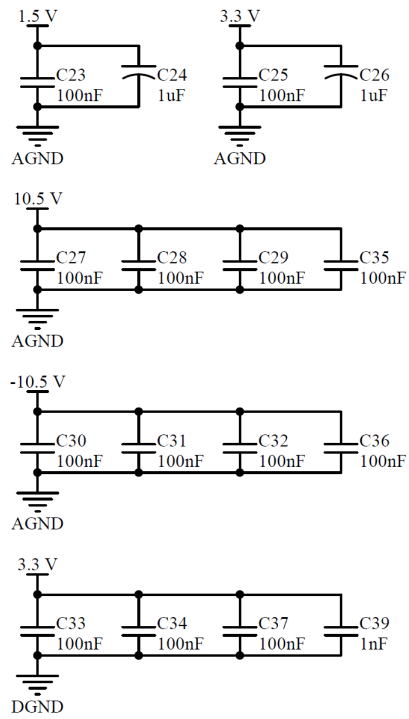


Figura 3.15 Parte 5 del circuito referencia.

3.2.3 Circuito desfasador

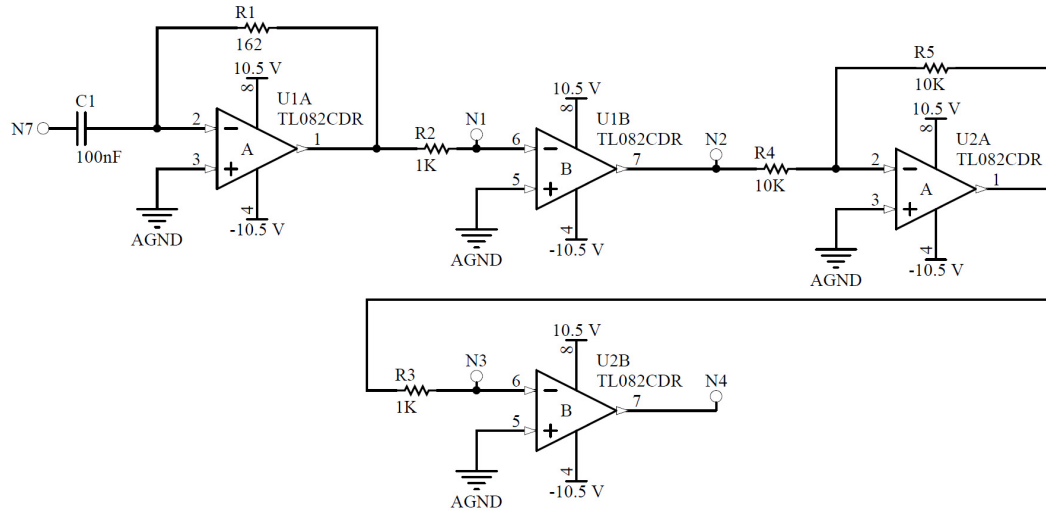


Figura 3.16 Parte 1 del circuito desfasador.

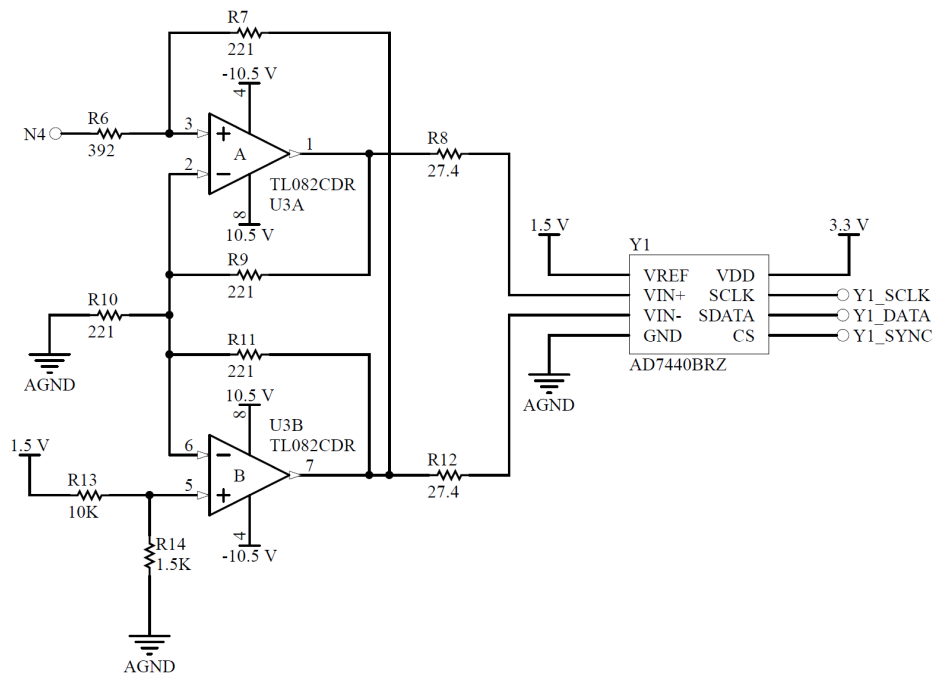


Figura 3.17 Parte 2 del circuito desfasador.

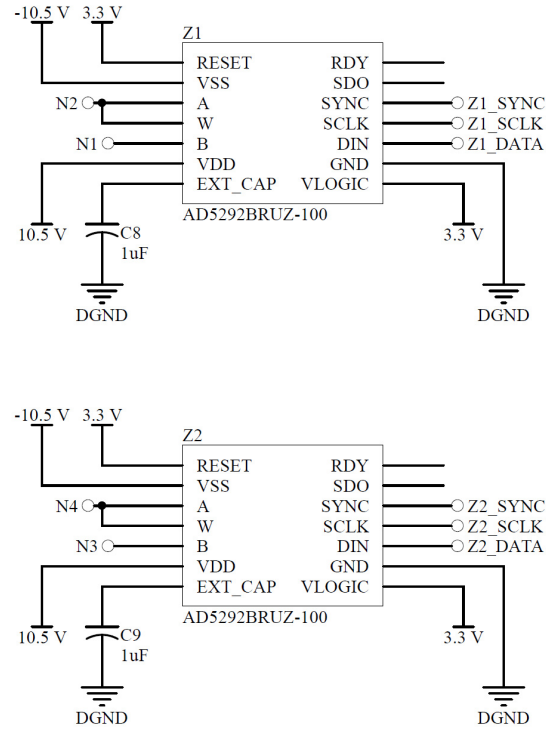


Figura 3.18 Parte 3 del circuito desfasador.

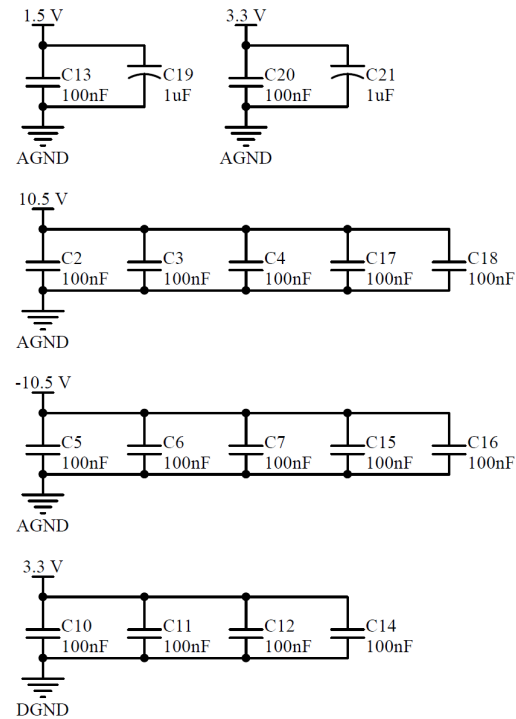


Figura 3.19 Parte 4 del circuito desfasador.

3.2.4 Circuito nivel CD

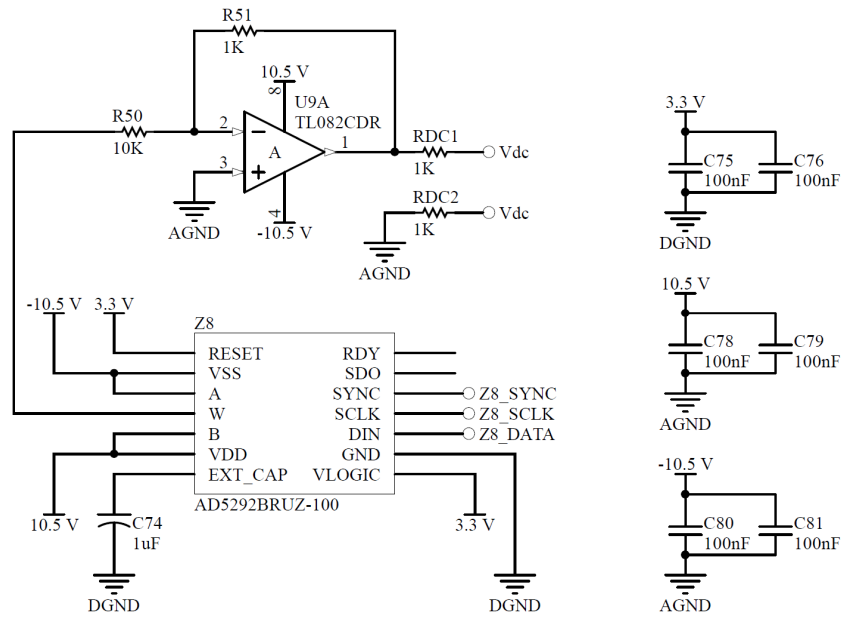


Figura 3.20 Circuito nivel CD.

3.2.5 Circuito rechaza bandas

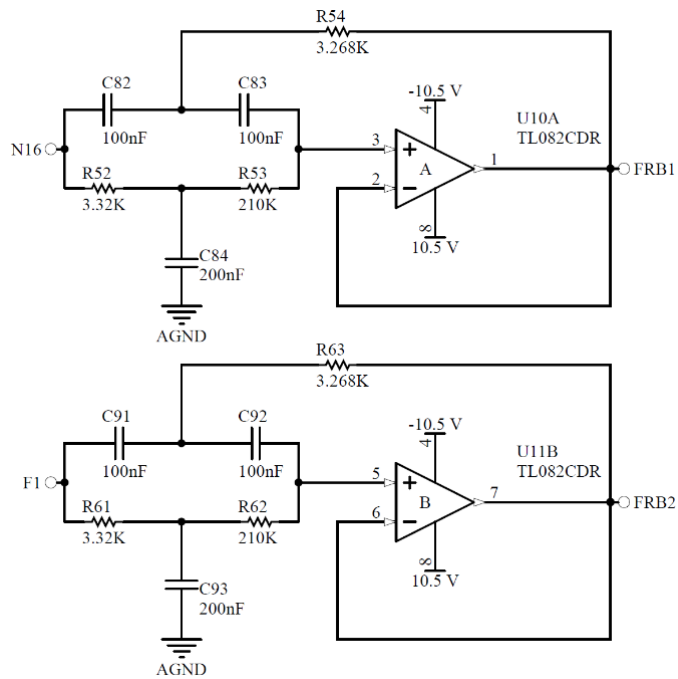


Figura 3.21 Parte 1 del circuito rechaza bandas.

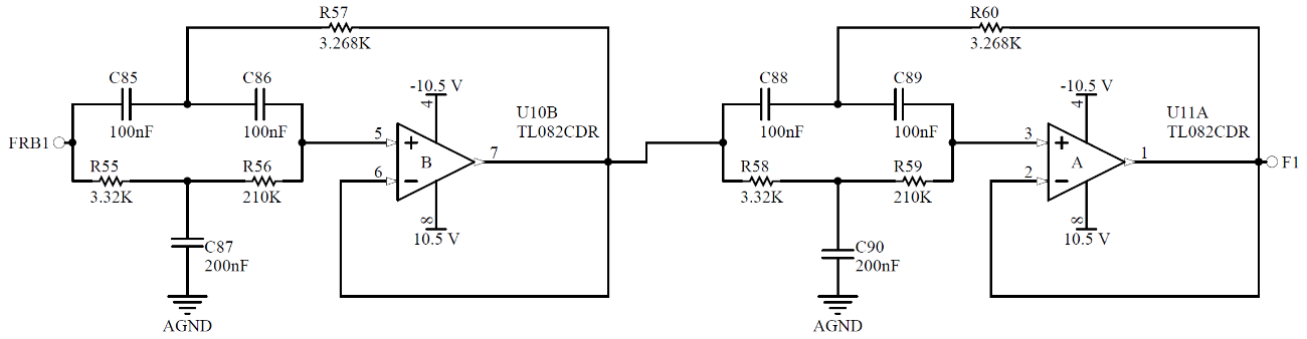


Figura 3.22 Parte 2 del circuito rechaza bandas.

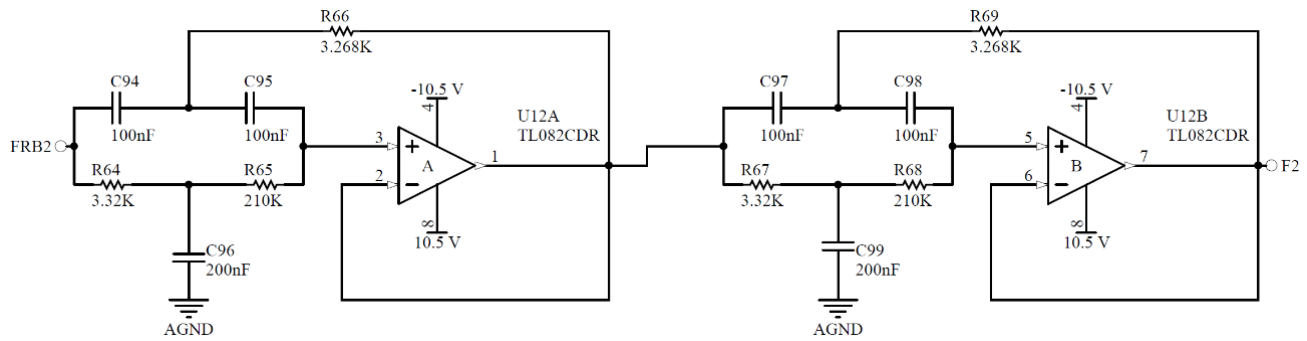


Figura 3.23 Parte 3 del circuito rechaza bandas.

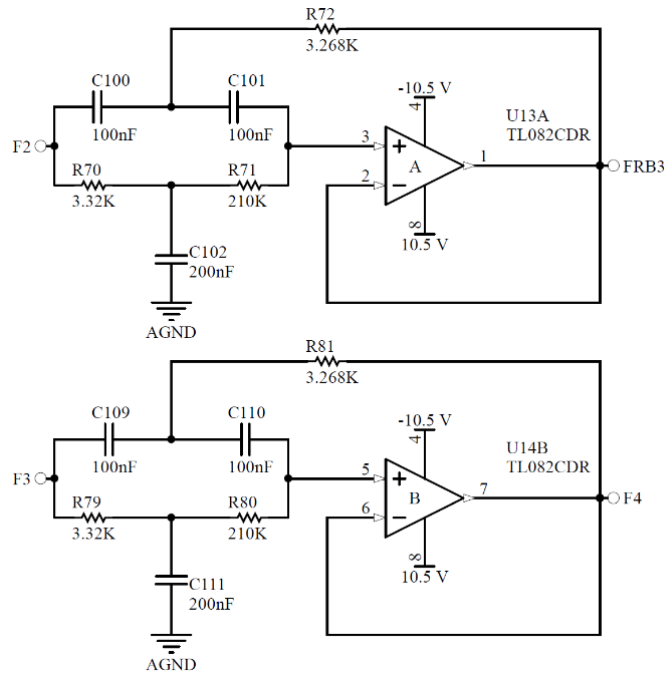


Figura 3.24 Parte 4 del circuito rechaza bandas.

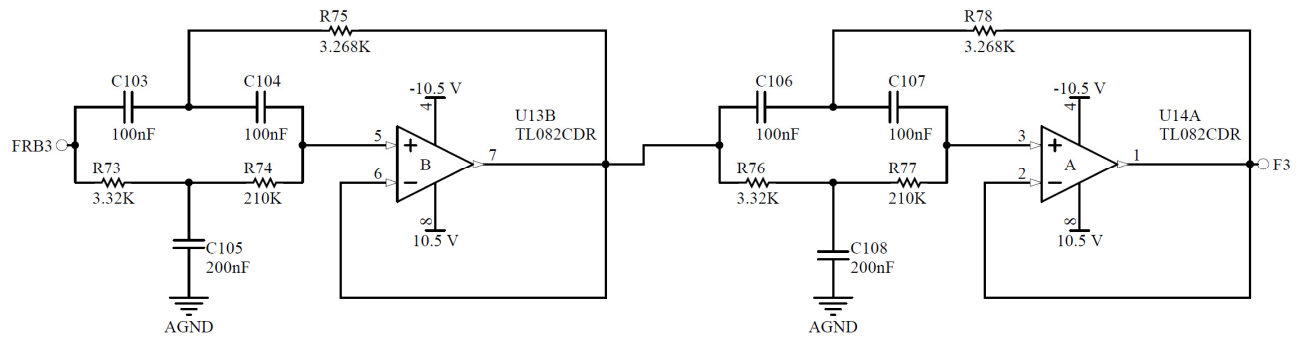


Figura 3.25 Parte 5 del circuito rechaza bandas.

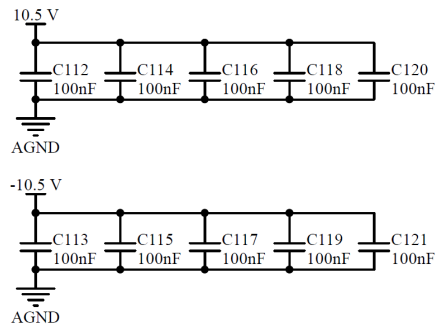


Figura 3.26 Parte 6 del circuito rechaza bandas.

3.2.6 Circuito pasa bajas

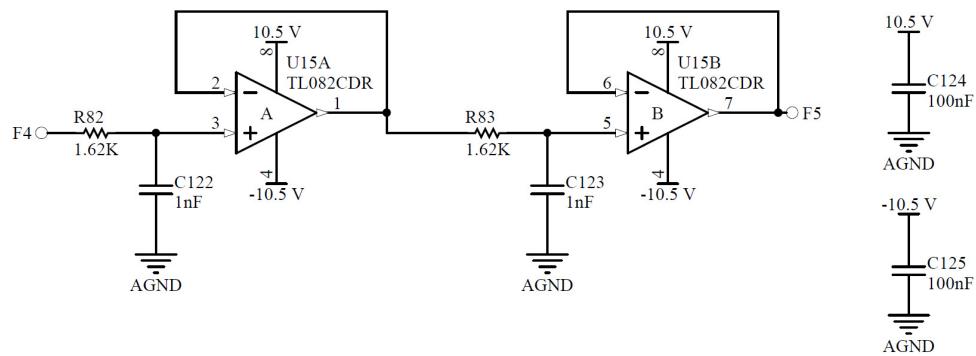


Figura 3.27 Circuito pasa bajas.

3.2.7 Circuito módulos PSD

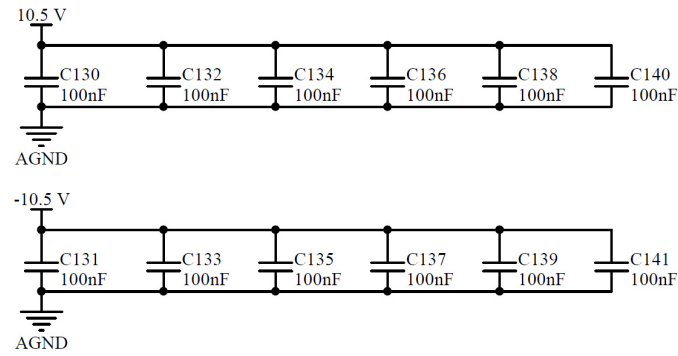


Figura 3.28 Parte 1 del circuito módulos PSD.

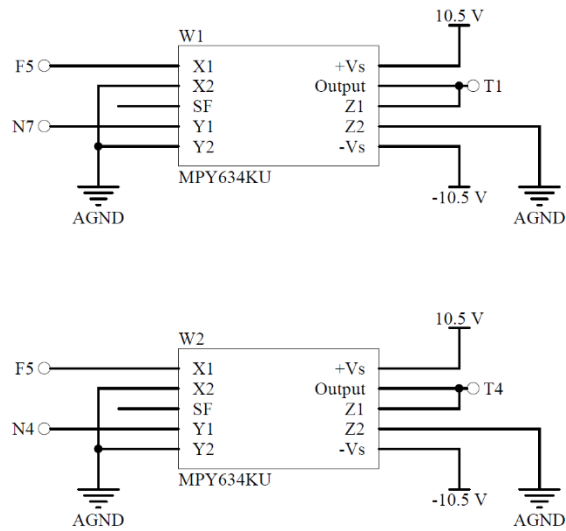


Figura 3.29 Parte 2 del circuito módulos PSD.

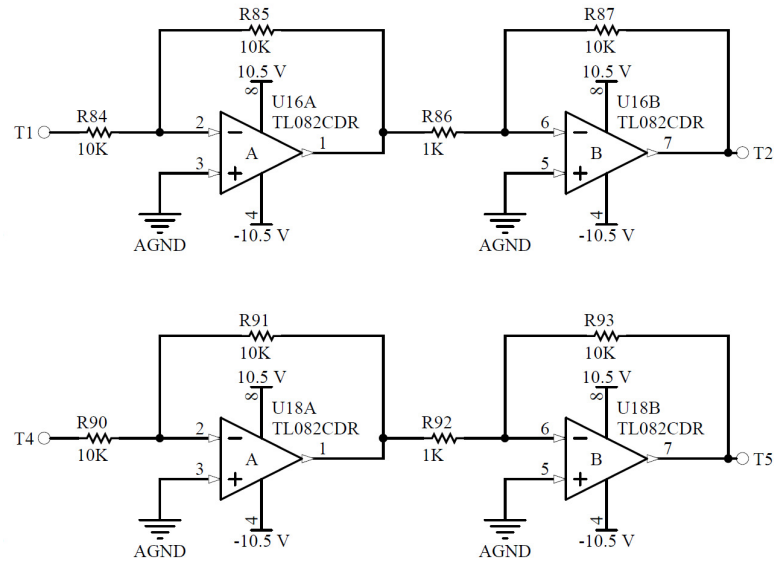


Figura 3.30 Parte 3 del circuito módulos PSD.

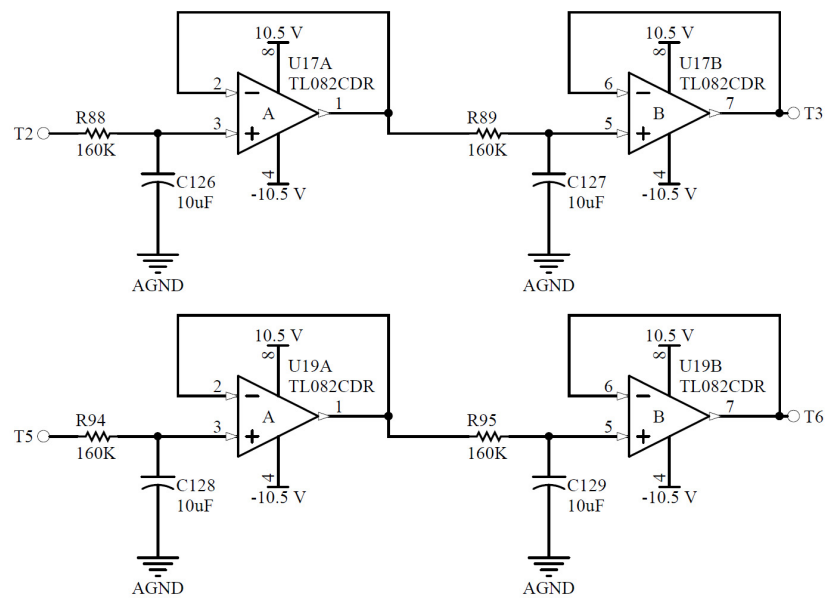


Figura 3.31 Parte 4 del circuito módulos PSD.

3.2.8 Circuito ADC-PSD

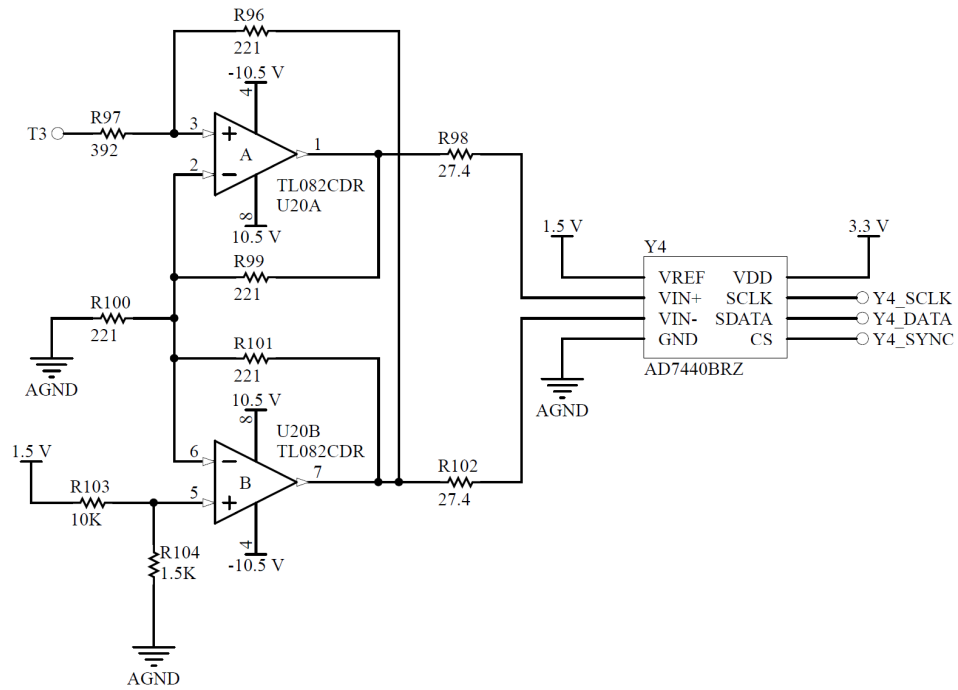


Figura 3.32 Parte 1 del circuito ADC-PSD.

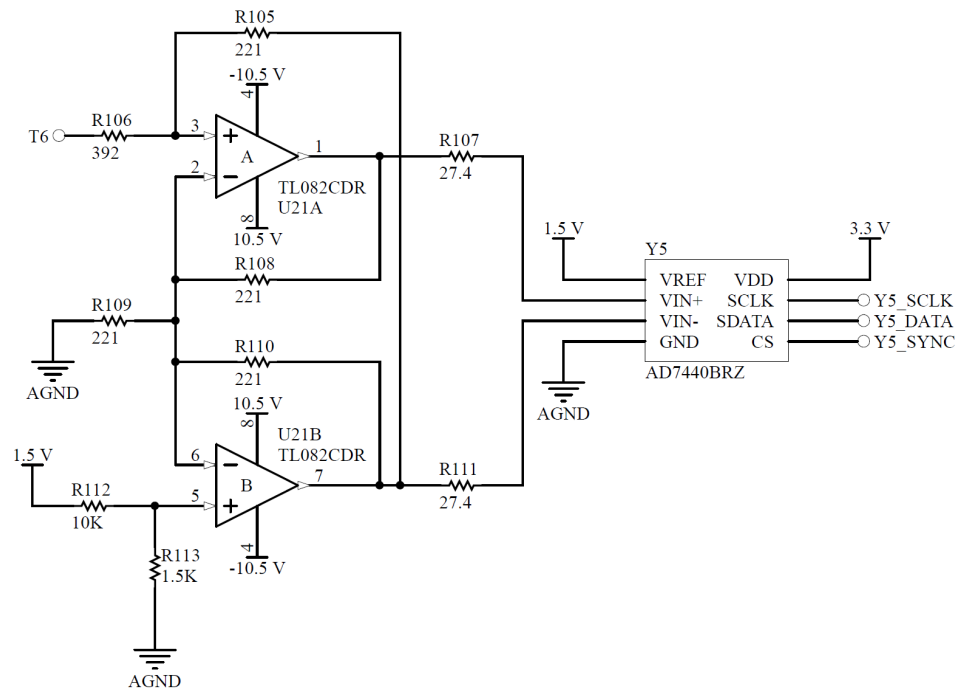


Figura 3.33 Parte 2 del circuito ADC-PSD.

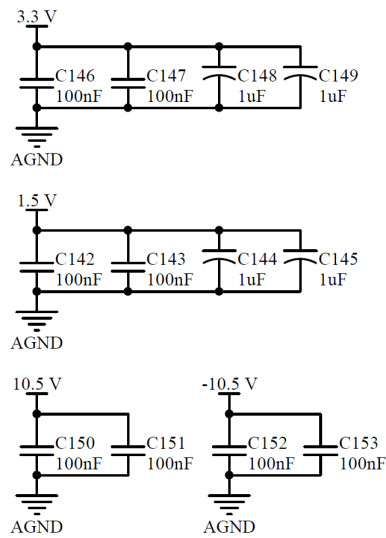


Figura 3.34 Parte 3 del circuito ADC-PSD.

3.2.9 Circuito tarjeta Cyclone III

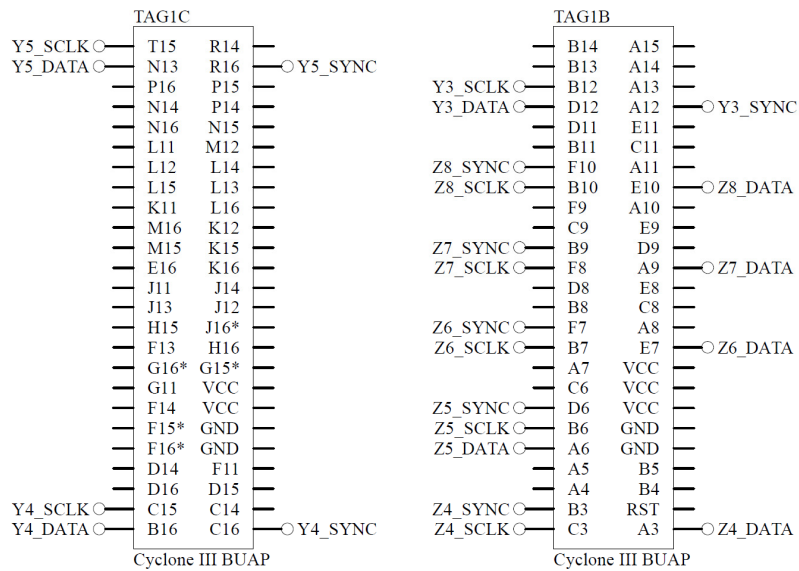


Figura 3.35 Parte 1 del circuito tarjeta Cyclone III.

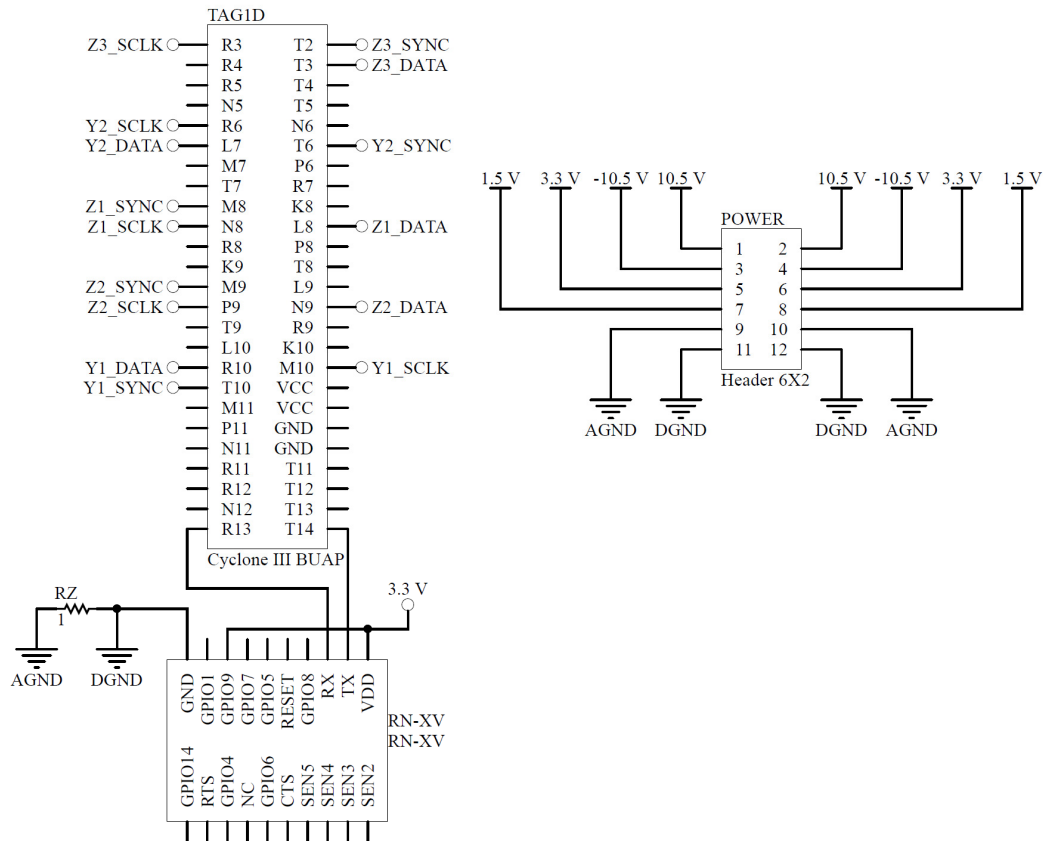


Figura 3.36 Parte 2 del circuito tarjeta Cyclone III.

3.3 Diseño de la tarjeta de circuito impreso

La tarjeta de circuito impreso del amplificador Lock-In es un arreglo de cuatro capas de cobre separadas por tres capas de material dieléctrico. Las capas exteriores contienen las conexiones de las señales del amplificador Lock-In mientras que las capas intermedias contienen planos de voltaje y tierra.

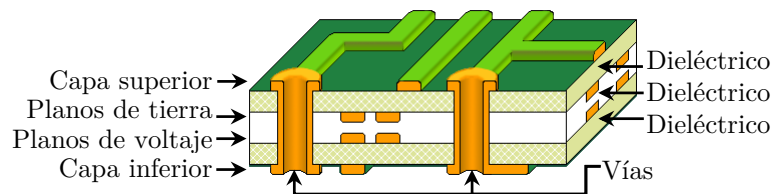


Figura 3.37 Disposición de las capas de la tarjeta de circuito impreso.

En la Figura 3.37 se muestra la disposición de las capas de la tarjeta de circuito impreso. En la figura se ilustra el material dieléctrico que separa las distintas capas de la tarjeta. Las conexiones de la capa superior e inferior se pueden conectar entre capas mediante vías que atraviesan la tarjeta tal como se muestra en esta misma figura.

3.3.1 Capa superior de la tarjeta de circuito impreso

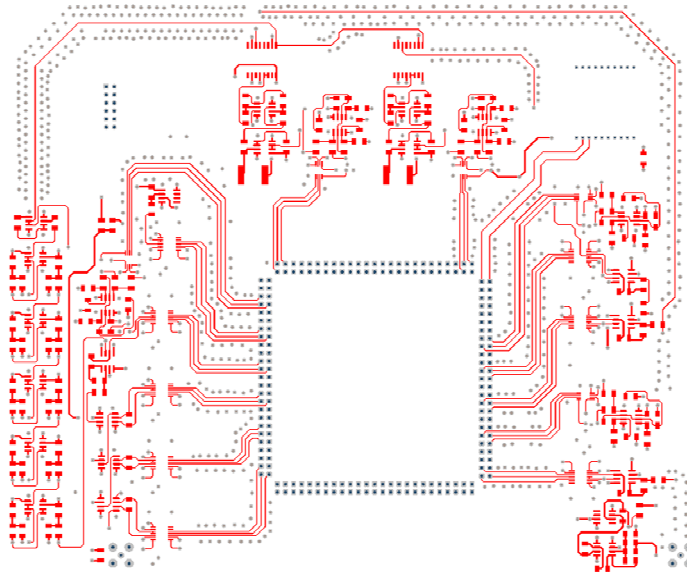


Figura 3.38 Capa superior de la tarjeta de circuito impreso.

En la Figura 3.38 se muestra la capa superior de la tarjeta de circuito impreso. En esta capa se encuentran la mayoría de los circuitos integrados.

3.3.2 Capa de planos de tierra de la tarjeta de circuito impreso

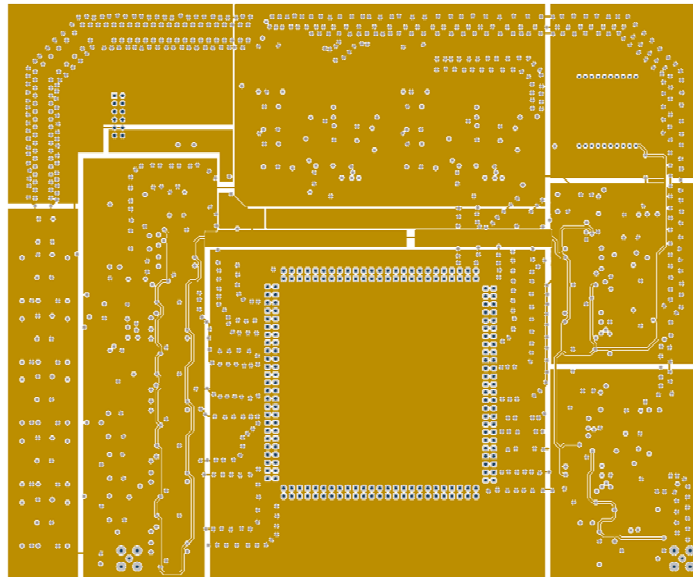


Figura 3.39 Capa de planos de tierra de la tarjeta de circuito impreso.

En la Figura 3.39 se muestra la capa de planos de tierra de la tarjeta de circuito impreso. En esta capa se separan los planos de tierra de cada circuito y las etapas analógica y digital.

3.3.3 Capa de planos de alimentación de la tarjeta de circuito impreso

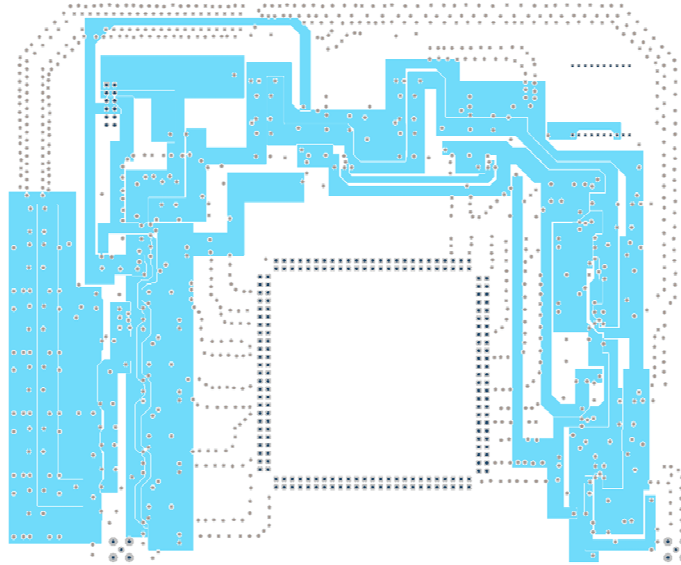


Figura 3.40 Capa de planos de alimentación de la tarjeta de circuito impreso.

En la Figura 3.40 se muestra la capa de planos de alimentación de la tarjeta de circuito impreso. En esta capa se encuentran los voltajes -10.5 V, 10.5 V, 3.3 V, 1.5 V

3.3.4 Capa inferior de la tarjeta de circuito impreso

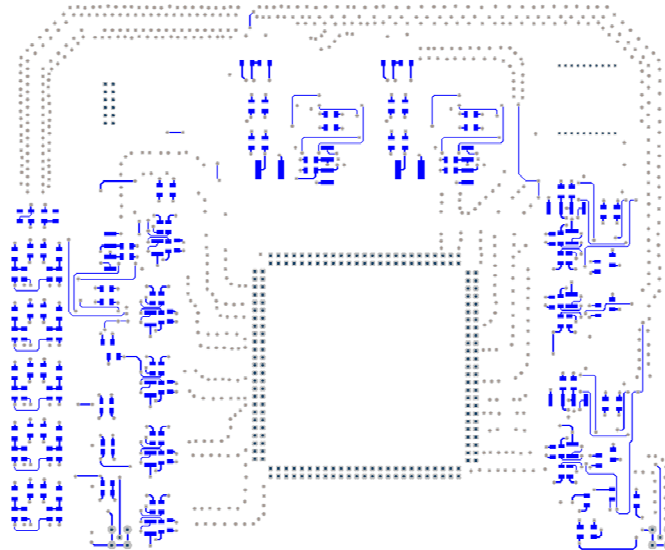


Figura 3.41 Capa inferior de la tarjeta de circuito impreso.

En la Figura 3.41 se muestra la capa inferior de la tarjeta de circuito impreso. En esta capa se encuentran todos los filtros de las alimentaciones de cada circuito integrado.

3.3.5 Vista superior de la tarjeta de circuito impreso

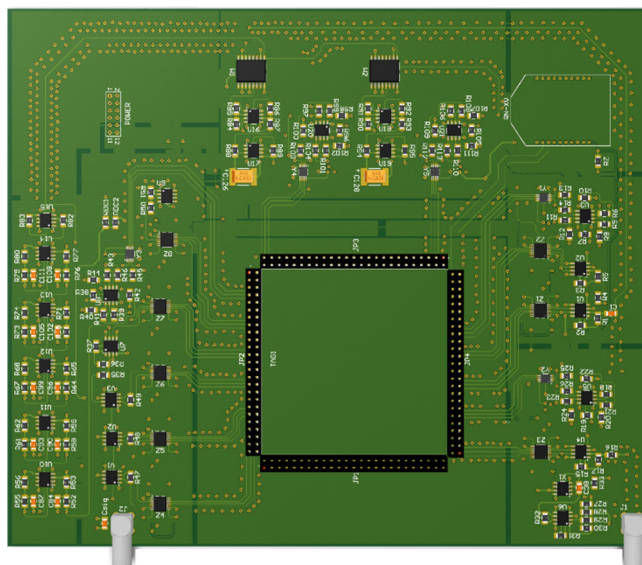


Figura 3.42 Vista superior de la tarjeta de circuito impreso.

En la Figura 3.42 se muestra la vista superior de la tarjeta de circuito impreso. En esta vista se muestran los componentes de la capa superior y el conector para la tarjeta hija.

3.3.6 Vista inferior de la tarjeta de circuito impreso

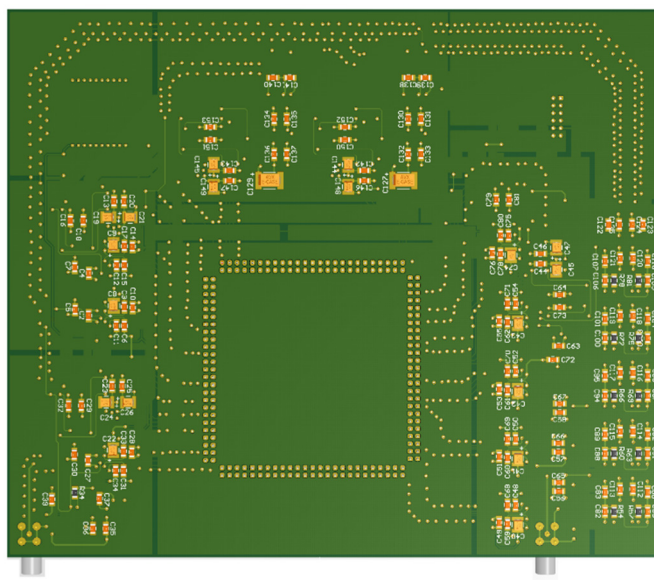


Figura 3.43 Vista inferior de la tarjeta de circuito impreso.

En la Figura 3.43 se muestra la vista inferior de la tarjeta de circuito impreso. En la vista se muestran los capacitores y las vías empleadas para la disminución de ruido en la tarjeta.

3.4 Conclusiones

En este capítulo se elabora el diseño final de la tarjeta de circuito impreso del FPGA. La tarjeta es el resultado de las pruebas experimentales con el hardware seleccionado.

Las estrategias de diseño son implementadas en la tarjeta. Cada circuito integrado tiene los filtros de alimentación en cada terminal de alimentación y estos se encuentran a no más de 10 mm de separación. Para evitar la interferencia entre pistas se colocaron vías que van conectadas al plano de tierra, estas vías se localizan alrededor de las pistas que tienen una mayor frecuencia de operación como las señales de reloj, también se colocaron vías alrededor de las señales analógicas para evitar que estas fueran afectadas por el campo electromagnético de las otras pistas. Finalmente para aislar las etapas analógicas y digitales se separan las conexiones a tierra mediante pequeños sub planos que son unidos mediante una pequeña área de conductor reduciendo así el efecto de ruido de una etapa a otra.

Para facilitar el diseño de la tarjeta de circuito impreso se separó el diagrama electrónico en nueve diferentes sub diagramas, permitiendo realizar la tarjeta mediante pequeñas etapas y de esta forma se detectaban errores de manera más rápida.

Algunas de las pruebas experimentales de los diseños electrónicos se realizaron mediante el FPGA, los circuitos electrónicos de control son un ejemplo de ello además de la caracterización de algunos de estos dispositivos como el potenciómetro digital. Esto se lleva a cabo mediante el diseño de firmware de propósito específico y el funcionamiento en conjunto de los dispositivos analógicos y digitales.

Capítulo 4

Firmware del sistema

La tarjeta de desarrollo Cyclone III es la encargada de controlar los dispositivos digitalmente controlados. Para realizar esta tarea, la tarjeta puede ser programada para realizar funciones lógico-secuenciales mediante el empleo de su reloj interno de 100 MHz, estas funciones son implementadas mediante compuertas lógicas que son interconectadas en función de una programación previamente definida. Esta estructura de interconectar hardware mediante programación se le denomina firmware.

El firmware proporciona la lógica de más bajo nivel necesaria para controlar los circuitos electrónicos necesarios en las etapas de control de amplitud, la adquisición de los datos necesarios para realizar el cálculo de amplitud y fase de la señal medida y para controlar el módulo de comunicación inalámbrica.

Para el desarrollo del firmware del amplificador Lock-In se emplea el ambiente de programación *QUARTUS II* de *Altera*. Este ambiente permite la programación de firmware mediante código (*VHDL*, *Verilog HDL* y *AHDL*) y diagramas a bloques. El lenguaje empleado en el firmware del amplificador Lock-In es *AHDL* (*Altera Hardware Description language*).

El firmware empleado es desarrollado en este trabajo a excepción del firmware del protocolo de comunicación inalámbrica el cual fue modificado a partir del trabajo de Tesis de Javier Ruiseco López [26] desarrollado en la misma unidad académica.

4.1 Convertidor analógico-digital

Para controlar el AD7440 se requiere enviar dos señales (CS y SCLK) y este regresa el resultado por una señal (SDATA). En el capítulo de hardware se describe un ejemplo del flujo de las señales del control del dispositivo y en el firmware se implementa de una forma idéntica pero a una frecuencia diferente.

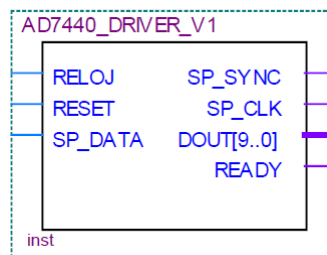


Figura 4.1 Componente AD7440_DRIVER_V1.

En la Figura 4.1 se muestra el componente AD7440_DRIVER_V1. Este componente controla el convertidor analógico-digital, el componente realiza inicia el proceso de conversión de la señal analógica y lo ejecuta cada 1060 ns de forma continua.

Las señales del componente SP_SYNC, SP_CLK y SP_DATA corresponden a las señales CS, SCLK y SDATA respectivamente. El resultado de la conversión se almacena mediante el registro DOUT[9..0] y es validado por el nivel alto de la señal READY.

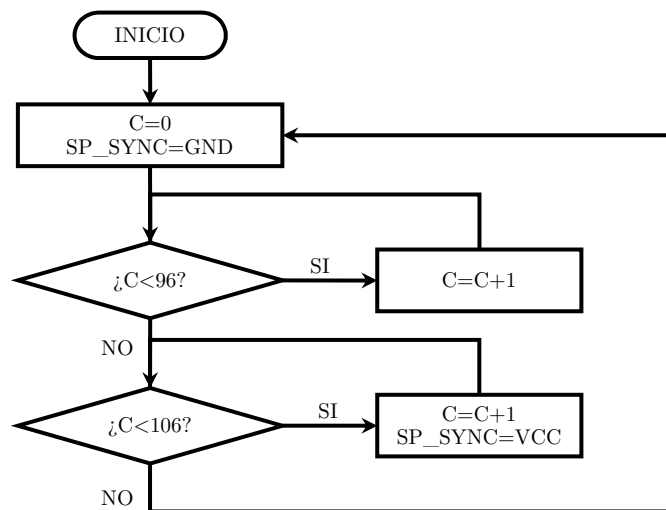


Figura 4.2 Diagrama de flujo de la señal SP_SYNC (AD7440).

En la Figura 4.2 se muestra el diagrama de flujo de la señal SP_SYNC (AD7440). Los tiempos en que la señal cambia están en función de un único contador (C), la señal se mantiene 960 ns en bajo y 100 ns en alto.

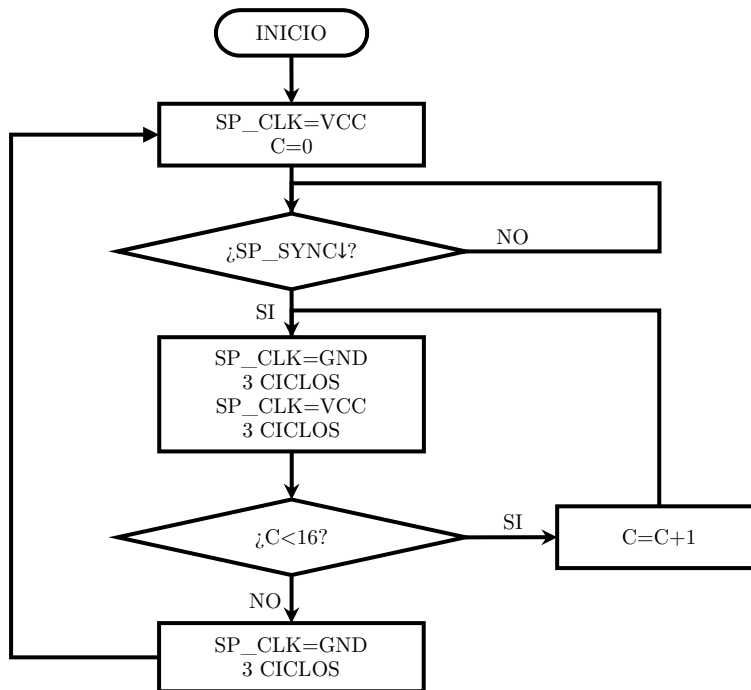


Figura 4.3 Diagrama de flujo de la señal SP_CLK (AD7440).

En la Figura 4.3 se muestra el diagrama de flujo de la señal SP_CLK (AD7440). Esta señal genera un reloj con un período de 60 ns y lo mantiene durante 16 períodos en función del flanco de bajada de la señal SP_SYNC.

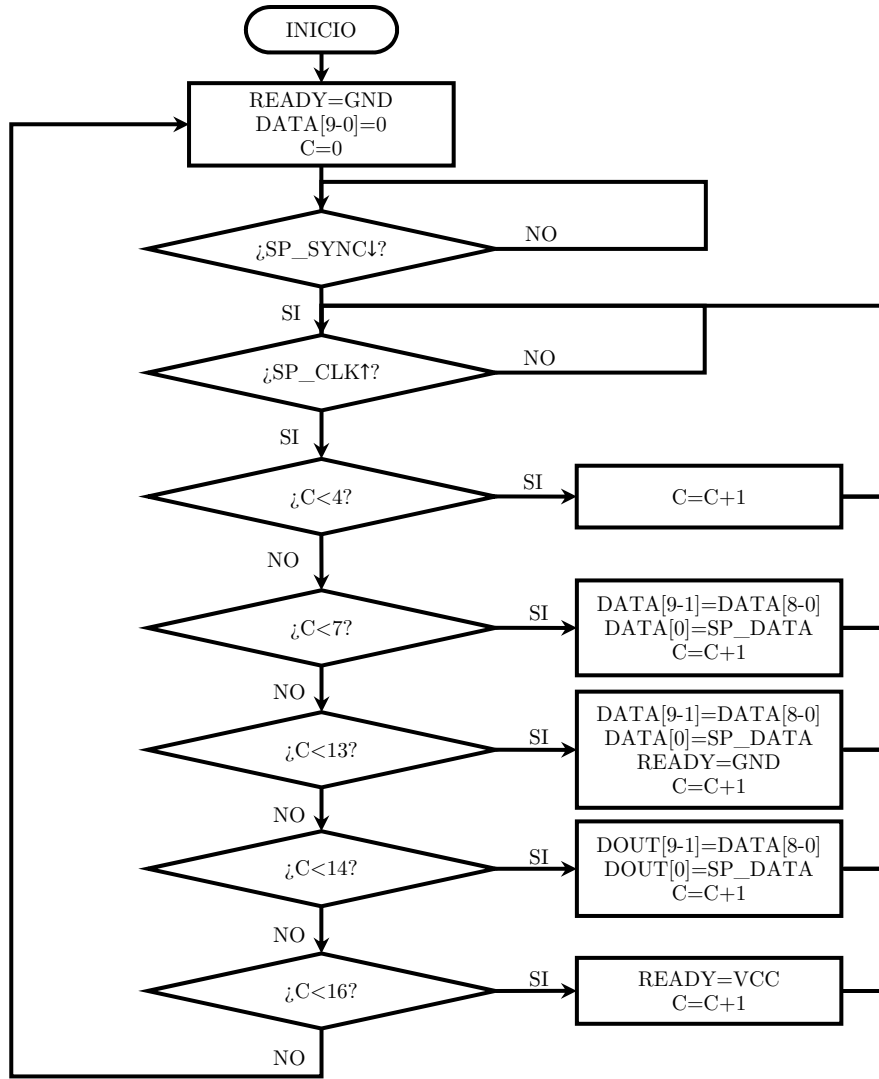


Figura 4.4 Diagrama de flujo de las señales DOUT[9..0] y READY.

En la Figura 4.4 se muestra el diagrama de flujo de las señales DOUT[9..0] y READY. El dato se la señal SP_DATA es almacenado y procesado por un corrimiento a la izquierda dado que el dato más significativo en enviado primero. La captura del dato inicia después de detectar el flanco de bajada de la señal SP_SYNC y el dato SP_DATA es leído en los flancos de subida de la señal SP_CLK.

4.2 Potenciómetro digital

Para controlar el potenciómetro digital se requieren de tres señales digitales (SYNC, CLK, DIN). Estas señales son generadas mediante el firmware son generadas en función de los diagramas de tiempo presentados en el capítulo de hardware.

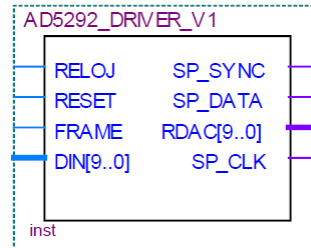


Figura 4.5 Componente AD5292_DRIVER_V1.

En la Figura 4.5 se muestra el componente AD5292_DRIVER_V1. Este componente controla el potenciómetro digital, las señales SP_SYNC, SP_DATA y SP_CLK corresponden a las señales SYNC, DIN y CLK respectivamente.

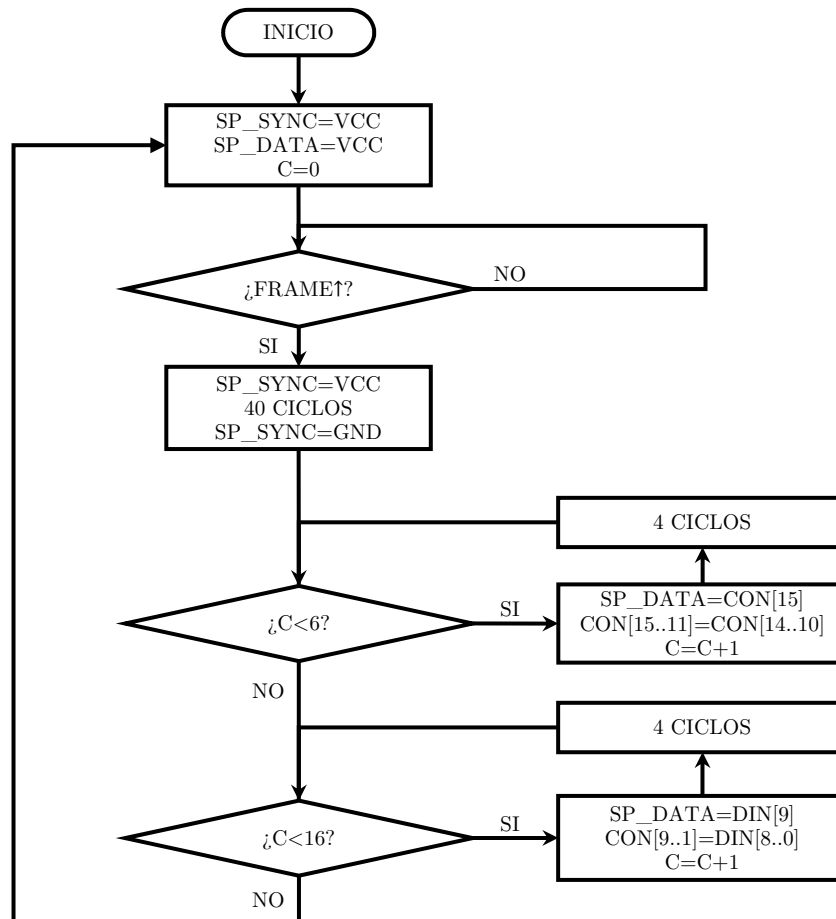


Figura 4.6 Diagrama de flujo de las señales SP_SYNC y SP_DATA (AD5292).

En la Figura 4.6 se muestra el diagrama de flujo de las señales SP_SYNC y SP_DATA (AD5292). El componente modifica las señales a partir de un flanco de subida de la señal FRAME, después la señal SP_SYNC permanece en alto durante 400 ns y se pone en bajo durante el tiempo que se generan los datos de configuración mediante SP_DATA (640 ns).

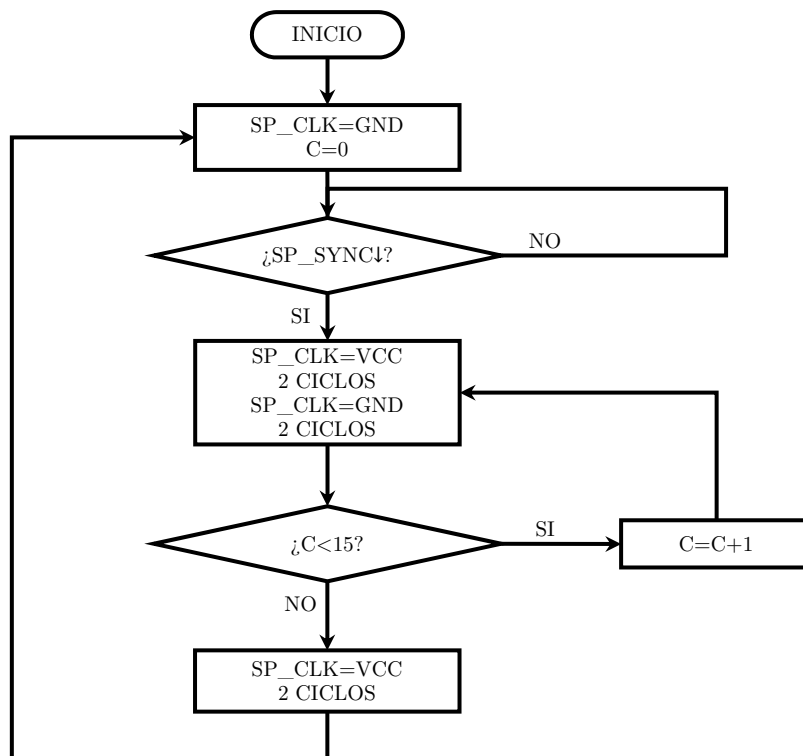


Figura 4.7 Diagrama de flujo de la señal SP_CLK (AD5292).

En la Figura 4.7 se muestra el diagrama de flujo de la señal SP_CLK (AD5292). Esta señal está en función del flanco de bajada de la señal CS, una vez que esto sucede se genera un reloj con un período de 40 ns y se mantiene durante 15 segundos, después la señal se activa en alto durante 20 ns y finalmente permanece en bajo hasta la siguiente activación.

4.3 Cálculo de frecuencia y amplitud de señal alterna

Antes de realizar el control de amplitud de una señal es necesario conocer la amplitud de la misma, sin embargo, para realizar el cálculo de amplitud es necesario conocer la frecuencia de la señal para que sea posible decidir cuáles son los valores máximos y mínimos en un período de esa señal.

Para conocer la frecuencia de la señal se emplea la señal de referencia en su forma digital, de esta manera se puede contar el número de pulsos de la señal de reloj que hay entre dos flancos de subida e identificar así la frecuencia de la señal. Para realizar una comparación de los niveles de voltaje que se tienen en un período de la señal de interés se emplea el convertidor analógico al digital, esto permite realizar las comparaciones mediante las mediciones sucesivas de la señal.

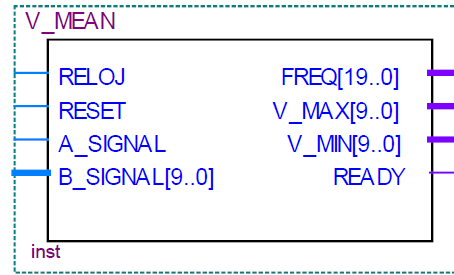


Figura 4.8 Componente V_MEAN.

En la Figura 4.8 se muestra el componente V_MEAN. Este componente se encarga de realizar mediciones de una señal alterna, el componente entrega el período, el voltaje máximo y mínimo en ese período y genera una señal aproximada a la señal de entrada tomando como base el período de la señal de reloj.

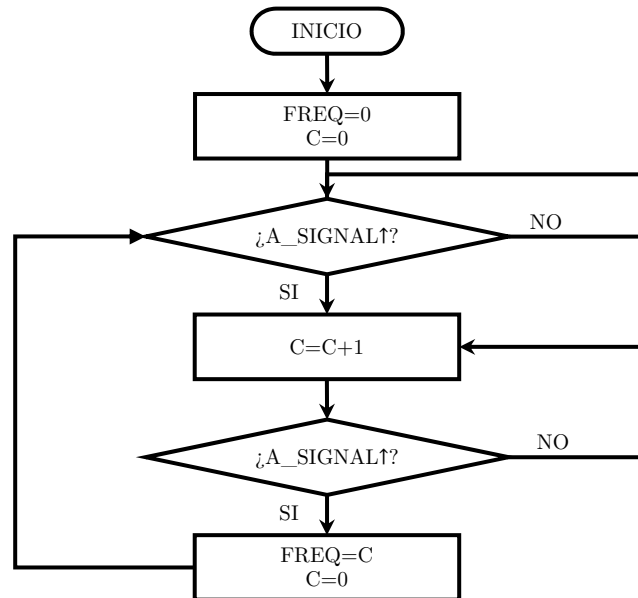


Figura 4.9 Diagrama de flujo de la señal FREQ[19..0] (V_MEAN).

En la Figura 4.9 se muestra el diagrama de flujo de la señal FREQ[19..0] (V_MEAN). El resultado es un valor numérico del número de pulsos de la señal de reloj que hay entre flancos de subida de la señal de entrada.

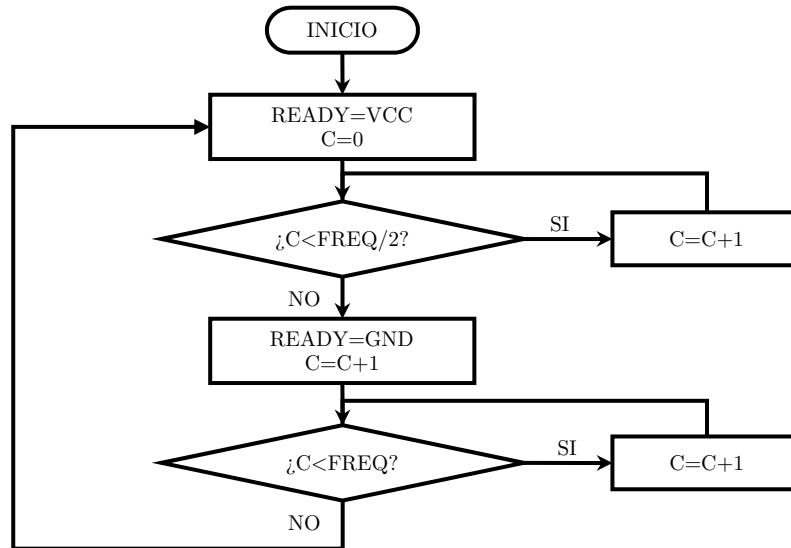


Figura 4.10 Diagrama de flujo de la señal READY (V_MEAN).

En la Figura 4.10 se muestra el diagrama de flujo de la señal READY (V_MEAN). Esta señal se genera a partir del valor de frecuencia calculado anteriormente, la señal generada corresponde a una señal idéntica a la señal de entrada pero tomando como base el período de la señal de reloj.

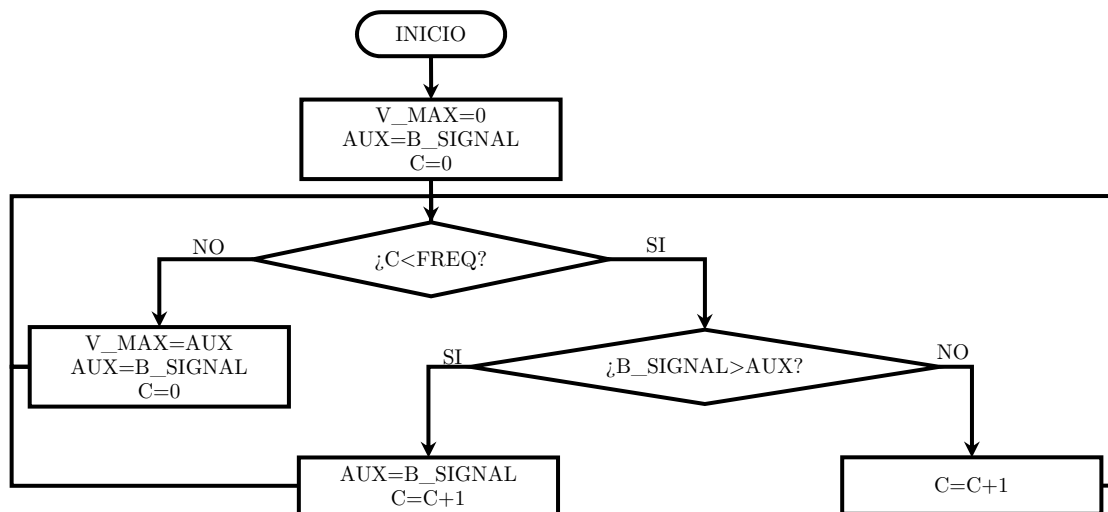


Figura 4.11 Diagrama de flujo de la señal V_MAX (V_MEAN).

En la Figura 4.11 se muestra el diagrama de flujo de la señal V_MAX (V_MEAN). La señal es generada en función de la frecuencia calculada anteriormente, el resultado se calcula mediante comparaciones sucesivas a manera de almacenar siempre el valor más grande registrado y cuando se alcanza el valor equivalente al período de la señal se almacena la amplitud máxima de la señal.

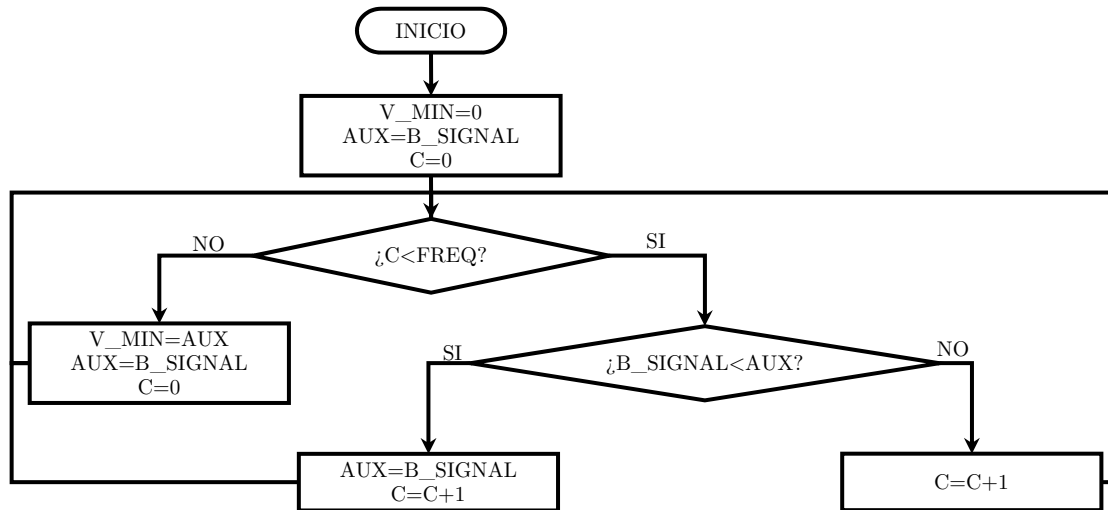


Figura 4.12 Diagrama de flujo de la señal V_MIN (V_MEAN).

En la Figura 4.12 se muestra el diagrama de flujo de la señal V_MIN (V_MEAN). La señal es generada en función de la frecuencia calculada anteriormente, el resultado se calcula mediante comparaciones sucesivas a manera de almacenar siempre el valor más pequeño registrado y cuando se alcanza el valor equivalente al período de la señal se almacena la amplitud mínima de la señal.

4.4 Controlador del lazo de control de amplitud

El circuito amplificador de ganancia programable y el circuito derivador de ganancia programable conforman el hardware de los circuitos electrónicos de control, el control de estos circuitos consiste en enviar la información necesaria para producir un cambio de ganancia de los circuitos y amplificar la señal hasta un valor deseado y mantenerlo.

Para realizar la tarea antes mencionada se implementa un comparador del valor deseado de amplitud y el valor actual de la amplitud y un controlador.

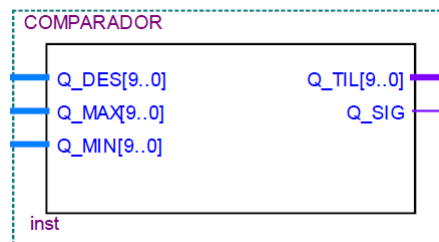


Figura 4.13 Componente comparador.

En la Figura 4.13 se muestra el componente comparador. Este componente genera una señal de error a partir de la amplitud deseada Q_DES y la amplitud actual de la señal a controlar. La señal de error Q_TIL[9..0] es absoluta y se complementa mediante una señal de signo Q_SIG.

Los valores de las señales del comparador están determinadas por:

$$Q_{TIL} = \begin{cases} Q_{MAX} - Q_{MIN} - Q_{DES} & \text{si } Q_{DES} < Q_{MAX} - Q_{MIN} \\ Q_{DES} - Q_{MAX} - Q_{MIN} & \text{si } Q_{DES} > Q_{MAX} - Q_{MIN} \end{cases} \quad (4.1)$$

$$Q_{SIG} = \begin{cases} VCC & \text{si } Q_{DES} < Q_{MAX} - Q_{MIN} \\ GND & \text{si } Q_{DES} > Q_{MAX} - Q_{MIN} \end{cases} \quad (4.2)$$

Las ecuaciones anteriores no permiten que se tenga un dato no valida por efecto de un resultado negativo, en cambio, el resultado del error Q_TIL es un valor absoluto y Q_SIG representa el signo del error.

El controlador se realiza por medio de dos componentes:

- $TANH_T1$.
- $CONTROLADOR_T1$.

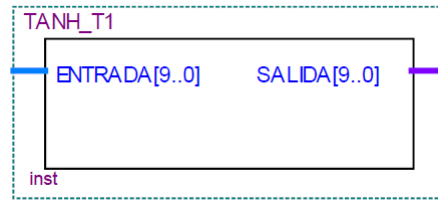


Figura 4.14 Componente $TANH_T1$.

En la Figura 4.14 se muestra el componente $TANH_T1$. Este componente se encarga de atenuar la señal del error Q_TIL y limitar esta última para que no sobre pase cierto valor.

El valor de salida del componente está determinado por:

$$SALIDA = \begin{cases} \frac{ENTRADA}{4} & \text{si } ENTRADA < 40 \\ 10 & \text{si } ENTRADA \geq 40 \end{cases} \quad (4.3)$$

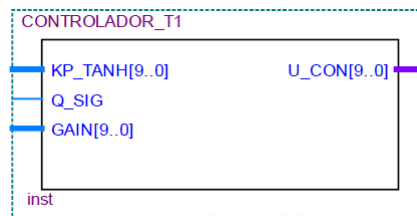


Figura 4.15 Componente $CONTROLADOR_T1$.

En la Figura 4.15 se muestra el componente $CONTROLADOR_T1$. Este componente se encarga de generar la acción de control en función del componente anterior, el signo del error y la ganancia actual del sistema.

Las ecuaciones que definen la acción de control están determinadas por:

$$U_{CON} = \begin{cases} 1000 & \text{si } U_{CON} \geq 1000 \\ GAIN + KP_{TANH} & \text{si } U_{CON} < 1000 \end{cases} \quad (4.4)$$

$$U_{CON} = \begin{cases} 20 & \text{si } U_{CON} \leq 20 \\ GAIN - KP_{TANH} & \text{si } U_{CON} > 20 \end{cases} \quad (4.5)$$

La ecuación (4.4) se ejecuta cuando el error es positivo, es decir, cuando Q_SIG=GND mientras que la ecuación (4.5) se ejecuta cuando el error es negativo (Q_SIG=VCC).

4.5 Modulo de comunicación inalámbrica

Para controlar el módulo de comunicación inalámbrica RN-XV es necesario realizar el protocolo de comunicación UART para esto se toma como referencia el trabajo de tesis titulado “Control de un robot articular de 1 grado de libertad utilizando un sistema embebido configurable por medio de una interfaz inalámbrica” [26]. En este trabajo se desarrolla el firmware del protocolo UART para controlar el RN-XV y solo basta con realizar los ajustes pertinentes.

Los componentes para realizar controlar el RN-XV son:

- clock_460800bps.
- UART_TX.
- UART_RX.
- TEST_UART_2.
- startStop.

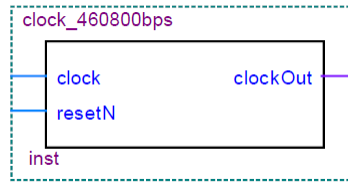


Figura 4.16 Componente clock_460800.

En la Figura 4.16 se muestra el componente clock_460800. Este componente genera la señal de reloj para el componente UART_TX del protocolo UART a partir del reloj de 100 MHz.

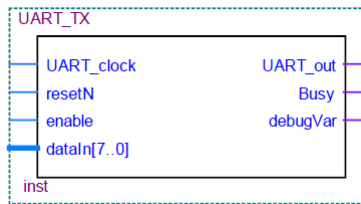


Figura 4.17 Componente UART_TX.

En la Figura 4.17 se muestra el componente UART_TX. Este componente se encarga de controlar la señal de transmisión del protocolo UART, convierte un dato paralelo de 8 bits en una trama de bits que se envían al RN-XV.

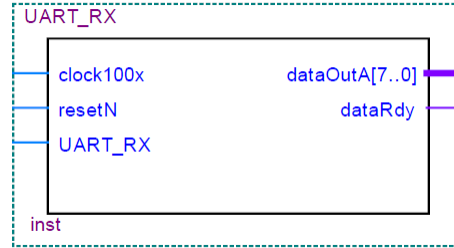


Figura 4.18 Componente UART_RX.

En la Figura 4.18 se muestra el componente UART_RX. Este componente se encarga de controlar la información de la señal de recepción del protocolo UART, convierte el dato serial enviado por el RN-XV en un dato paralelo.

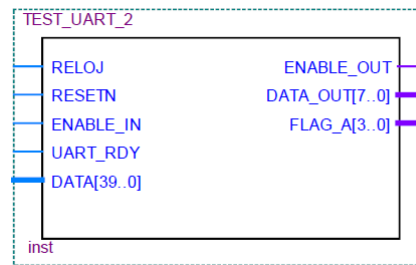


Figura 4.19 Componente TEST_UART_2.

En la Figura 4.19 se muestra el componente TEST_UART_2. Este componente se encarga de controlar el flujo de información hacia el componente UART_TX, de esta manera se envía la información del dato de entrada mediante datos de 8 bits.

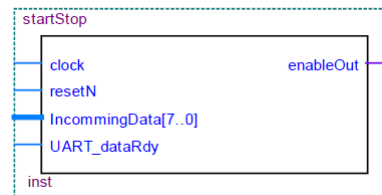


Figura 4.20 Componente startStop.

En la Figura 4.20 se muestra el componente startStop. Este componente se encarga de monitorear la información recibida por el componente UART_RX, de acuerdo al dato recibido se habilita o deshabilita el componente UART_TX.

La información que se envía mediante este firmware es la siguiente:

- 8 bits para validar la información.
- 20 bits para el resultado de la multiplicación y filtrado (V_{PSD3} y V_{PSD4}).
- 10 bits para la ganancia actual del amplificador.
- 10 bits para la amplitud de las señales de referencia.

En total se envían 6 Bytes de información, es decir, 48 bits mediante el protocolo de comunicación inalámbrica. El primer lugar se envían 8 bits para validar la información enviada, si este dato no es el indicado entonces el software lo reconoce como no-válido.

4.6 Conclusiones

En este capítulo se describe el flujo de información del firmware implementado para controlar el hardware que forma parte de la tarjeta de circuito impreso diseñada.

El firmware del convertidor analógico-digital desarrollado funciona de manera continua y permite validar la información mediante una señal adicional. Esto es importante porque de esta manera se garantiza que los datos leídos siempre sean estables.

El desarrollo del firmware del potenciómetro digital contiene una inicialización para que se pueda ajustar la resistencia del mismo y se agrega una señal de control que inicia el protocolo de control mediante un flanco de subida. Esto es importante porque de esta manera se asegura que la acción de control solo será efectuada cuando esta se valide.

Para realizar los cálculos de frecuencia y amplitud de la señal alterna se genera el firmware capaz de hacer las mediciones en base a la señal en su forma discreta (tren de pulsos) y su forma analógica (leída mediante el convertidor analógico-digital), se genera además una señal idéntica a la señal de entrada discreta pero con el período base de la señal de reloj. Esto es importante porque se asegura la sincronización de la información al ser esta señal la que indique cada cuanto se ejecuta la acción de control.

El controlador desarrollado efectúa acciones de control relativamente pequeñas ya que el máximo cambio que se realiza es de 10 bits. Este controlador es desarrollado para propósitos de funcionalidad y no se realizó un ajuste exhaustivo del mismo. Como se mencionó anteriormente la acción de control se efectúa en base al período de la señal de entrada, esto es importante porque hasta no conocer la amplitud de la señal no se puede ejecutar la acción de control y para ello es necesario hacer comparaciones en al menos un período de esa señal.

El firmware para controlar el módulo de comunicación inalámbrica es en esencia el utilizado por otro trabajo de tesis [26]. Esto facilita en gran medida la implementación del RN-XV, solo fue necesario ajustar un componente del firmware para enviar la información de manera personalizada al presente trabajo de tesis.

Una vez realizado el firmware para controlar el hardware de la tarjeta de circuito impreso es necesario monitorear los valores enviados mediante el software desarrollado en el ambiente de programación *LabVIEW* de *National Instruments*.

Capítulo 5

Software del sistema

El software para el monitoreo de la información enviada por medio del módulo de comunicación inalámbrica RN-XV se desarrolla en el ambiente de programación *LabVIEW* de *National Instruments*.

El software implementado se estructura mediante un panel frontal y un diagrama a bloques.

5.1 Panel frontal del software implementado

El panel frontal se emplea para el monitoreo y ajuste de las variables que intervienen en el proceso para el cual se desarrolla en software mientras que el diagrama a bloques se encarga de agregar funcionalidad al sistema.



Figura 5.1 Interfaz de usuario del software de monitoreo.

En la Figura 5.1 se muestra la interfaz de usuario del software de monitoreo. La captura de pantalla corresponde al panel frontal del ambiente de programación, en esta pantalla se muestran las siguientes variables a monitorear:

- Bytes recibidos.
- Encabezado.
- V_{PSD1} , V_{PSD2} .
- Ganancia.
- V_R .
- Amplitud.
- Fase.

Las variables **Bytes recibidos** y **Encabezado** funcionan para validar los datos enviados por el firmware, el encabezado está configurado para ser $F1_{16}$ por lo cual si se tiene otro valor diferente el dato es no-válido.

Las variables V_{PSD1} , V_{PSD2} , **Ganancia** y V_R son resultado de la manipulación de los datos recibidos, la variable ganancia se obtiene mediante una ecuación mientras que las otras variables pasan de forma directa.

La variable **Ganancia** es el valor que viene del valor ajustado por el potenciómetro digital por lo cual su valor viene determinado por:

$$Ganancia_* = \frac{R_{POT}}{1000}, \quad (5.6)$$

$$R_{POT} = 100 + \frac{Ganancia \times 100\,000}{1023}. \quad (5.7)$$

Donde:

$Ganancia_*$: Es el valor modificador de la ganancia.

R_{POT} : Es el valor de la resistencia del amplificador de ganancia programable.

Las ecuaciones anteriores resultan de la función de ganancia del amplificador de ganancia programable (2.54) y la función de resistencia del potenciómetro digital (2.61).

Las variables **Amplitud** y **Fase** se calculan mediante las ecuaciones (1.30) y (1.31) respectivamente.

5.2 Diagrama a bloques del software implementado

El diagrama a bloques agrega funcionalidad a las variables del panel frontal y controla el flujo de información del sistema. A continuación se presentan las etapas del diagrama a bloques implementado y una descripción de su funcionalidad.

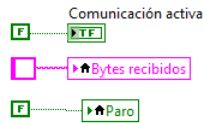


Figura 5.2 Inicialización de variables del sistema.

En la Figura 5.2 se muestra la inicialización de variables del sistema. Esta etapa se encarga de asignar valores iniciales al sistema, la única variable inicializada es la de **Bytes recibidos** ya que siempre se requiere realizar la comparación del encabezado para validar los datos enviados mediante el modulo RN-XV.

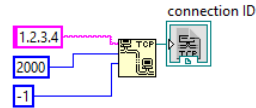


Figura 5.3 Creación de conexión TCP.

En la Figura 5.3 se muestra la creación de conexión TCP. Esta etapa crea una conexión TCP con la dirección y puerto del módulo RN-XV, estos parámetros son los que se asignan por defecto según el fabricante.

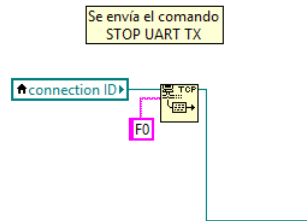


Figura 5.4 Escritura de datos a la conexión TCP.

En la Figura 5.4 se muestra la escritura de datos a la conexión TCP. Esta etapa se encarga enviar datos mediante la conexión TCP al módulo RN-XV.

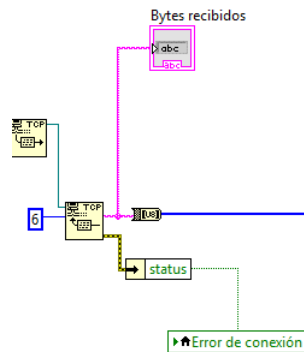


Figura 5.5 Recepción de datos de la conexión TCP.

En la Figura 5.5 se muestra la recepción de datos de la conexión TCP. Esta etapa reciben 6 Bytes del RN-XV, los datos recibidos se almacenan en la variable **Bytes recibidos**.

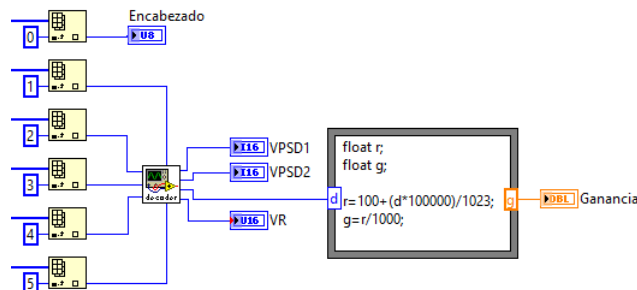


Figura 5.6 Manipulación de los daros recibidos.

En la Figura 5.6 se muestra la manipulación de los datos recibidos. En esta etapa se separan los 48 bits recibidos y se unen de la manera adecuada para representar las variables V_{PSD1} , V_{PSD2} y V_R , se realiza además la modificación de la variable **Ganancia**.

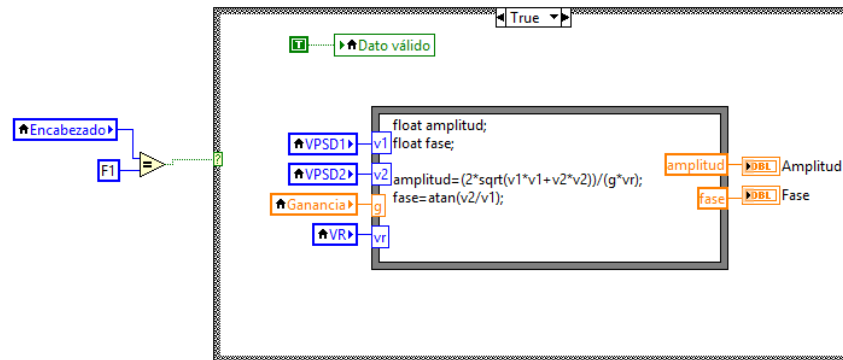


Figura 5.7 Cálculo de las variables amplitud y fase.

En la Figura 5.7 se muestra el cálculo de las variables de amplitud y fase. En esta etapa se emplean las ecuaciones del principio de operación para calcular las variables **Amplitud** y **Fase**.



Figura 5.8 Retardo de 75 ms.

En la Figura 5.8 se muestra un retardo de 75 ms. Este retardo se emplea para retrasar el monitoreo del sistema un tiempo aproximado de 75 ms.

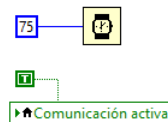


Figura 5.9 Indicador de comunicación activa.

En la Figura 5.9 se muestra el indicador de comunicación activa. Esta etapa se encarga de indicar que la comunicación sigue activa y después agrega otro retardo de 75 ms.

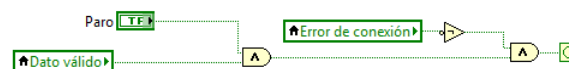


Figura 5.10 Reinicio del sistema por fallo de conexión o dato no válido.

En la Figura 5.10 se muestra el reinicio del sistema por fallo de conexión o dato no válido. Esta etapa se encarga de monitorear el estado de la conexión y de verificar que el encabezado sea el que se configuro en el firmware, en caso de que se tenga un error de conexión o el encabezado sea diferente el sistema se reinicia.

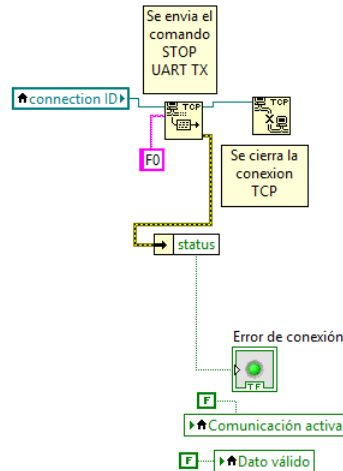


Figura 5.11 Cierre de la conexión TCP.

En la Figura 5.11 se muestra el cierre de la conexión TCP. En esta etapa se comprueba el estado de la conexión y se modifica el indicador de la comunicación activa, se desactiva el dato valido para esperar la siguiente comparación del encabezado y se finaliza la conexión TCP.



Figura 5.12 Botón de paro del sistema.

En la Figura 5.12 se muestra el botón de paro del sistema. Esta etapa finaliza el monitoreo de las variables mediante un paro completo del sistema, este botón puede ser activado en cualquier momento.

5.3 Conclusiones

En este capítulo se implementa el software de monitoreo de la información del hardware que es procesada por el firmware y recibida de forma inalámbrica. La información recibida se manipula para realizar los cálculos de amplitud y fase de la pequeña señal y la información se despliega en una interfaz de usuario.

Para recibir la información de forma adecuada es muy importante deshabilitar el mensaje que se puede enviar de forma predeterminada mediante el módulo RN-XV cuando se realiza una conexión TCP. Esto es muy importante porque de lo contrario, el encabezado no coincidirá con el programado en el firmware y además de que el software siempre marcará un dato no valido, la información se ve alterada por el mensaje de conexión TCP.

Otra consideración importante es la configuración de la cantidad de Bytes enviados a través del módulo RN-XV. Si bien los datos pueden ser enviados aunque no se configure el software para recibir la misma cantidad, el software puede no mostrarlos de forma adecuada o simplemente recibir la cantidad indicada.

Capítulo 6

Resultados experimentales

Para comprobar la funcionalidad del hardware de la tarjeta de circuito impreso del amplificador Lock-In así como del firmware y software se realizaron pruebas experimentales de cada una de estas etapas y se obtienen los resultados mostrados a continuación.

6.1 Circuito de control corredor de fase

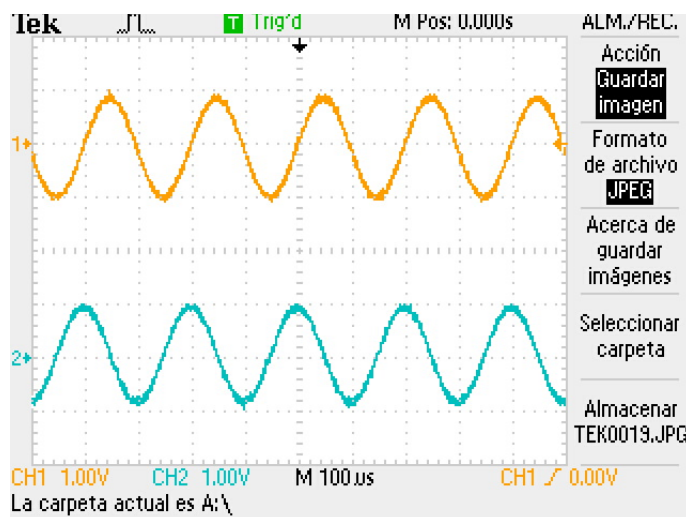


Figura 6.1 Respuesta del circuito de control corredor de fase (estado estable).

En la Figura 6.1 se muestra la respuesta del circuito de control corredor de fase (estado estable). En la gráfica se muestran las formas de onda de la entrada (arriba) y la salida (abajo), como puede observarse para una entrada seno se tiene una salida coseno por lo cual se comprueba el funcionamiento del circuito corredor de fase.

Las formas de onda mostradas en la gráfica anterior son capturadas una vez que se alcanza la amplitud deseada configurada en el firmware (2 V voltaje pico a pico), en este instante el controlador mantiene la ganancia para la cual se tiene esta amplitud y realiza un cambio en la acción de control cuando la amplitud de la señal de entrada se ve afectada.

En los circuitos electrónicos de control, el tiempo en que se ejecuta la acción de control está en función de la señal a regular. Para ejecutar una acción de control se requiere al menos un periodo de la señal a regular para establecer el valor de amplitud y de esta manera efectuar la acción de control adecuada.

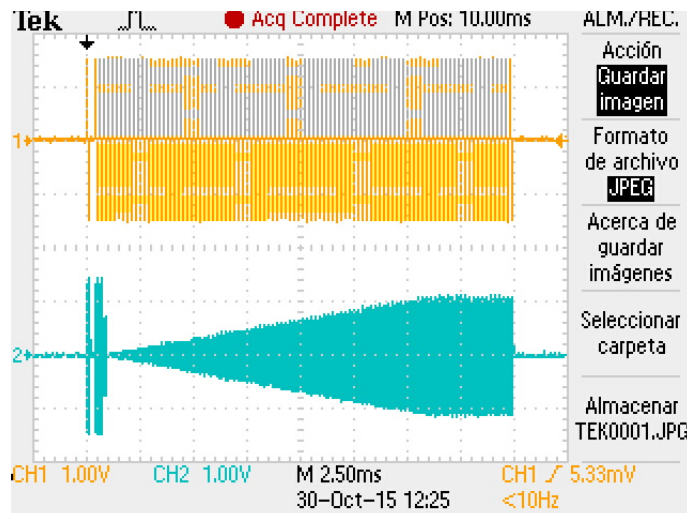


Figura 6.2 Respuesta del circuito de control corredor de fase (estado transitorio).

En la Figura 6.2 se muestra la respuesta del circuito de control corredor de fase (estado transitorio). En la gráfica se muestran las formas de onda de la entrada (arriba) y salida (abajo), esta grafica representa el comportamiento del control en su estado transitorio, es decir, justo antes de alcanzar la amplitud deseada. La señal de entrada tiene una amplitud constante mientras que la amplitud de la salida inicia con un valor grande y después se modifica desde el valor mínimo de amplificación hasta el valor de amplitud deseada.

6.2 Circuito de control de amplitud

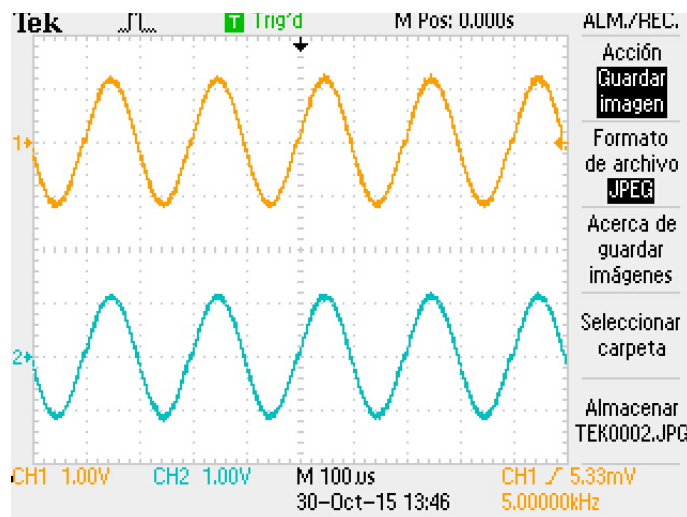


Figura 6.3 Respuesta del circuito de control de amplificación (estado estable).

En la Figura 6.3 se muestra la respuesta del circuito de control de amplificación (estado estable). En la gráfica se muestra la entrada (arriba) y salida (abajo) del sistema en el estado estable, es decir, cuando se alcanza la amplitud deseada. El circuito funciona adecuadamente ya que mantiene la amplitud del sistema.

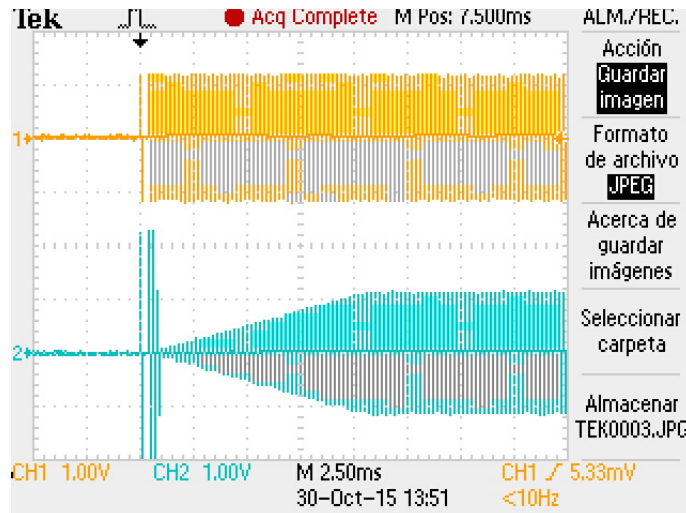


Figura 6.4 Respuesta del circuito de control de amplificación (estado transitorio).

En la Figura 6.4 se muestra la respuesta del circuito de control de amplificación (estado transitorio). En la gráfica se muestra la entrada (arriba) y la salida (abajo), la respuesta del sistema se captura en su estado transitorio, es decir, justo antes de que el sistema alcance la amplitud deseada.

6.3 Protocolo de control del AD7440

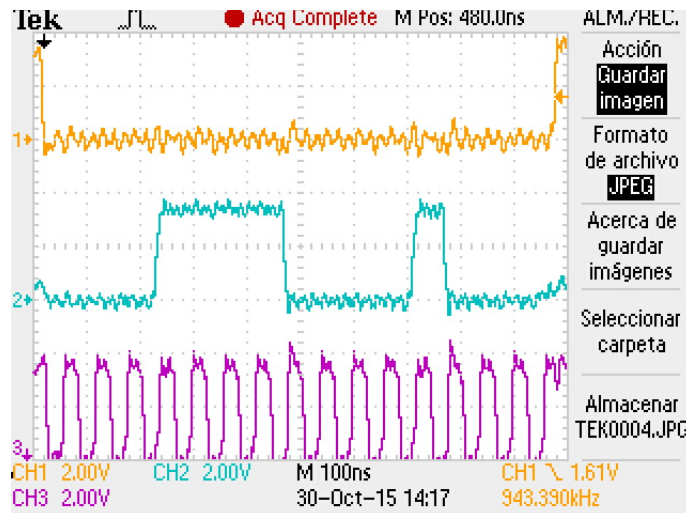


Figura 6.5 Formas de onda que controlan el AD7440.

En la Figura 6.5 se muestran las formas de onda que controlan el AD7440. En la gráfica se muestran las formas de onda de la señal SP_SYNC (arriba), SP_DATA (medio) y SP_CLK (abajo) del convertidor analógico-digital, las formas de onda mostradas son las mismas que controlan a los circuitos de control por lo cual se asegura su correcto funcionamiento además que se comprobó para diferentes valores de CD y CA.

6.4 Protocolo de control del AD5292

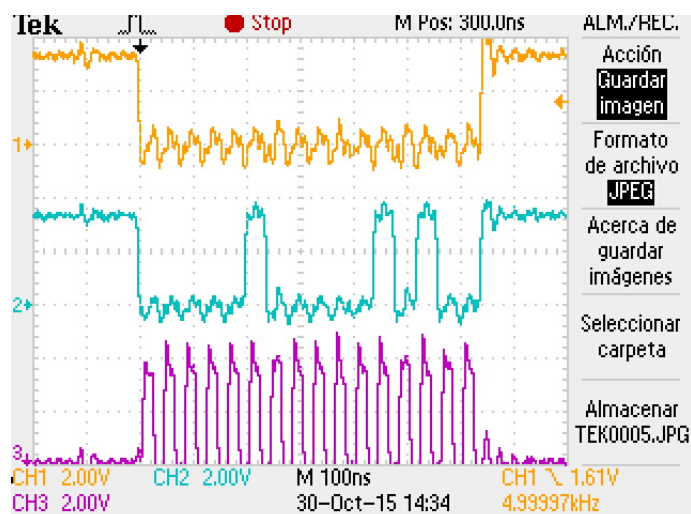


Figura 6.6 Formas de onda que controlan el AD5292.

En la Figura 6.6 se muestran las formas de onda que controlan el AD5292. En la gráfica se muestran las formas de onda de la señal SP_SYNC (arriba), SP_DATA (medio) y SP_CLK (abajo) del potenciómetro digital, igualmente estas forma de onda son las que se emplean en los circuitos de control por lo cual su funcionamiento es adecuado, pruebas de modificaciones simples se realizaron con anterioridad para modificar valores específicos de resistencia.

6.5 Filtro rechaza bandas de 60 Hz

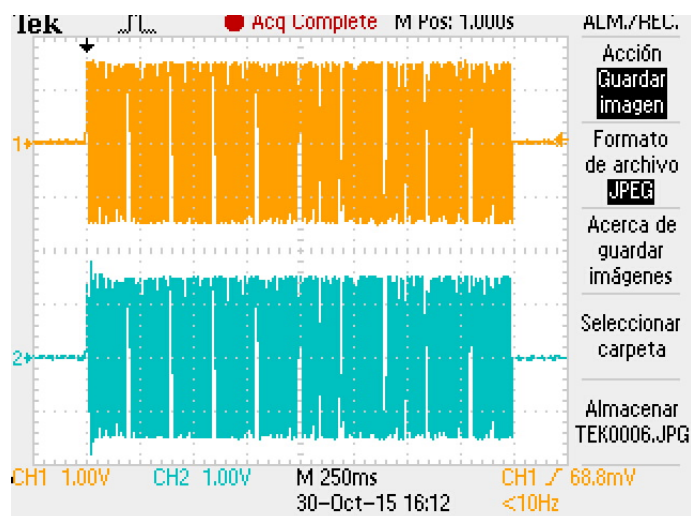


Figura 6.7 Respuesta del filtro rechaza bandas de 60 Hz (rango 1 Hz a 10 kHz).

En la Figura 6.7 se muestra la respuesta del filtro rechaza bandas de 60 Hz (rango de 1 Hz a 10 kHz). En la gráfica se muestra la entrada (arriba) y la salida (abajo), como puede observarse en este rango las respuesta del sistema es uniforme.

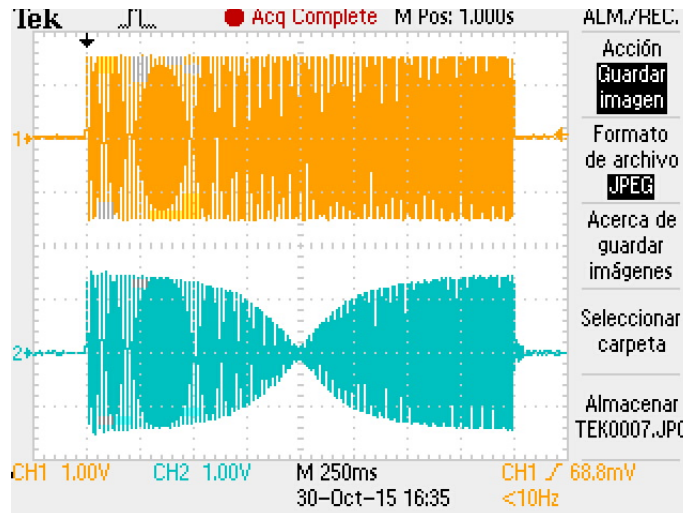


Figura 6.8 Respuesta del filtro rechaza bandas de 60 Hz (rango 40 Hz a 80 Hz).

En la Figura 6.8 se muestra la respuesta del filtro rechaza bandas de 60 Hz (rango 40 Hz a 80 Hz). En la gráfica se muestra la entrada (arriba) y la salida (abajo), en este rango se aprecia la atenuación de la señal de salida en el centro de la gráfica. Este rango equivale a los 60 Hz lo cual es lo esperado por lo cual se comprueba su funcionamiento.

6.6 Filtro pasa bajas de 98 kHz

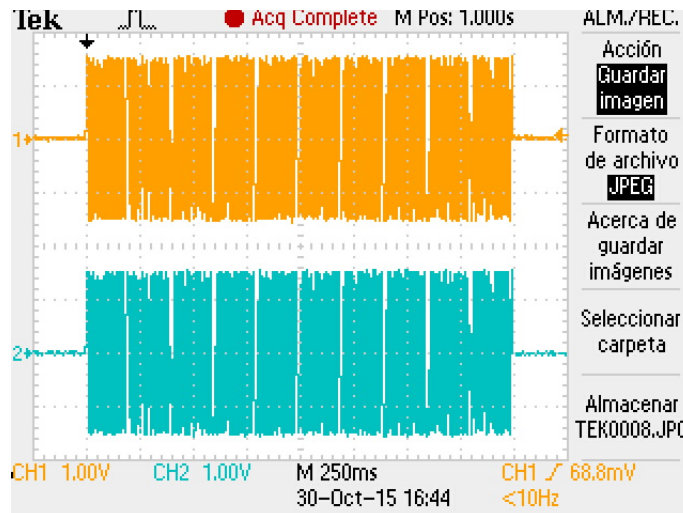


Figura 6.9 Respuesta del filtro pasa bajas de 98 kHz (rango 1 Hz a 10 kHz).

En la Figura 6.9 se muestra la respuesta del filtro pasa bajas de 98 kHz (rango 1 Hz a 10 kHz). En la gráfica se muestra la entrada (arriba) y la salida (abajo), en este rango de frecuencias el filtro tiene una respuesta uniforme lo cual es esperado ya que la frecuencia de corte está una década arriba de la frecuencia mostrada en la gráfica.

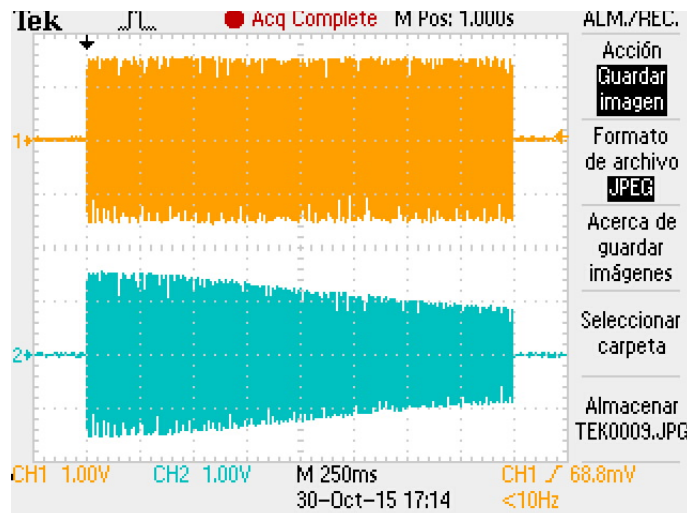


Figura 6.10 Respuesta del filtro pasa bajas de 98 kHz (rango 1 Hz a 400 kHz).

En la Figura 6.10 se muestra la respuesta del filtro pasa bajas de 98 kHz (rango 1 Hz a 400 kHz). En la gráfica se muestra la entrada (arriba) y la salida (abajo), en este rango se puede observar la atenuación de la salida conforme la frecuencia incrementa lo cual indica su correcto funcionamiento.

6.7 Amplificador operacional TL082

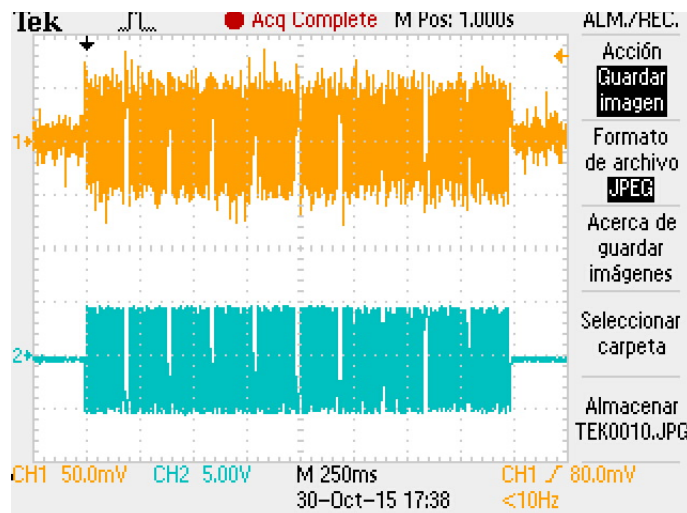


Figura 6.11 Respuesta del amplificador inversor (rango 1 Hz a 10 kHz).

En la Figura 6.11 se muestra la respuesta del amplificador inversor (rango 1 Hz a 10 kHz). En la gráfica se muestra la entrada (arriba) y la salida (abajo), la ganancia configurada es de 100 por lo cual la señal de entrada es pequeña, sin embargo, la salida del amplificador es uniforme en este rango de frecuencia y se valida la implementación de este circuito en la construcción de los circuitos de control para el rango mostrado.

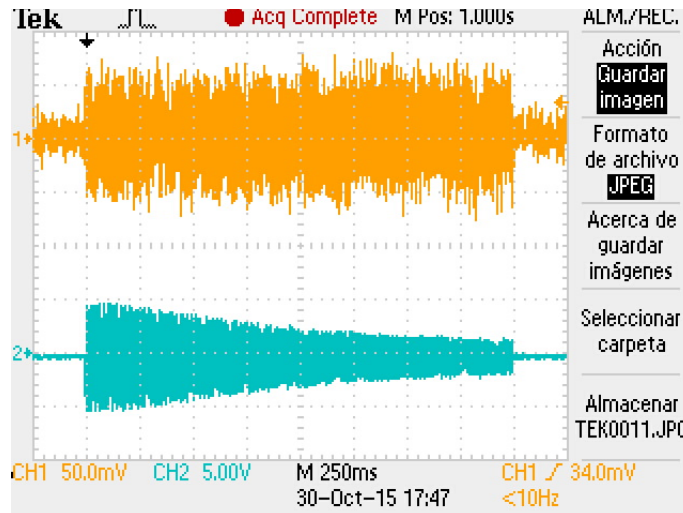


Figura 6.12 Respuesta del amplificador inversor (rango 1 Hz a 100 kHz).

En la Figura 6.12 se muestra la respuesta del amplificador inversor (rango 1 Hz a 100 kHz). En la gráfica se muestra la entrada (arriba) y la salida (abajo) del sistema, el ancho de banda de un amplificador se reduce conforme aumenta la ganancia por este motivo se realiza la prueba con la ganancia más alta configurable.

6.8 Filtro pasa bajas de 0.1 Hz

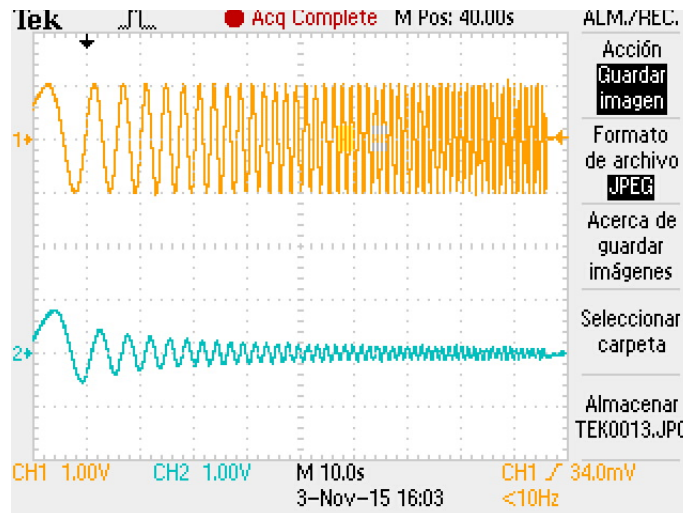


Figura 6.13 Respuesta del filtro pasa bajas de 0.1 Hz (rango 0.01 Hz a 1 Hz).

En la Figura 6.13 se muestra la respuesta del filtro pasa bajas de 0.1 Hz (rango 0.1 Hz a 1 Hz). En la gráfica se muestra la entrada (arriba) y la salida (abajo), como puede observarse la salida es atenuada conforme incrementa la frecuencia por lo cual el filtro funciona de forma adecuada.

6.9 Filtro pasa altas de 0.1 Hz

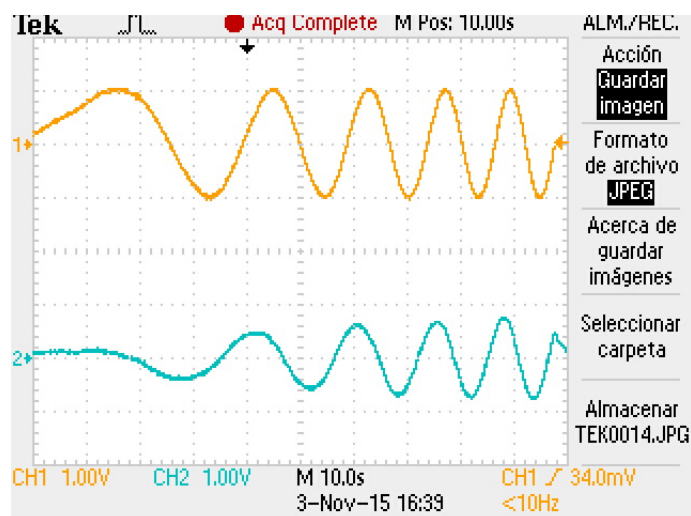


Figura 6.14 Respuesta del filtro pasa altas de 0.1 Hz (rango 0.01 Hz a 0.1 Hz).

En la Figura 6.14 se muestra la respuesta del filtro pasa altas de 0.1 Hz (rango 0.01 Hz a 0.1 Hz). En la gráfica se muestra la entrada (arriba) y la salida (abajo), como puede observarse a medida que la frecuencia disminuye, la amplitud de la salida se atenúa lo cual verifica el funcionamiento del sistema.

6.10 Multiplicador analógico MPY634

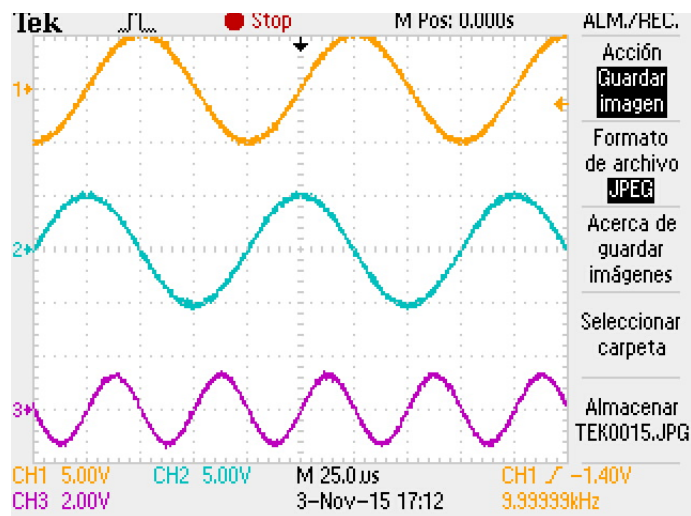


Figura 6.15 Respuesta del MPY634 (frecuencia máxima de operación).

En la Figura 6.15 se muestra la respuesta del MPY634 (frecuencia máxima de operación). En la gráfica se muestran las señales de entrada (arriba, medio) y la salida (abajo) del multiplicador, como puede observarse la salida es una señal que tiene la suma de frecuencias de las señales de entrada.

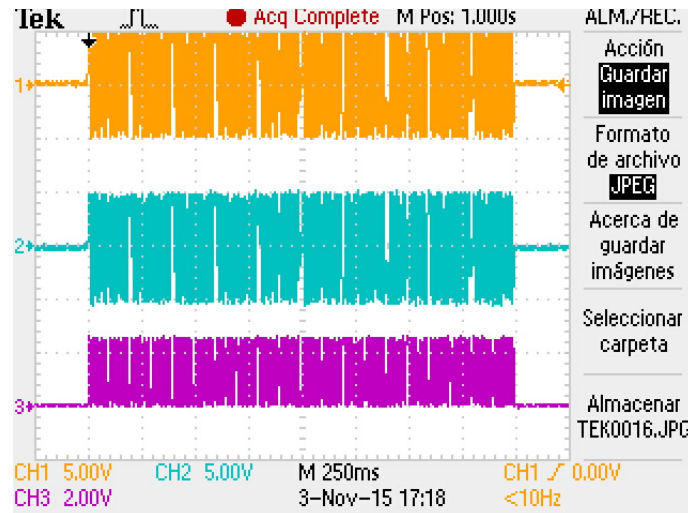


Figura 6.16 Respuesta del MPY634 (rango 1 Hz a 10 kHz).

En la Figura 6.16 se muestra la respuesta del MPY634 (rango 1 Hz a 10 kHz). En la gráfica se muestran las señales de entrada (arriba, medio) y la salida (abajo), como puede observarse la respuesta es uniforme en el rango que se comprueba su funcionamiento.

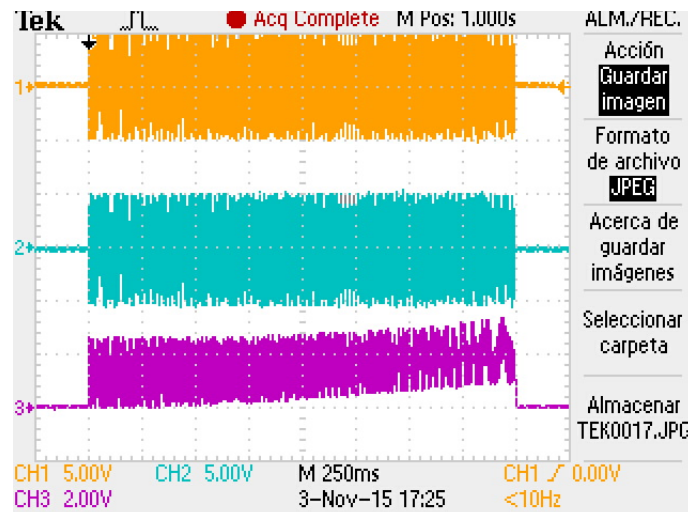


Figura 6.17 Respuesta del MPY634 (rango 1 Hz a 400 kHz).

En la Figura 6.17 se muestra la respuesta del MPY634 (rango 1 Hz a 400 kHz). En la gráfica se muestran las señales de entrada (arriba, medio) y la salida (abajo), en este rango se puede observar que la respuesta no es uniforme ya que se tiene una desviación hacia niveles mayores de voltaje.

6.11 Amplificadores de instrumentación

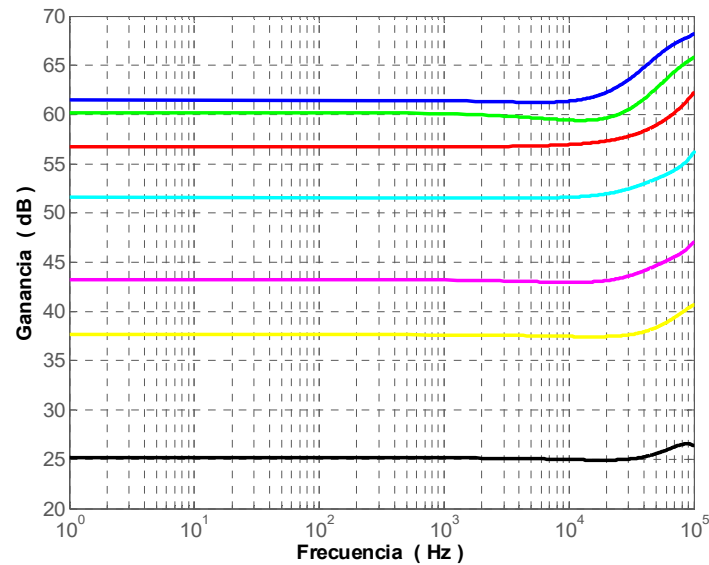


Figura 6.18 Gráfica de ganancia contra frecuencia del AD8421.

En la Figura 6.18 se muestra la gráfica de ganancia contra frecuencia del AD8421. La escala horizontal es logarítmica y la magnitud está en decibeles. Partiendo de la curva superior a la curva inferior las ganancias equivalentes son: 991, 762, 496, 253, 100, 50, 10.

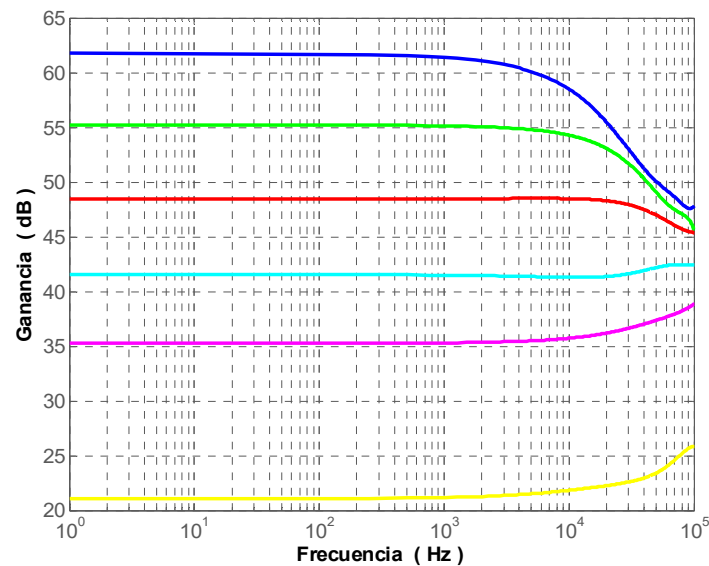


Figura 6.19 Gráfica de ganancia contra frecuencia del AD8221.

En la Figura 6.19 se muestra la gráfica de ganancia contra frecuencia del AD8221. La escala horizontal es logarítmica y la ganancia está en decibeles. Partiendo de la curva superior a la curva inferior las ganancias equivalentes son: 990, 495, 248, 99, 50, 9.

6.12 Conclusiones

En este capítulo se presentan los resultados de las pruebas experimentales del diseño y construcción del amplificador Lock-In. Los resultados son importantes porque validan el diseño de la tarjeta de circuito impreso y respaldan su funcionalidad.

Los resultados de los circuitos de control validan el correcto funcionamiento del controlador desarrollado en firmware así como la operación de los otros componentes que intervienen en el sistema. El circuito de control corredor de fase funciona de manera adecuada pero es importante marcar el hecho de que está diseñado para una señal de entrada sinusoidal mientras que el circuito de control de amplitud puede funcionar para señales diversas.

La acción de control de los circuitos de control está en función de la frecuencia de la señal que se está controlando, de esta manera se evita modificar la señal antes de conocer la amplitud máxima de la señal en un período de la misma. Esta consideración es muy importante porque para frecuencias mayores la acción de control se ejecuta más rápido que para frecuencias menores.

La funcionalidad de los diferentes filtros involucrados en la construcción del amplificador Lock-In es validada mediante capturas de la respuesta de los sistemas a un barrido de frecuencias en el rango de operación del amplificador Lock-In.

El multiplicador analógico tiene una respuesta uniforme dentro del rango de operación del instrumento, sin embargo, más allá de este rango el dispositivo tiene una respuesta no esperada por lo cual los filtros pasa bajas son importantes para que el dispositivo no opere con frecuencias a las cuales se tiene este comportamiento no esperado.

Conclusiones generales

En el presente trabajo se logró realizar el diseño de una tarjeta de circuito impreso de un amplificador Lock-In controlada mediante un sistema basado en FPGA y con comunicación inalámbrica mediante el protocolo IEEE 802.11 b/g. La funcionalidad del diseño está sustentada mediante los resultados de las pruebas experimentales de cada etapa que interviene en la operación del instrumento, cada etapa es caracterizada en base a los parámetros de operación del instrumento.

La tarjeta de circuito impreso del amplificador Lock-In está diseñada para detectar señales cuya amplitud es de 400 nV a 250 mV con un rango de operación en frecuencia de 10 Hz a 10 kHz. Estos rango de operación no son destacables en comparación con los de los amplificadores Lock-In comerciales pero la prioridad del diseño por el momento es la funcionabilidad ya que es el primer prototipo de este instrumento que se desarrolla en este programa de posgrado.

La obtención de la segunda señal de referencia (desfasada) se obtiene mediante un circuito derivador lo cual es un principio diferente a varios amplificadores comerciales, esto sin embargo, crea la necesidad de una señal de referencia sinusoidal.

El firmware desarrollado para controlar los dispositivos y circuitos electrónicos de control está desarrollado mediante el lenguaje de programación AHDL y no se emplea la propiedad intelectual de terceros por lo cual los recursos empleados del FPGA son pocos y están especialmente diseñados para los dispositivos empleados. El firmware empleado en este trabajo puede ser usado para otros trabajos de investigación y desarrollo tal como en este trabajo se empleó el firmware del protocolo de comunicación UART.

El presente trabajo de investigación se puede emplear para otros trabajos de investigación mediante el empleo de este sistema para la detección de pequeñas señales tal como lo puede ser la detección y conteo de fotones.

Los parámetros de operación del dispositivo pueden ser ampliados sin realizar cambios de hardware, sin embargo, esta ampliación es muy reducida y está en base a la caracterización de los dispositivos, por ejemplo los amplificadores de instrumentación dejan de tener una respuesta uniforme a una frecuencia de 40 kHz por lo cual es recomendable buscar hardware de mejores prestaciones.

Referencias

- [1] Stanford Research Systems, *MODEL SR830 DSP Lock-In Amplifier*, 2011.
- [2] Z. Shi-Yu, L. Lei-Jie, G. Guo-Ying y Z. Li-Min, «A Digital Lock-In Amplifier Based Contact Detection Technique for Electrochemical Nanolithography,» de *Intelligent Robotics and Applications*, Montreal, Springer Berlin Heidelberg, 2012, pp. 313-322.
- [3] A. De Marcellis, G. Ferri, A. D'Amico, C. Di Natale y E. Martinelli, «A Fully-Analog Lock-In Amplifier With Automatic Phase Alignment for Accurate Measurements of ppb Gas Concentrations,» *IEEE Sensors Journal*, vol. 12, nº 5, pp. 1377-1383, 2012.
- [4] Stanford Research Systems, Inc, «MODEL SR830 DSP Lock-In Amplifier,» 1999.
- [5] Stanford Research Systems, Inc, «Analog Lock-In Amplifier SR124,» 2013.
- [6] Stanford Research Systems, Inc, «Model SR844 RF Lock-In Amplifier,» 2007.
- [7] Zurich Instruments AG, «HF2 User Manual».
- [8] Zurich Instruments AG, «UHLFI Leaflet».
- [9] Stanford Research Systems, *Analog Lock-In Amplifier SR124*, 2013.
- [10] Stanford Research Systems, *About Lock-In Amplifiers, Application Note 3*.
- [11] C. d. C. Martínez Chiñas, Sistema de adquisición de datos para el registro de señales bioeléctricas humanas, Puebla, Puebla, 2012.
- [12] Analog Devices, Inc, *AD8221 Data Sheet*, 2011.
- [13] Analog Devices, Inc, *AD8421 Data Sheet*, 2012.
- [14] Texas Instruments, Inc., *TL082 Data Sheet*, 2013.
- [15] F. Reyes Cortés y J. Cid Monjaraz, ARDUINO - Aplicado en Robótica, Mecatrónica e Ingenierías, Alfaomega.
- [16] Analog Devices, Inc., *Circuit Note CN-0114*, 2010.
- [17] Analog Devices, Inc., *AD7440/AD7450A Data Sheet*, 2005.
- [18] Texas Instruments, Inc., *MPY634 Data Sheet*, 2004.

- [19] Roving Networks, *RN-XV Data Sheet*, 2011.
- [20] Microchip Technology Inc., *RN171 2.4 GHz IEEE Std. 802.11 b/g Wireless LAN Module*, 2014.
- [21] Roving Networks, *WiFly Command Reference, Advanced Features & Applications User's Guide*, 2013.
- [22] Cisco Systems, Inc., *Radio Channels and Transmit Frequencies*, 2007.
- [23] Analog Devices, Inc., *EMI, RFI, and Shielding Concepts*, 2009.
- [24] Analog Devices, Inc., *Grounding Data Converters and Solving the Mystery of "AGND" and "DGND"*, 2009.
- [25] J. López Aparicio, *Automatización del experimento de correlación de pares de fotones de conversión paramétrica descendente*, Puebla, Puebla, 2013.
- [26] J. Ruiseceo López, *Control de un robot articular de 1 grado de libertad utilizando un sistema embebido configurable por medio de una interfaz inalámbrica*, 2014.
- [27] M. A. MOJID, H. CHO y H. MIYAMOTO, «Evaluation of a Lock-in-Amplifier-Based Spectral Induced Polarization Method for Soil Characterization,» *Enviroment Control in Biology*, vol. 50, nº 4, pp. 363-374, 2012.
- [28] T. Shirane y M. Ito, «Measurement of Hysteresis Loop on Soft Magnetic Materials Using Lock-In Amplifier,» *IEEE Transactions on Magnetics*, vol. 48, nº 4, pp. 1437-1440, 2012.
- [29] N. Chiyo, Y. Komine, Y. Tanaka, A. Nishitaka, T. Hirano y T. Maeno, «Proposal of Measurement Method of Electromagnetic Field Intensity Distribution near Circuit Using Infrared 2-D Lock-in Amplifier,» *Journal of The Japan Institute of Electronics Packaging*, vol. 15, nº 4, pp. 263-270, 2012.
- [30] Y. Kai, Y. Tsuchida, T. Todaka y M. Enokizono, «Examination of Measurement Method for Magnetostriction of Electrical Steel Sheet with Lock-in Amplifier,» *IEEJ Transactions on Fundamentals and Materials*, vol. 132, nº 11, pp. 1033-1038, 2012.
- [31] A. D' Amico, A. De Marcellis, C. Di Carlo, C. Di Natale, G. Ferri, E. Martinelli, R. Paolesse y V. Stornelli, «Low-voltage low-power integrated analog lock-in amplifier for gas sensor applications,» *Sensors & Actuators B: Chemical*, vol. 144, nº 2, pp. 400-406, 2010.
- [32] A. Restelli, R. Abbiati y A. Geraci, «Digital field progamable gate array-based lock-in amplifier for high-performance photon counting applications,» *Review of Scientific Instruments*, vol. 76, nº 9, pp. 093112(1-8), 2005.
- [33] N. Chiyo, M. Arai, Y. Tanaka, A. Nishikata y T. Maeno, «Microwave Imaging with Infrared 2-D Lock-in Amplifier,» *IEEJ Transactions on Fundamentals and Materials*, vol. 129, nº 11, pp. 785-790, 2009.

- [34] T. Maeno, N. Chiyo y Y. Tanaka, «Three-dimensional Electromagnetic Field Intensity Measurement using an Infrared Two-dimensional Lock-in Amplifier,» *IEEJ Transactions on Fundamentals and Materials*, vol. 127, nº 10, pp. 656-657, 2007.

El presente trabajo es desarrollado y evaluado para la obtención del grado de Maestro en Ciencias de la Electrónica opción Automatización, adicionalmente se deben cumplir con los siguientes requisitos:

- Presentación del trabajo de tesis en un congreso nacional o internacional mediante una exposición oral.
- Acreditar un nivel del idioma inglés mediante un examen TOEFL con un puntaje mayor o igual a 450 puntos.

Para presentar el presente trabajo se envió un artículo en extenso del trabajo al XII Congreso Internacional sobre Innovación y Desarrollo Tecnológico CIINDET 2015. El artículo fue aceptado y presentado mediante una exposición oral. Los documentos que acreditan esta participación así como el puntaje del idioma inglés se muestran en las siguientes páginas.



CIINDET 2015
HACIA UN DESARROLLO SUSTENTABLE
CON TECNOLOGÍA PROPIA



CONGRESO INTERNACIONAL
SOBRE INNOVACIÓN Y
DESARROLLO TECNOLÓGICO



La Sección Morelos del Instituto de Ingenieros en Electricidad y en Electrónica
Otorga la presente

Constancia

A

Luis Manuel Ramírez Ramírez

Por su participación como

CONGRESISTA



Durante el XII Congreso Internacional sobre Innovación
y Desarrollo Tecnológico, realizado del 25 al 27 de marzo del 2015,
en la ciudad de Cuernavaca, Morelos, México.


Dr. Francisco Ponce Maldonado
Presidente IEEE Sección Morelos


Dr. Rafael Castellanos Bustamante
Presidente del Cindet 2015

Constancia de congresista CIINDET 2015.



CONSTANCIA

Artículo: *“Diseño y construcción de un amplificador Lock-In controlado por medio de un sistema embebido”*

Autores: **Luis Manuel Ramírez Ramírez, Sergio Vergara Limon, Fernando Reyes Cortés, María Aurora D. Vargas Treviño**

Id. artículo: **53**

Área: **Electrónica e Instrumentación**

El Comité Técnico del XII Congreso Internacional Sobre Innovación y Desarrollo Tecnológico CIINDET 2015, que se llevó a cabo en la ciudad de Cuernavaca, Morelos, México, del 25 al 27 de marzo de 2015, hace constar que el artículo citado fue presentado de acuerdo con el programa técnico del congreso e incluido en las memorias del mismo.

La presente constancia se expide para los fines legales que a los autores convengan.

Cuernavaca, Morelos, México a 27 de Marzo de 2015.

Atentamente




Dr. Jorge Guillermo Calderón Guizar
Presidente del Comité Técnico CIINDET 2015

Constancia de ponencia CIINDET 2015.



Diseño y construcción de un amplificador Lock-In controlado por medio de un sistema embebido

L. M. Ramírez Ramírez, S. Vergara Limón, F. Reyes Cortés, M. A. Vargas Treviño

Resumen: En el presente documento se propone el diseño de un amplificador Lock-In basado en un sistema embebido que emplea la multiplicación de señales de forma analógica para el principio de operación de la detección sensible a la fase y se implementan lazos de control de amplitud mediante potenciómetros digitales controlados con un FPGA. El amplificador es diseñado para la medición de señales con frecuencia de 1 Hz a 10 kHz con un voltaje pico a pico mínimo de 400 nV.

Palabras Clave: Amplificador Lock-In, detección sensible a la fase, FPGA, sistema embebido.

Abstract: An analog-based multiplication for phase-sensitive detection Lock-In amplifier embedded system is here presented, amplitude control loops are implemented with digital potentiometers controlled via FPGA. The amplifier is designed for detecting signals whose frequency is from 1 Hz to 10 kHz with a minimum peak to peak voltage of 400 nV.

Keywords: Lock-In amplifier, phase sensitive detection, FPGA, embedded system.

Introducción

La medición de pequeñas señales en presencia de alto ruido es un desafío permanente en muchos campos de la ciencia y la tecnología. La técnica usada por los amplificadores Lock-In es de gran utilidad cuando se requiere detectar y medir señales alternas de frecuencia fija donde la amplitud de la señal puede ser inclusive 100 veces menor que la amplitud del ruido envolvente.

Un amplificador Lock-In es un instrumento de medición de señales alternas muy pequeñas (del orden de unos cientos de nano volts). El instrumento requiere el cono-

cimiento de la frecuencia de la señal a medir y mediante una medición indirecta se calcula la amplitud y la fase de la señal.

Los amplificadores Lock-In son muy usados en la investigación, se utilizan por ejemplo para la caracterización de suelos mediante la medición de propiedades eléctricas [1], para cuantificar el efecto provocado por la temperatura [2, 3] y el esfuerzo [4] en el campo magnético de materiales, en la detección de gases [5] y fotones [6], para visualizar imágenes térmicas a partir de distribuciones de intensidad de campo electromagnético [7, 8] entre muchas otras.

El principio de operación de un amplificador Lock-In es la detección sensible a la fase (PSD, *phase-sensitive detection*) [9], esta es una técnica que multiplica una señal de entrada que contiene la señal a detectar en una envolvente de ruido con una señal de referencia de frecuencia igual a la frecuencia de la señal a detectar. El resultado de la multiplicación es procesado por un filtro pasa bajas que genera un voltaje de corriente directa proporcional a la amplitud de la señal a detectar y que tiene una dependencia del defasamiento entre la señal a detectar y la señal de referencia.

Los amplificadores Lock-In pueden funcionar con uno [10] o dos [11] módulos PSD con un principio de operación analógico o digital y en cada caso se requiere de circuitos electrónicos como lazos de control se alineación de fase [12] que aseguren una medición correcta de la señal a detectar. También se encuentran reportados diseños y pruebas experimentales de amplificadores Lock-In para una aplicación específica que pueden ser integrados en un circuito integrado [13]. El objetivo del presente trabajo es diseñar y construir un amplificador Lock-In basado en un principio de operación analógico, se propone utilizar un circuito derivador con una señal de referencia sinusoidal en lugar de un circuito de alineación de fase empleando lazos de control de amplitud para asegurar la medición correcta de la señal a detectar.

Luis Manuel Ramírez Ramírez, Sergio Vergara Limón, Fernando Reyes Cortés, María Aurora Dízcora Vargas Treviño, Benemérita Universidad Autónoma de Puebla, Facultad de Ciencias de la Electrónica, Maestría en Ciencias de la Electrónica opción Automatización, Av. San Claudio y 18 Sur S/N, Ciudad Universitaria Edificio 109A CP: 72570, Puebla, México, lmanuelr@ece.buap.mx.

TOEFL ITP Score Report

Name of Institution: FACULTAD DE LENGUAS DE LA BUAP

Name: RAMIREZ LUIS

Student Number:

DOB: 05/31/1988

Sex: M

Degree:

Times Taken TOEFL: None

Native Country: Mexico

Native Language: Spanish

Scaled Scores:

Listening Comprehension: 55

Test Date: 04/24/2015

Structure & Written Expression: 56

Form: TOEFL ITP

Reading Comprehension: 60

Total Score: 570



The face of this document has a security background. The back contains a watermark. Hold at an angle to view.

The TOEFL® ITP Assessment Series is designed to be used for placement, progress monitoring, and exit purposes. TOEFL® ITP scores can also be used for admissions to programs and institutions where English is not the dominant language of instruction for content courses. Learn more at www.ets.org/toefl_itp/use.

104132-10573 • FB614R100 • Printed in U.S.A. I.N. 770462

Student's File Copy
Do Not Copy

Copyright © 2012 by Educational Testing Service.

Reporte de resultados del examen TOEFL ITP.