

BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA



T E S I S

PARA OBTENER EL TÍTULO DE:

LICENCIADA EN ELECTRÓNICA

P R E S E N T A:

DIANA MATA HERNÁNDEZ

---

# Convertidor Analógico Digital Pipeline

---

*Asesores*

Dr. Víctor Rodolfo González Díaz

C.Dr. Héctor Santiago Ramírez

20 de marzo de 2015

## *Agradecimientos*

Agradezco a mis asesores de tesis, el Dr. Víctor Rodolfo González Díaz y el C.Dr. Héctor Santiago Ramírez por su confianza y conocimientos que han hecho posible la realización de este proyecto.

Al comité revisor, el Dr. Salvador Alcantara Iniesta, la M.C. Selene Edith Maya Rueda y el M.C. José Francisco Portillo Robledo, cuyas observaciones han enriquecido este trabajo de tesis.

A la Facultad de Ciencias de la Electrónica de la BUAP por los años de formación brindados, a mis profesores por la excelencia y calidad humana, a mis compañeros y amigos.

# Índice general

<b>Agradecimientos</b>	<b>I</b>
<b>Introducción</b>	<b>VI</b>
<b>1. Convertidores ADC</b>	<b>1</b>
1.1. Conversión analógica digital . . . . .	1
1.1.1. Muestreo . . . . .	2
1.1.1.1. Teorema de muestreo . . . . .	2
1.1.2. Cuantificación . . . . .	3
1.1.3. Codificación . . . . .	3
1.2. Parámetros de los convertidores . . . . .	4
1.2.1. Relación señal ruido . . . . .	4
1.2.2. Rango dinámico . . . . .	5
1.2.3. Número efectivo de bits . . . . .	5
1.2.4. Offset . . . . .	6
1.2.5. Error de ganancia . . . . .	6
1.2.6. No linealidad . . . . .	7
1.2.6.1. No linealidad diferencial . . . . .	8
1.2.6.2. No linealidad integral . . . . .	9
1.2.7. Convertidor monotónico . . . . .	10
1.2.8. Error de cuantificación . . . . .	11
1.2.9. Incertidumbre de tiempo de muestreo . . . . .	12
1.3. Especificaciones de los convertidores . . . . .	13
1.3.1. Resolución . . . . .	13
1.3.2. Frecuencia de muestreo . . . . .	13
1.3.3. Relación de sobremuestreo OSR . . . . .	13
1.3.4. Tiempo de adquisición . . . . .	14
1.3.5. Tiempo de conversión . . . . .	14
1.3.6. Precisión y exactitud . . . . .	14
<b>2. Arquitecturas de convertidores</b>	<b>15</b>
2.1. Tipos de <i>ADC's</i> . . . . .	15
2.1.1. Convertidor Flash . . . . .	16
2.1.2. Convertidor por aproximaciones sucesivas . . . . .	17

2.1.3.	Convertidor Sigma-Delta	18
2.2.	ADC <i>pipeline</i>	18
2.2.1.	Arquitectura <i>pipeline</i>	18
2.2.2.	Convertidor <i>pipeline</i>	19
2.2.3.	ADC de etapa básica	20
2.2.4.	DAC y amplificación	20
2.2.5.	Aplicaciones del ADC <i>pipeline</i>	23
<b>3.</b>	<b>Descripción Comportamental de un ADC <i>pipeline</i></b>	<b>26</b>
3.1.	Verilog-A	27
3.1.1.	Ventajas de Verilog-A	27
3.1.2.	Módulos	28
3.1.3.	Niveles de abstracción	28
3.1.3.1.	Nivel Transferencia De Registros (RTL)	28
3.1.3.2.	Nivel Compuerta	29
3.1.3.3.	Nivel Comportamental	29
3.1.3.4.	Ejemplo de descripción comportamental	30
3.2.	Bloques para el sistema de conversión <i>pipeline</i>	31
3.2.1.	Comparador	32
3.2.2.	Switch	33
3.2.3.	Flip-Flop D	35
3.2.4.	Decodificador	37
3.2.5.	Print	39
3.3.	ADC <i>pipeline</i> Con bloques descripción comportamental	41
3.3.1.	Celda inicial del convertidor	41
3.3.2.	Convertidor AD 1 bit (celda unitaria)	42
3.3.3.	Fases de reloj para el sistema	43
<b>4.</b>	<b>Caracterización del ADC considerando los efectos de las no idealidades</b>	<b>50</b>
4.1.	No linealidades del ADC <i>pipeline</i>	50
4.1.1.	Ganancia Finita del amplificador operacional	51
4.1.2.	Valor de condensadores y ruido térmico	52
4.1.3.	Retardo en el comparador	54
4.1.4.	Offset en los Comparadores	54
4.1.5.	Offset del amplificador	55
4.1.6.	Variación de los voltajes de referencia	55
4.2.	Caracterización estática	56
4.2.1.	Variación de parámetros	60
4.2.2.	Gráficas de DNL e INL con parámetros del cuadro 4.1	60
4.2.3.	DNL e INL con diferentes ganancias del amplificador operacional	61
4.2.4.	DNL e INL con retardo en el comparador	62
4.2.5.	DNL e INL con offset en el comparador	63
4.2.6.	DNL e INL con diferentes valores de offset de amplificador operacional	64
4.2.7.	DNL e INL con variación de los voltajes de referencia	66
4.2.8.	Variación de Voltajes de alimentación de $\pm 2\%$ y $\pm 1\%$	73
4.3.	Caracterización mediante relación señal a ruido	77

---

4.3.1. Obtención del espectro para la SNR . . . . .	79
<b>5. Conclusiones</b>	<b>81</b>
<b>A. Gráficas de operaciones por etapa (residuo, bits, retardos de Flip-flops)</b>	<b>85</b>
<b>B. Glosario</b>	<b>98</b>
<b>Bibliografía</b>	<b>105</b>

*A mis padres, a mi hermana y a mi novio quienes han estado conmigo, ya que sin su apoyo y comprensión no hubiera podido concluir este trabajo.*

# Introducción

A lo largo de la historia, el procesamiento de señales ha ido evolucionando, el que predomina es el procesamiento digital por sus ventajas en cuanto a consumo de recursos. Haciendo una comparación entre los sistemas digitales y los sistemas analógicos, los primeros presentan ventajas en cuanto a menor sensibilidad al ruido, más robustez en voltaje de alimentación y variaciones de procesos.

Lo anterior es resultado del avance en las técnicas de fabricación de circuitos integrados CMOS, ya que en la actualidad los nuevos diseños de circuitos digitales incluyen: mayor velocidad, mayor funcionalidad por chip, menor disipación de potencia y menor costo [1]. Un ejemplo de esto es el procesamiento de audio, originalmente mecánico, luego magnético, digital y actualmente memorias flash para su almacenamiento. Esto podría dar pauta a pensar que los sistemas electrónicos son completamente digitales, lo cual no es así, ya que la globalización digital es difícil debido a que las señales naturales son analógicas (se recibe y retiene la información en forma analógica). Por lo que es necesario convertir señales analógicas a digitales y viceversa, ya sea para su almacenamiento y/o procesamiento digital.

Esto se logra a través de convertidores Analógico-Digital y Digital-Analógico los cuales crean un puente entre el mundo analógico y digital.

Para satisfacer las demandas actuales de convertidores de datos, se han desarrollado varias arquitecturas, mejorando características como resolución, velocidad, consumo de potencia, etc.

El trabajo de esta tesis se enfoca a un convertidor Analógico-Digital *pipeline*, el cual consta de una arquitectura sencilla, ya que se compone de una etapa básica que se va replicando en serie, lo que permite una alta velocidad y un gran ancho de banda. Tiene aplicaciones en: sistemas inalámbricos, pruebas y mediciones en instrumentación, sistemas de radar, adquisición de datos e imágenes médicas [3] [2].

El objetivo de la tesis es Implementar un convertidor Analógico-Digital de arquitectura *pipeline* de 10 bits, y realizar su caracterización. Para llevar a cabo el objetivo de la tesis se tienen los siguientes objetivos particulares:

1. Diseño y modelado de la arquitectura a nivel comportamental en el lenguaje de descripción de hardware Verilog A.
2. Establecer los valores de los parámetros activos y pasivos (ganancia de amplificadores y valor de los condensadores) para cumplir las especificaciones.
3. Definir la aplicación y las especificaciones del convertidor.
4. Caracterizar el convertidor mediante la No-linealidad Integral la No-linealidad Diferencial, y obtener la relación señal a ruido del convertidor con los parámetros con los que el convertidor tiene un comportamiento más cercano al ideal.

### **Organización de la Tesis**

Este trabajo de tesis consta de cinco capítulos.

Capítulo 1: se presenta un panorama introductorio a cerca de la conversión analógica digital, los pasos del proceso dicha conversión de datos; se definen algunos parámetros estáticos que caracterizan el funcionamiento estático del ADC pipeline (entre ellos la no linealidad integral y la no linealidad diferencial).

Capítulo 2: se realiza una breve introducción al funcionamiento de las topologías más importantes utilizadas en los convertidores ADC, posteriormente, se explica el funcionamiento de la arquitectura, el diseño de cada etapa del convertidor ADC *pipeline* y las especificaciones que debe satisfacer.

Capítulo 3: se define el funcionamiento comportamental de un circuito, en seguida se presenta una breve reseña del uso de Verilog-A y sus niveles de abstracción; por último se presenta la descripción a nivel comportamental de cada uno de los diferentes bloques que componen cada una de las etapas básicas del sistema y el procedimiento completo de sincronización.

Capítulo 4: se manifiestan los resultados de la caracterización estática (no linealidad diferencial y no linealidad integral), obtenidos a partir de la variación de los parámetros más importantes en el funcionamiento del convertidor (ganancia finita del amplificador operacional, offset en el comparador, retardos en el comparador, etc.) y posteriormente se presenta el cálculo obtenido de la relación señal a ruido (sin variación de parámetros).

Capítulo 5: se exponen los rangos de funcionamiento del convertidor y las conclusiones de la tesis.

# Capítulo 1

## Convertidores ADC

### 1.1. Conversión analógica digital

El convertidor analógico-digital (ADC del inglés analogic to digital converter), es uno de los bloques esenciales que integran un sistema de procesamiento digital de señales. Estos sistemas se han desarrollado rápidamente en los últimos 30 años debido principalmente a dos factores: el desarrollo en las técnicas de fabricación de circuitos integrados y al desarrollo de arquitecturas de computadoras [4].

Un ADC es un circuito electrónico que transforma una señal continua en el tiempo y en amplitud, es decir, que puede tomar infinidad de valores dentro de un límite superior e inferior (señal analógica) en una señal discreta en el tiempo y cuya amplitud está cuantificada y codificada, generalmente mediante un código binario (señal digital). Esta conversión se hace con el propósito de facilitar el procesamiento de dicha señal, para hacerla menos susceptible al ruido y otras interferencias a las que son más sensibles las señales analógicas

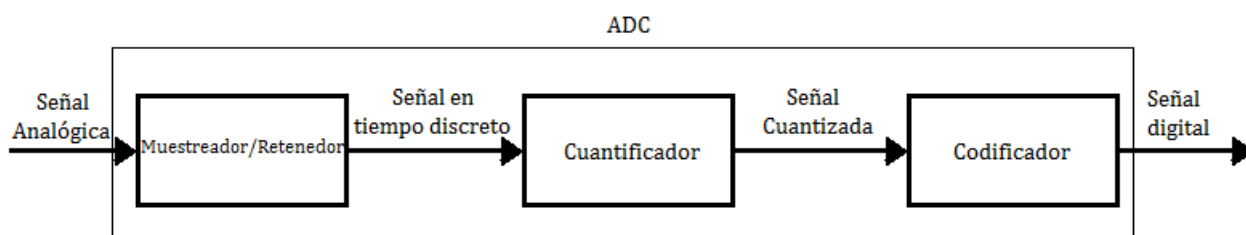


FIGURA 1.1: Proceso de la conversión analógico-digital

La digitalización o conversión analógica-digital consiste básicamente en realizar de forma periódica medidas de la amplitud de la señal y traducirlas a un lenguaje numérico. Los procesos

que intervienen en la conversión analógica-digital se observan en la Figura 1.1 y se describen posteriormente.

### 1.1.1. Muestreo

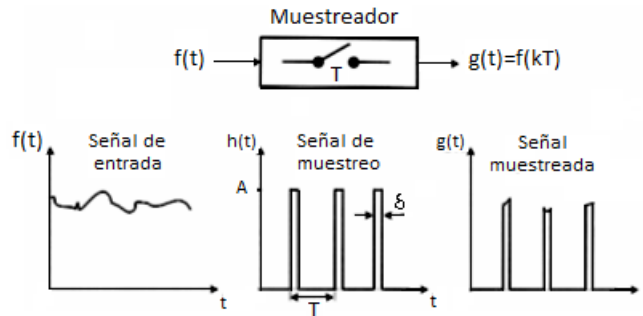


FIGURA 1.2: Secuencia de muestreo

Reside en tomar muestras periódicas de la amplitud de la señal. La velocidad con que se toman estas muestras, (el número de muestras por segundo) es lo que se conoce como frecuencia de muestreo. Una señal analógica  $f(t)$ , continua en el tiempo, se transforma en una señal en tiempo discreto  $f(kT) = g(t)$ , donde  $k$  es un entero y  $T$  es el periodo de la señal de muestreo este proceso se muestra en la Figura 1.2. El método de muestreo más utilizado es el uniforme, esto se refiere a que se hace la toma de muestras en intervalos de tiempo con la misma separación ( $T$ ) se expresa como:

$$g(t) = f(kT); \leftarrow -\infty < k < +\infty, \quad (1.1)$$

Donde  $T$  es el periodo de muestreo,  $f_s = 1/T$  es la frecuencia de muestreo y  $k$  el número de muestra.

Ya que el muestreo empleado no es un proceso asíncrono, se deben seguir ciertos criterios para no perder la información de la señal analógica que es transformada en señal digital; a continuación se enuncia el teorema de muestreo [2][3].

#### 1.1.1.1. Teorema de muestreo

Si una señal continua,  $f(t)$ , tiene una banda de frecuencia tal que  $f_m$  es la frecuencia mayor comprendida dentro de dicha banda, la señal solo podrá reconstruirse sin distorsión a partir de muestras de señal tomadas a una frecuencia  $f_s$ , siendo  $2f_m < f_s$ .

La señal  $f(t)$  se puede reconstruir totalmente a partir de sus muestras si la tasa de muestreo o frecuencia  $f_s$ , cumple que  $f_s > 2B$ , siendo  $B$  la componente espectral máxima de la señal  $f(t)$ .

A la frecuencia  $f_N = 2B$  se denomina Tasa o Frecuencia de Nyquist. Si la frecuencia de muestreo  $f_s$  es inferior a la frecuencia de Nyquist  $f_N$  se produce un traslape del espectro de la señal (*aliasing*), lo que imposibilita una reconstrucción perfecta de la señal [3].

El proceso de retención se trata de un recurso técnico debido a limitaciones prácticas, carece por tanto, de modelo matemático. Las muestras tomadas serán almacenadas por un circuito de retención, el tiempo suficiente para permitir evaluar su nivel (cuantificación) [2].

### 1.1.2. Cuantificación

Es el proceso de convertir una señal en tiempo discreto, con la amplitud definida en un intervalo continuo, en una señal en tiempo discreto definida únicamente para un conjunto de valores discretos de amplitud. La señal discreta se limita a un número finito de amplitudes posibles, resultando una diferencia entre la señal cuantificada y la señal sin cuantificar denominada error de cuantificación. Las amplitudes permitidas para la señal discreta se denominan niveles de cuantificación. La resolución del cuantificador es la distancia entre dos niveles de cuantificación sucesivos ( $A_j$ ), cuantos más niveles se usen, habrá mayor precisión y menor error de cuantificación [2].

### 1.1.3. Codificación

La codificación consiste en traducir los valores obtenidos durante la cuantificación a código digital (binario, termométrico, BCD, etc.). A cada valor discreto de la señal cuantificada  $f_q(n)$  se asigna una secuencia de  $N$  bits. El número de niveles de cuantificación está fijado por los bits de resolución del codificador, y viceversa. Si disponemos de  $N$  bits en el codificador se pueden representar un total de  $2^N$  números binarios, luego el número de niveles de cuantificación máximo se define como  $L = 2^N - 1$  [3].

En el mundo digital se utilizan varios sistemas lógicos. La lógica CMOS ha superado a la TTL, utilizado ampliamente; en el que un “1”, uno ó “true” representa un nivel de mínimo 2.4V. y “0”, cero ó “false” corresponde a un nivel de máximo 0,4 V. Cambios lógicos CMOS son determinados por la tensión de alimentación aplicada, que para los bloques lógicos en este caso puede cambiar de acuerdo a la tecnología y hasta ser menor a 1 V. En un sistema con un flujo de datos digitales en serie, se debe realizar una conversión de una corriente en serie a paralelo. Un registro de desplazamiento realiza este propósito [2].

En un ADC, el ruido que es parte de la corriente de polarización se suma a la señal de entrada y puede resultar en una reducción del rango dinámico del sistema. Además, este desplazamiento debe ser estable con la temperatura, y las variaciones en la tensión de alimentación no debe cambiar el ajuste a cero del convertidor.

## 1.2. Parámetros de los convertidores

Para obtener una idea de los criterios de diseño de un convertidor es importante llegar a una definición unánime de especificaciones. Estas especificaciones deben incluir la aplicación de convertidores en sistemas de conversión.

Especificaciones unánimes de rendimiento en DC son bien conocidas en la literatura mientras que las especificaciones para convertidores en los sistemas de procesamiento de señales son más difíciles de estandarizar. Una de las razones de esta limitación en las especificaciones, se debe a que anteriormente la aplicación de los convertidores era en el área de los voltímetros digitales y sistemas de control. Estos sistemas necesitan alto rendimiento en DC, a velocidades bajas de la señal [2].

El audio digital en comparación con los voltímetros, por ejemplo, se aplica para las especificaciones del sistema dinámico de alto rendimiento. El rendimiento de los convertidores en sistemas de vídeo digital o audio digital está en el límite de las posibilidades de la tecnología de hoy.

Los ADC se caracterizan para fundamentar su correcto funcionamiento. Los parámetros más importantes en la caracterización de un ADC se describen a continuación.

### 1.2.1. Relación señal ruido

Se define la relación señal-ruido (SNR por sus siglas en inglés) como el cociente entre la potencia de salida a la frecuencia de la entrada y la potencia en banda del ruido total [3]:

$$SNR = 10 \log \frac{P_s}{P_r} \quad (1.2)$$

Donde  $\log$  es un logaritmo en base diez,  $P_s$  es la potencia de la señal y  $P_r$  es la potencia de ruido. Se puede ver que la  $SNR$  aumenta de forma monótona con el nivel de entrada. Esto sólo ocurre hasta un cierto valor, donde un exceso en el nivel de la señal de entrada del cuantificador provocará un aumento desmesurado en el ruido de cuantificación, y por tanto una bajada abrupta de  $SNR$  a la salida del cuantificador. La potencia de ruido incluye al ruido térmico, ruido de cuantificación y otros errores resultantes, medidos dentro de la banda de Nyquist del ADC [2][3].

La  $SNR$  se define típicamente por una señal sinusoidal continua aplicada a la entrada del ADC. El ADC convierte la señal en niveles de salida discretos, pero hay una diferencia (o error) entre el valor real de la señal sinusoidal y el nivel cuantificado. Para conversiones ideales (considerando únicamente el ruido de cuantificación) la  $SNR$  en decibeles corresponde a [2]:

$$SNR = N * 6.02 + 1.76dB \quad (1.3)$$

donde  $N$  es el número de bits de resolución del convertidor.

### 1.2.2. Rango dinámico

El rango dinámico se define ( $DR$  por sus siglas en inglés) como el valor de la señal de entrada en el que la relación señal a ruido es de 0 dB, por definición, es igual a la relación señal a ruido del sistema medido sobre un ancho de banda igual a la mitad de la frecuencia de muestreo. Debido a que el error de cuantificación puede ser modelado por un proceso aleatorio se puede comparar este error con el ruido. Este modelo de cuantificación de error es generalmente llamado ruido de cuantificación. El parámetro es útil para algunos tipos de convertidores de datos que no obtienen su  $SNR$  máxima (o  $SINAD$ ) a 0 dB.

En resumen es la relación entre el nivel de señal de mayor valor que el convertidor puede manejar y el nivel de ruido; expresado en dB. El rango dinámico determina la máxima relación señal a ruido [5].

$$DR_{ADC} = 20 \log_{10} (2^N) \quad (1.4)$$

Usualmente se expresa en dB. Idealmente el rango dinámico de entrada viene limitado por la escala completa de entrada del cuantificador.

### 1.2.3. Número efectivo de bits

Si el convertidor puede representar las señales por debajo del nivel de ruido, los bits menos significativos representaran sólo el ruido y no proporcionarán información útil. El número efectivo de bits ( $ENOB$  por sus siglas en inglés) especifica el número de bits que están por encima del nivel de ruido en la señal digitalizada. El número efectivo de bits de un ADC se define como [3][5]:

$$ENOB = \frac{SNDR(dB) - 1.76}{6.02} \quad (1.5)$$

#### 1.2.4. Offset

Los amplificadores de entrada, de salida y los comparadores en circuitos prácticos tienen un offset de voltaje y de corriente inherentemente. El offset es causado por un conjunto de elementos, resulta en una entrada o salida de tensión distinta de cero, aún cuando una señal de cero sea aplicada al convertidor este parámetro se muestra en la Figura 1.3. El offset es muy importante en sistemas de DC [5].

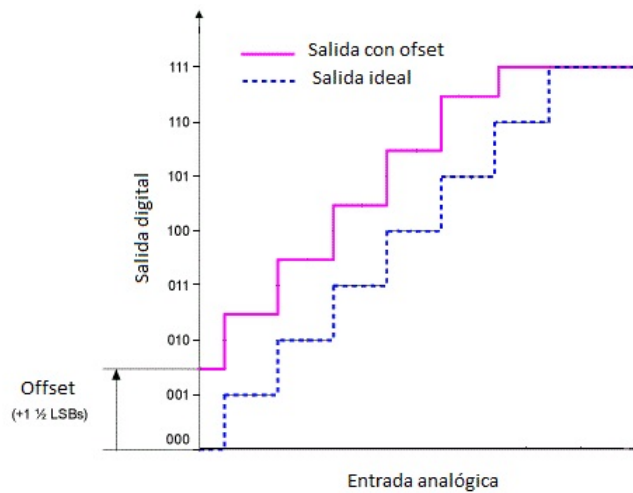


FIGURA 1.3: Error de offset

La dependencia del offset con respecto de la temperatura debe ser pequeña para que no afecte a este tipo de sistemas en márgenes de error considerables. Además, se debe tener cuidado durante el diseño del circuito para evitar el acoplamiento térmico y gradientes térmicos <sup>1</sup> sobre un circuito integrado. Si existe un acoplamiento tal, luego de que este ocurra, el código de salida o la señal de salida manifestará cambios lentos en los componentes dependiendo de la señal de entrada aplicada. Tales componentes no son deseados [2][3].

#### 1.2.5. Error de ganancia

Es el error en la pendiente de la línea recta de interpolación de la curva de transferencia. Para un convertidor ideal de la pendiente  $DFS/XFS$ , donde  $DFS$  y  $XFS$  son el código digital de

<sup>1</sup>Un gradiente de temperatura provoca una difusión, desde el lado caliente al lado frío del material por lo que se induce corriente mediante la temperatura.

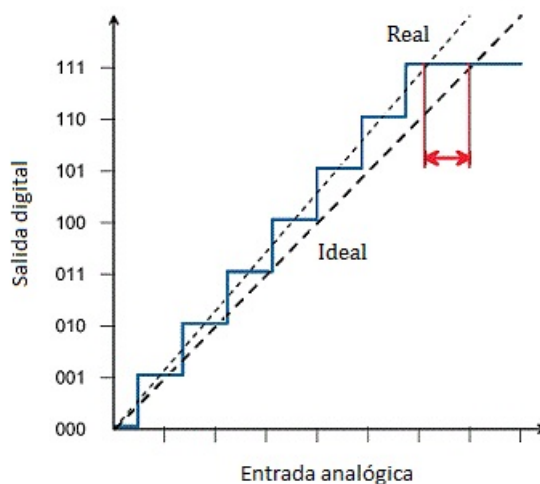


FIGURA 1.4: Error de ganancia

escala total y el rango analógico de escala completa, respectivamente. El error de ganancia define la desviación de la pendiente de un convertidor de datos a partir del valor esperado Figura 1.4. Otra medida del error de ganancia viene dada por la diferencia entre la tensión de entrada, causando una transición a la escala completa y la referencia. Cuando se utiliza esta definición el error de ganancia se conoce como el error de escala completa [3].

### 1.2.6. No linealidad

La precisión de los convertidores no debe ser confundida con la linealidad y la resolución. Esto incluye los errores de cuantificación, no linealidades, offset y ruido. Para un ADC la característica ideal de entrada-salida es una escalera con escalones uniformes en toda la gama dinámica como se observa en la Figura 1.5.

Todos los ADCs sufren de errores de no linealidad causados por las imperfecciones de sus características físicas, esto hace que sus salidas se desvíen de una función lineal (o alguna otra función en el caso de convertidores no lineales). Los parámetros más importantes son la no linealidad Integral y No linealidad diferencial que se explicarán posteriormente, estos dos parámetros reducen el rango dinámico de señales que pueden ser digitalizados, cuando se superan sus límites, lo que conlleva a no tener la resolución efectiva deseada [3].

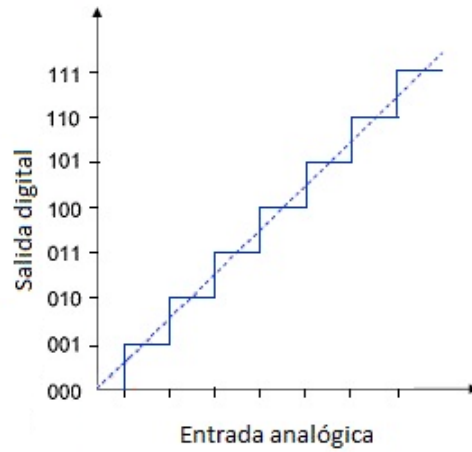


FIGURA 1.5: Función de transferencia ideal del convertidor

**1.2.6.1. No linealidad diferencial**

En un ADC ideal, el espacio entre dos códigos digitales de salida  $Q_{m+1}$  y  $Q_m$  es igual a  $V_{LSB}$ , donde  $V_{LSB}$  es el voltaje correspondiente a un bit menos significativo (LSB), y este es la transición de voltaje más pequeña que tiene el convertidor.  $1LSB$  es igual a  $V_{FS}/(2^N - 1)^2$  [2][3].

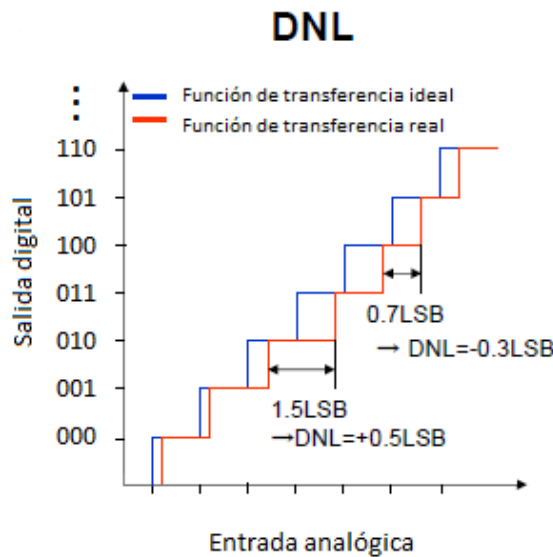


FIGURA 1.6: No linealidad diferencial

La presencia de no idealidades en un ADC hace que un espacio sea mayor entre dos códigos digitales, es decir, que la transición sea mayor a  $1LSB$  entre dos códigos. La no linealidad diferencial ( $DNL$  por sus siglas en inglés) describe la diferencia entre dos valores de señal

<sup>2</sup> $V_{FS}$  es el voltaje de escala total

analógica adyacentes en comparación con el tamaño de paso ( $LSB$ ) de un convertidor generado por las transiciones entre pares adyacentes de números de código digitales a través de la escala completa del convertidor Figura 1.6; es la desviación del tamaño de paso real del convertidor del tamaño del paso ideal [2].

La  $DNL$  será cero si cada transición a sus vecinos es igual a  $1LSB$ . En un convertidor binario ponderado monótonico un aumento del valor de código digital por  $1LSB$  puede resultar en un aumento de la señal analógica entre 0 y 2 bits menos significativos. Suponiendo que  $Q_{m+1}$  y  $Q_m$  son dos niveles de cuantificación adyacentes,  $V_{Q_n}$  es la tensión de entrada analógica correspondiente al nivel de cuantificación  $Q_n$  (excluyendo los errores de ganancia y offset) [2][3].

La  $DNL$  puede escribirse como [3]:

$$DNL = V_{Q_{m+1}} - V_{Q_m} - 1LSB \quad (1.6)$$

En unidades de LSB se expresa de la siguiente forma:

$$DNL_m = \left( \frac{V_{Q_{m+1}} - V_{Q_m}}{V_{LSB}} \right) - 1LSB \quad (1.7)$$

Si la salida digital del código  $Q_m$  nunca aparece a la salida, el punto de decisión analógico es  $V_{Q_{m+1}} = V_{Q_m}$ , entonces la  $DNL$  para  $DNL_m = -1$ ; lo que muestra un código faltante, una  $DNL$  de -1 es el peor caso que un ADC puede tener. En otra instancia, si el espacio entre  $V_{Q_m}$  y  $V_{Q_{m+1}}$  es igual a  $2 LSB$  o más, se tiene un escenario conocido como *WIDE* code; mientras esto no limita a que tan lejos  $V_{Q_{m+1}}$  puede estar de  $V_{Q_m}$ , no hay un límite en la  $DNL$  positiva [5].

### 1.2.6.2. No linealidad integral

Las señales de salida o los códigos de salida deben corregirse de un posible traslado de origen. Esta precisión relativa es llamada: No linealidad integral ( $INL$ ) o a veces linealidad.

Es una medida de la desviación de la función de transferencia de la línea de interpolación ideal. Otra definición de la no linealidad integral mide la desviación desde la línea de punto final de ajuste. El uso de la línea de punto final-ajuste corrige la ganancia y el error de desplazamiento Figura 1.7. La segunda definición es elegida como estándar ya que es más informativa para estimar distorsión armónica. Considerando los puntos finales de la curva de con corrección de offset y de ganancia. Se obtiene el punto de transición entre los códigos después de la corrección [3].

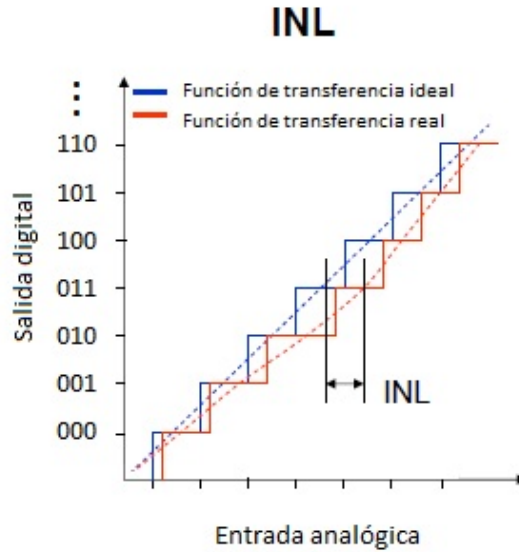


FIGURA 1.7: No linealidad integral

$$INL_m = \frac{(V_{Q_{m+1}} - V_{Q_m}) - Q_m * V_{LSB}}{V_{LSB}} \quad (1.8)$$

La  $INL$  es la diferencia entre los códigos actuales de salida producidos por el ADC y la línea de transferencia ideal, la  $INL$  puede ser calculada como la suma acumulativa de la  $DNL$ , donde [3]:

$$INL[i] = \sum_{k=1}^i DNL[k] - 1LSB \quad (1.9)$$

Es importante distinguir entre  $INL$  y  $DNL$ . La  $DNL$  mide que tan pequeño voltaje de entrada puede procesar un ADC, mientras que la  $INL$  mide la precisión absoluta de el ADC. La  $DNL$  visualiza gráficamente cuando hay un código perdido, esto es, cuando  $|DNL| > 1LSB$ . La  $DNL$  de un ADC puede ser mucho menor a la  $INL$  en terminos de  $LSB$  y viceversa [3].

### 1.2.7. Convertidor monotónico

Es la característica del ADC que garantiza un aumento progresivo del código de salida en respuesta a un aumento progresivo de la amplitud de la entrada analógica, comenzando desde la escala inferior. Por lo tanto, el código de salida siempre debe permanecer constante o cambiar en la misma dirección que la de entrada Figura 1.5.



Una señal  $A_{j+\varepsilon}$  es idealmente cuantificada en el nivel  $A_j$  siempre y cuando el valor de  $\varepsilon$  este entre  $-\frac{q}{2} < \varepsilon \leq \frac{q}{2}$ , donde se observa que el error de cuantificación básicamente nunca excede el nivel de amplitud igual a  $\pm\frac{q}{2}$ . Las señales que son más grandes que  $A_j + \frac{q}{2}$  son cuantificadas en el siguiente nivel de cuantificación  $A_{j+1}$  [3].

La Figura 1.9 muestra la función de transferencia de un cuantificador uniforme del tipo paso-medio (se denomina así debido a que el origen se encuentra en la mitad del paso de la gráfica) y el error de cuantificación obtenido, donde  $q$  se refiere al valor de 1 LSB, y el error de cuantificación no debe excederse en amplitud de  $\pm\frac{1}{2}LSB$ .

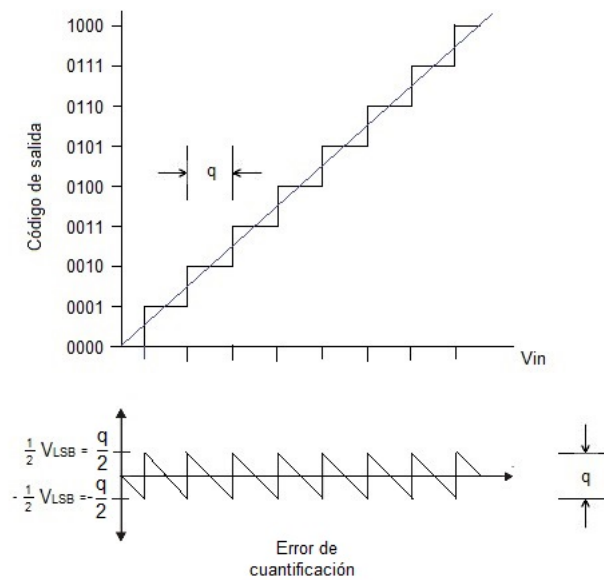


FIGURA 1.9: Error cuantificación

El error de cuantificación es uno de los parámetros principales para la realización de la caracterización estática.

### 1.2.9. Incertidumbre de tiempo de muestreo

La incertidumbre en el tiempo de muestreo introduce errores adicionales cuando las señales analógicas se muestrean a intervalos de tiempo iguales y son reconstruidas a intervalos de tiempo, que muestran una incertidumbre en la temporización o viceversa. La variación de amplitud de pico a pico debe ser como máximo la cuantificación por paso  $Q_m$  del convertidor para evitar una pérdida significativa en la resolución de cuantificación del convertidor. La cuantización por paso  $Q_m$  es igual al valor del bit menos significativo del convertidor. La incertidumbre del tiempo de muestreo  $\Delta t$  debe ser tan pequeña, que el nivel de amplitud LSB no se exceda; para señales con un ancho de banda igual a la mitad de la frecuencia de muestreo [2][3].

## 1.3. Especificaciones de los convertidores

### 1.3.1. Resolución

Es el número de bits que un ADC utiliza para representar su entrada analógica. La resolución, junto con la tensión de referencia determina la tensión mínima detectable (por un ADC). Esto también se conoce como la etapa de cuantificación. La resolución se expresa en número de bits, para una resolución de  $N$  bits, hay  $2^N$  valores binarios permitidos. La resolución también se define como la diferencia de tensión mínima entre dos señales analógicas codificadas en dos niveles adyacentes (LSB). Entonces el número de niveles para la conversión es usualmente una potencia de dos [3].

### 1.3.2. Frecuencia de muestreo

La tasa o frecuencia de muestreo es el número de muestras por unidad de tiempo que se toman de una señal continua para producir una señal discreta, durante el proceso necesario para convertirla de analógica en digital; es muy importante para la reproducción correcta de la señal. Si la frecuencia de muestreo  $f_s$  es menor a dos veces la frecuencia de entrada puede perderse información importante contenida en la señal o aparecer un fenómeno llamado aliasing para evitar esto, se debe usar el teorema de Nyquist. Existen limitaciones para el aumento de la frecuencia de muestreo [3]:

- Límites tecnológicos debidos a la velocidad del convertidor A/D, ya que existe un límite tecnológico infranqueable que solo se puede aumentar con la aportación de nuevas tecnologías.
- Límites de memoria de almacenamiento, si por ejemplo se utilizan 8 bits de resolución, suponen aproximadamente 120 Mbytes de memoria para 2 minutos de señal.

### 1.3.3. Relación de sobremuestreo OSR

Al usar una frecuencia de muestreo mayor que la tasa de Nyquist, se obtiene una relación de sobremuestreo. Sus beneficios se reflejan en la implementación del filtro anti-aliasing y en la potencia de ruido de cuantización, ya que al sobremuestrear una señal, la separación entre las réplicas del espectro aumenta a razón de la relación OSR. El sobremuestreo hace que se obtenga un rango dinámico mayor ya que se obtiene una potencia de ruido menor dentro de la banda de interés, porque la potencia total se reparte en una franja de mayor frecuencia [3].

### 1.3.4. Tiempo de adquisición

Es el tiempo necesario para que una conversión sea confiable, durante el cual se debe mantener el valor de la señal de entrada constante. Para este proceso se usa un capacitor (e interruptores) que mantiene el voltaje de la señal de entrada durante el tiempo de adquisición [3].

### 1.3.5. Tiempo de conversión

Se define como el tiempo que tarda el ADC en tomar un valor analógico de entrada, convertirlo en un número discreto y llevarlo a un registro de salida, por lo cual incluye el tiempo de adquisición. Este tiempo limita la máxima frecuencia de muestreo. En algunos ADC este tiempo de conversión depende del valor de la entrada.

### 1.3.6. Precisión y exactitud

El Vocabulario Internacional de Metrología (VIM) define la precisión como la proximidad entre las indicaciones o valores medidos de un mismo sistema, obtenidos en mediciones repetidas, bajo condiciones especificadas, es decir, está asociada al número de cifras decimales utilizadas para expresar lo medido.

Por su parte, la exactitud viene definida como la proximidad entre el valor medido y el valor “verdadero” del sistema. Así pues, una medición es más exacta cuanto más pequeño es el error de medida.

Ambas dependen de varias fuentes de error:

- Error de cuantización.
- Aliasing.
- Error de apertura.
- Variación en referencia.

## Capítulo 2

# Arquitecturas de convertidores

### 2.1. Tipos de $ADC$ 's

La primera especificación que define a un convertidor es su tipo, y esto se logra definiendo normalmente el algoritmo de conversión. Los tipos de convertidores se clasifican en dos tipos principales: de tasa de Nyquist y de sobremuestreo. Esto permite elegir entre las siguientes estrategias de diseño: el uso de una entrada que ocupa una gran fracción del ancho de banda disponible o el uso de una banda de entrada que sólo ocupa una pequeña parte de la gama de Nyquist [2][3].

Topología ADC	Frecuencia de conversión	Resolución	Características
SAR	$\leq 4\text{Ms/s}$	16 bits	Operación simple, bajo costo, bajo consumo de potencia
	$\leq 1.25\text{Ms/s}$	18 bits	
Pipeline	$\leq 200\text{Ms/s}$	16 bits	Rápido, diseño simple, mayor costo requiere, mayor potencia
	$\leq 250\text{Ms/s}$	14 bits	
	$\leq 550\text{Ms/s}$	12 bits	
Flash	$\leq 500\text{Ms/s}$	$\leq 10$ bits	Rápido, alta complejidad, gran capacitancia de entrada, alto consumo de potencia
Sigma-Delta, (sobremuestreo)	$\leq 4\text{ks/s}$	31 bits	Costo moderado, alto consumo de potencia
	$\leq 4\text{Ms/s}$	24 bits	
	$\leq 10\text{Ms/s}$	16 bits	

CUADRO 2.1:  $ADC$ 's más importantes

La relación entre el límite de Nyquist y la banda de la señal,  $f_s/(2F_b)$ , se llama relación de sobremuestreo ( $OSR$ ). Los que tienen un gran  $OSR$  son llamados convertidores de sobremuestreo, mientras que los convertidores de tasa de Nyquist tienen un pequeño  $OSR$ , por lo general inferior a 8. En la tabla 2.1 se observan los principales tipos de convertidores [2].

El convertidor *pipeline* ofrece un equilibrio óptimo de tamaño, velocidad, resolución, disipación de potencia, diseño analógico, y también ofrece un excelente rendimiento dinámico por lo que se ha convertido cada vez más atractivo para los principales fabricantes de convertidores de datos y sus diseñadores.

Este tipo de arquitecturas se han adoptado en muchas aplicaciones de alta velocidad, incluidos los sistemas de comunicaciones digitales de alto rendimiento, sistemas de vídeo de alta calidad, etc., el rápido crecimiento en estas áreas de aplicación está impulsando el diseño de ADCs hacia una mayor velocidad de operación y menor consumo de potencia.

### 2.1.1. Convertidor Flash

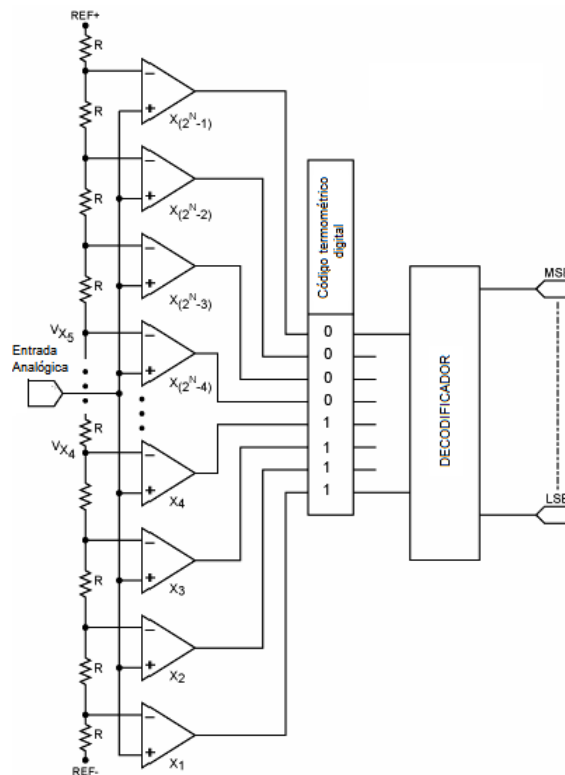


FIGURA 2.1: Convertidor Flash

Son convertidores paralelo, aptos para las aplicaciones donde se necesitan frecuencias de muestreo muy altas. En la práctica, estos convertidores están disponibles como circuitos integrados

de 8 bits, con frecuencia de conversión del orden de  $500Ms/s$  y anchos de banda de hasta 300 MHz [2].

Flash ADC, es el tipo más rápido de convertidor, pero tiene una resolución limitada, gran disipación de potencia y relativamente gran tamaño. La razón principal para el alto consumo de potencia es el gran número de comparadores como se observa en la Figura 2.1. Para un convertidor de  $N$  bits, se necesitarían  $(2^N - 1)$  comparadores, esto significa que el número de comparadores aumenta exponencialmente con el número de bits [6].

Existen diferentes topologías de este tipo de convertidores que disminuyen el número de comparadores necesarios.

### 2.1.2. Convertidor por aproximaciones sucesivas

Son circuitos de conversión que utilizan un convertidor digital-analógico (DAC por sus siglas en inglés) en una estructura de retroalimentación. Produce una salida de  $N$  bits en  $N$  ciclos, comparando sucesivamente la entrada con la salida de un DAC, dividiendo cada vez, el rango por la mitad (variando de bit en bit, del más al menos significativo). Son convertidores generalmente precisos. Tienen una alta resolución pero son lentos. Representan la mayoría del mercado de ADC de gama media-alta resolución. Esta topología requiere sólo un comparador; un SAR, un muestreador retenedor, pero  $N$  bits requieren  $N$  períodos de comparación y no estará listo para la siguiente conversión hasta que la actual no esté completa como se muestra en la Figura 2.2. El tener un consumo de potencia bajo en esta topología, implica que la frecuencia de muestreo será más lenta [7][8].

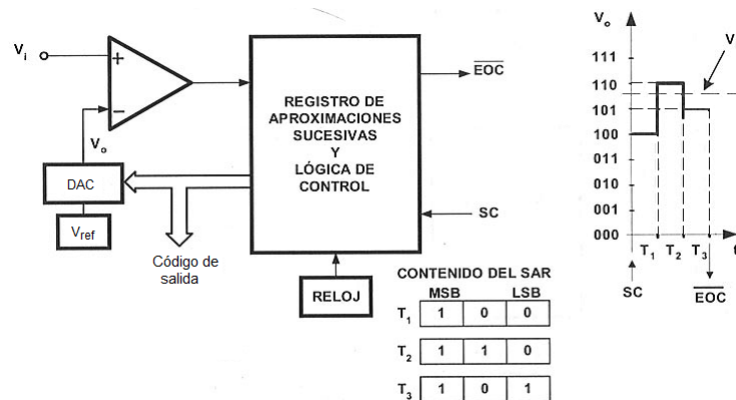


FIGURA 2.2: ADC de aproximaciones sucesivas

### 2.1.3. Convertidor Sigma-Delta

Presenta buenas características de resolución y rechazo al ruido, con un precio bajo. Se basa en un concepto introducido en 1962, y en la actualidad tienen un enorme auge.

Un ADC sigma-delta contiene una parte analógica (un comparador, un voltaje de referencia, un interruptor, uno o más integradores y circuitos sumadores analógicos), y circuitos digitales bastante complejos (Figura 2.3). Los convertidores sigma-delta tienen una alta resolución pero lo pagan disminuyendo su velocidad. La necesidad de probar muchas veces (al menos 16 veces y, a menudo más) para producir una muestra final dicta que los componentes analógicos internos en el modulador sigma-delta operan mucho más rápido que la velocidad de datos final. El filtro de decimación digital es también un desafío para diseñar y generalmente consume un área de silicio más grande que un decodificador de salida simple [2][3].

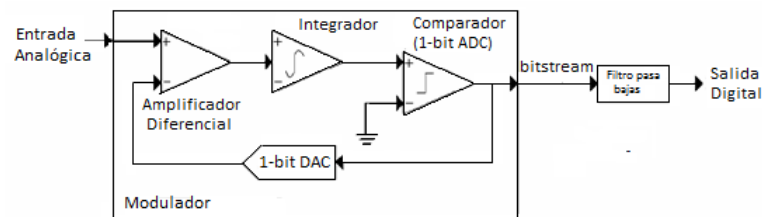


FIGURA 2.3: ADC Sigma-Delta

## 2.2. ADC pipeline

### 2.2.1. Arquitectura pipeline

El convertidor Analógico-Digital *pipeline* es uno de los más comunes. Esto es debido a que puede alcanzar una resolución y una tasa de conversión elevadas, mientras que tiene un consumo de energía intermedia. Factores tales como errores de no linealidad y ruido degradan la resolución de ADC. Por lo tanto, la verdadera resolución de ADC es generalmente menor que la resolución del ADC diseñado. Esta resolución real se conoce como el número efectivo de bits (*ENOB*, por sus siglas en inglés), que se calcula después de tomar en consideración todas las distorsiones y las fuentes de ruido. Tener un *ENOB* menor que la resolución de ADC diseñados indica que algunos de los bits menos significativos (*LSB*) no están bien cuantificados [9]. *pipeline* Existen varios factores que afectan al *ENOB* de un ADC *pipeline*. Estos se derivan de los parámetros de diseño de las etapas que conforman al convertidor. Por ejemplo, el valor de los condensadores, la ganancia del amplificador operacional y del comparador, etc. Por esto, en este trabajo de tesis se propone el modelado y la implementación en Verilog A (utilizando la herramienta Mentor

Graphics) del convertidor, con el fin de variar tales parámetros y determinar los rangos de posibles valores que garanticen un óptimo funcionamiento del mismo. A continuación se describirá de manera detallada el funcionamiento del convertidor pipeline.

### 2.2.2. Convertidor *pipeline*

Es un convertidor en el que la alta resolución y velocidad pueden lograrse al mismo tiempo. La primera característica se debe al procesamiento múltiple inherente en las arquitecturas *pipeline* en general. Esto significa que cada etapa lleva a cabo una operación en una muestra, y proporciona su salida a la siguiente toma de muestras, una vez que el muestreador adquiere los datos, comienza la misma operación en la siguiente muestra, por lo que en un momento dado, todas las etapas están procesando muestras diferentes al mismo tiempo, y por lo tanto la tasa de rendimiento solo depende de la velocidad de cada etapa y tiempo de adquisición de la próxima toma de muestras, a expensas de un tiempo de latencia [10].

Cada etapa del convertidor puede ser de un solo bit o multi-bit, al incrementar la resolución de cada etapa, el número de éstas se reduce. Sin embargo, esto genera una serie de problemas relacionados con el ancho de banda del amplificador, consumo de potencia, además de que la calibración se vuelve más compleja. Por todo esto, se prefiere una etapa de un solo bit. A pesar de que se necesitan más etapas para construir el ADC, la velocidad no se ve limitada debido a la configuración *pipeline*. Por el contrario, la velocidad es aun mayor debido a la simplicidad del bloque básico.

Un diagrama de bloques de la etapa básica de un ADC *pipeline* se muestra en la Figura 2.4, cada una de dichas etapas consta de un ADC de  $M$ bits, se hace una conversión gruesa con un DAC de  $M$ bits, se utiliza un multiplicador analógico por  $2^{M-1}$  y un sumador analógico, y un muestreador-retenedor (S/H).

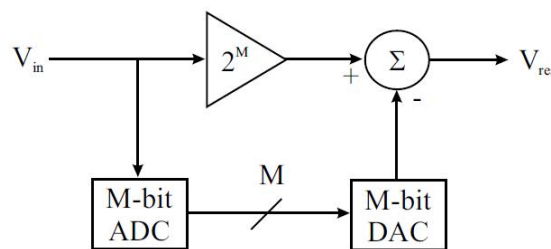


FIGURA 2.4: Etapa básica *pipeline*

A continuación se explicara el funcionamiento de cada uno de los bloques que conforman la etapa básica para el convertidor *pipeline*.

<sup>1</sup> $M$  indica el número de bits de resolución por etapa

### 2.2.3. ADC de etapa básica

Los ADC empleados en cada una de las etapas, son por lo regular de tipo flash; un convertidor de este tipo consta de comparadores de voltaje en paralelo, que compara la entrada de la etapa correspondiente con las referencias de voltaje. El requerimiento de exactitud para las etapas individuales del ADC está determinado por la resolución de la conversión gruesa analógico-digital de la etapa. La salida de un convertidor “flash” de baja resolución es a su vez restringida primordialmente por la exactitud de los comparadores y la exactitud de la referencia. Ambos pueden modelarse como un desplazamiento en el nivel de umbral del comparador.

El nivel de umbral de un comparador normalmente se determina directamente por la tensión de referencia en su entrada.

### 2.2.4. DAC y amplificación

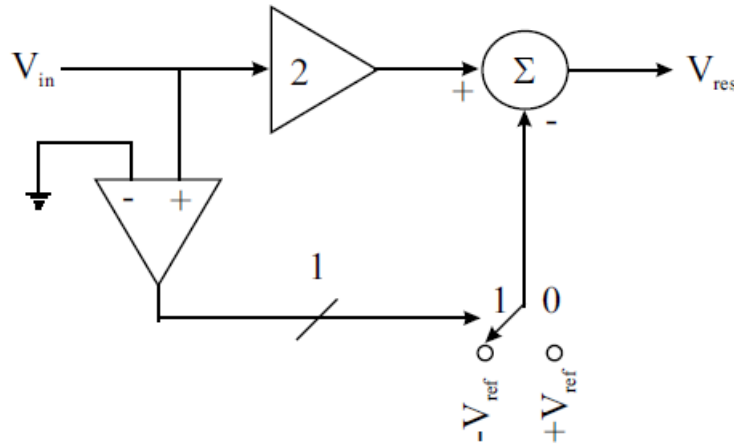
El bloque más crítico de una etapa de canalización es la multiplicación de la entrada por dos y la conversión analógico-digital del ADC, es decir, la resta de la señal analógica resultante de la señal de entrada muestreada y retenida, y la amplificación de el residuo. Tradicionalmente, el núcleo del DAC y de la multiplicación es esencialmente un circuito integrador utilizando un amplificador operacional.

Se puede realizar un convertidor de  $N$  bits (número de bits del convertidor) conectando en serie  $N/M$  etapas, con el voltaje residual de salida ( $V_{res}$ ) manejando la entrada de la siguiente etapa ( $V_{in}$ ) [11].

Cada etapa lleva a cabo una conversión analógica-digital de un bit efectivo, con la salida resultante de la amplificación y la resta se obtiene un residuo, este residuo se amplifica con una ganancia de  $2^M$  en este caso la amplificación es solo dos, ya que el número de bits de resolución por etapa individual es de uno, y dicho residuo entra a la siguiente etapa. Las etapas operan simultáneamente; es decir, en cualquier momento, la primera etapa opera en una muestra mientras que todas las otras etapas operan sobre los residuos de las muestras anteriores. Etapas seriales funcionan en fases de reloj diferentes (no traslapadas). Las salidas digitales de las etapas se van retrasando de manera que su valor llegue a la siguiente etapa en el ciclo de operación de esta; no antes ni después.

La conversión analógico-digital de 1bit ( $M = 1$ ) se realiza comparando  $V_{in}$  con tierra (asumiendo una terminación sencilla de  $V_{in}$ ). Este bit maneja el DAC, el cual se realiza únicamente con un multiplexor que conmuta entre  $+V_{ref}$  y  $-V_{ref}$ , si el dato es  $D = 1$  o  $D = 0$ , respectivamente. Finalmente, la salida o voltaje de residuo es:

$$V_{res} = 2V_{in} + V_{ref}, \quad D = 1 \quad \text{o} \quad V_{res} = 2V_{in} - V_{ref}, \quad D = 0 \quad (2.1)$$


 FIGURA 2.5: Diagrama para un *pipeline* de un bit

Ya que las etapas del convertidor *pipeline* operan con señales en tiempo discreto (ya que cada etapa tiene un muestreador-retenedor), la técnica de capacitores conmutados es empleada en esta arquitectura ya que permite realizar operaciones matemáticas precisas como suma, resta y multiplicación, debido a la alta coincidencia en los tamaños de estos, es decir, varían por pequeñas fracciones. Estos circuitos facilitan la realización de varias operaciones simultáneamente; es por esto que las tareas de muestreo/retención (S/H), amplificación y suma del bloque básico se realizan a través de un circuito único, mediante el uso de dicha técnica.

La técnica de capacitores conmutados consiste en condensadores conectados en serie con un interruptor que operan para obtener una muestra o para mantenerla, amplificarla y restarle un voltaje de referencia, y hacen uso de un amplificador operacional, esto se hace por medio de dos fases diferentes y no traslapadas que se emplean para controlar los interruptores en serie con los condensadores. Durante la fase de muestreo, los capacitores se conectan a la tensión de entrada “ $V_{in}$ ” de la etapa. Después se pasa a la fase de retención, amplificación y resta (simultáneamente), el condensador  $C_2$  se conecta al nodo de la entrada del amplificador operacional y su otro extremo se conecta a la salida de dicho elemento, mientras que el condensador  $C_1$  tendrá una terminal conectada a la entrada inversora del amplificador operacional y la otra terminal estará conectada a  $-V_{ref}$  ó  $+V_{ref}$  dependiendo de la salida del ADC de la etapa anterior, que debe pasar por el DAC y después por un elemento que proporcione un retardo, para que dicha salida llegue a la etapa actual en un periodo después.

El sistema posee dos fases de reloj no traslapadas como se menciono anteriormente,  $\phi_1$  y  $\phi_2$ . Durante la fase  $\phi_1 = 1$  (Figura 2.6), el bloque se encuentra en la etapa muestreo y en la fase  $\phi_2 = 1$  (Figura 2.7), en la de amplificación, resta (y retención de la señal de entrada).

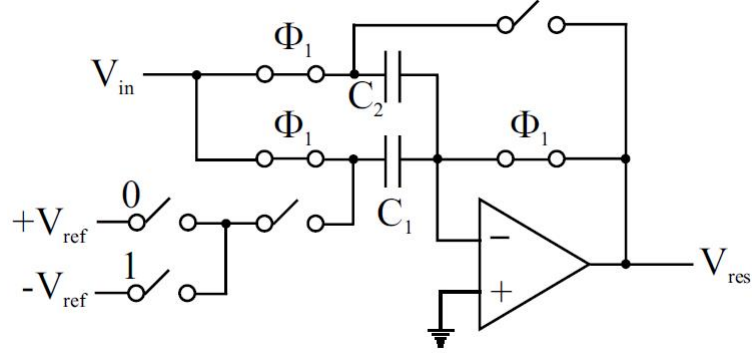


FIGURA 2.6: Fase 1 muestreo

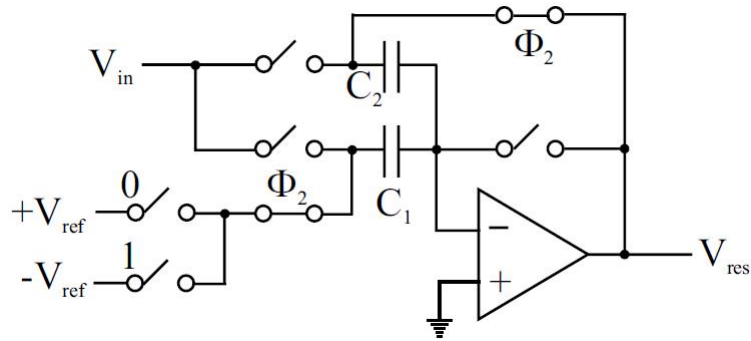


FIGURA 2.7: Fase 2 amplificación y suma

Considerando al amplificador operacional como ideal [11]: Durante  $\phi_1$  :

$$Q_{C1} = C_1 V_{in}, \quad Q_{C2} = C_2 V_{in}, \quad (2.2)$$

Durante  $\phi_2$ :

$C_1$  es cargado a  $-V_{ref}$ , y por ley de la conservación de la carga:

$$C_1 V_{in} + C_2 V_{in} = C_1 (-V_{ref}) + C_2 V_{res} \quad (2.3)$$

Durante la fase de amplificación, la salida de cada etapa se puede expresar de la siguiente forma:

$$V_{res} = \frac{(C_1 + C_2) V_{in} \pm C_1 V_{ref}}{C_2} \quad (2.4)$$

Como  $C_1 = C_2$  entonces:

$$V_{res} = 2V_{in} + V_{ref}, \quad D = 1 \quad \text{o} \quad V_{res} = 2V_{in} - V_{ref}, \quad D = 0 \quad (2.5)$$

Por lo que la ganancia de la etapa se determina por la relación de los condensadores  $C_1$  y  $C_2$ . Así, para garantizar una ganancia precisa en un convertidor de 10 bits,  $C_1$  y  $C_2$  deben tener un error de menos de 0.1 %, es decir, de alta calidad [11].

La primera etapa consta de solo un amplificador por uno, la parte de muestreo y un comparador, ya que no necesita amplificación, ni resta ver Figura 2.8.

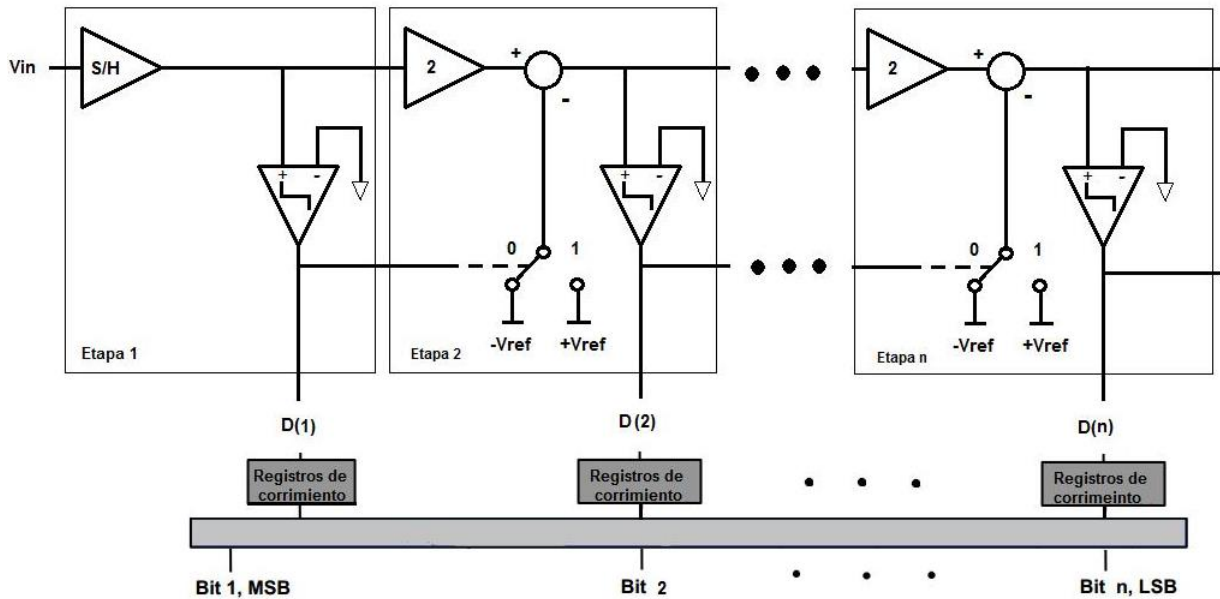


FIGURA 2.8: Diagrama de bloques del convertidor *pipeline* de N bits

En la Figura 2.8, la gran línea de procesamiento de la entrada analógica de cada etapa del convertidor se basa en amplificadores operacionales. El máximo error de ganancia, la no linealidad y el amplificador del residuo en cada etapa, son proporcionales al número de bits resueltos y se debe mantener por debajo de  $1LSB$  en las primeras etapas, por lo que se necesitan amplificadores de alta ganancia para convertidores de alta resolución [11].

Para obtener una idea de los criterios de diseño para los convertidores es importante llegar a una definición unánime de especificaciones. Estas especificaciones deben incluir la aplicación de convertidores en sistemas de conversión.

### 2.2.5. Aplicaciones del ADC *pipeline*

Se emplean en conjunto con convertidores sigma delta para obtener ventajas de ambos convertidores, logrando así un amplio rango dinámico, con una baja relación de sobremuestreo, con una frecuencia de reloj de 20MHz, OSR de 8, y proporciona 89 dB de SNR con un ancho de banda de entrada de 1.25MHz [33].

En cable para modems ya que se necesita alta velocidad en la comunicación multimedia interactiva entre el proveedor de servicios y los usuarios domésticos (10 bits de resolución). Para los circuitos digitales de back-end de alta densidad, la energía de disipación, el área y la velocidad son factores críticos de diseño y CMOS es la tecnología preferida [34].

Aplicaciones inalámbricas tales como estaciones para celulares ya que requieren típicamente un convertidor analógico digital de tasa-Nyquist con un rango dinámico libre de espurios (SFDR) de al menos 65 dB y una frecuencia de muestreo de al menos 10 MHz [35].

En sensores biomédicos integrados donde el requisito es una señal de activación externa de los sensores a una velocidad de muestreo de 5 MHz, dichos sensores se emplean en dispositivos biomédicos que monitorizan señales biológicas vitales como ECG , EMG , etc., cuya frecuencia máxima es de pocos MHz [36][37]. Por ejemplo, el diseño de un sistema de monitorización EEG de bajo consumo es una tarea complicada debido a la naturaleza de las señales: Las señales de EEG son muy lentas (0,2 Hz a 25 Hz) y los electrodos del cuero cabelludo donde la impedancia deriva con el tiempo, la superposición de una señal de muy bajo voltaje a la uno de interés[37].

Los espectrómetros de rayos X y espectrómetros de rayos gamma, los cuales han ganado importancia en muchos campos que van desde la astronomía a la medicina. Utilizan sensores semiconductores, que produce una tensión de DC proporcional a la energía de la señal de entrada la cual se obtiene a partir de sensores mediante ADCs, los cuales deben tener de 8-10 bits de resolución y un rápido y preciso reloj para un alto rendimiento del espectrómetro [38].

En los ultimo años los ADCs pipeline han sido ampliamente utilizados en los sistemas de comunicación modernos para acelerar la comunicación de datos 4-G, ya que por lo general, el consumo de energía y el tamaño chip de ADCs convencionales tienden a ser linealmente proporcional a la velocidad de conversión dentro de un rango de frecuencia de muestreo específico [39].

Para un caso ideal de un convertidor las características estáticas de entrada-salida son una escalera con escalones uniformes en todo el rango dinámico. La respuesta de frecuencia y la velocidad de los componentes analógicos de un convertidor de datos determinan su comportamiento dinámico. Se necesitan especificaciones dinámicas de un convertidor para obtener una visión en la aplicabilidad de un cierto convertidor en un sistema de procesamiento de señal digital: por ejemplo, de audio digital o de vídeo digital. El rendimiento se vuelve crítico cuando el ancho de banda de entrada y la tasa de conversión son altos [2].

Por lo tanto, las especificaciones se dan como una función de la frecuencia, el tiempo, o velocidad de datos de conversión. Un factor de calidad de una característica dinámica es su capacidad de permanecer sin cambios dentro de todo el rango de operación.

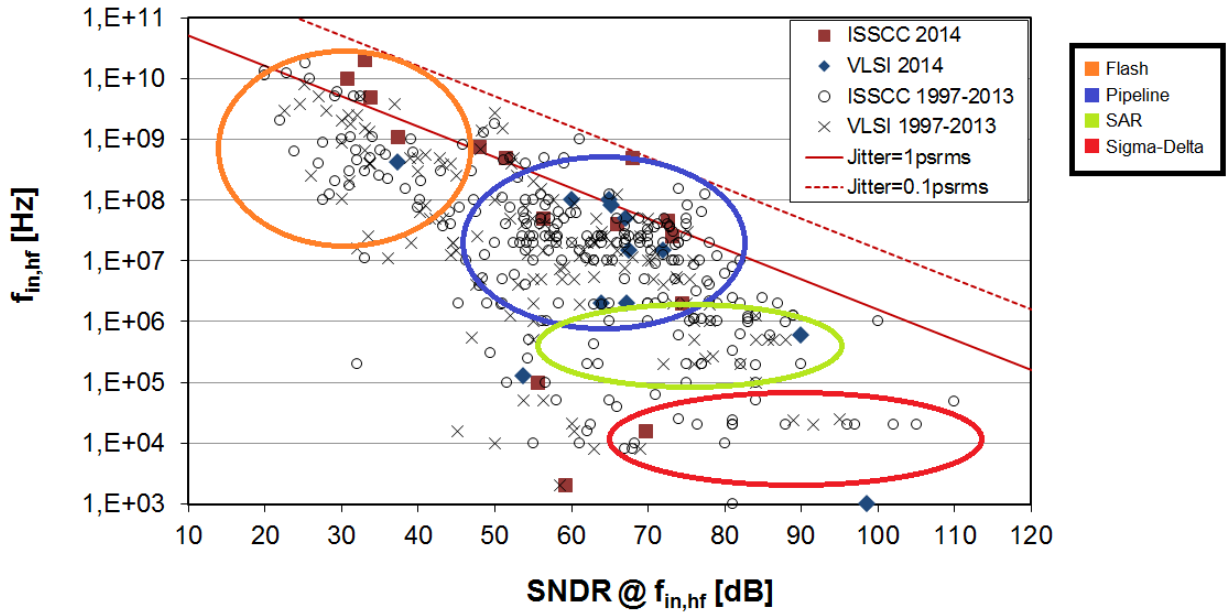


FIGURA 2.9: Frecuencia de ingreso vs SNDR de los diferentes ADCs

En la Figura 2.9 se presenta una gráfica donde se observa en qué posición se encuentran los convertidores *pipeline* con respecto a otros convertidores, de acuerdo a su frecuencia de ingreso y su relación señal a ruido.

## Capítulo 3

# Descripción Comportamental de un ADC *pipeline*

Regularmente, el modelado de bloques analógicos y de señal mixta, tales como convertidores de datos, se realizan a nivel de dispositivo o en un nivel inferior funcional. Esto da una buena precisión y permite un buen modelado de los efectos no ideales presentes en el convertidor de datos (ruido, distorsión, desajuste, etc.), pero el tiempo de simulación aumenta drásticamente y la independencia entre tecnología y arquitectura se puede perder [15].

Debido a lo anterior, estas construcciones no proporcionan el poder de abstracción necesario para describir aspectos complicados de alto nivel de un sistema. Con la creciente complejidad de los diseños, la necesidad de modelos que puedan conjuntarse y sean rápidos, ha producido un cambio en la tendencia usual hacia la modelación del comportamiento. Dicha descripción reproduce el comportamiento requerido del sistema original analizado y es más adecuada para enfrentar problemas tales como la descripción de un microprocesador o la utilización de controles de tiempo complicadas [15].

Un circuito a nivel comportamental se asemeja a la realidad, si se utiliza una estructura del circuito que comprenda parámetros de comportamiento. Lo primero en este tipo de descripción es definir las entradas y salidas que forman parte del circuito, este es visto como una caja negra como se observa en la Figura 3.1 ya que no se toman en cuenta conexiones internas, sino que solo importa como se relacionan las entradas y la salidas, por lo que es un nivel de lenguaje más alto; en primer lugar, hay que definir el símbolo o entidad del circuito.

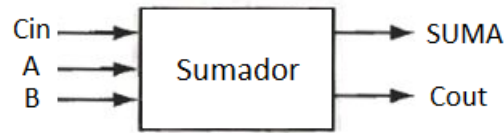


FIGURA 3.1: Bloque de un sumador visto como una caja negra

### 3.1. Verilog-A

Verilog-AMS (incluye extensiones de señales analógicas y señales mixtas)<sup>1</sup>, y, concretamente, su subconjunto exclusivamente analógico llamado Verilog-A. Es una extensión de la IEEE 1364 Verilog Descripción de Hardware (HDL).

Verilog-A se ha mejorado recientemente para proporcionar un mayor apoyo para el modelado compacto. Para que Verilog-A llegara a ser un lenguaje estándar para el desarrollo de modelos compactos y de ejecución, los desarrolladores de modelos compactos se familiarizaron con el lenguaje, y los simuladores tenían que ejecutar los modelos compactos escritos en Verilog-A casi tan rápida y confiablemente como las codificadas a mano o en C.

Se puede utilizar directamente en simuladores de circuitos, así como en el software de extracción de parámetros, que proporciona métodos para el manejo de los datos medidos y está disponible en un número de simuladores comerciales y herramientas de extracción de parámetros, así como en los simuladores de propiedad de varias compañías de semiconductores [12].

#### 3.1.1. Ventajas de Verilog-A

La razón principal para preferir Verilog-A para el modelado compacto sobre lenguajes de programación de propósito general es que libera al desarrollador de la carga de los parámetros del modelo a la interfaz del simulador. La interfaz del simulador incluye una gran variedad de cosas como la lectura de los parámetros del modelo, revisar la topología, la asignación de memoria, los valores de inicialización o recalcularlas para una nueva temperatura etc.[12].

Desarrolladores de modelos compactos utilizando Verilog-A no necesitan preocuparse por detalles como la carga con diferentes valores dependiendo de si el algoritmo de Newton-Raphson resuelve para el vector de incógnitas directas o resuelve para el vector de diferencias procedentes del vector anterior de incógnitas, ya que los simuladores de Verilog-A calculan automáticamente derivadas parciales simbólicas de las corrientes y cargas en un modelo compacto y determinan la inserción adecuada de estos valores en la matriz jacobiana para el método de Newton. Este

<sup>1</sup>Verilog-AMS Language Reference Manual, version 2.2, Accellera, 2004.

trabajo debe ser hecho a mano o en C. Verilog-A también proporciona un sistema fuerte para la definición de los parámetros del modelo. La instrucción de declaración incluye el valor por defecto y puede especificar el rango de valores válidos. El valor por defecto también puede ser una función de los otros parámetros (previamente declarados). Por lo tanto Verilog-A es un lenguaje extremadamente eficiente para la escritura de los modelos compactos [12].

### 3.1.2. Módulos

En Verilog se pueden crear módulos o subcircuitos, las ventajas de crear un módulo es su potencial de reutilización. Si no se desea que los parámetros para el módulo cambien continuamente, y la reutilización no está prevista, la codificación gruesa se puede utilizar, sin necesidad del empleo de módulos específicos.

Los módulos parametrizados ofrecen ventajas para los estudios de arquitectura, desarrollo de programas de ensayo, estudios de fiabilidad y aplicaciones de soporte de un producto final. Aunque, no se requiere más verificación y caracterización de los módulos más simples, para verificar el correcto comportamiento de todos los modos programables [13].

### 3.1.3. Niveles de abstracción

Destacan descripciones matemáticas para describir el comportamiento eléctrico o no eléctrico, en cuanto a los puertos de entrada y salida para los componentes y módulos del sistema. Los módulos pueden ser interconectados jerárquicamente en descripciones completas del sistema. Para los circuitos integrados, la disposición de los bloques en el chip es importante para el rendimiento general del sistema. La posibilidad de interacción entre los bloques debe ser parte de la metodología de particionamiento, por lo que se pueden emplear diferentes niveles de abstracción para describir un sistema completo [13].

#### 3.1.3.1. Nivel Transferencia De Registros (RTL)

Los diseños que utilizan el nivel de transferencia entre registros especifican las características de un circuito por las operaciones y la transferencia de datos entre los registros; se utiliza un reloj explícito. Diseño RTL contiene límites de temporización exacta: las operaciones están programadas para ocurrir en determinados momentos, la definición moderna de código RTL es “Cualquier código que es sintetizable se denomina código RTL”.

### 3.1.3.2. Nivel Compuerta

En el nivel lógico de las características de un sistema son descritos por enlaces lógicos y sus propiedades de temporización. Todas las señales son señales discretas. Sólo pueden tener valores lógicos definidos (“0”, “1”, “X”, “Z”). Las operaciones utilizables son principalmente lógicas (AND, OR, NOT, etc.). Utilizar un modelo a nivel de compuerta podría no ser una buena opción para cualquier nivel de diseño lógico. El código de nivel compuerta es generado por herramientas de síntesis, y esta lista de conexiones se utiliza para la simulación nivel de la compuerta y para el back-end<sup>2</sup>.

### 3.1.3.3. Nivel Comportamental

Este nivel describe un sistema de algoritmos concurrentes (Comportamiento del sistema). Cada algoritmo en sí es secuencial, eso significa que se compone de un conjunto de instrucciones que se ejecutan, una tras otra. Funciones, tareas y bloques son siempre los elementos principales. No hay relación con la realización estructural del diseño.

Este tipo de descripción en Verilog contiene sentencias de procedimiento que controlan la simulación y manipulan variables. Estas declaraciones están contenidas dentro de procedimientos; cada procedimiento tiene un flujo de actividad asociada con dichas declaraciones.

La actividad se inicia con la construcción de un control *begin*. Cada declaración *begin* inicia un flujo de actividad separada y termina con un *end*. Todos los flujos de actividad son concurrentes, lo que permite al usuario modelar la concurrencia inherente del hardware.

Los terminales pueden declararse como *electrical*. La definición de *electrical* proviene de “*disciplines.vams*” archivo que contiene las definiciones de las disciplinas. Las disciplinas son esencialmente los tipos de datos definidos por el usuario, donde la definición incluye los medios a través de variables, las unidades, y la tolerancia absoluta. Para el modelado compacto, la disciplina principal de interés es *electrical*, a través de la variable *V* y la variable *I* [14].

Las variables se declaran en el nivel superior. También pueden, declararse dentro de los bloques por medio de un nombre. El comportamiento del módulo está contenido en el bloque analógico. Un módulo puede tener un solo bloque analógico, que puede contener arbitrariamente muchas declaraciones [14].

Con el fin de describir el comportamiento del sistema convenientemente, Verilog-A define una serie de marcadores analógicos como: marcador de función exponente finito *limexp()*, marcador

---

<sup>2</sup>Parte que procesa las entradas, para producir una determinada salida.

de integral `idt()`, marcador diferencial `ddt()`, marcador de retardo `delay()`, marcador de transición `slew()`, marcadores de la transformada de Laplace `laplace_zp()`, `laplace_zd()`, `laplace_np()`, `laplace_nd()`, marcadores de transformada Z, `zi-zp()`, `zi-zd()`, `zi-np()`, `zi-nd()`. Para tener el control condicional en el sistema de señal mixta, Verilog-A también introduce algunas declaraciones como `if-else`, `case`, `repeat`, `while`, `for` y `generate` [14].

La clave para apoyar estas afirmaciones es ver qué eventos pueden suceder, por lo que se introduce marcadores analógicos como: `cross()`, que se utiliza para medir cuando las señales pasan por cero y producir un evento que desencadenan al subsistema relacionado con dicho evento; también `timer()`, que hace que el sistema de simulación de señal mixta comience a trabajar en tiempo de arranque. Por lo tanto, la simulación descriptiva de la señal analógica del sistema de señal mixta se puede simplificar. El uso de Verilog-A puede reducir en gran medida el tiempo de simulación [14].

Verilog-A utiliza “< +” para indicar una contribución a una tensión o corriente de una rama.

#### 3.1.3.4. Ejemplo de descripción comportamental

Descripción a nivel comportamental de una resistencia en Verilog-A.

1. ‘include “disciplines.vams” ’
- 2.
3. module resistor(p,n);<sup>3</sup>
4. inout p,n;
5. electrical p,n;
6. parameter real r=50 from (0:inf] exclude 7;
7. analog
8. begin
9. V(p,n) <+ r\*I(p,n);
10. end
11. endmodule

**Línea 1:** Incluye las definiciones de los nodos eléctricos, entre otras cosas, y debe ser la primera línea, que contiene la mayoría de los archivos de Verilog-A. Se debe tener en cuenta el uso del símbolo (`'`), que no es un apóstrofe normal (`'`).

<sup>3</sup>Las terminales del dispositivo llamadas ports en Verilog-A aparecen entre paréntesis después del nombre del módulo.

**Línea 3:** module resistor (p, n); Declara el inicio de un módulo denominado resistor con dos terminales externas,  $p$  y  $n$ ; estas se convierten en  $p$  pin 1 y  $n$  se convierte en el pin 2 en el símbolo.

**Línea 4:** inout p, n; Declara que estos puertos son puertos de entrada / salida.

**Línea 5:** electrical p, n; Declara que estos nodos son eléctricos.

**Línea 6:** parameter real r=50 from (0:inf] exclude 7; Declara parámetro de modelo “ $r$ ” con un valor predeterminado de 50. Este valor puede oscilar entre mayor a cero (usando paréntesis de apertura para indicar cero no está permitido) hasta el infinito. Infinito es un valor legal, ya que fue utilizado corchetes. El valor 7 se excluye específicamente.

**Línea 7:** analog encabezado por las ecuaciones analógicas. Se requiere en todos los archivos.

**Línea 8:** begin; Inicia las ecuaciones analógicas reales. A menudo, esto se combina con “*analog*” en una línea: “*analog begin*”.

**Línea 9:**  $V(p, n) <+ r * I(p, n)$ ; Añade una tensión debida a la resistencia ( $V = IR$ ).  $V(p, n)$  es el voltaje de nodo  $p$  para el nodo  $n$ .  $I(p, n)$  es una corriente rama que fluye desde el nodo  $p$  para el nodo  $n$ .

**Línea 10:** end; Finaliza las ecuaciones analógicas iniciadas en la línea 8.

**Línea 11:** endmodule; Termina el módulo de resistencia que comenzó en la línea 3.

Una vez dada una pequeña introducción a Verilog-A y su estructura, se procede a la descripción de los elementos que formaran parte de cada celda básica del sistema, en la descripción comportamental en Verilog-A del convertidor analógico-digital *pipeline*.

## 3.2. Bloques para el sistema de conversión *pipeline*

Como se mencionó anteriormente (capítulo 2), el sistema que conforma a cada una de las etapas básicas del convertidor *pipeline*, está compuesto por bloques descritos comportamentalmente, dichos bloques son: Un comparador, un sumador/restador y un amplificador por dos. Estos bloques son los que se observan en la Figura 2.5, y son los que forman una etapa del convertidor, en este caso la amplificación que se debe hacer es de  $2^M$ <sup>4</sup>.

La parte de muestreo y retención, la operación de suma/resta y la amplificación son hechas por medio de capacitores conmutados. Por lo que el modelado de los switches que cambian la

<sup>4</sup>M es el número de bits de resolución por etapa para el convertidor, es importante que no se confunda con N, que es el número de bits de resolución del convertidor completo, en este caso 10 bits

función que desempeña el capacitor dentro del circuito (etapa básica) fue hecho por medio de Verilog-A, al igual que el comparador. En este trabajo, el propósito de modelado se hace para representar el rango de las no idealidades en el ADC *pipeline* para la optimización de parámetros de exactitud y linealidad del convertidor para predecir el rendimiento estático. A continuación se presentan las descripciones de cada uno de estos elementos de la etapa básica, al igual que sus símbolos, en los que se muestran cada uno de los parámetros que se pueden modificar, para poder hacer más dinámica la caracterización.

### 3.2.1. Comparador

La descripción comportamental del comparador se muestra en la Figura 3.2. Se Los parámetros de funcionamiento son: retardo de propagación, tiempos de subida y bajada y los niveles lógicos alto (3.3 Voltios) y bajo (0 Voltios). Los puertos de entrada son Vin y Vref, mientras que los de salida (diferencial) son Voutp, Voutn y Phase. Cuando  $V_{in} > V_{ref}$ , la diferencia de tensión de la salida será de 3.3 V, en caso contrario, será de 0 V, en sincronía (pendiente positiva) con la entrada phase. Por la flexibilidad de los modelos creados en Verilog-A los parámetros mencionados anteriormente pueden variarse una vez que se haya instanciado el símbolo, para no tener que volver a hacer uno con parámetros diferentes.

```
// Comparador Verilog-A
`include "disciplines.vams" `
`include "disciplines.vam" `
module compsingle (vin, voutp, voutn, vref, phase);
input vin, vref, phase;
output voutp, voutn;
electrical vin, voutp, voutn, vref, phase;
parameter real vth = 1.65;
parameter real ritardo = 0.0p;
parameter real trise = 50p;
parameter real tfall = 50p;
parameter real vdda = 3.3;
parameter real vssa = 0.0;
real outp, outn;
analog begin
@ ( cross (V(phase) - vth, 1 ) )
begin
    if (V(vin) > V(vref))
        begin
```

```

        outp = vdda;
        outn = vssa;
    end
    else
    begin
        outp = vssa;
        outn = vdda;
    end
    end
    V(voutp) <+ transition (outp, ritardo, trise, tfall);
end
endmodule

```

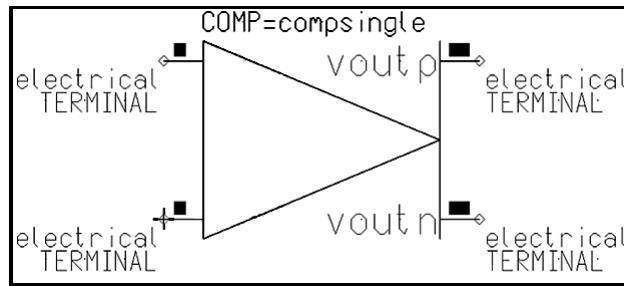


FIGURA 3.2: Símbolo del comparador

### 3.2.2. Switch

La descripción comportamental del switch, incluye valores de los parámetros de resistencias equivalentes en un corto circuito y en un circuito abierto; dichas resistencias pueden ser modificadas para asemejarse a una forma de respuesta ideal o a una real de un interruptor, también se incluye el voltaje en el que estos conmutan que es la tierra analógica (en este caso 1.65V), el tiempo de subida y el tiempo de bajada. El símbolo obtenido a partir de esta descripción se presenta en la Figura 3.3.

```

// Switch Verilog-A
`include "disciplines.vams"
`include "disciplines.vams"
module swdi (vin,vout,clk);
    input clk;
    inout vin, vout;
    electrical clk, vin, vout;
    parameter real vth=1.65;

```

```

parameter real trise = 10p;
parameter real tfall = 10p;
parameter real Ron=10;
parameter real Roff=100e12;
real R, Rout;
analog begin
    if (V(clk) < vth)
    begin
        R=Ron;
    end
    else
    begin
        R=Roff;
    end
    Rout=transition(R,0,trise,tfall);
    V(vin,vout) <+ I(vin,vout)*Rout;
end
endmodule

```

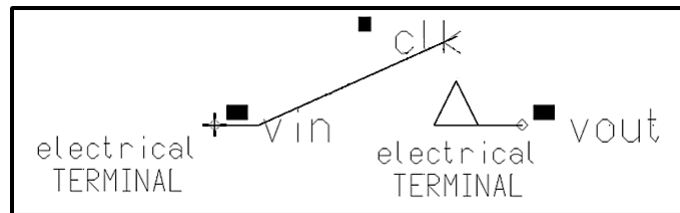


FIGURA 3.3: Símbolo de switch

Figura 20. Símbolo de switch Como se pudo observar por la explicación anterior, el bloque básico está conformado por solo dos bloques hechos en descripción comportamental, esto se debe a que algunos modelos ya incluidos en la herramienta (Mentor Graphics) no fueron los óptimos para utilizarse, debido a que contenía modelos con parámetros desconocidos, que requerían ser identificados para su modificación. A continuación se presenta la descripción (comportamental en Verilog-A) de los demás elementos que componen el sistema de conversión que no se encuentran dentro de la etapa básica del convertidor *pipeline*.

### 3.2.3. Flip-Flop D

Los flip-flops son empleados en el sistema como registros de corrimiento, ya que el primer dato que se obtiene es el más significativo (MSB), y el último dato obtenido es el menos significativo (LSB), eso significa que habrá una diferencia de tiempo entre cada uno de los bits antes mencionados, este retardo es de un ciclo de reloj por cada etapa del convertidor, hablando en términos de un ADC de 10 bits, se tendrán 10 etapas, por lo que la diferencia entre el MSB y el LSB será de diez ciclos de reloj, por lo que cada flip-flop debe retardar un ciclo a cada uno de los bits, empezando por diez flip-flops en serie con la primera etapa y descendiendo de número conforme se avanza de etapa, por lo que la última etapa tendrá tan solo un flip-flop.

El convertidor *pipeline* implementado en la herramienta es de diez etapas (10 bits), lo que hace que para el bit más significativo se necesiten 10 flip-flops que provocaran los diez ciclos de reloj necesarios para obtener la palabra al mismo tiempo, a la llegada del bit menos significativo.

Ya que el flip-flop es un dispositivo digital sus tiempos de subida y de bajada, no influyen en el cálculo de la no linealidad integral y la no linealidad diferencial por lo que se pueden considerar ideales, la descripción de dichos flip-flops incluye la entrada, el voltaje de referencia analógica, los voltajes de escala total, un retardo de propagación, tiempo de subida y bajada, salida negada ( $Q_n$ ) y no negada ( $Q$ ) Figura 3.4.

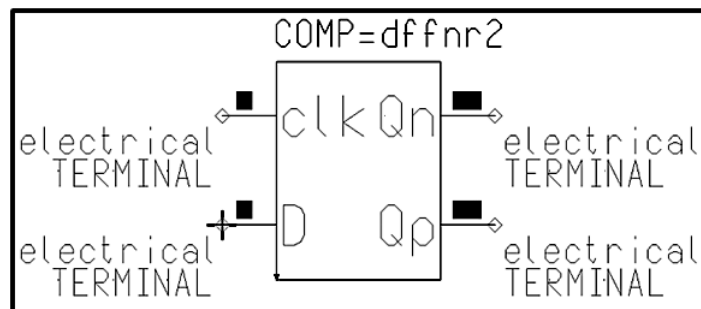


FIGURA 3.4: Símbolo de Flip-flop D

```
//Flip-flop D Verilog A
`include "disciplines.vams"
`include "disciplines.vams"
module dffnr2 (D,clk,Qp,Qn);
input D, clk;
output Qp,Qn;
electrical D, clk, Qp, Qn;
parameter real dv1=+3.3;
parameter real dv0=0;
parameter real vth=1.65;
```

```
parameter real retardo=10p;
parameter real trise=20p;
parameter real tfall=20p;

real ou1;
real ou2;

analog begin
    @(initial_step) begin
if (V(clk)==dv0 )
    begin
        ou1=dv1;
        ou2=dv0;
    end
else
    begin
        ou1=dv0;
        ou2=dv1;
    end
end
end

@(cross( (V(clk)-vth),+1)) begin
    if (V(D) < vth )
begin
    ou1=dv1;
    ou2=dv0;
end
else
begin
    ou1=dv0;
    ou2=dv1;
end
end

V(Qp) <+ transition(ou1,retardo,trise,tfall);
V(Qn) <+ transition(ou2,retardo,trise,tfall);

end
endmodule
```

### 3.2.4. Decodificador

Se emplea un decodificador de binario a decimal, así en lugar de observar el número de nivel  $1111111111_2$  se mostrará el 1023, ya que la resolución total del convertidor es de  $2^N - 1$ , es decir,  $1024-1$ , por lo que se tienen un total de 1023 niveles digitales. El decodificador como se muestra en la Figura 3.5 tiene una señal de control (clk), la referencia analógica, y también se dan pesos a cada una de las entradas en potencias de 2 para poder convertir los valores digitales (binario) a valores decimales.

```
//Decodificador Verilog A
`include "disciplines.vams"
`include "disciplines.vams"
module bin_dec10sinc (Bin, Dec,clk);
input [10:0] Bin;
input clk;
output Dec;
electrical [10:0] Bin;
electrical Dec, clk;
parameter real vth=1.65;
real dec_val;
real b10, b9, b8, b7, b6, b5, b4, b3, b2, b1, b0;
analog
begin
if (V(Bin[10]) > vth) begin
    b10=1;
end
else begin
    b10=0;
end
if (V(Bin[9]) > vth) begin
    b9=1;
end
else begin
    b9=0;
end
if (V(Bin[8]) > vth) begin
    b8=1;
end
end
```

```
else begin
    b8=0;
end
if (V(Bin[7]) > vth) begin
    b7=1;
end
else begin
    b7=0;
end
if (V(Bin[6]) > vth) begin
    b6=1;
end
else begin
    b6=0;
end
if (V(Bin[5]) > vth) begin
    b5=1;
end
else begin
    b5=0;
end
if (V(Bin[4]) > vth) begin
    b4=1;
end
else begin
    b4=0;
end
if (V(Bin[3]) > vth) begin
    b3=1;
end
else begin
    b3=0;
end
if (V(Bin[2]) > vth) begin
    b2=1;
end
else begin
    b2=0;
```

```

end
if (V(Bin[1]) > vth) begin
    b1=1;
end
else begin
    b1=0;
end
if (V(Bin[0]) > vth) begin
    b0=1;
end
else begin
    b0=0;
end
@(cross(V(clk) - vth, -1))
begin
    dec_val=(1024*b10+512*b9+256*b8+128*b7+64*b6+32*b5+16*b4+8*b3+4*b2+2*b1+1*b0);
    end
    V(Dec) <+ dec_val;
end
endmodule

```

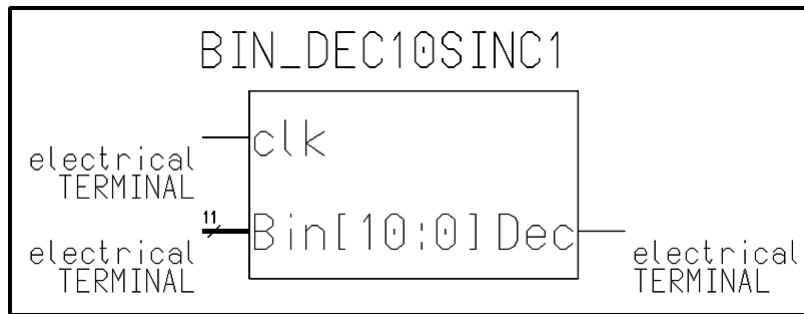


FIGURA 3.5: Símbolo del decodificador

### 3.2.5. Print

El punto print, como su nombre lo indica sirve para obtener los datos cada periodo  $T$ , de alguna parte del sistema, dicho periodo puede variarse, y se almacena en un archivo de texto .txt, su símbolo se presenta en la Figura 3.6.

```

`include "disciplines.vams" `
`include "disciplines.vams" `
module print1(inpf);
input inpf;
electrical inpf;
parameter real starting = 1;
parameter real period = 1;
integer punt;
analog begin
    @( initial_step ) begin
        punt=$fopen(/home/us2/Dropbox/resdicidi/test3.txt");
        end
        @( timer(starting, period) ) begin
            $fwrite(punt, " ", V(inpf));
            end
            @( final_step ) begin
                $fclose(punt);
            end
        end
    end
endmodule

```

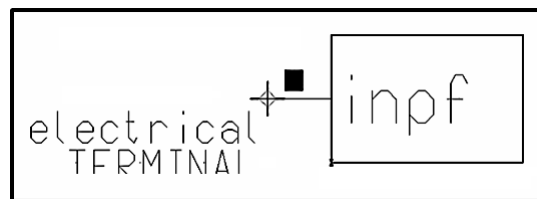


FIGURA 3.6: Símbolo de print

Los elementos descritos comportamentalmente en Verilog-A anteriormente son en conjunto utilizados para construir el sistema completo, a excepción del print, ya que este es para adquirir los datos a partir del ruido de cuantización para realizar el cálculo de la INL y DNL en MATLAB.

### 3.3. ADC pipeline Con bloques descripción comportamental

#### 3.3.1. Celda inicial del convertidor

La primera celda que hace la conversión, resuelve para el bit más significativo, la cual como se mencionó en el capítulo dos, es diferente al resto (9 etapas siguientes), ya que es más simple, debido a que no hace ninguna resta y en consecuencia tampoco necesita amplificar una salida, ya que esto sería redundante, la celda se muestra en la Figura 3.7, la cual emplea el comparador y los interruptores descritos comportamentalmente.

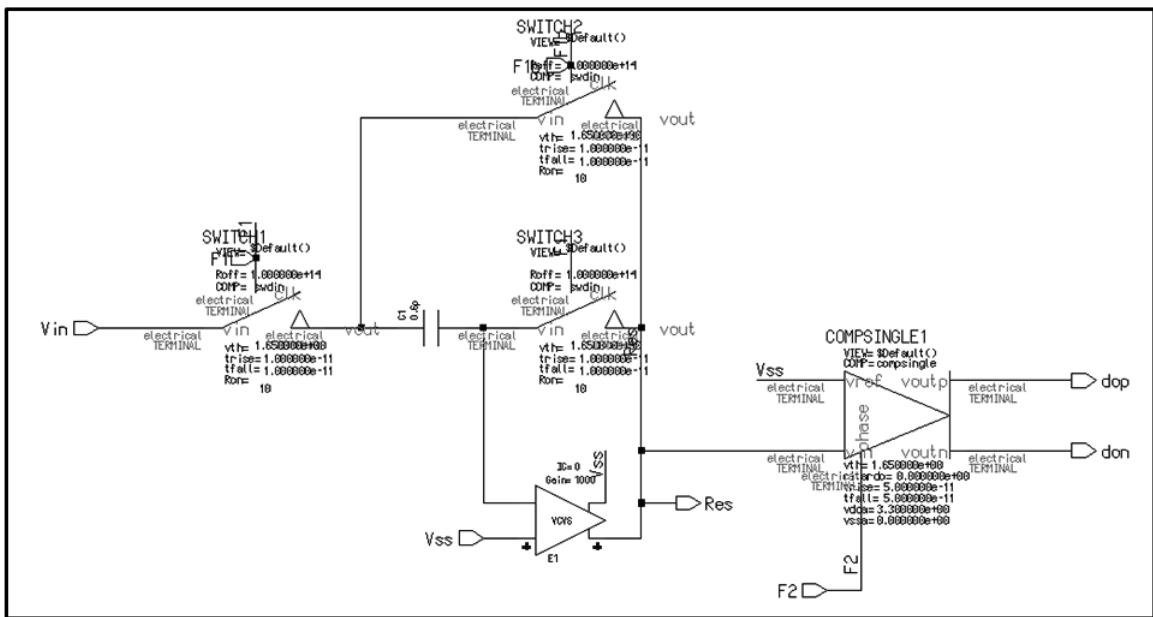


FIGURA 3.7: Celda del convertidor para el bit más significativo

El símbolo de la celda de la Figura 3.7 se muestra en la Figura 3.8, se compone de las entradas: “ $V_{in}$ ” para la señal de entrada que puede ser una rampa (para la caracterización estática) o una señal sinusoidal (para determinar la frecuencia de operación máxima y mínima); “F1”, “F1b” y “F2” controlan la etapa de muestreo, retención y comparación respectivamente; “Res” da la salida del muestreo y retención a la siguiente etapa, las salidas “dop” y “don” son el resultado de la comparación de la salida “Res”, que es la salida resultante del muestreo; el símbolo obtenido puede instanciarse, y modificarse internamente, para hacer las pruebas estáticas pertinentes, ya que una vez modificado se actualiza para todos los circuitos en los cuales se encuentre instanciado el bloque.



FIGURA 3.8: Bloque de la celda que corresponde al bit más significativo

### 3.3.2. Convertidor AD 1 bit (celda unitaria)

En la Figura 3.9 se muestra la celda que compone a todo el sistema, la cual contiene más elementos que la primera etapa que es la que se encarga de resolver el bit más significativo, ya que se incluye la resta de los voltajes de referencia, al igual que una etapa de amplificación, lo que implica el aumento de un capacitor y tres switches.

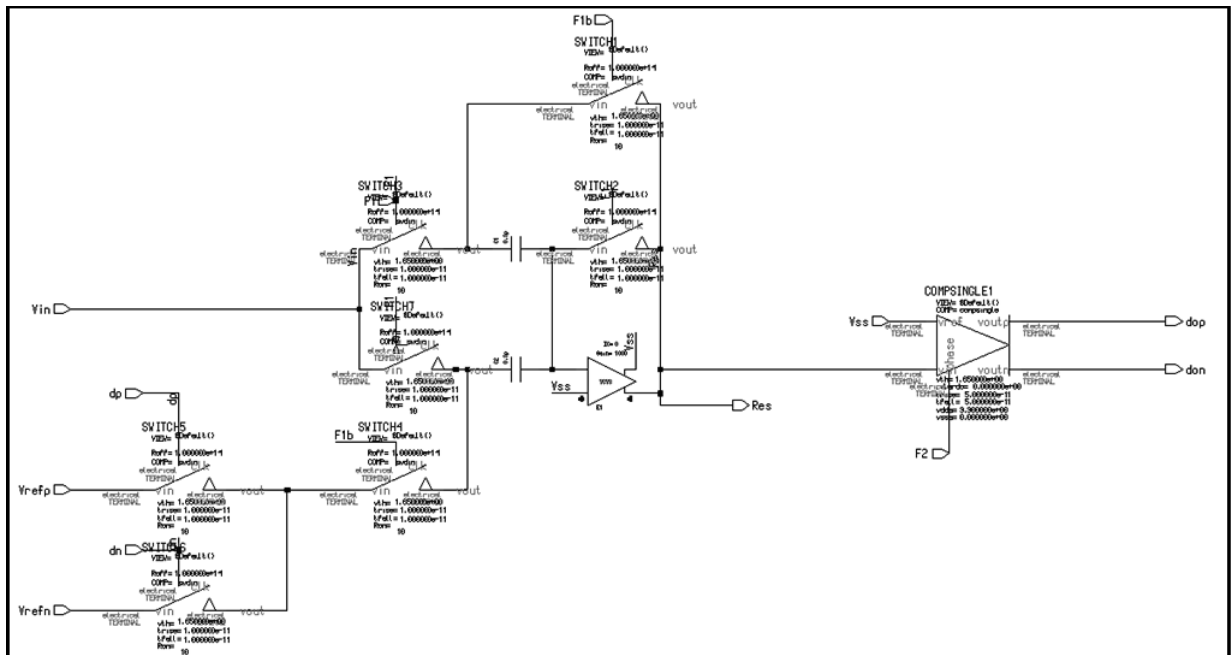


FIGURA 3.9: Celda básica del sistema

La Figura 3.9 muestra el símbolo de la celda básica de la Figura 3.10, en la cual existe un mayor número de entradas, las entradas “ $d_p$ ” y “ $d_n$ ” son las salidas digitales de la etapa anterior, estas controlan el voltaje de referencia que se resta a la entrada, “ $V_{refp}$ ” y “ $V_{refn}$ ” son los

voltajes de referencia positivo y negativo (en este sistema solo son de 0 a 3.3v es decir, no hay un voltaje negativo) respectivamente, las entradas “ $F1$ ”, “ $F1b$ ” y “ $F2$ ” controlan la fase de muestreo, retención, amplificación y comparación, “ $V_{in}$ ” es la entrada en la cual recibe el residuo obtenido de la etapa anterior, la salida “ $Res$ ” es el resultado de la resta del voltaje de referencia amplificado por dos, las salidas “ $d_{op}$ ” y “ $d_{on}$ ” al igual que en la etapa básica del bit más significativo, son los valores digitales obtenidos de la comparación de la salida  $Res$ .

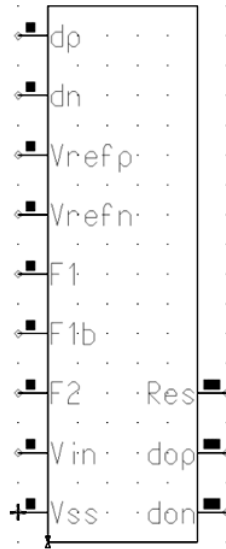


FIGURA 3.10: Símbolo de la celda básica del sistema

### 3.3.3. Fases de reloj para el sistema

Las fases forman una parte primordial para el sistema ADC pipeline, debido a que estas controlan todas las acciones que debe realizar cada etapa del circuito, deben llevar un orden especial para lograr la sincronización del circuito de una manera eficiente, en la Figura 3.11 se observa la configuración de las fases de acuerdo a algunas etapas del sistema. A continuación se explica el proceso que se realiza en la celda para el MBS y las siguientes etapas: la Celda *Basic\_Cell1* es la del bit más significativo, y está controlada por  $Clk0$  y  $Clk1$ , donde  $Clk1$  controla la comparación por medio de la cual se obtiene el dato digital, el cual es tomado por el flip-flop  $FFd29$  con la misma fase con la que se realizó la comparación, para ofrecer los datos digitales hasta el ciclo siguiente de dicha fase, y así poder controlar el voltaje de referencia que debe ser restado por la siguiente etapa, las salidas de dicho flip-flop:  $D9na$  y  $D9a$  (Salidas con un retardo de un ciclo de reloj para estar sincronizadas con la siguiente etapa) van a las entradas:  $dp$  y  $dn$  de la celda *Basic\_Cel21*.

La segunda celda, hace la parte de muestreo, retención y amplificación con  $Clk2$  (esta es la siguiente fase de reloj), y la comparación con  $Clk0$  (que es la fase que sigue a  $Clk2$ ), por lo que

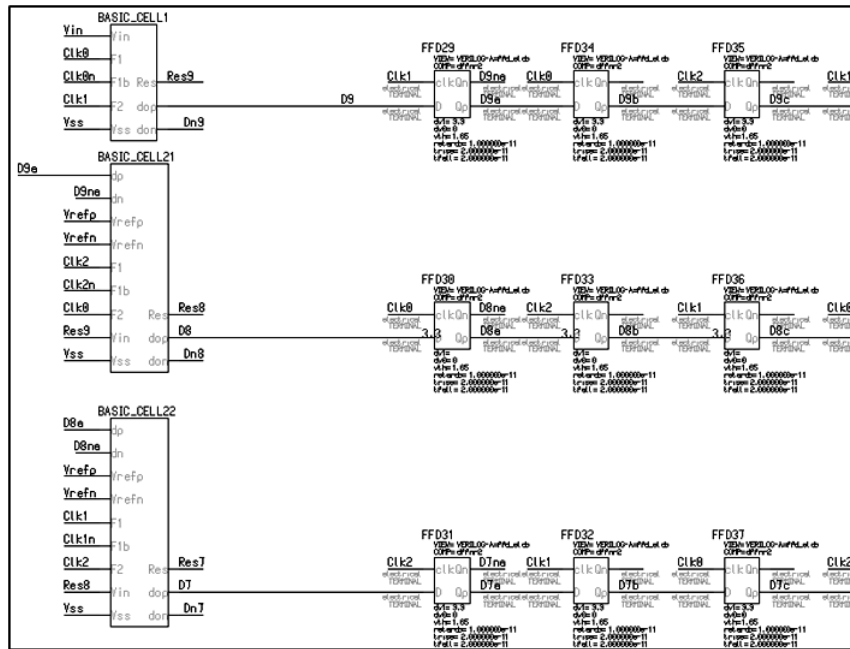


FIGURA 3.11: Conexiones para la conversión

pasara los datos al flif-flop *Ffd30* controlado con *Clk0* (fase de la comparación), y dicho flip-flop controlará con las salidas *D8na* y *D8a* las entradas *dp* y *dn* de la etapa siguiente *Basic.Cell22*, repitiendo así el proceso con las demás etapas, esto sucederá en un tiempo de latencia (10 ciclos de reloj). La latencia de 10 ciclos de reloj solo afecta a la primera muestra, puesto que las muestras sucesivas se convertirán en un solo ciclo de reloj,(el nombre del ADC *pipeline* viene de la rapidez a expensas de un tiempo de latencia, ya que así funciona una línea de procesos).

Las tres fases empleadas para el circuito, deben ser no traslapadas como se muestra en la Figura 3.12 para evitar distorsiones a la salida de cada bit, cada etapa básica solo emplea dos fases de control para las acciones de muestreo/retención, amplificación y resta, pero una tercera debe ser empleada por la etapa siguiente, para adquirir los datos, pero debe tenerse en claro que debido a esto, cada una de las etapas no puede majarse por dos fases iguales a las fases de control de una etapa posterior o anterior, sin embargo, sí comparten una de las fases.

Los flip-flops en serie a la salida de cada etapa, deben manejarse con fases intercaladas para obtener los retardos correctamente en la conversión, la organización de las fases de los flip-flops se muestra en el esquema de la Figura 3.13, tal sistema consta de 10 etapas, la más significativa tiene 10 flip-flops en serie, para que el dato más significativo que es el primero que se obtiene, llegue al mismo tiempo que el bit menos significativo, es por eso que el número de flip-flops va disminuyendo.

El bloque “*print*” se empleará para poder obtener los datos del ruido de cuantización del sistema, y posteriormente procesarlos en matlab para obtener la INL y la DNL del sistema.

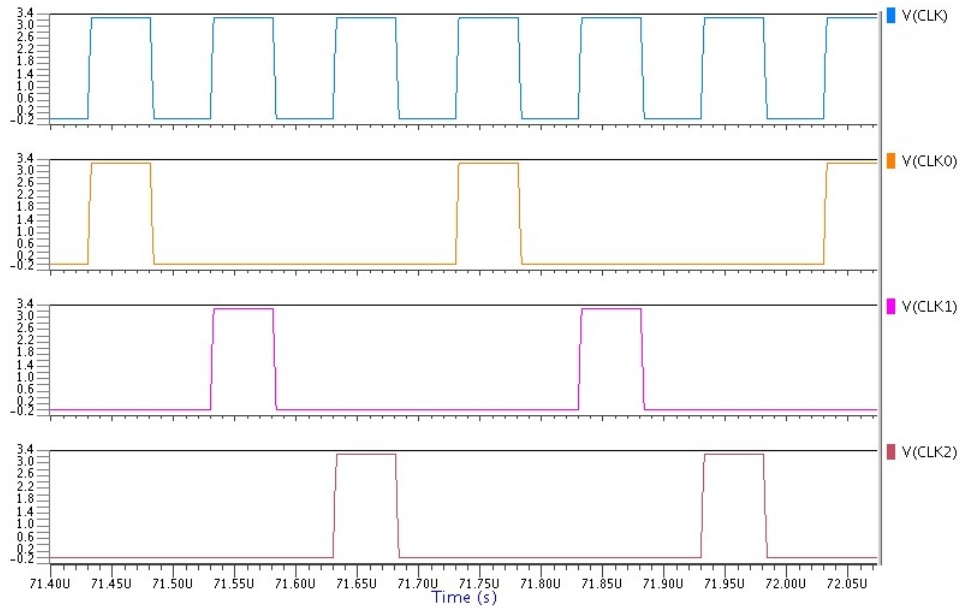


FIGURA 3.12: Fases no traslapadas

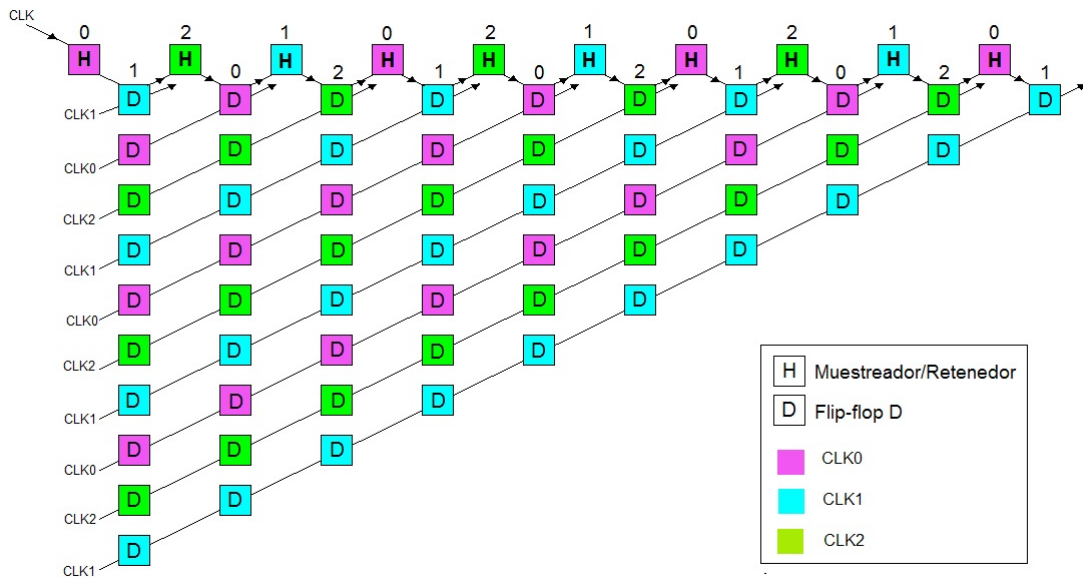


FIGURA 3.13: Esquema de fases para la sincronización de los flip-flops

El ADC completo consta de 10 etapas (empezando por la izquierda Figura 3.13), posteriormente el número de Flip-flops va descendiendo en número, por lo que la primera etapa es la que está en el principio de la parte izquierda, después en el extremo derecho se encuentra la etapa del bit menos significativo, la salida de cada etapa se manda a través está el decodificador de binario a decimal, del cual se obtiene la salida.

Para la adquisición de los datos por el decodificador, y debido a la difícil sincronización, se empleo un detector de fase, que se muestra en la Figura 3.14 el cual está compuesto por 10 compuertas XOR, una para cada entrada, y cada una de estas compuertas tiene la misma entrada pero retardada para poder detectar un cambio en la señal de entrada, dicho flanco de detección pasa por tres flip flops que hacen que el cambio sea detectado por el decodificador con un retardo de un periodo de fase, la razón de los tres flip flops es porque cada cada uno de ellos es controlado por un clk de un tercio de periodo con respecto al de las fases principales, para poder detectar los cambios a menores tiempos, con este sistema se eliminan las aparentes latencias en cada conversión.

El detector de fase solo es útil para muy bajas frecuencias debido que de 3 Mhz en adelante la señal cambia tan rápidamente que un detector solo ocasionaría retardos muy grandes en la señal digital de salida.

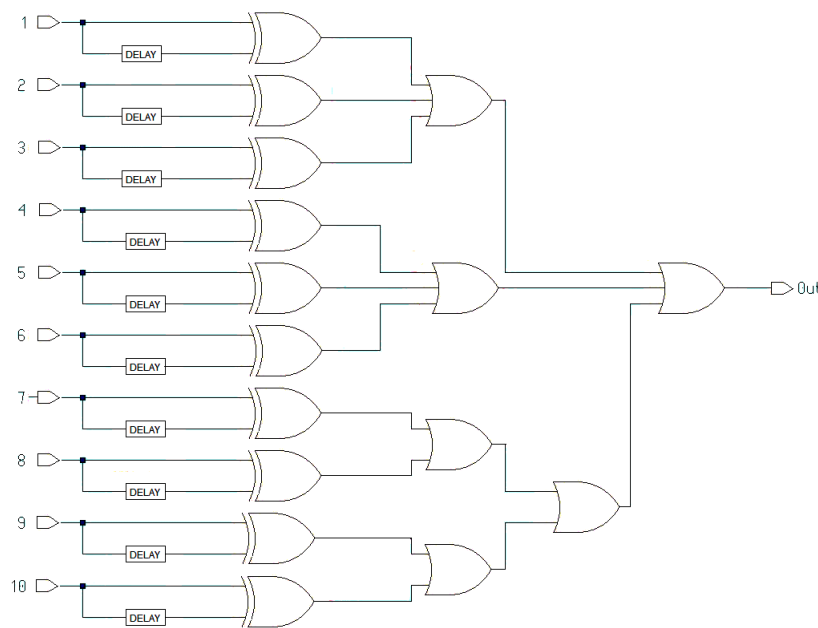


FIGURA 3.14: Detector de fase

En este caso en lugar de emplear un detector de fase, se usa una señal de sincronización para el decodificador de un tercio de la frecuencia de las fases que controlan las diferentes operaciones que se realizan para la conversión.

La conversión analógica digital con una entrada rampa se muestra en la Figura 3.15. Haciendo un acercamiento a la rampa (Figura 3.16) se observan algunos de los niveles de cuantización.

La conversión analógica digital con una entrada senoidal se muestra en la Figura 3.17. Haciendo un acercamiento a la señal senoidal (Figuras 3.18, 3.19 y 3.19) se observan algunos de los

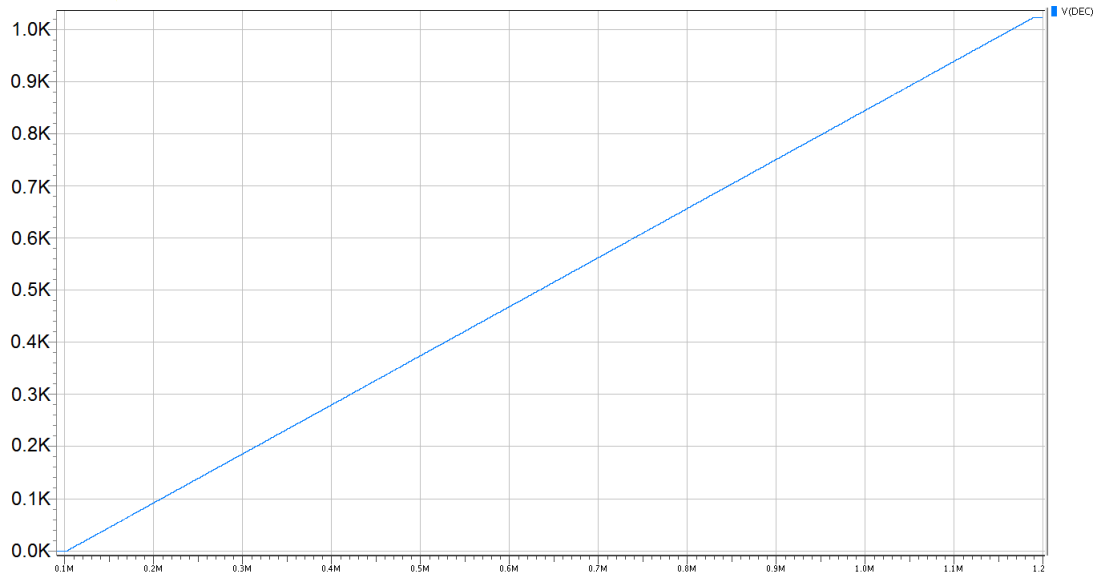


FIGURA 3.15: Rampa de salida (digitalizada)

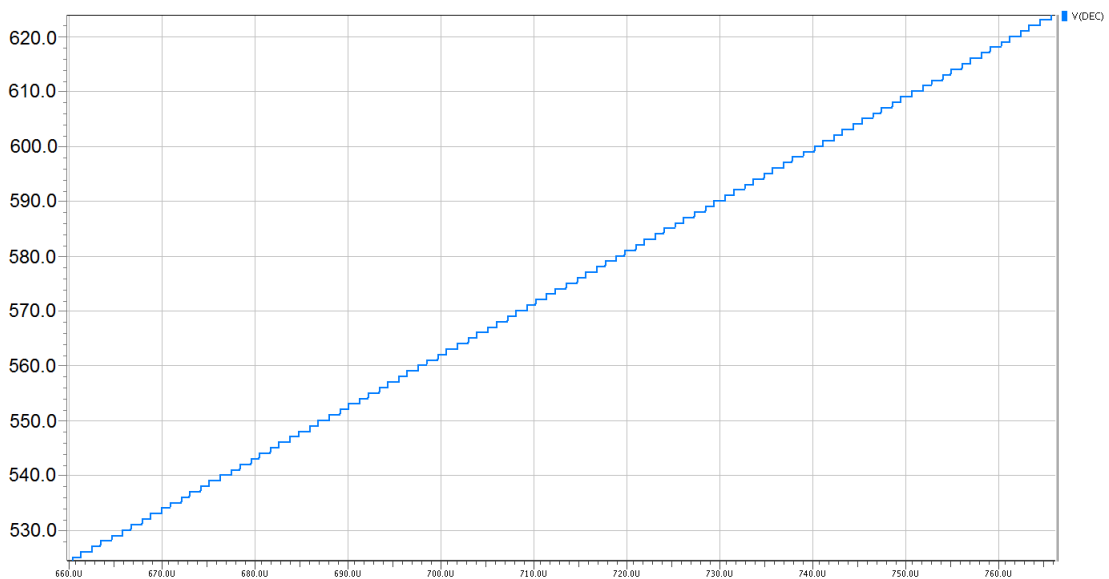


FIGURA 3.16: Acercamiento de rampa

niveles de cuantización, donde se observan diferentes variaciones ya que se tienen diferentes pendientes a lo largo de la curva.

En el próximo capítulo se analizarán los efectos de la no linealidad respecto a los parámetros fundamentales de la celda básica.

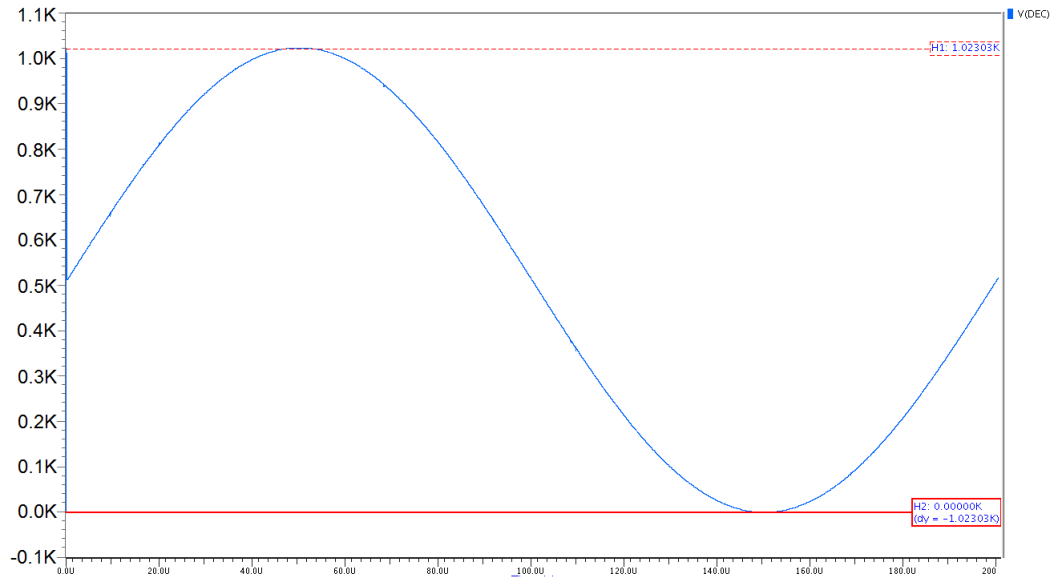


FIGURA 3.17: Conversión digital de señal senoidal

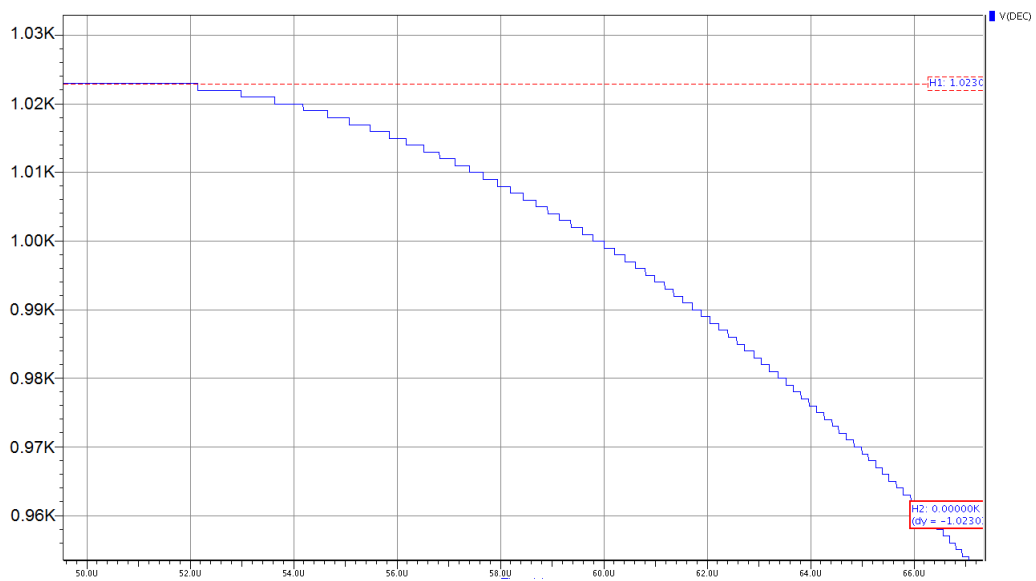


FIGURA 3.18: Acercamiento a señal senoidal digitalizada niveles superiores

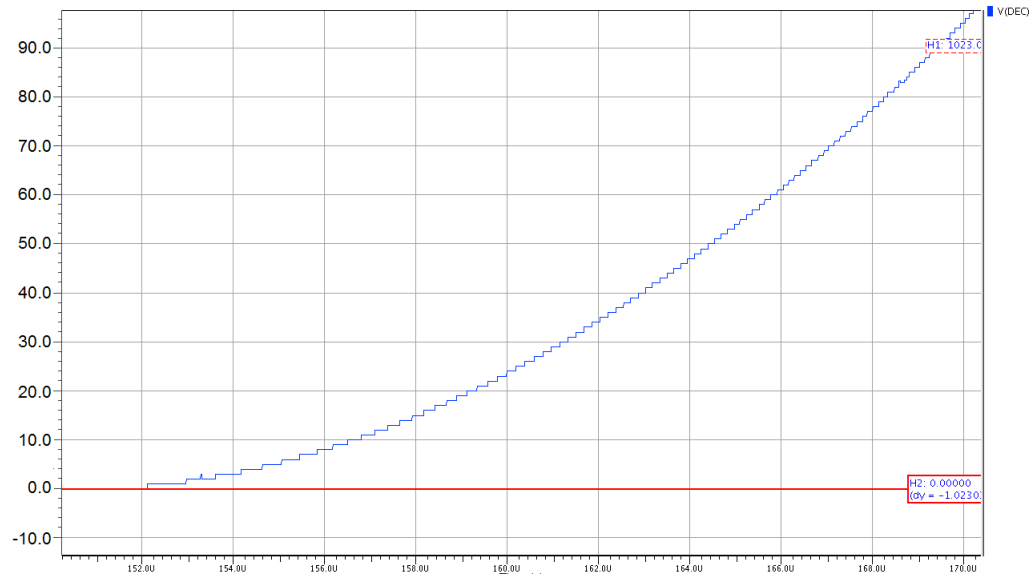


FIGURA 3.19: Acercamiento a señal senoidal digitalizada niveles inferiores

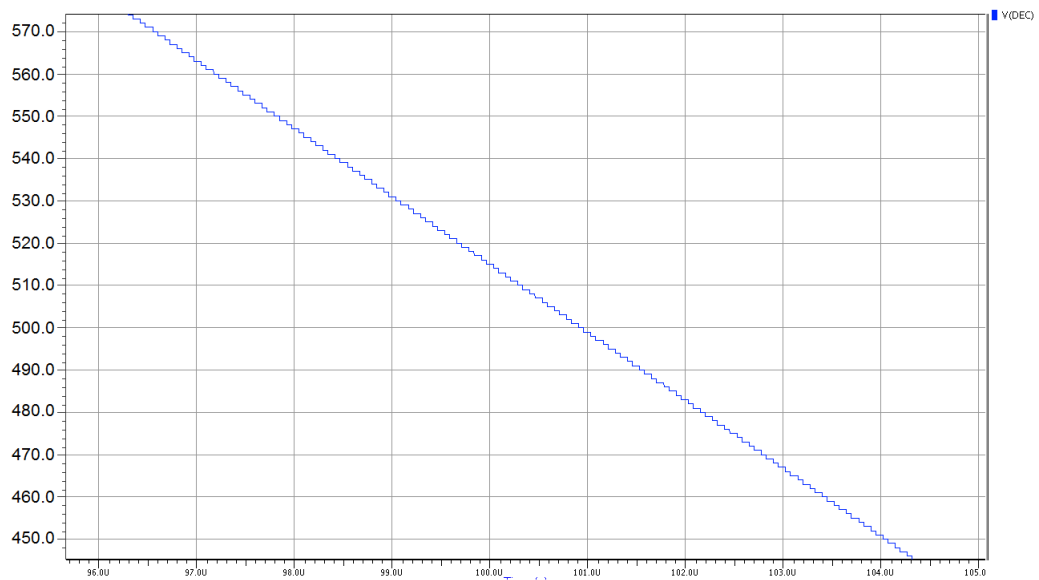


FIGURA 3.20: Acercamiento a señal senoidal digitalizada en transición entre niveles superiores e inferiores

## Capítulo 4

# Caracterización del ADC considerando los efectos de las no idealidades

### 4.1. No linealidades del ADC *pipeline*

La No-Linealidad Integral (*INL*) y la no linealidad diferencial (*DNL*) son algunas de las especificaciones más importantes cuando se quiere asegurar el funcionamiento del ADC para una determinada aplicación.

La linealidad en un ADC de alta resolución está limitada principalmente por la ganancia finita del amplificador operacional, la ganancia brindada por variaciones de los capacitores al amplificador y tensiones de offset. Por lo tanto, un ADC *pipeline* de alta resolución requiere de un amplificador operacional de alta ganancia y condensadores de gran tamaño, lo que incrementará el consumo de potencia del ADC en general.

Las no idealidades en un ADC pipeline, se deben principalmente a los siguientes factores [14]:

- Ganancia Finita del amplificador operacional
- Variaciones en el valor de los condensadores
- Retardo del comparador
- Offset el amplificador operacional.
- Offset en los comparadores.

- Variación en los voltajes de referencia.

#### 4.1.1. Ganancia Finita del amplificador operacional

Un amplificador operacional (op-amp) es un bloque fundamental en circuitos integrados analógicos de alto rendimiento, tales como ADCs. Un alto rendimiento del sistema requiere un amplificador operacional con ganancia muy alta en DC para satisfacer el requisito de precisión. Sin embargo, un diseño CMOS en escalas de baja potencia, canal corto se hace difícil, ya que la ganancia intrínseca de los dispositivos es limitado [18].

En la práctica, el amplificador operacional introduce un error debido a la ganancia finita que presenta, por lo que dicho parámetro debe incrementarse lo suficiente para reducir el error, al mínimo.

Una técnica que se puede emplear para aumentar la ganancia es pasar de una etapa de un solo transistor a una etapa cascode sin afectar el comportamiento en frecuencia significativamente. La ganancia de lazo cerrado ( $A_{CL}$ ) de un amplificador puede ser determinada por [18]:

$$A_{CL} = \frac{A_{OL}}{1 + \beta A_{OL}} \quad (4.1)$$

Con los parámetros  $\beta$  y  $A_{OL}$  como el factor de retroalimentación negativa y la ganancia de lazo abierto, respectivamente. La salida del amplificador será igual a su valor ideal menos algunas desviaciones máximas  $\Delta A_{CL}$ .

De acuerdo a la arquitectura empleada, para el convertidor *pipeline* (Figura 2.6 y 2.7 del Capítulo 2) la ganancia del integrador analógico discreto en un ciclo de reloj se define como [18]:

$$|A_{CL} = \frac{C_1}{C_2}| \quad (4.2)$$

Donde  $C_1$  y  $C_2$  son los capacitores de entrada y salida. La mínima ganancia de DC requerida en lazo abierto se puede estimar mediante [18]:

$$|A_{OLDC} \geq \frac{1}{\beta} + 2^N + 1| \quad (4.3)$$

Como los circuitos con capacitores conmutados se estabilizan en valores de DC, la ganancia de DC afecta a las ecuaciones de transferencia de carga.

Por ejemplo  $1/(2^{12}) = 1/(4096)$ , con  $\beta = 0.5$ , implica que  $A > 78\text{dB}$  [16]. 78dB de ganancia DC, manteniendo un ancho de banda razonable es casi imposible con una configuración sencilla (un error provocado por la ganancia finita del amplificador debe tener un rango menor a  $\frac{1}{2}LSB$ ). Los requisitos de precisión en cada etapa disminuyen a lo largo de la arquitectura *pipeline*, por lo tanto las últimas etapas pueden tener menos ganancia, lo que permite el uso de op-amps simples disminuyendo de este modo el consumo de potencia [16].

Después de estimar el error debido a la ganancia finita del op-amp, el rango para la asignación a otros tipos de errores debe ser máximo de  $\frac{1}{2}LSB$  DNL en la salida del ADC.

#### 4.1.2. Valor de condensadores y ruido térmico

El tamaño de las capacitancias utilizadas en el cálculo del residuo determina el consumo de potencia del amplificador operacional, y por tanto, del convertidor completo. Por esa razón, las capacitancias no deben ser de gran tamaño.

El *mismatch* conduce a errores de linealidad en la ganancia del amplificador por dos, por lo tanto, el tamaño del capacitor para un ADC de alta resolución debe ser típicamente mucho mayor que el ruido térmico para lograr el mínimo *mismatch* en los capacitores.

La determinación de los valores de los condensadores del *MDAC* y *S/H* son un paso importante en el diseño de ADC *pipeline*. A medida que el valor de la capacitancia de carga del amplificador operacional disminuye, la velocidad de respuesta y ancho de banda del amplificador operacional aumentan, y también lo hace la tasa de conversión máxima ADC. Por otra parte, al disminuir el valor de la capacitancia de carga, el ruido térmico de los condensadores aumenta. Si este ruido excede o es aproximadamente igual a la del ruido de cuantización, entonces la *SNR* y *ENOB* disminuyen notablemente. Por lo que es necesario seleccionar valores para los condensadores de muestreo que no degraden significativamente la *SNR* y *ENOB*, y permitan una alta tasa de conversión [17].

El ruido en cualquier etapa del ADC *pipeline* incluye el ruido térmico acumulado de todas las etapas anteriores. El circuito de *S/H* es responsable de la mayor parte de la potencia de ruido térmico, mientras que el resto de las etapas contribuyen con sólo una pequeña porción. La gran potencia de ruido térmico del *S/H* podría limitar la máxima resolución posible del ADC.

Aunque idealmente los elementos capacitivos no contribuyen con gran cantidad de ruido, en un sistema de muestreo y retención, los capacitores también almacenan el ruido generado por elementos como resistencias conmutadas, amplificadores operacionales, etc. La potencia total de ruido debida al proceso de muestreo viene dada por la siguiente ecuación [17]:

$$\overline{V_{out}^2} = \frac{KT}{C_s} \quad (4.4)$$

Donde  $k$  es la constante de Boltzmann, con valor igual a  $1.38 \times 10^{-23}$  Joules  $^{\circ}\text{K}^{-1}$ , y  $T$  es la temperatura en grados Kelvin ( $^{\circ}\text{K}$ ).

Por lo que es evidente que aumentando el tamaño del capacitor para el muestreo, la potencia del ruido térmico disminuirá; pero debido a que el ruido térmico es una fuente de ruido dinámico, contribuye a que disminuya la  $SNR$  del ADC. Por lo que una capacitancia mínima debe emplearse para asegurar una exactitud suficiente, y una nueva contribución de ruido debe tomarse en cuenta para la  $SNR$ ; para dicha relación se tiene la siguiente ecuación [17]:

$$SNR = 20 \log \frac{\frac{V_{ref}}{2\sqrt{2}}}{\frac{V_{LSB}}{\sqrt{12}} + \sqrt{\frac{KT}{C}}} \quad (4.5)$$

Por lo que el ruido térmico compromete la potencia con la precisión, la gráfica de relación entre  $SNR$  y capacitancia se presenta en la Figura 4.1. Los requisitos de exactitud se relajan para las etapas posteriores del ADC. Por lo tanto, es posible incrementar el ruido de fondo para las etapas siguientes mediante el uso de condensadores más pequeños.

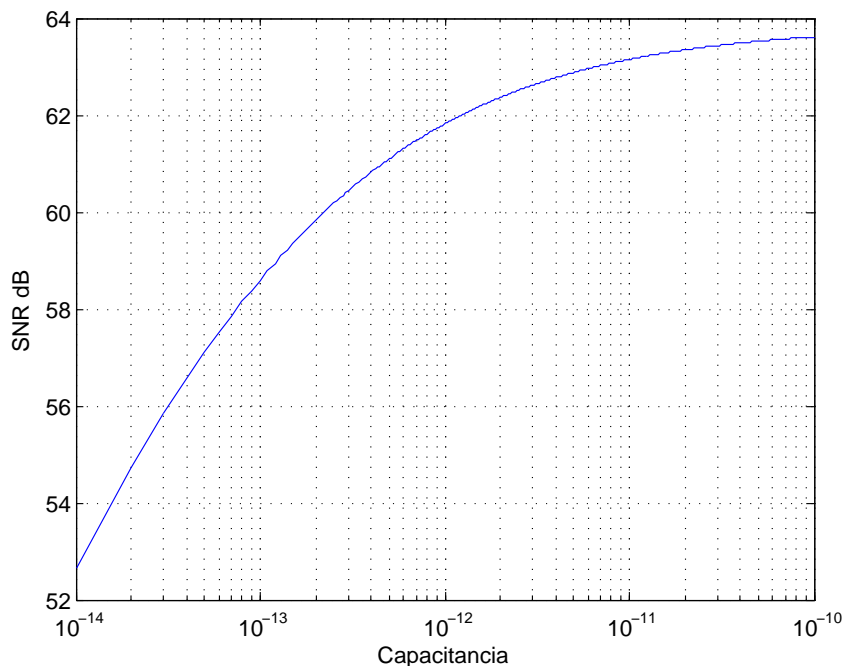


FIGURA 4.1: SNR para diferentes capacitancias para un ADC de 10 bits

La tensión analógica residuo se pliega de manera que se encuentra entre  $\pm \frac{1}{2}V_{ref}$  para evitar la no linealidad de ganancia del op-amp. Cuando el circuito  $S/H$  opera en el *swing* inferior, se mejora la linealidad del ADC *pipeline*. Para tener en cuenta la capacidad de carga total en la parte de salida del circuito  $S/H$ , la capacitancia mínima establecida por consideraciones de ruido  $kT/C$  y las características determinadas, los tamaños de los condensadores en el circuito  $S/H$  es elegido como 0.8pF como se muestra en la Figura 4.1 para obtener la SNR correspondiente a un convertidor *pipeline* de 10 bits [17].

### 4.1.3. Retardo en el comparador

El efecto de retardo en los comparadores provoca errores significativos, esto sucede debido a factores inherentes a la arquitectura con la que se construyan. Dichos errores causan una salida digital distorsionada ya que controlan el DAC de la etapa presente, es decir, mandan a la salida un valor digital “1” o “0”, y este valor digital tiene que pasar por el flip-flop para la siguiente etapa, y así sucesivamente, el retardo se iría acumulando a partir del retardo de salida de la primera etapa [17].

En uno de los peores casos, cada bit obtenido del DAC, y cada voltaje de referencia se obtendría con una sincronización desfasada, por lo que la salida digital no sería la esperada. En las pruebas se muestran los resultados con distintos valores de retardo, donde se muestran los diferentes valores de la *INL* y la *DNL* que se obtienen para la caracterización estática.

### 4.1.4. Offset en los Comparadores

Ya que el comparador es un convertidor de tipo flash, su ventaja es que la conversión es prácticamente en tiempo real, salvo el tiempo de conmutación del comparador y la lógica. La desventaja que se presenta es cuando la resolución es alta, pero en este caso al ser una conversión con resolución de un bit por etapa no hay mayor problema.

El efecto del offset que está presente en los DAC's es un cambio en los niveles de decisión, que ya no estarán equidistribuidos a lo largo del rango, esto puede provocar pérdidas de datos, en la salida digital del convertidor, el rango de offset aceptable en dichos comparadores se muestra en los resultados de las pruebas de *INL* y *DNL* con diferentes valores de este parámetro. El offset se puede corregir con un offset inverso, una salida correcta se puede medir debido a que la salida debe ser de valor nulo, esto puede darse metiendo una entrada normal, y si ocurre una salida distinta de cero significa que hay error de offset, lo cual se puede corregir con un valor de DC inverso a la salida no esperada [17].

#### 4.1.5. Offset del amplificador

El offset del circuito completo, podría generar un desplazamiento de la salida respecto a la entrada, este es generalmente provocado por el amplificador, obteniendo así la salida con códigos binarios desplazados, es decir, un número binario pero desplazado. En general, el offset va desde 0 a  $2^{n-1}(-1)$ , y es el valor de salida obtenido cuando la entrada es nula. Se mide en porcentaje del máximo nominal o en *LSB*. El valor ideal es  $0LSB$ .

Depende de la fabricación de los transistores. Además, con el tiempo, se produce un envejecimiento de los componentes de manera que el offset varía. La tensión de offset se aprecia cuando, al unir los dos terminales de entrada a masa, en lugar de dar  $V_o = A(V^+ - V^-) = 0$  como debía ser se observa una tensión diferente de cero en salida. Esto suele ocurrir por efecto de la falta de simetría [18].

Sin embargo, el offset no se suele medir de la forma antes descrita sino que se hace al contrario, definiéndose una tensión de offset o de desplazamiento en la entrada como la tensión necesaria entre los terminales del amplificador para conseguir en salida una tensión nula. Se suele representar por una fuente de tensión  $V_{IO}$  en uno de los dos terminales como se presenta en la Figura 4.2. La  $V_{IO}$  llamada tensión de entrada de desplazamiento tiene un valor que oscila entre 0.1 mV y 100 mV [18].

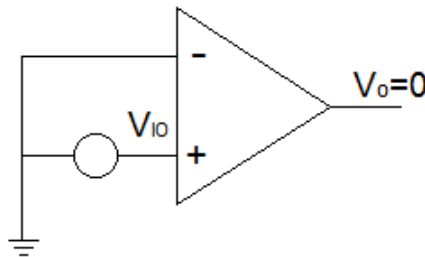


FIGURA 4.2: Offset del comparador

Se tiene por tanto un error en salida que además no es constante sino que varía con la temperatura y el envejecimiento [18].

#### 4.1.6. Variación de los voltajes de referencia

Para la estabilidad del convertidor, también influye el voltaje de referencia. Los voltajes de referencia se emplean para la resta de dichos voltajes a la entrada retenida (DAC), la cual es amplificada para obtener la salida para la siguiente etapa. Los valores absolutos de estas tensiones de referencia varían con los parámetros de proceso y la temperatura.

El número de las referencias de tensión del ADC flash necesario para cada etapa depende de la resolución de esta, estas referencias están conectados normalmente sólo a una pequeña carga capacitiva formada por compuertas de los transistores MOS y no se requiere almacenamiento en búfer [18].

El offset que puede tener una fuente de referencia debido a las no linealidades de ésta (siempre hay error en el voltaje que entrega) al pasar a la entrada de la primera etapa del ADC produce un desplazamiento uniforme de los niveles de decisión, y el offset puesto en serie a la salida del DAC desplaza la salida completa del residuo. Si el offset se incrementa en el ADC los niveles son desplazados aún más. El error en la referencia de tensión se suma a la tensión de offset de un comparador, deteriorando aún más su exactitud. Cuando se utiliza la técnica de condensadores conmutados, la determinación de tensiones de referencia reales para los DACs, tienen especificaciones de alta precisión.

En resumen el error de offset en los voltajes de referencia inter etapa produce un desplazamiento vertical del gráfico completo del residuo.

## 4.2. Caracterización estática

La caracterización estática del convertidor se realizará mediante la variación de los parámetros anteriormente mencionados.

Dicha caracterización es suficiente para manifestar un mal funcionamiento y validar un protocolo de pruebas, esta se obtiene mediante la curva de transferencia del convertidor, para detectar códigos perdidos, o un comportamiento no monótono del convertidor, así como para saber el número de bits efectivos.

Para obtener las no linealidades del circuito primero se debe calcular el ruido de cuantización ( $V_Q$ ), para esto es necesario introducir una rampa muy lenta a la entrada convertidor ( $V_{in}$ ), después de que ésta sea procesada, se obtendrá la salida digital ( $V_{dig}$ ), la cual idealmente debe contar con los 1023 niveles para un convertidor de 10 bits.

Después de obtener la salida digital, esta debe pasar por con un convertidor digital-analógico ideal (DAC) para regresar la señal a su forma analógica ( $V_I$ ), como se observa en el diagrama de bloques, de la Figura 4.3, a dicha señal debe restarse la señal de entrada  $V_{in}$  para hacer la comparación.

El residuo obtenido es llamado ruido de cuantización y debe oscilar entre los valores  $\pm \frac{1}{2}LSB$ , la gráfica del ruido de cuantización ideal se muestra en la Figura 4.4.

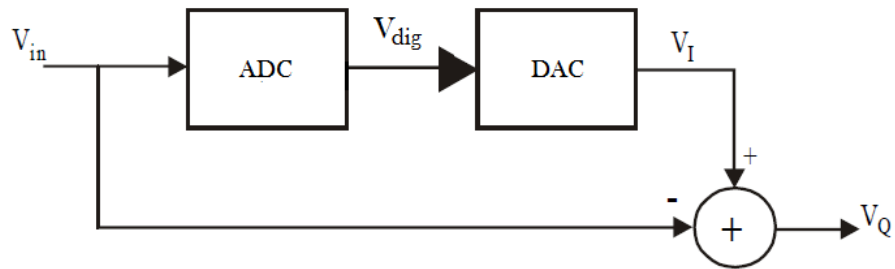


FIGURA 4.3: Diagrama de bloques para la obtención del ruido de cuantización

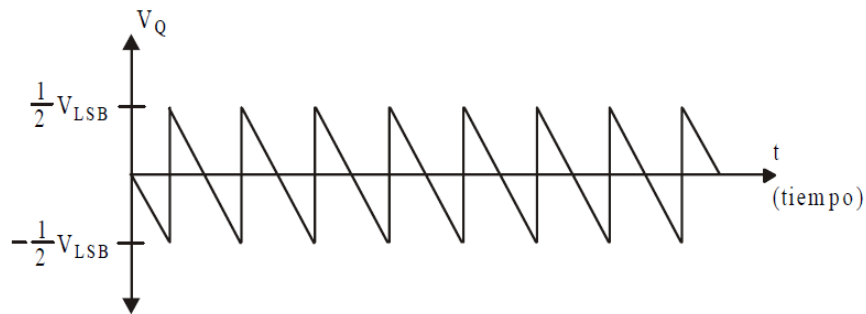


FIGURA 4.4: Ruido de cuantización

El diagrama de bloques realizado en la herramienta (Mentor Graphics) para obtener el ruido de cuantización se muestra en la Figura 4.5 este se implementó con elementos pertenecientes a dicha herramienta.

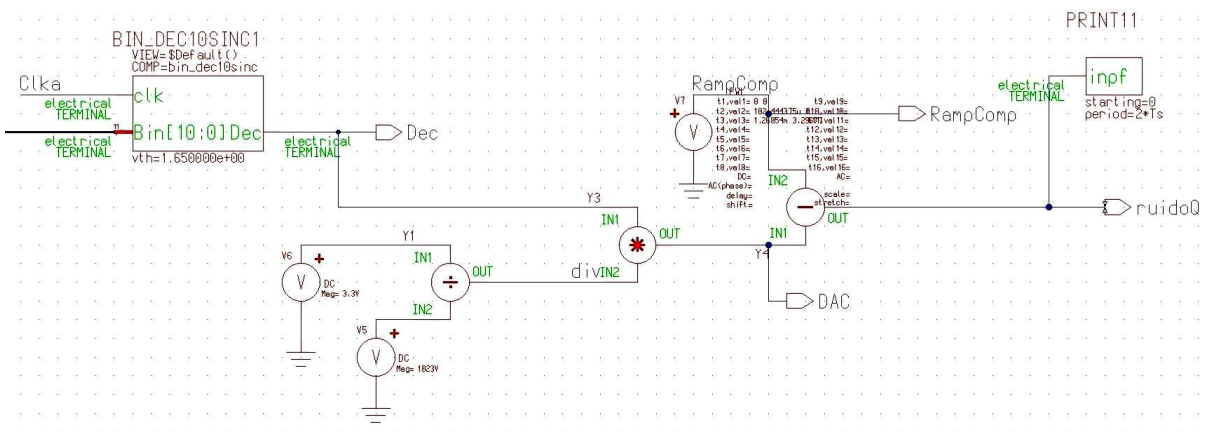


FIGURA 4.5: Esquema para la obtención del ruido de cuantización en Mentor Graphics

En el diagrama se observa que la salida digitalizada del decodificador de binario a decimal va a un punto de multiplicación; la salida digital de los datos de 900 a 1023 se muestra en la figura Figura 4.6.

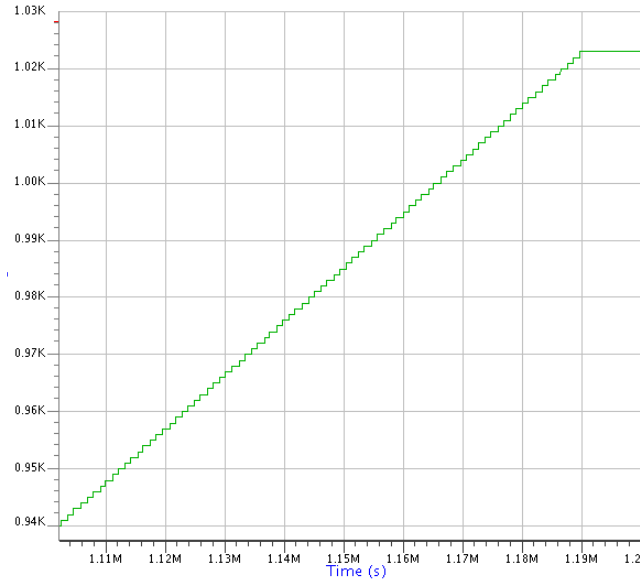


FIGURA 4.6: Curva de transferencia de los datos 900 a 1023

Ahora esta salida será dividida por el valor de 1LSB, dicho valor proviene del punto de división, por lo que a la salida del punto de multiplicación se obtiene la salida digital convertida a su forma analógica (dentro de un rango de 0 a 3.3V), después la salida del DAC va hacia un punto restador, que posee una rampa recorrida en su otra terminal para que coincida con el punto medio del escalón del valor menos significativo el retardo en la entrada presentado en la Figura 4.7 es necesario, para que la rampa pase por el punto medio de cada nivel de la curva de transferencia de salida como se presenta en la figura Figura 4.8.

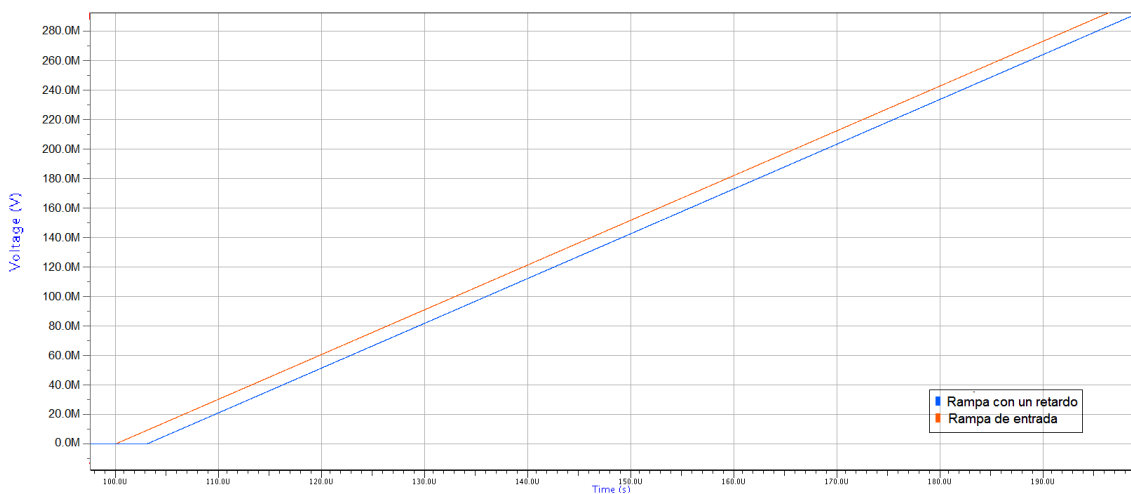


FIGURA 4.7: Rampa de entrada y rampa con retardo

Ahora las señales presentadas en la Figura 4.8 se restan entre si, lo cual es necesario ya que al no ser una conversión ideal, existe un retardo de inicialización (latencia) como se explicó

anteriormente (capítulo 1).

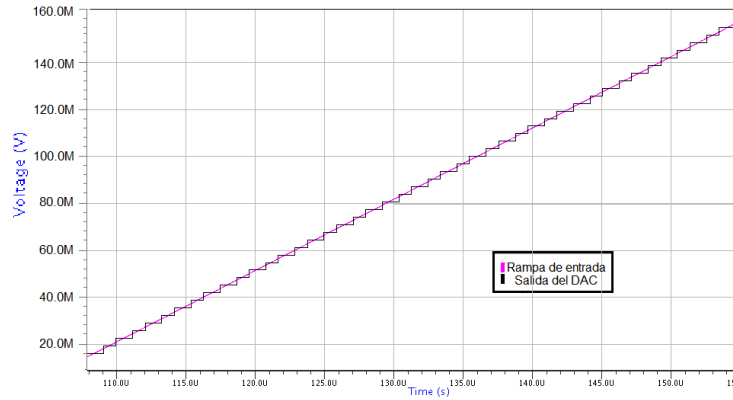


FIGURA 4.8: Curva de entrada y curva de salida Digital

El resultado de ruido de cuantización obtenido mediante la resta de la rampa de entrada a la señal digital vuelta a su forma analógica se muestra en la Figura 4.9.

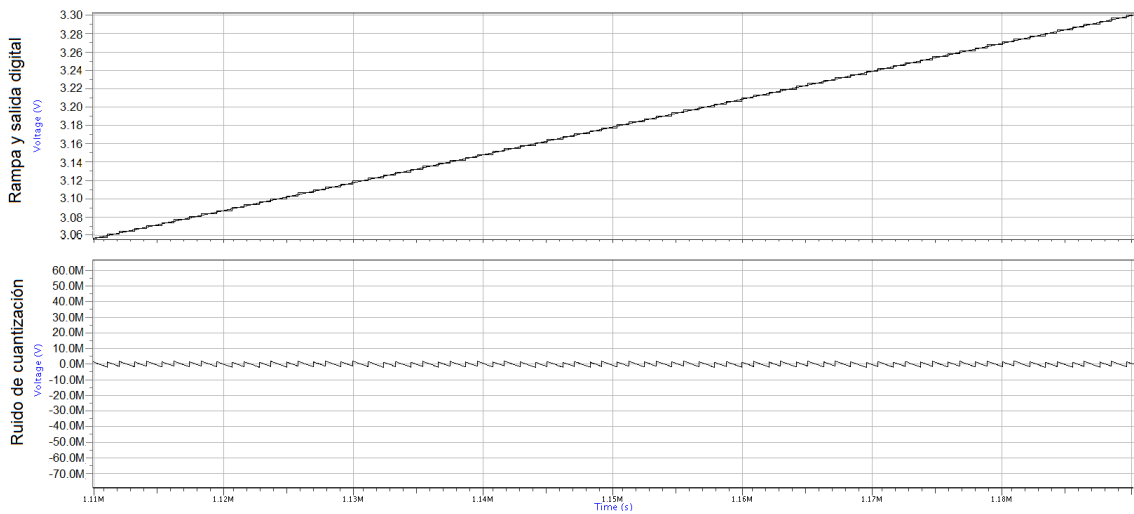


FIGURA 4.9: Ruido de cuantización obtenido

Al final del diagrama, se tiene a la salida (ruidoQ) el bloque “Print” por medio del cual se obtienen los datos del ruido de cuantización en un archivo de texto .txt, el cual los obtiene cada determinado tiempo, y dicho tiempo esta relacionado con el periodo de cada una de las fases que controlan la conversión que realiza el circuito.

El archivo .txt, contiene toda la información necesaria del ruido de cuantización, por lo que se procesa por medio de MATLAB para calcular la DNL con la ecuación 1.7 mostrada en el capítulo 1, y posteriormente calcular la INL con la suma acumulativa de la DNL, cada uno de estos parámetros es linealizado para su obtención en términos de LSBs.

### 4.2.1. Variación de parámetros

Para obtener los rangos trabajo del circuito, se debe obtener el ruido de cuantización a partir de la variación de varios parámetros y así obtener los diferentes valores de la INL y la DNL, las cuales deben permanecer dentro de rangos definidos para presentar un correcto funcionamiento del sistema. Las variaciones aquí presentadas se hacen modificando un solo parámetro mientras que los demás se mantendrán estáticos, en términos de elementos ideales que necesita el convertidor. Los parámetros ideales a partir de los cuales se hacen las variaciones son los que se muestran en el Cuadro 4.1.

Parámetro	Valor
$R_{on}$	1k $\Omega$
$R_{off}$	1e10 $\Omega$
Ganancia del amplificador operacional	100,000
Retardo del comparador	0 ms*
Offset del comparador	0 mV*
Offset del amplificador operacional	0 mV*
Voltajes de referencia	$V_{refn} = 0^*$ $V_{refp} = 3.3V^*$

CUADRO 4.1: Parámetros del ADC pipeline (\* ideales)

### 4.2.2. Gráficas de DNL e INL con parámetros del cuadro 4.1

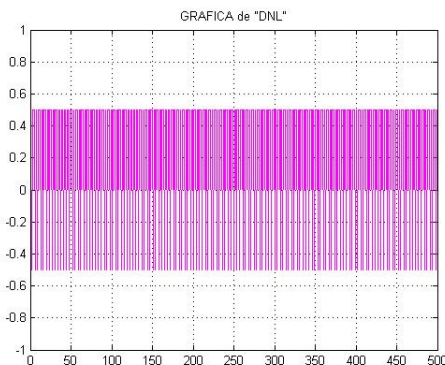


FIGURA 4.10: DNL con parámetros del cuadro 4.1

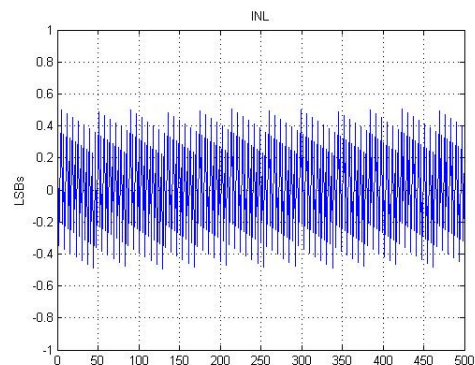


FIGURA 4.11: INL con parámetros del cuadro 4.1

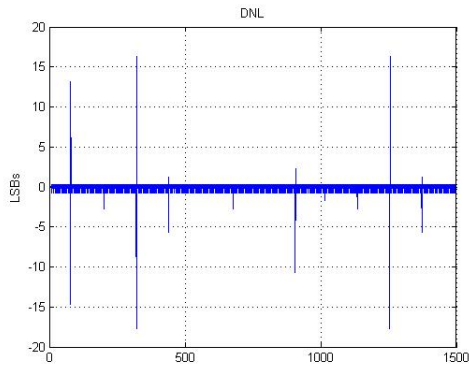


FIGURA 4.12: DNL ganancia op-amp 100

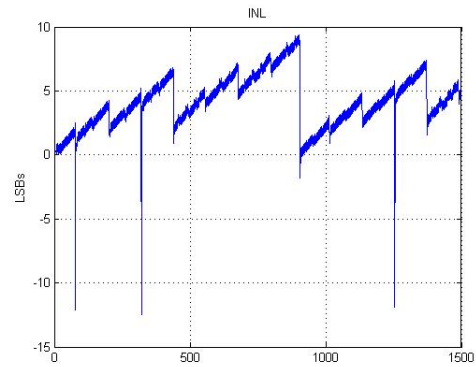


FIGURA 4.13: INL ganancia op-amp 100

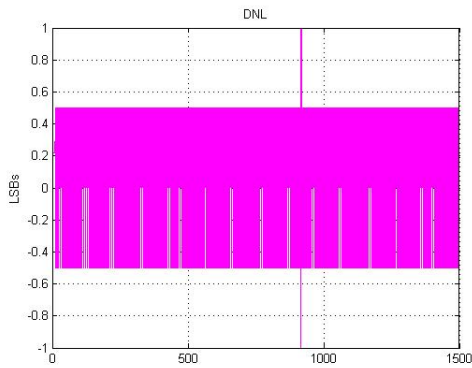


FIGURA 4.14: DNL Ganancia op-amp 1000)

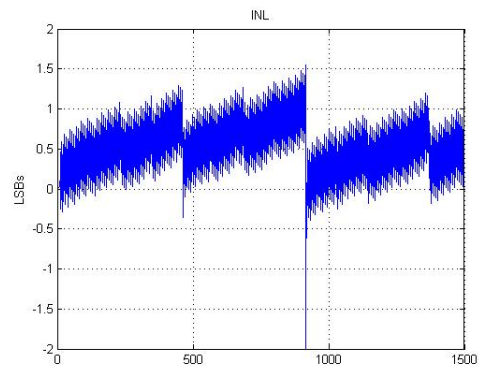


FIGURA 4.15: INL Ganancia op-amp 1000

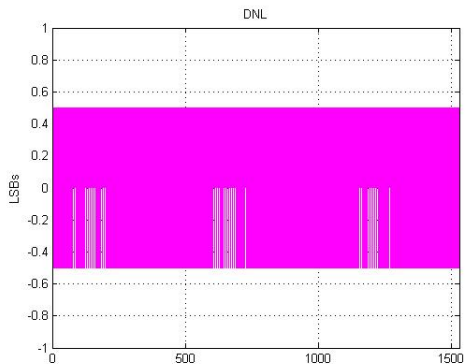


FIGURA 4.16: DNL Ganancia op-amp 10,000

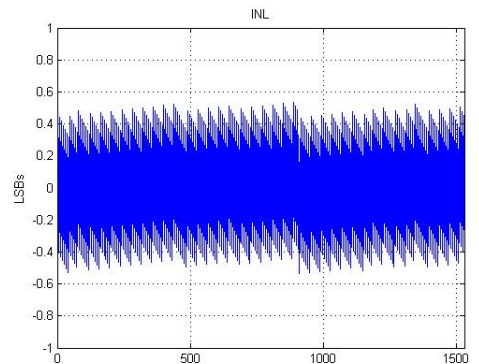


FIGURA 4.17: INL Ganancia op-amp 10,000

### 4.2.3. DNL e INL con diferentes ganancias del amplificador operacional

Del Cuadro 4.2 se puede definir que el valor óptimo para el funcionamiento adecuado de un amplificador operacional en un ADC *pipeline* de 10 bits, requiere una ganancia mayor a 10000,

Ganancia del amplificador operacional	Rango DNL en LSBs	Rango INL en LSBs
100	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
1000	-1 a 1	Mayor a $ \pm 0.5 $
10,000	-0.5 a 0.5	Mayor a $ \pm 0.5 $
100,000	-0.5 a 0.5	-0.5 a 0.5

CUADRO 4.2: INL y DNL variando el parámetro de ganancia del amplificador *pipeline*

que son aproximadamente 80 dB. Por lo cual se requiere un buen diseño del amplificador, para lograr un ganancia alta y una baja impedancia de salida.

#### 4.2.4. DNL e INL con retardo en el comparador

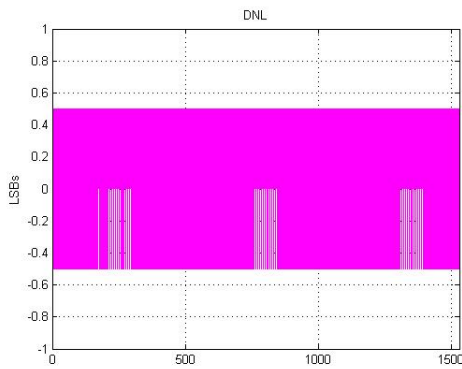


FIGURA 4.18: DNL retardo de 100ns en el comparador

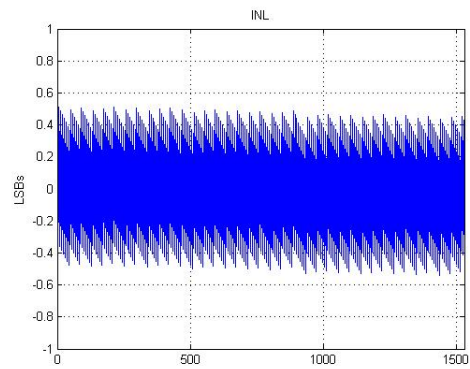


FIGURA 4.19: INL retardo de 100ns en el comparador

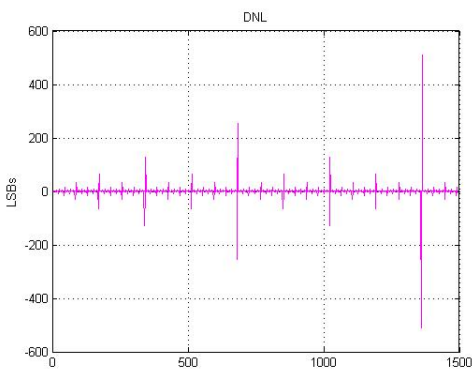


FIGURA 4.20: DNL retardo de 1µs en el comparador

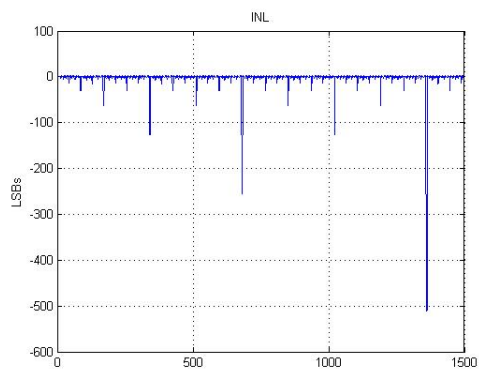


FIGURA 4.21: INL retardo de 1µs en el comparador

El retardo en el comparador debe ser por lo menos igual al tiempo de conversión del convertidor para evitar pérdidas de datos en el caso de la caracterización del sistema, ya que para esto

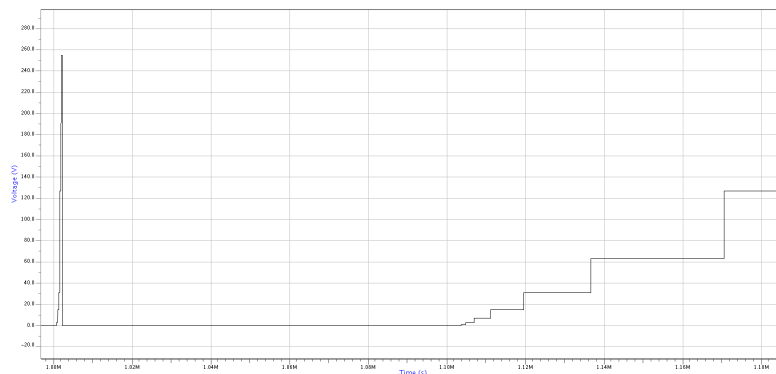


FIGURA 4.22: Salida digital del ADC con un retardo de 1ms en el comparador

Retardo del comparador	Rango DNL en LSBs	Rango INL en LSBs
1us	-0.5 a 0.5	-0.5, a 0.5
1ms	Mayor que $ \pm 15 $	500
10 ms	No se puede observar ya que el,retardo es muy grande	
0 ms	-0.5 a 0.5	-0.5 a 0.5

CUADRO 4.3: Parámetros del ADC con retardo en el comparador *pipeline*

se hace uso de una rampa lenta a la entrada, dicha señal permite un mayor margen de error, debido a que el cambio de la entrada es el mismo por cada tiempo, por lo que no hay cambios abruptos, sin embargo, al trabajar con una entrada senoidal, existen cambios abruptos por lo que el retardo debe ser como máximo la mitad del tiempo de conversión, ya que si se tiene un retardo correspondiente a un ciclo de conversión se tendría pérdida de datos en la salida digital, esto se puede corroborar con la gráfica de salida del convertidor cuando se tiene un retardo mayor a 1000 % del tiempo de conversión, donde ya no es posible obtener por lo menos una cuarta parte de la salida digital deseada, en este caso como se muestra en el Cuadro 4.4, se observa el cambio de la DNL e INL dependiendo del retardo.

#### 4.2.5. DNL e INL con offset en el comparador

EL offset idealmente debe mantenerse en un rango menor a  $\frac{1}{2}$  LSB para evitar errores en la salida digital, en este convertidor 1 LSB corresponde a 3.2 mV; de acuerdo a la tabla 5, el máximo offset para el comparador debe ser menor a 1 mV, es decir, muy por debajo del valor de  $\frac{1}{2}$  LSB, es muy importante que el offset en el comparador se mantenga dentro del rango admitido ya que la acción que este realiza es muy importante, esto es porque de este depende la salida digital de cada etapa, y el voltaje de referencia para la siguiente etapa, aun cuando no representa pérdida de códigos digitales, de acuerdo a la DNL obtenida.

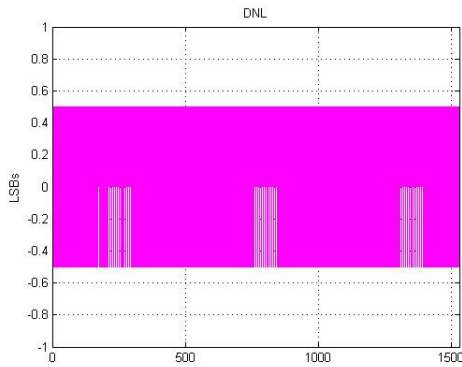


FIGURA 4.23: DNL offset de 0.5 mV en el comparador

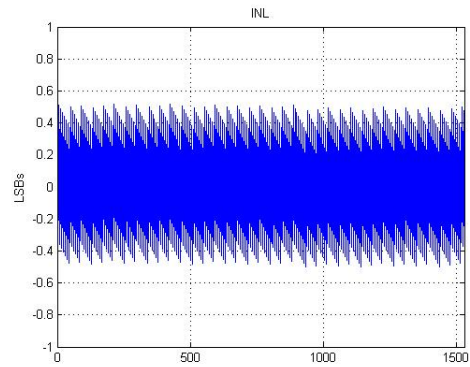


FIGURA 4.24: INL Offset de 0.5 mV en el comparador

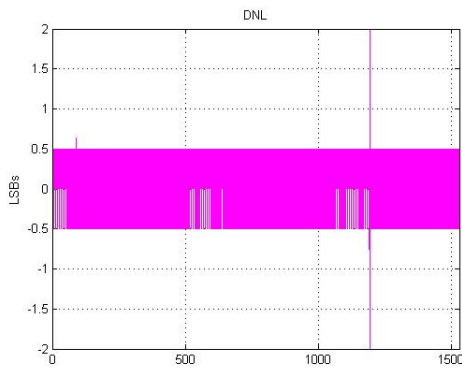


FIGURA 4.25: DNL offset de 1 mV en el comparador

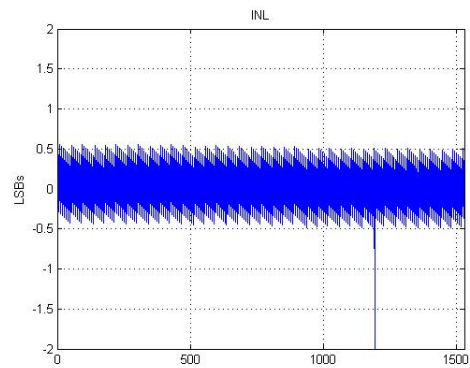


FIGURA 4.26: INL Offset de 1 mV en el comparador

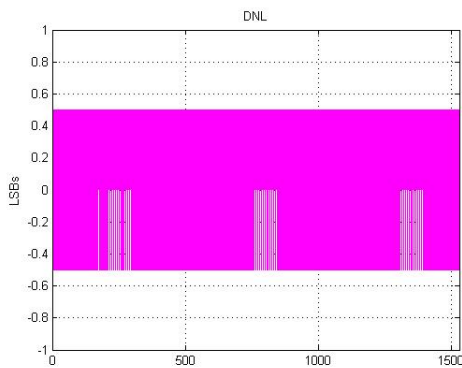


FIGURA 4.27: DNL Offset de 2 mV en el comparador

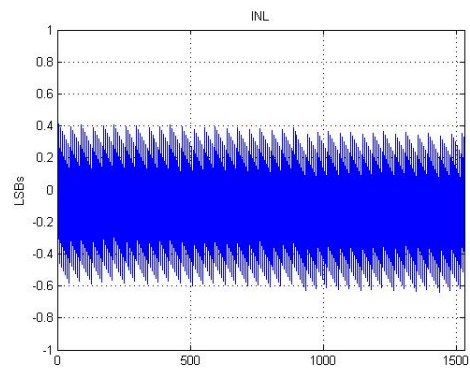


FIGURA 4.28: INL Offset de 2 mV en el comparador

#### 4.2.6. DNL e INL con diferentes valores de offset de amplificador operacional

En el cuadro 4.5 se puede observar que el offset en el amplificador no ocasiona códigos perdidos, debido a que la DNL se encuentra en los rangos especificados, sin embargo hay cambios en cuanto a la desviación de la línea de transferencia de salida con respecto a la línea ideal ya que la INL

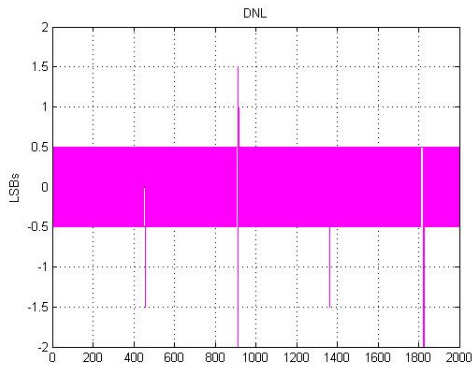


FIGURA 4.29: DNL offset de 10 mV en el comparador

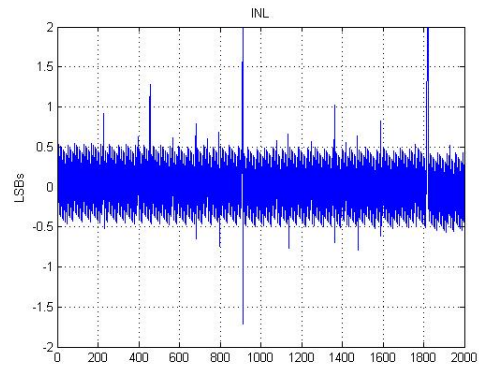


FIGURA 4.30: INL offset de 10 mV en el comparador

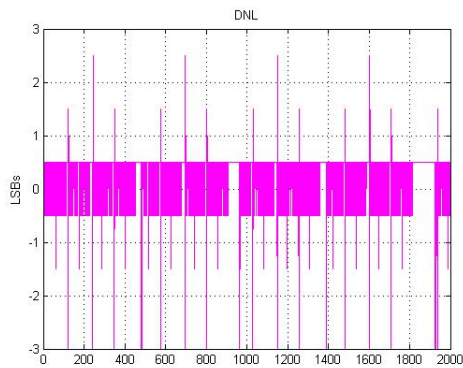


FIGURA 4.31: DNL offset de 100 mV en comparador

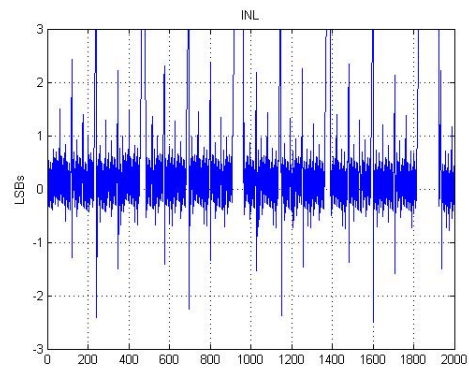


FIGURA 4.32: INL offset de 100 mV en comparador

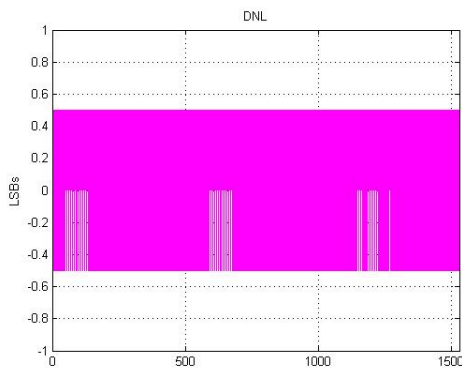


FIGURA 4.33: DNL offset de 0.5mV en op-amp

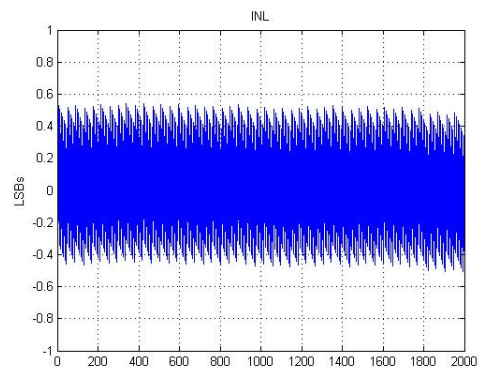


FIGURA 4.34: INL offset de 0.5mV en op-amp

aumenta de valor mostrando que ya no hay un convertidor monótonico cuando el offset aumenta, por lo que se obtiene un error de ganancia a la salida.

Offset en el comparador	Rango DNL en LSBs	Rango INL en LSBs
0.5 mV	-0.5 a 0.5	-0.5 a 0.5
1mV	-0.5 a 0.5	Mayor a  0.5
2mV (rebase el rango permitido de 1/2 LSB)	-0.5 a 0.5	Mayor a  0.5
10 mV	-0.5 a 0.5	Mayor a  0.5
100 mV	-0.5 a 0.5	Mayor a  0.5
0 mV	-0.5 a 0.5	-0.5 a 0.5

CUADRO 4.4: Parámetros del ADC con offset en el comparador *pipeline*

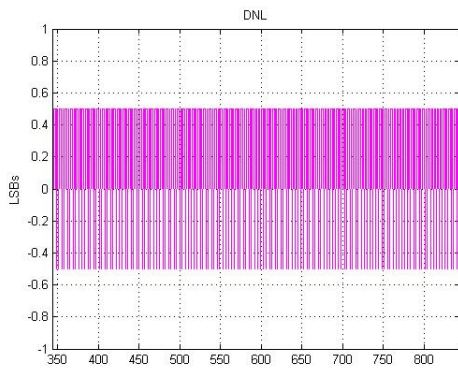


FIGURA 4.35: DNL offset de 1mV en op-amp

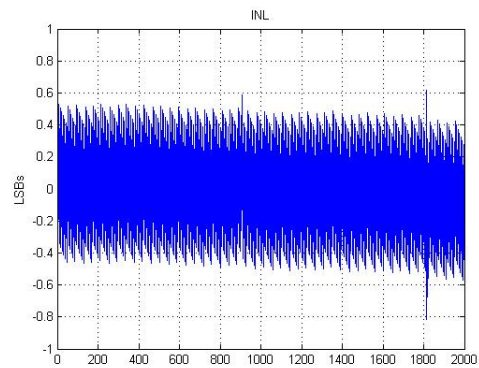


FIGURA 4.36: INL offset de 1mV en op-amp

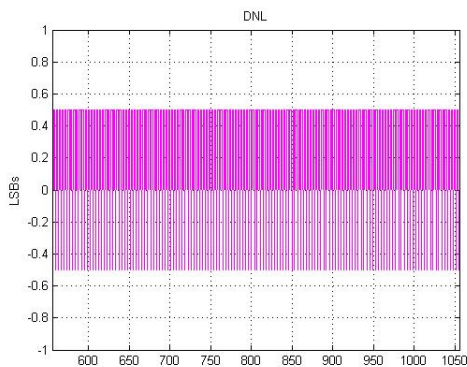


FIGURA 4.37: DNL offset de 2mV en op-amp

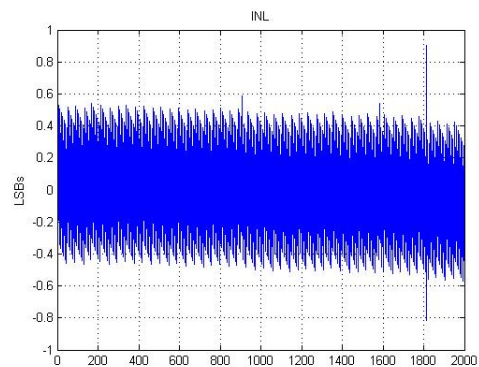


FIGURA 4.38: INL offset de 2mV en op-amp

#### 4.2.7. DNL e INL con variación de los voltajes de referencia

De la tabla 4.6 se observa que los errores de variación de un 10% no pueden ser considerados en la funcionalidad de un ADC *pipeline*, ya que los valores de la DNL e INL se disparan.

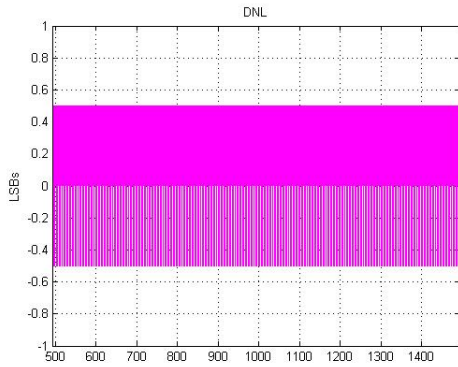


FIGURA 4.39: DNL offset de 10mV en op-amp

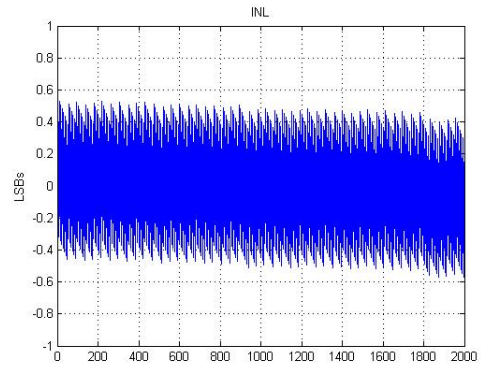


FIGURA 4.40: INL offset de 10mV en op-amp

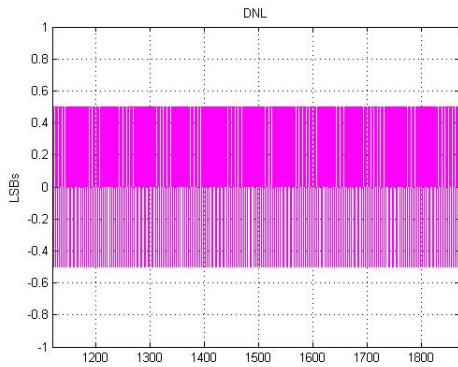


FIGURA 4.41: DNL offset de 100mV en op-amp

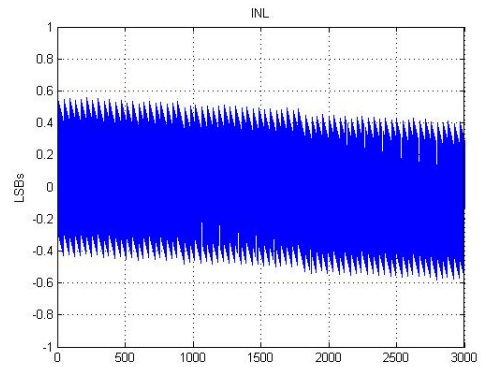


FIGURA 4.42: INL offset de 100mV en op-amp

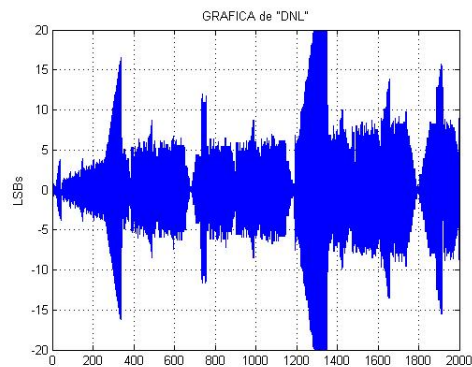


FIGURA 4.43: DNL Vrefn -10%, Vrefp Fijo

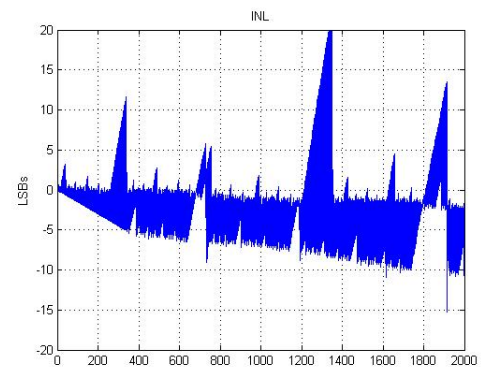


FIGURA 4.44: INL Vrefn -10%, Vrefp Fijo

Offset en el amplificador operacional	Rango DNL en LSBs	Rango INL en LSBs
0.5 mV	-0.5 a 0.5	-0.5 a 0.5
1mV	-0.5 a 0.5	Mayor a  0.5
2mV (rebasa el rango permitido de 1/2 LSB)	-0.5 a 0.5	Mayor a  0.5
10 mV	-0.5 a 0.5	Mayor a  0.5
100 mV	-0.5 a 0.5	Mayor a  0.5
0 mV	-0.5 a 0.5	-0.5 a 0.5

CUADRO 4.5: Parámetros del ADC con offset en el op-amp

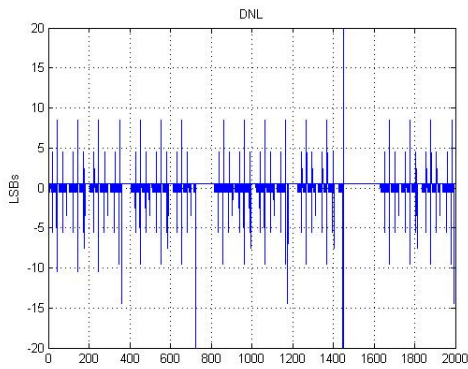


FIGURA 4.45: DNL Vrefn +10%, Vrefp Fijo

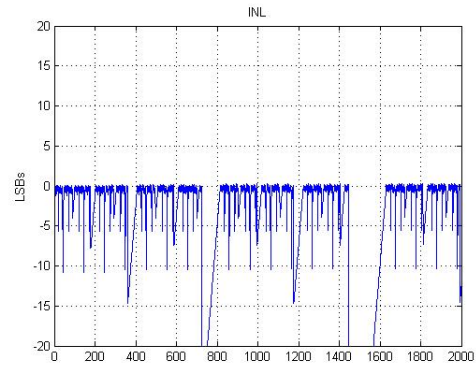


FIGURA 4.46: INL Vrefn +10%, Vrefp Fijo

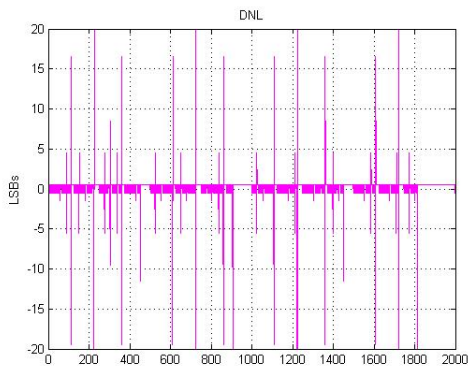


FIGURA 4.47: DNL Vrefn Fijo Vrefp +10%

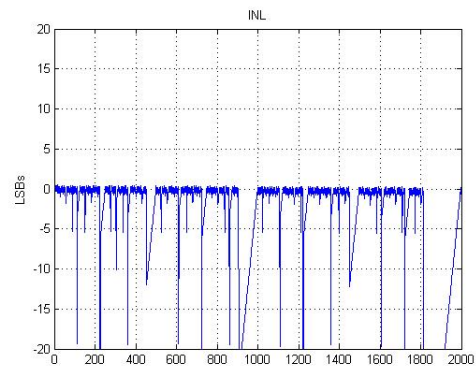


FIGURA 4.48: INL Vrefn Fijo Vrefp +10%

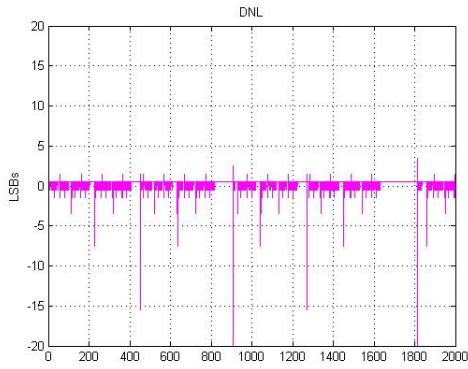


FIGURA 4.49: DNL Vrefn Fijo Vrefp -10 %

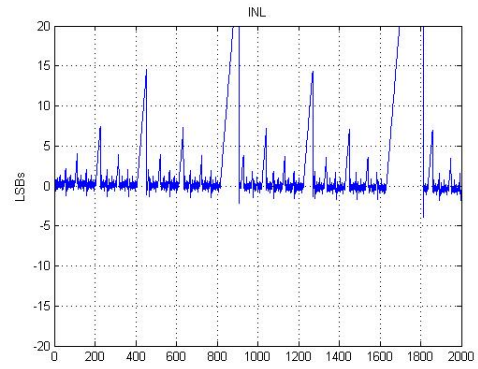


FIGURA 4.50: INL Vrefn Fijo Vrefp -10 %

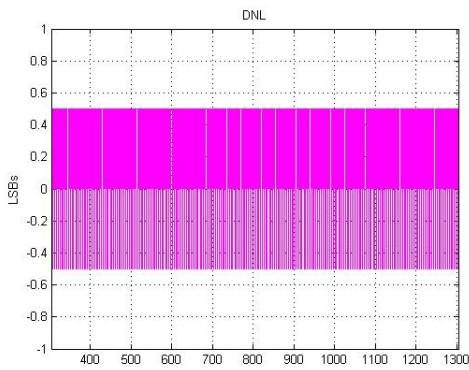


FIGURA 4.51: DNL Vrefn -10%, Vrefp +10 %

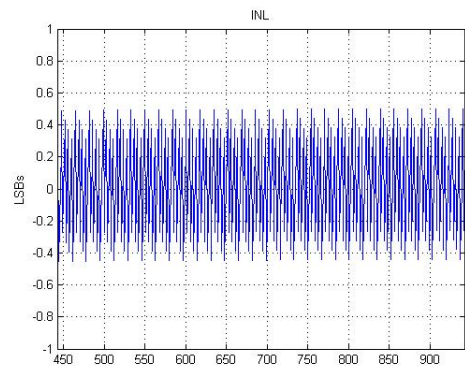


FIGURA 4.52: INL Vrefn -10%, Vrefp +10 %

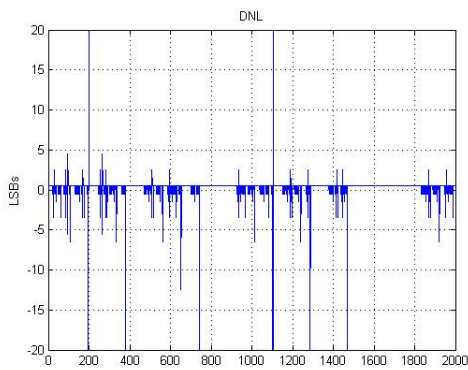


FIGURA 4.53: DNL Vrefn +10%, Vrefp +10 %

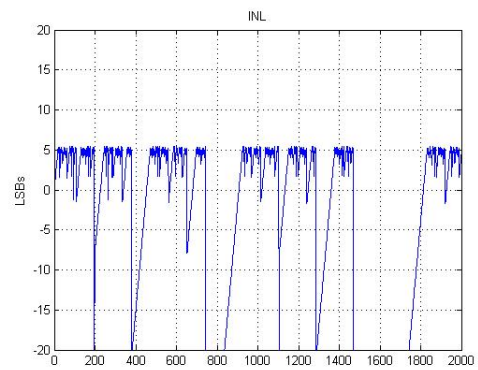


FIGURA 4.54: INL Vrefn +10%, Vrefp +10 %

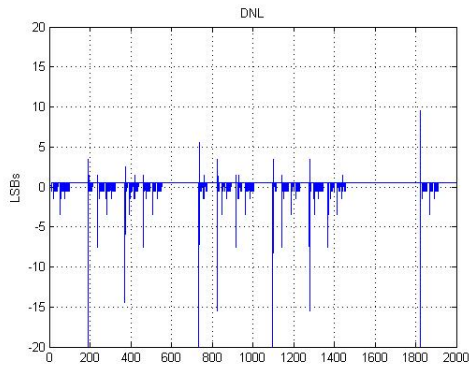


FIGURA 4.55: DNL  $V_{refn}$  -10%,  $V_{refp}$  -10%

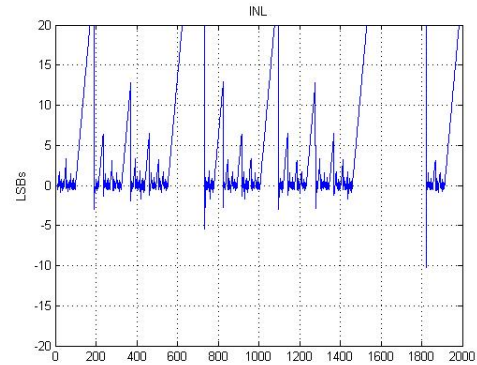


FIGURA 4.56: INL  $V_{refn}$  -10%,  $V_{refp}$  -10%

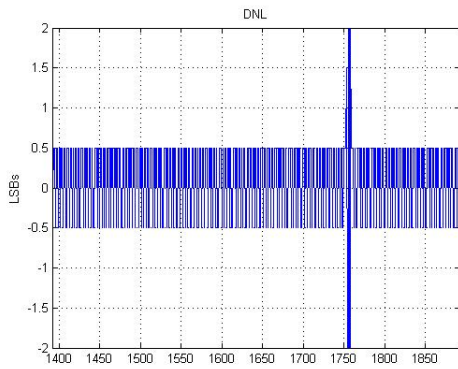


FIGURA 4.57: DNL  $V_{refn}$  +10%,  $V_{refp}$  -10%

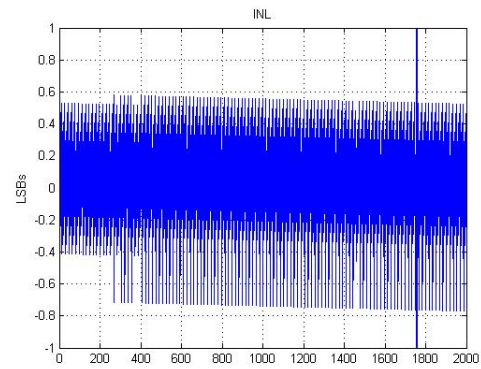


FIGURA 4.58: INL  $V_{refn}$  +10%,  $V_{refp}$  -10%

$V_{refn}$	$V_{refp}$	Rango DNL en LSBs	Rango INL en LSBs
-10%	Fijo	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
+10%	Fijo	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
Fijo	+10%	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
Fijo	-10%	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
-10%	+10%	Mayor a $ \pm 1 $	-0.475 a 0.475
+10%	+10%	-0.5 a 0.5	Mayor a $ \pm 0.5 $
-10%	-10%	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
+10%	-10%	-1 a 1	Mayor a $ \pm 0.5 $

CUADRO 4.6: Parámetros del ADC con variaciones de alimentación de  $\pm 10\%$

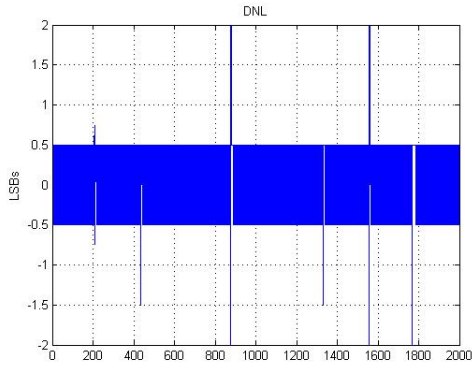


FIGURA 4.59: DNL Vrefn +1%, Vrefp Fijo

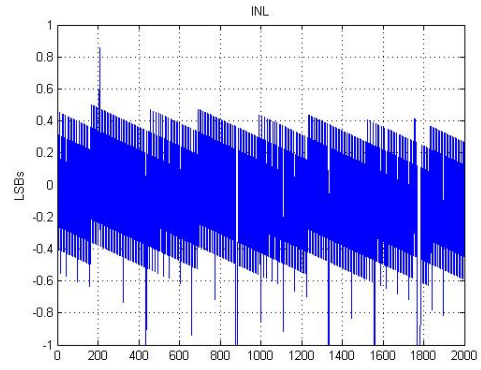


FIGURA 4.60: INL Vrefn +1%, Vrefp Fijo

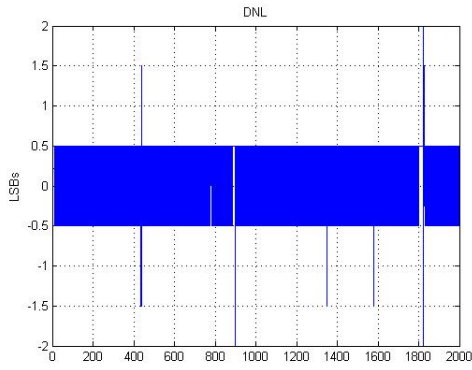


FIGURA 4.61: DNL Vrefn -1%, Vrefp Fijo

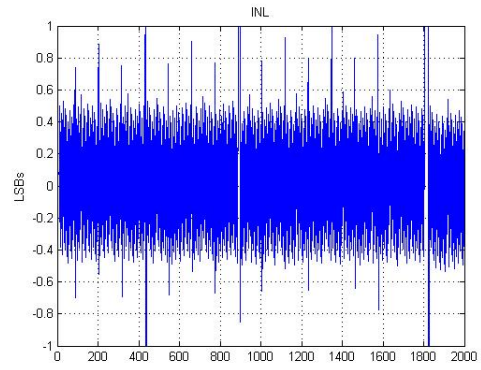


FIGURA 4.62: INL Vrefn -1%, Vrefp Fijo

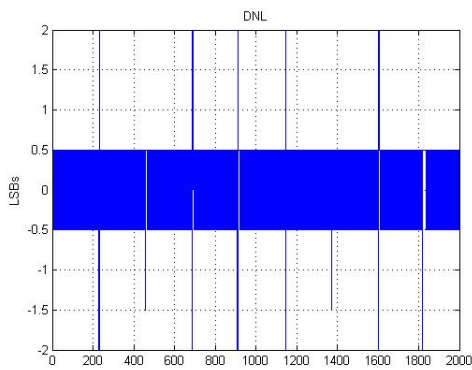


FIGURA 4.63: DNL Vrefn Fijo Vrefp +1%

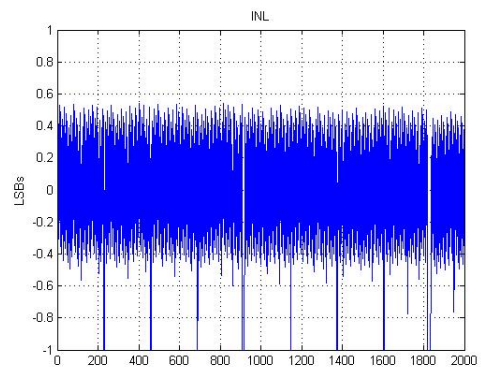


FIGURA 4.64: INL Vrefn Fijo Vrefp +1%

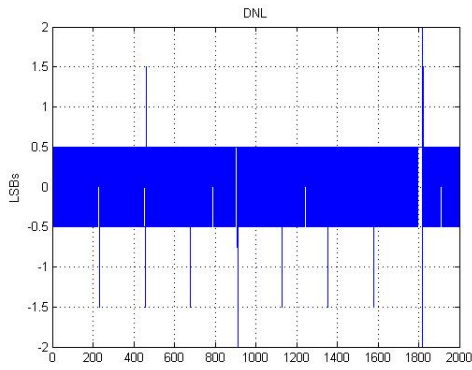


FIGURA 4.65: DNL Vrefn Fijo Vrefp -1%

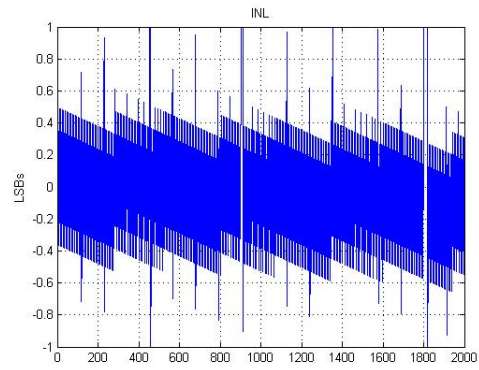


FIGURA 4.66: INL Vrefn Fijo Vrefp -1%

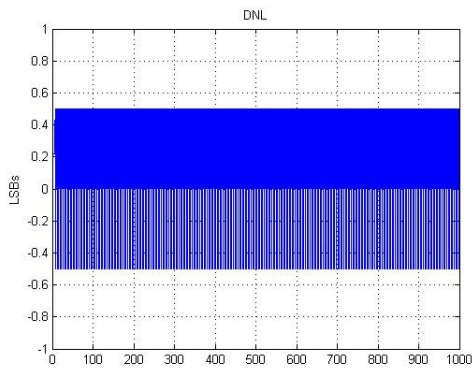


FIGURA 4.67: DNL Vrefn -1%, Vrefp +1%

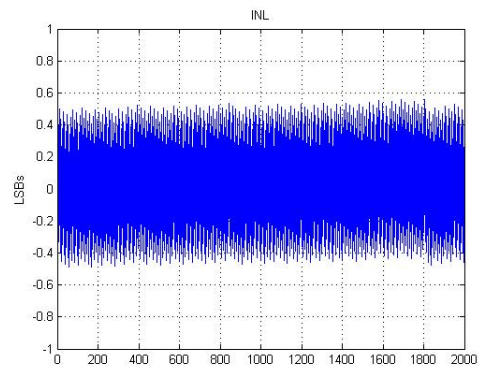


FIGURA 4.68: INL Vrefn -1%, Vrefp +1%

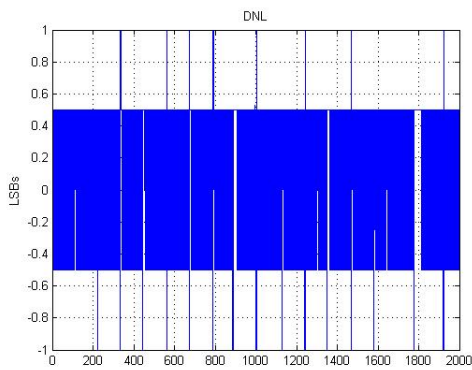


FIGURA 4.69: DNL Vrefn +1%, Vrefp +1%

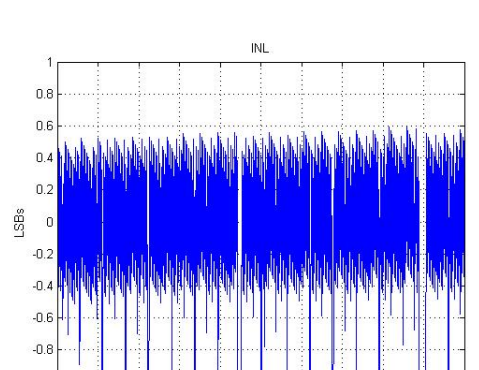


FIGURA 4.70: INL Vrefn +1%, Vrefp +1%

Ya que una variación de 10% en los voltajes de alimentación no puede ser tomada en cuenta, se optó por el cálculo de variaciones menores, donde se observa que solo se tiene un valor optimo de DNL e INL cuando las variaciones de los voltajes de referencia cambian en valores inversos, es decir, el voltaje más alto aumenta y el menor disminuye o viceversa.

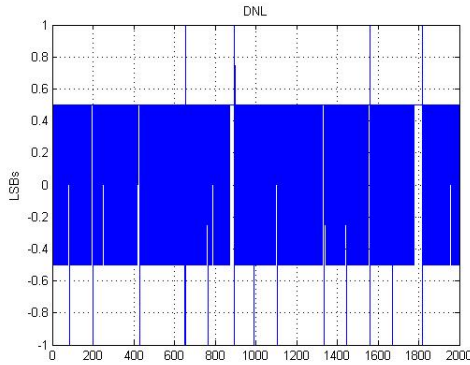


FIGURA 4.71: DNL Vrefn -1%, Vrefp -1%

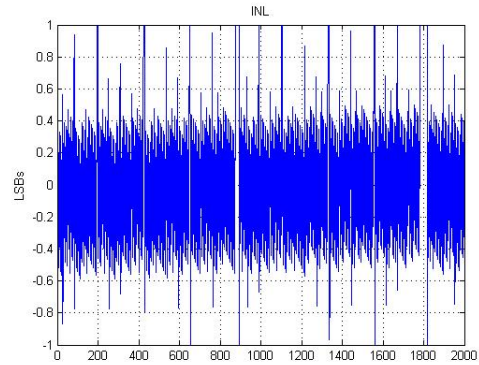


FIGURA 4.72: INL Vrefn -1%, Vrefp -1%

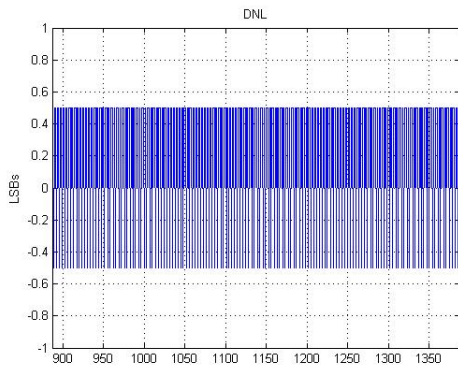


FIGURA 4.73: DNL Vrefn +1%, Vrefp -1%

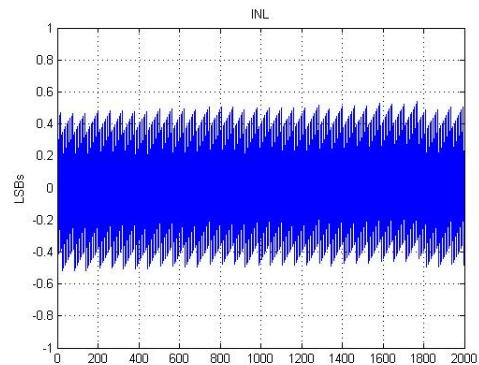


FIGURA 4.74: INL Vrefn +1%, Vrefp -1%

$V_{refn}$	$V_{refp}$	Rango DNL en LSBs	Rango INL en LSBs
+1 %	Fijo	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
-1 %	Fijo	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
Fijo	+1 %	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
Fijo	-1 %	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
-1 %	+1 %	-0.5 a 0.5	-0.5 a 0.5
+1 %	+1 %	-1 a +1	Mayor a $ \pm 0.5 $
-1 %	-1 %	-1 a +1	Mayor a $ \pm 0.5 $
+1 %	-1 %	-0.5 a 0.5	Mayor a $ \pm 0.5 $

CUADRO 4.7: Parámetros del ADC con variaciones de voltaje de alimentación de  $\pm 1\%$

#### 4.2.8. Variación de Voltajes de alimentación de $\pm 2\%$ y $\pm 1\%$

De la tabla 4.9 se observa que una variación mayor a un porcentaje de 1% ya no es admisible, por lo que los voltajes de alimentación del circuito deben ser lo más exactos posibles para evitar errores a la salida y pérdida de códigos, esto se debe a que los voltajes de referencia son de

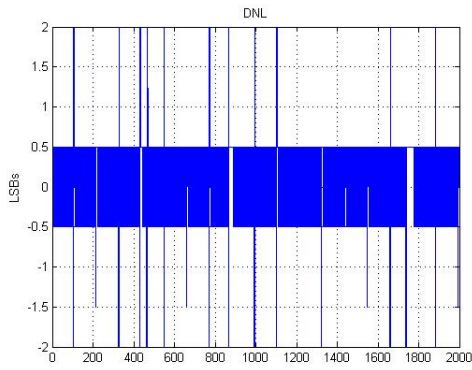


FIGURA 4.75: DNL Vrefn +2%, Vrefp Fijo

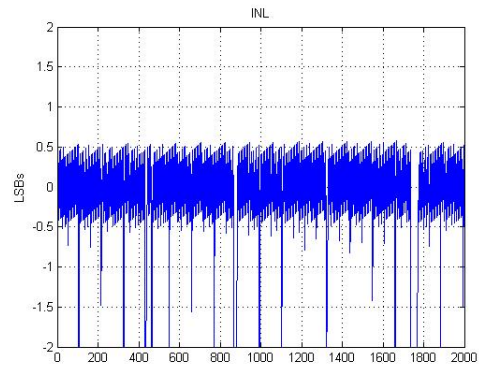


FIGURA 4.76: INL Vrefn +2%, Vrefp Fijo

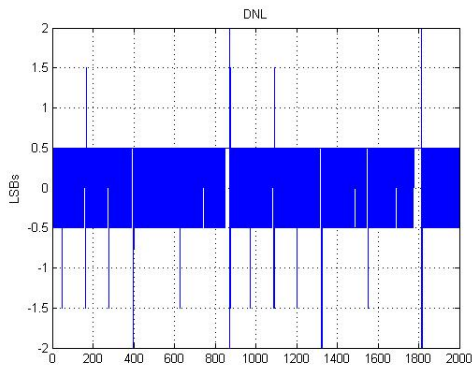


FIGURA 4.77: DNL Vrefn -2%, Vrefp Fijo

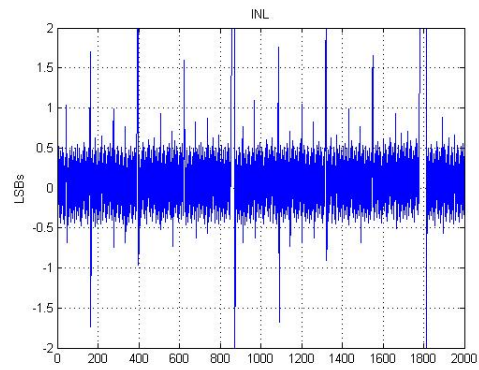


FIGURA 4.78: INL Vrefn -2%, Vrefp Fijo

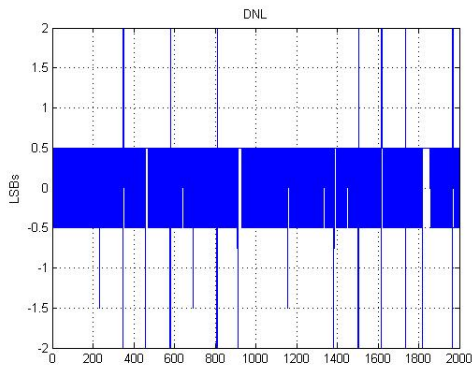


FIGURA 4.79: DNL Vrefn Fijo Vrefp +2%

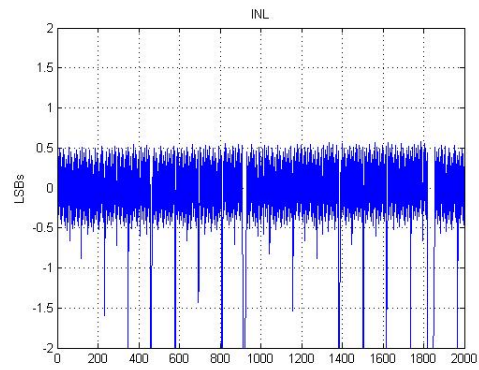


FIGURA 4.80: INL Vrefn Fijo Vrefp +2%

los que depende el residuo que pasa a cada etapa, para obtener su valor digital, por lo que si existe una variación en la primera etapa, aumentara al pasar a la siguiente etapa, ya que este error es acumulativo. También puede inferirse que el valor de variación de los voltajes debe ser menor a 1%, ya que dicho valor corresponde a 33 mV lo que es equivalente a 10 LSBs, lo que ocasiona cambios significativos en la salida del convertidor, ya que los errores de este tipo deben mantenerse por debajo de 1 LSB. De las gráficas anteriores correspondientes a la caracterización

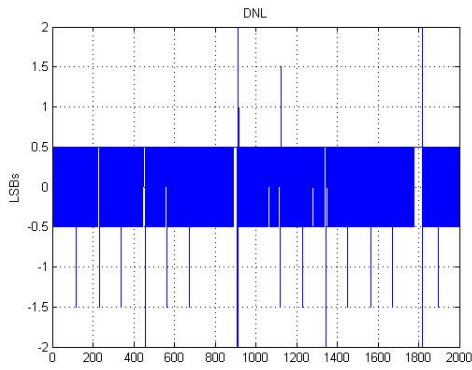


FIGURA 4.81: DNL Vrefn Fijo Vrefp -2%

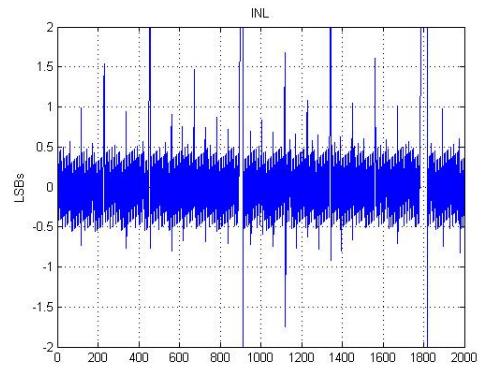


FIGURA 4.82: INL Vrefn Fijo Vrefp -2%

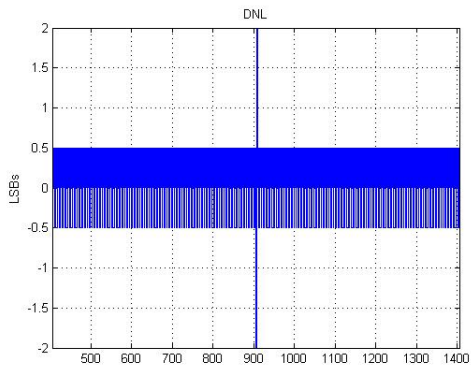


FIGURA 4.83: Vrefn -2%, Vrefp +2%

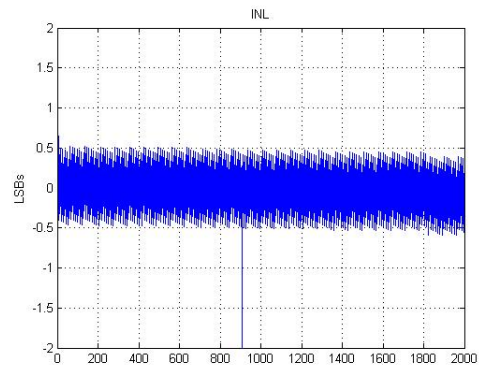


FIGURA 4.84: Vrefn -2%, Vrefp +2%

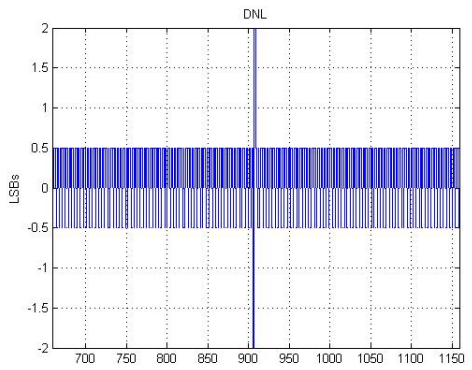


FIGURA 4.85: Vrefn +2%, Vrefp +2%

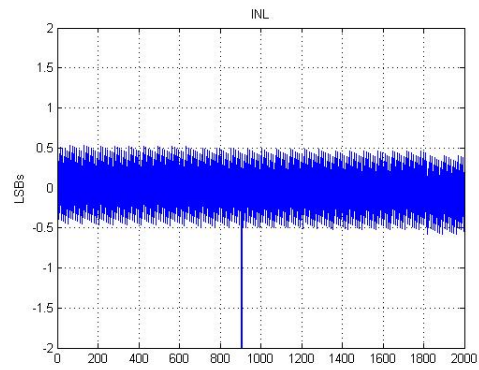


FIGURA 4.86: Vrefn +2%, Vrefp +2%

estática con diferentes variaciones de los parámetros, se obtuvo el rango de funcionamiento del circuito.

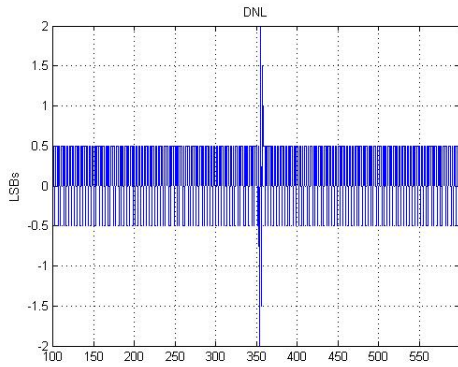


FIGURA 4.87: DNL Vrefn -2%, Vrefp -2%

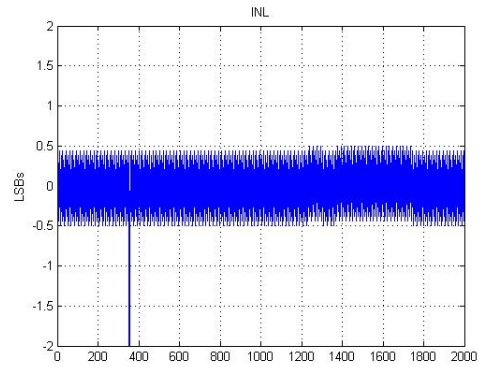


FIGURA 4.88: INL Vrefn -2%, Vrefp -2%

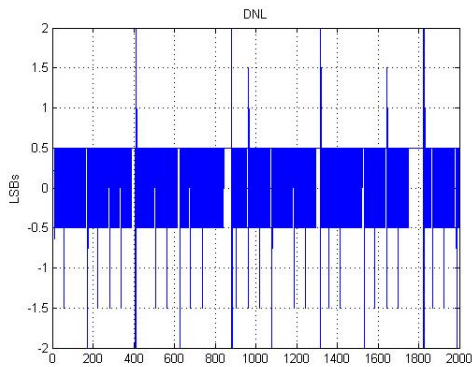


FIGURA 4.89: DNL Vrefn +2%, Vrefp -2%

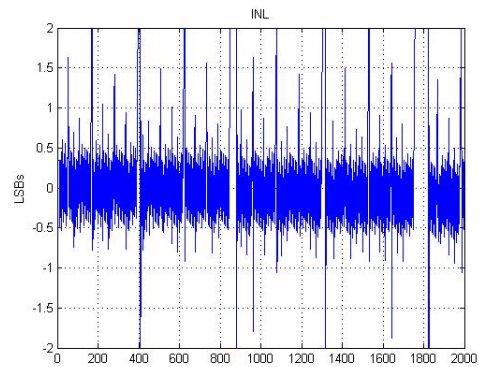


FIGURA 4.90: INL Vrefn +2%, Vrefp -2%

$V_{refn}$	$V_{refp}$	Rango DNL en LSBs	Rango INL en LSBs
+2%	Fijo	Mayor a $ \pm 1 $	-0.2 a 0.51
-2%	Fijo	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
Fijo	+2%	Mayor a $ \pm 1 $	-2 a 0.5
Fijo	-2%	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $
-2%	+2%	Mayor a $ \pm 1 $	-2 a 0.5
+2%	+2%	Mayor a $ \pm 1 $	-2 a 0.5
-2%	-2%	Mayor a $ \pm 1 $	-2 a 0.5
+2%	-2%	Mayor a $ \pm 1 $	Mayor a $ \pm 0.5 $

CUADRO 4.8: Parámetros del ADC con variaciones de voltaje de alimentación de  $\pm 2\%$  pipeline

### 4.3. Caracterización mediante relación señal a ruido

El efecto del ruido se cuantifica por la relación señal a ruido (SNR por sus siglas en inglés), definido por [2]:

$$SNR|_{dB} = 10 \cdot \log \frac{P_{sign}}{P_{noise}} \quad (4.6)$$

Donde  $P_{sign}$  y  $P_{noise}$  son la potencia de la señal y la potencia de ruido respectivamente en la banda de interés. La SNR es una prueba espectral que muestra el nivel relativo de la potencia de la señal con respecto al ruido del sistema (incluyendo principalmente al ruido de cuantificación). La prueba consiste en aplicar una señal sinusoidal a la entrada con una amplitud que abarque toda la escala del ADC. Posteriormente, se aplica una transformada rápida de Fourier (FFT, por sus siglas en inglés) sobre las muestras obtenidas para conocer el espectro. A partir del espectro, se calcula la SNR con la ecuación 4.6 [2].

Para pruebas en el dominio de la frecuencia, como el espectro de potencia de la señal, son necesarias ciertas condiciones:

- Todos los niveles de cuantificación deben obtenerse con la misma probabilidad
- Se debe utilizar un gran número de niveles de cuantificación.
- Los pasos de cuantificación deben tener uniformidad.
- El error de cuantificación no debe tener correlación con la entrada.

Para obtener una buena resolución en la gráfica del espectro de potencia, es necesaria una buena cantidad de datos de conversión de la señal sinusoidal de entrada. La frecuencia de la señal sinusoidal de entrada se puede obtener de:  $f_{in} = n_{per} * f_s / N$  (N puntos de datos en el dominio del tiempo producen  $N / 2$  puntos (amplitud y fase) en el dominio de la frecuencia). Generalmente la SNR del ADC se degrada a medida que la amplitud de la señal de entrada disminuye, por lo que una señal de entrada con una amplitud de escala total (la escala total equivale al voltaje de alimentación de riel a riel), cumple el primer requisito.

La segunda condición se cumple si el cuantificador emplea una alta resolución. La mayoría de los cuantificadores cumplen con el tercer requisito ya que pocos convertidores emplean una respuesta no lineal (como la respuesta logarítmica utilizada en telefonía para la codificación de señales de audio). La última regla se refiere a que la frecuencia de entrada no sea submúltiplo de la frecuencia de muestreo; ya que la entrada de datos es una señal sinusoidal, una elección

inadecuada de la frecuencia puede provocar que la relación entre la frecuencia de muestreo y la frecuencia de entrada sea un número racional, por lo que el ruido de cuantificación mantiene una correlación con la entrada, lo cual no es permitido (por la cual la relación entre la frecuencia de entrada y la frecuencia de muestreo debe ser un número irracional)[2].

Para obtener el valor teórico de la SNR se empleó un análisis en el cual el ruido es el de cuantificación. Se asume que el error de cuantización tiene una función de distribución de probabilidad constante  $p(\epsilon_Q)$  en el rango de  $-\Delta/2 \dots +\Delta/2$ ; y fuera de este rango  $p(\epsilon_Q)$  es cero. Por otra parte,  $|\epsilon_Q|$  es siempre menor que  $\Delta/2$ . Puesto que la integral de la función de distribución de probabilidad sobre la gama infinita  $-\infty \dots \infty$  es igual a uno, resulta [2]:

$$p(\epsilon_Q) = \frac{1}{\Delta} \quad \text{para } \epsilon_Q \text{ de } -\Delta/2 \dots +\Delta/2$$

$$p(\epsilon_Q) = 0 \quad \text{en otro caso}$$

La potencia promedio del ruido de cuantización  $P_Q$  está dada por [2]:

$$P_Q = \int_{-\infty}^{\infty} \epsilon_Q^2 \cdot p(\epsilon_Q) d\epsilon_Q$$

$$= \int_{-\Delta/2}^{\Delta/2} \frac{\epsilon_Q^2}{\Delta} d\epsilon_Q = \frac{\Delta^2}{12}$$
(4.7)

La potencia promedio del ruido de cuantización disminuye a medida que el número de bits aumenta. El uso de 4.7 y la potencia de la señal permiten calcular la SNR. La amplitud de una señal sinusoidal en toda la escala del convertidor es  $X_{FS}/2$ , por lo tanto, su valor cuadrático medio será [2]:

$$P_{sin} = \frac{1}{T} \int_0^T \frac{X_{FS}^2}{4} \sin^2(2\pi ft) dt = \frac{X_{FS}^2}{8} = \frac{(\Delta \cdot 2^n)^2}{8}$$
(4.8)

Las ecuaciones 4.7 y 4.8 conducen a [2]:

$$SNR_{sine}|_{dB} = (6.02 \cdot n + 1.78) dB$$
(4.9)

La ecuación 4.9 representa el cálculo SNR, que es la relación entre el valor RMS de la señal y el valor RMS del ruido.

Las observaciones anteriores limitan a un convertidor de datos real. Esta es la razón por la cual la ecuación 4.9 se utiliza más ampliamente para definir el número equivalente de bits (ENOB) Para la señal senoidal[2]:

$$ENOB_{sin} = \frac{SNR_{tot}|_{dB} - 1.78}{6.02} \quad (4.10)$$

Donde  $SNR_{tot}$  es la relación señal a ruido del ruido total que afecta a la banda de la señal del sistema de conversión.

### 4.3.1. Obtención del espectro para la SNR

La relación señal a ruido del convertidor se obtiene a partir del espectro de potencia del ruido de cuantización. Se debe asegurar que la secuencia de muestras es N-periódica, como la entrada es una señal senoidal se deben evitar patrones repetitivos en la secuencia (la relación entre el período de la señal senoidal y el período de muestreo debe ser un número primo).

La transformada discreta de Fourier (DFT) se utiliza en los datos muestreados de un ADC. La señal continua ideal desde  $-\infty$  a  $+\infty$  se reemplaza con los puntos de muestreo de una señal durante un período de tiempo limitado. La transformada rápida de Fourier (FFT) es un algoritmo que se utiliza por su eficiencia matemática para sustituir la aplicación de la transformada Discreta de Fourier ya que la Transformada Rápida de Fourier (FFT) requiere operaciones  $N \cdot \log_2(N)$  (multiplicación y adición) mientras que la Transformada Discreta de Fourier (DFT) requiere operaciones de  $N^2$ , minimizando así la obtención del cálculo por un factor de 10.

La FFT de una secuencia de N muestras, conduce a un espectro hecho por N líneas discretas, en el intervalo de frecuencia de  $0 - f_s$ . Dado que el espectro en la segunda zona de Nyquist ( $f_s/2 - f_s$ ) refleja la banda base, es habitual representar sólo la mitad del espectro  $FFT(0 - f_s/2)$ [2]. Por consiguiente, es necesario aumentar (por múltiplos de potencias de dos) el número de puntos de la secuencia utilizada para calcular la FFT.

La SNR se obtuvo con los parámetros del ADC *pipeline* del cuadro 4.1. Y las condiciones necesarias obtener el espectro de la Figura 4.91 se presentan a continuación:

De acuerdo a la Figura 4.91, se obtiene una SNR=62.1 dB correspondiente a una resolución de 10 bits, con un ADC *pipeline* en condiciones reales cercanas a las ideales.

Parámetro	Valor
Fs	20 MHz
Ts(s)	5e-08
Fin	332031.25 Hz
BW	10 MHz
OSR	1
Núm. puntos	1024
Núm. periodos	17
$f=Fin/Fs$	0.0166
$fB=N*(bw/Fs)$	512

CUADRO 4.9: Condiciones para obtener la relación señal a ruido del ADC *pipeline* de 10 bits

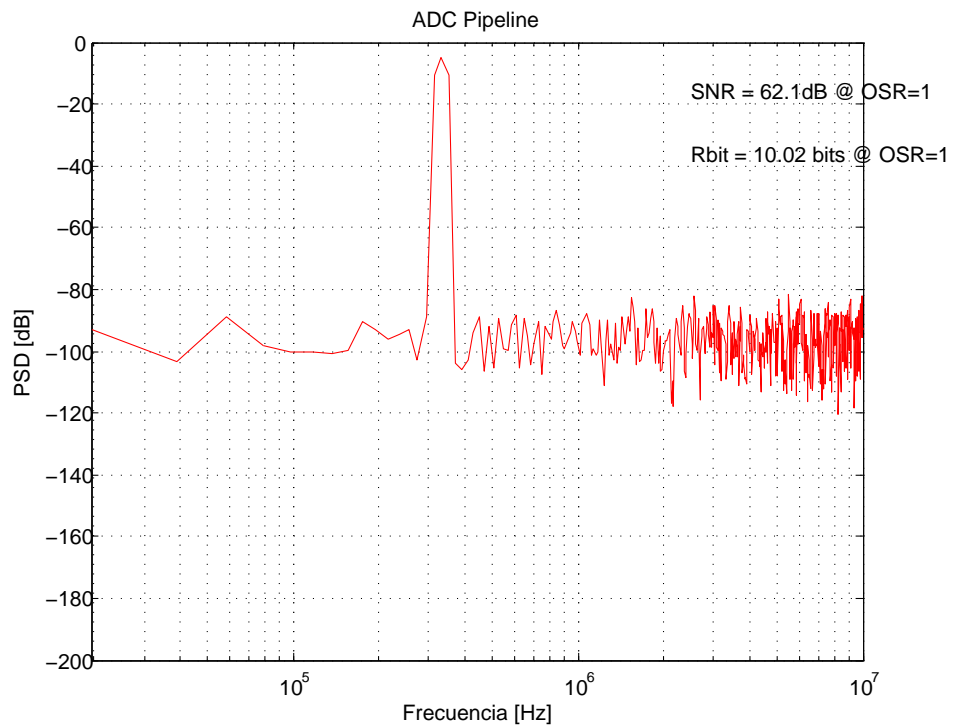


FIGURA 4.91: Relación señal a ruido del ADC *pipeline*

## Capítulo 5

# Conclusiones

Una vez realizadas las pruebas necesarias para la caracterización del ADC *pipeline*, y llevar a cabo un análisis a fondo de su comportamiento, se obtuvieron los resultados que se presentan a continuación:

En la adquisición de los datos por el decodificador, el detector de fase empleado debe tener en cada una de las compuertas XOR una señal de entrada retardada por 10 ns. este retardo se debe a que el periodo de conversión es de 600 ns., por lo que es un buen rango de cambio el que se tiene para poder ser detectado ya que se encuentra dentro del tiempo de periodo de conversión, el porcentaje máximo que puede tener el tiempo de retardo en comparación con el tiempo de conversión (Dos periodos de reloj de las fases que controlan la conversión) es de 12.04% del tiempo total de conversión y el mínimo es de 1.66%, se debe tomar en cuenta que mientras más pequeño sea el periodo de conversión para obtener una mínima frecuencia de conversión (Frecuencia de Nyquist), el tiempo de paso de simulación debe disminuirse a un porcentaje 0.002% del periodo equivalente a la frecuencia de conversión para evitar que se pierda exactitud en la salida digital del convertidor.

Es importante también tomar en cuenta que aún cuando el convertidor tenga una frecuencia de entrada muy baja, lo que implica que se tendrán los 1023 niveles digitales, el tiempo de simulación debe disminuirse también a un porcentaje de 0.12%, del periodo de conversión de la fase para que no pueda perderse ninguno de los códigos de salida; este porcentaje es de un tiempo mayor comparado con el que se emplea cuando se usa una frecuencia mayor.

Un ejemplo claro se observa en la Figura 5.1 en la que la simulación se realiza con el tiempo de paso por default que tiene la herramienta del simulador, mientras que la salida digital mostrada en la Figura 5.2 tiene un tiempo de paso de 1ps el cual es un 0.002% del tiempo de conversión total, la diferencia entre cada una de las figuras es muy evidente, ya que la de la segunda figura muestra una perfecta conversión a frecuencia de Nyquist.

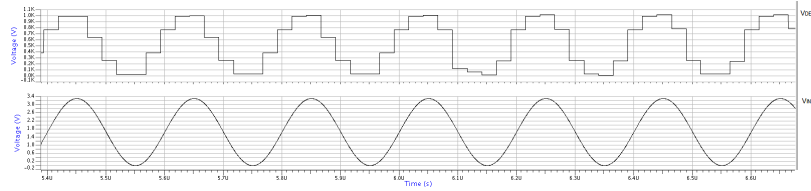


FIGURA 5.1: Conversión con paso de simulación por default

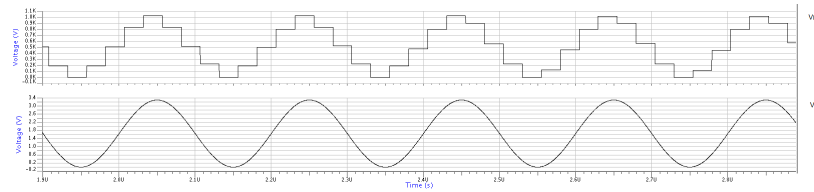


FIGURA 5.2: Conversión con paso de simulación a un 0.002% del periodo de conversión

Parámetro	Rango
Ganancia del amplificador operacional	10,000 - Inf
Retardo del comparador	0 - 1us
Offset del comparador	0 - 1mV
Offset del amplificador operacional	0 - 1mV
Vrefn y Vrefp	-1% y +1%, +1% y -1%

CUADRO 5.1: Rangos de la INL y DNL para un correcto funcionamiento

De acuerdo a los parámetros obtenidos mostrados en la tabla 5.1; para la ganancia del amplificador, como se pudo ver conforme a las gráficas de la caracterización estática del capítulo 3, tiene que ser mayor a 10,000, el retardo del comparador de cada etapa debe ser menor a un microsegundo para no perder datos (menor a medio periodo de conversión), y el offset del comparador al igual que el offset del amplificador deben mantenerse por debajo de 1 mV, o  $\frac{1}{2}$  LSB dependiendo de que grado de exactitud se requiera; pero el parámetro que requiera mayor exactitud y no debe variarse más de un 1% es el voltaje de referencia y alimentación, ya que con variaciones mayores, se tiene una gran pérdida de información.

El rango de funcionamiento de salida digital se mantiene dentro de los rangos establecidos, como se muestra en la Figura 5.3 y 5.4 en las cuales se muestran los valores de curva de transferencia de los datos 200 a 300 y 700 a 800 respectivamente, en las cuales no se tienen códigos perdidos.

Y por medio del cálculo de la relación señal a ruido del convertidor con parámetros reales fue de 62.1 dB, con lo cual se pudo demostrar que se obtuvo la resolución deseada, que en este caso corresponde a 10 bits, con una relación OSR de 1.

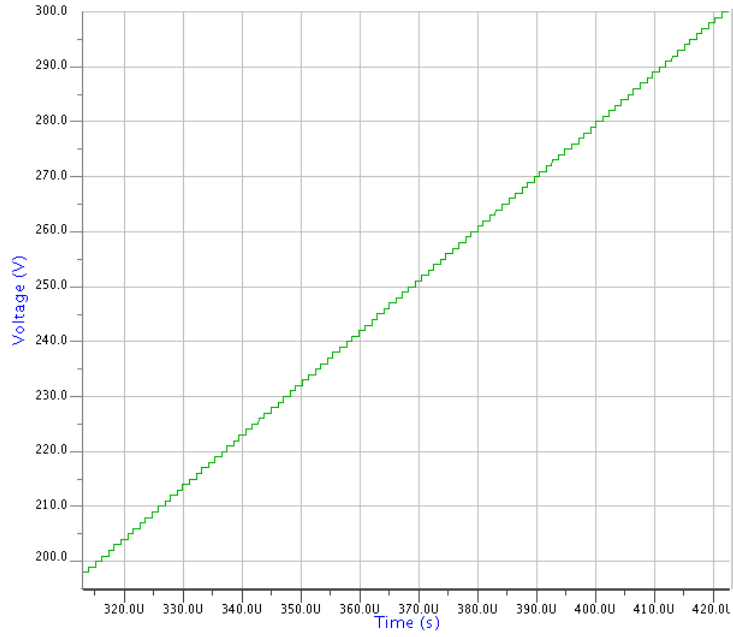


FIGURA 5.3: Curva de transferencia de los datos 200 a 300

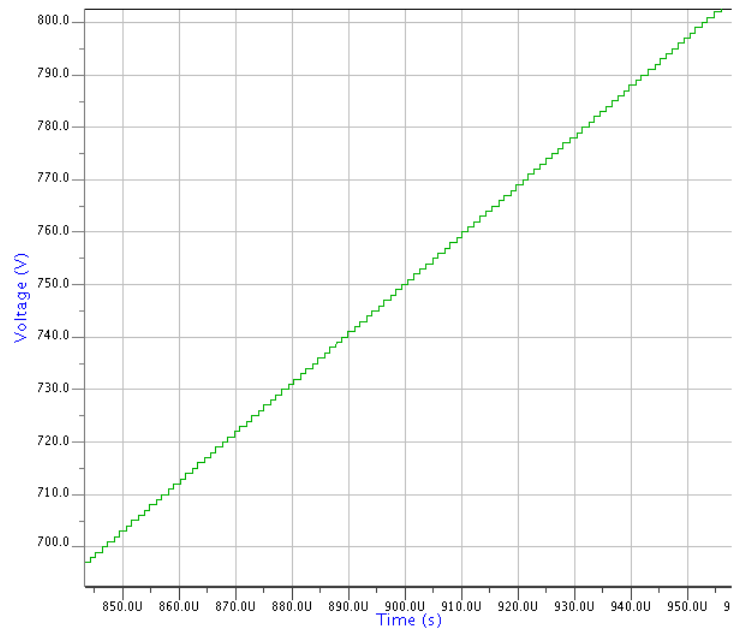


FIGURA 5.4: Curva de transferencia de los datos 700 a 800

### Especificaciones

La frecuencia de entrada máxima para un ADC *pipeline* con los parámetros mencionados en el cuadro 5.1 es de 10 Mhz, con una frecuencia de conversión de 20 Mhz ya que es un convertidor

---

de tasa Nyquist. El valor óptimo de los capacitores fue de 0.8 pF, ya que con valores de capacitancia menores, aparecía un offset de 1LSB en la salida digital. Se deben emplear tres fases no traslapadas para todo el sistema, pero cada etapa del convertidor solo será controlada por dos de estas fases simultáneamente; y una tercera será empleada para crear un retardo en el bit obtenido y lograr así que todos los bits lleguen en sincronía al decodificador.

La sincronización del sistema es una de las partes más importantes ya que se deben tener en cuenta muchos parámetros, el principal, es la secuencia de las fases; con que fase debe entrar un dato cada flip-flop, y con cual fase debe adquirir el dato la siguiente etapa (lo cual ya se explicó en el capítulo de descripción comportamental).

## Apéndice A

# Gráficas de operaciones por etapa (residuo, bits, retardos de Flip-flops)

En este apéndice se presenta en detalle la obtención de algunos resultados por etapa, así como se presenta la salida digital total a tramos.

En la Figura A.1 se muestra el retraso de un ciclo de reloj por cada flip-flop, ya que D1 es el bit que le sigue al LSB (D0) se utilizan dos flip-flops, D1A es D1 retrasado un ciclo de reloj, y OP[1] es D1 retrasado dos ciclos de reloj.

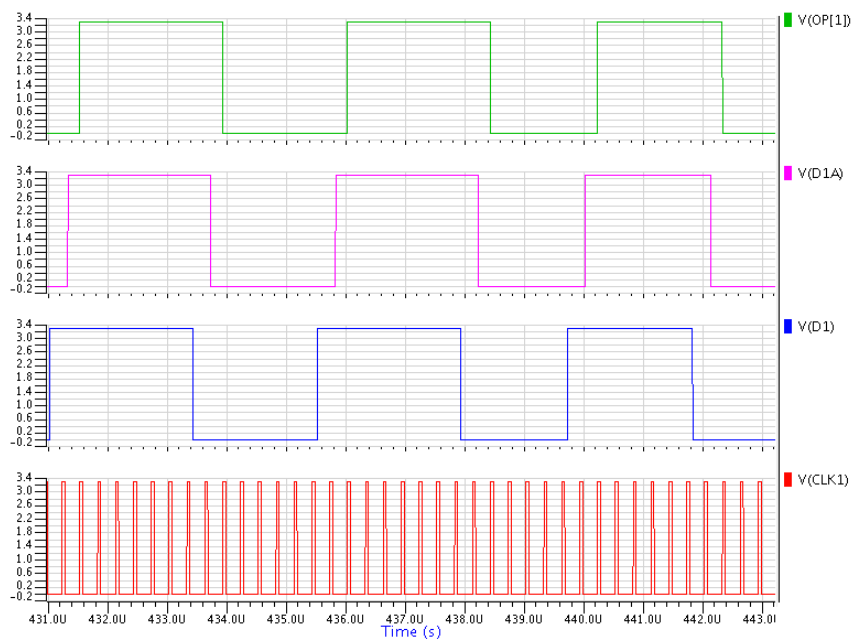


FIGURA A.1: Salida del bit 2 retrasada

Los bits deben retrasarse para poder obtener la palabra digital completa sin errores de desfase, evitando así datos erróneos, en las Figuras A.2, A.3 y A.4, se muestran algunos ejemplos de los diferentes retardos, que son necesarios para que los datos se obtengan al mismo tiempo.

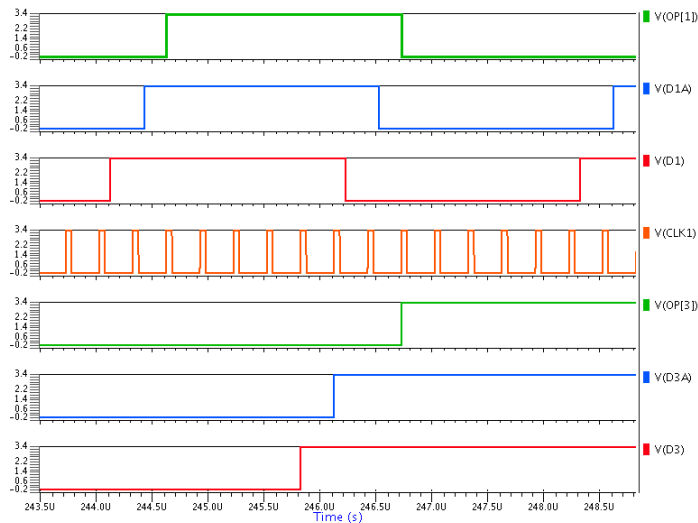


FIGURA A.2: Adquisición de D1 y D3

En la Figura A.2 se observa que el dato del bit 3 necesita más retardo que el bit 1, ya que la conversión para el dato D3 se obtiene antes, pero con la correcta sincronización de las fases para los flip-flops y cada una de las etapas, se obtienen en el mismo tiempo, lo mismo ocurre para los demás datos, la gráfica color verde muestra el dato que se va a adquirir, ya que tiene el retardo necesario, la gráfica azul muestra el dato con un retardo de un ciclo de reloj, y la gráfica roja presenta el dato obtenido a la salida de cada etapa después de la comparación (los colores de gráficas representan lo mismo para las gráficas de las Figuras A.3 y Figura A.4).

En las Figuras A.5 y A.6 se muestran los bits de salida de cada etapa al pasar por los flip fops, refiriéndose a op(0) como LSB y a op(9) como MSB.

Las Figuras A.7 y A.8 representan los residuos que siguen la fórmula:

$$V_{res} = 2V_{in} + V_{ref}, \quad D = 1 \quad o \quad V_{res} = 2V_{in} - V_{ref}, \quad D = 0 \quad (A.1)$$

Los residuos de cada etapa (res1-res9) se muestran a continuación:

En la Figura A.18 se muestran el reloj con el que salen los bits del ultimo flip-flop (CLK1) y están listos para el decodificador, CH representa la salida del detector de fase, la cual debe retrasarse un periodo de reloj, ya que la adquisición es de dos ciclos de la fase principal que maneja a las etapas del convertidos, dicha salida retrasada es CH3.

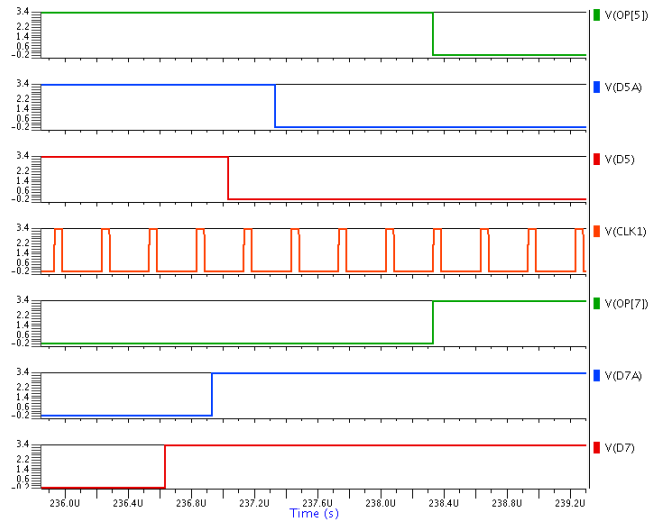


FIGURA A.3: Adquisición de D5 y D7

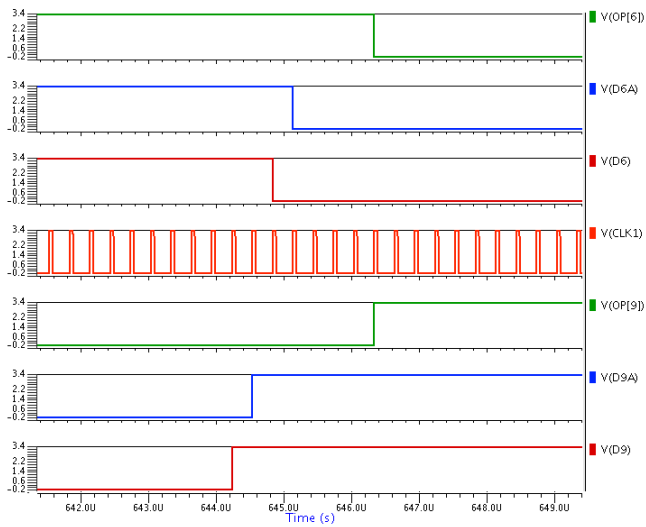


FIGURA A.4: Adquisición de D6 y D9

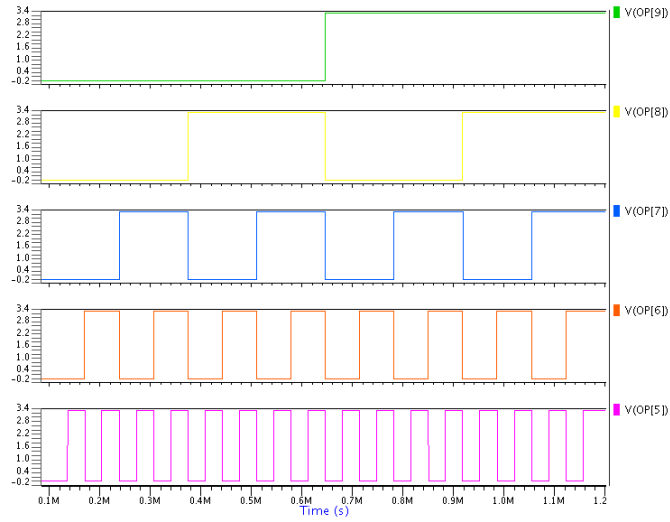


FIGURA A.5: Bits de salida de 5 a 9

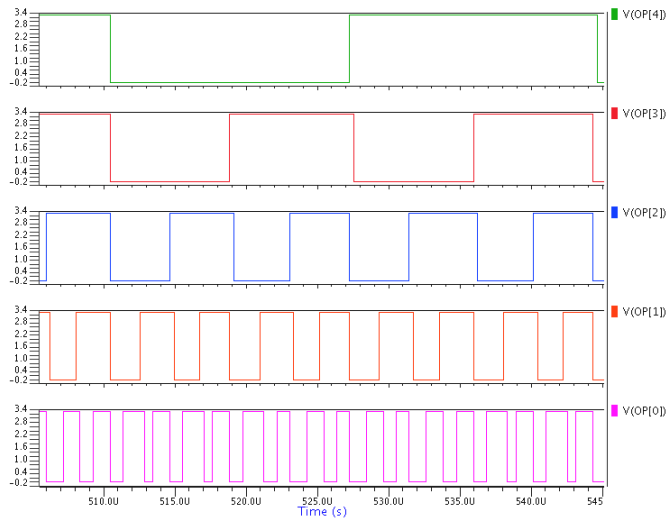


FIGURA A.6: Bits de salida de 0 a 4

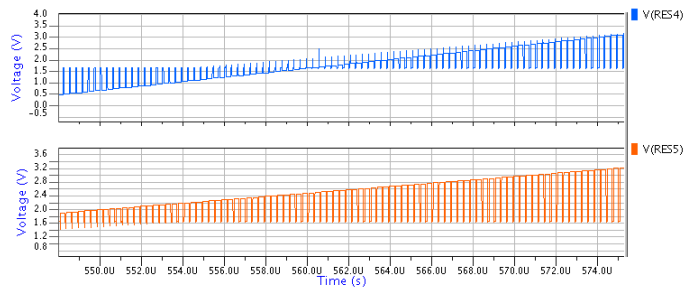


FIGURA A.7: Entrada a entrada (Residuo 5) para la obtención del residuo 4

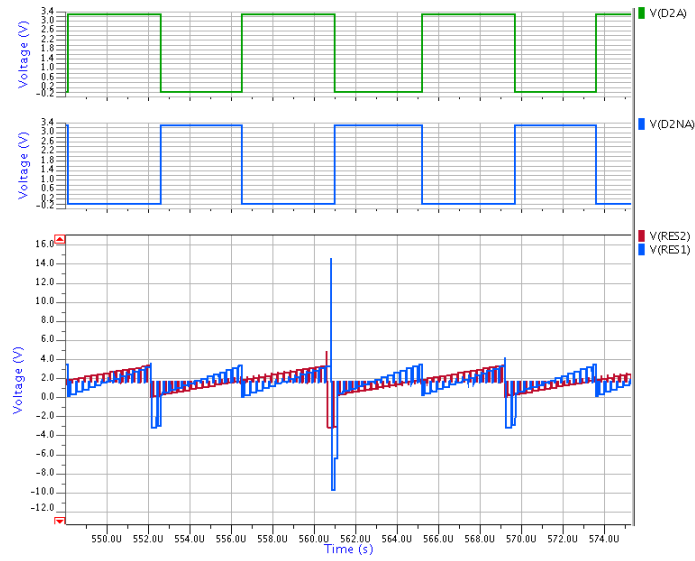


FIGURA A.8: Entrada a etapa (residuo 2) para cálculo de residuo 1 de acuerdo al dato digital (D2)

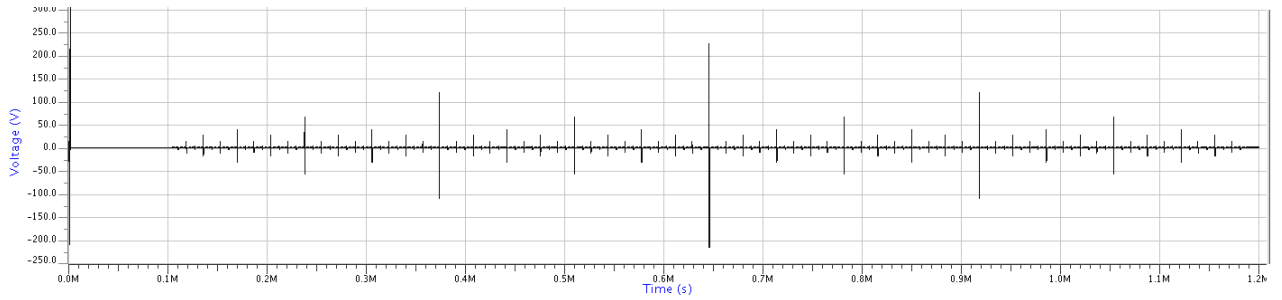


FIGURA A.9: Residuo 1

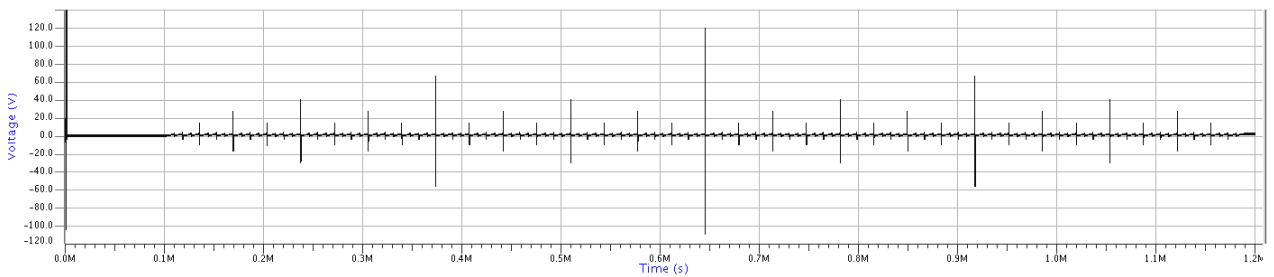


FIGURA A.10: Residuo 2

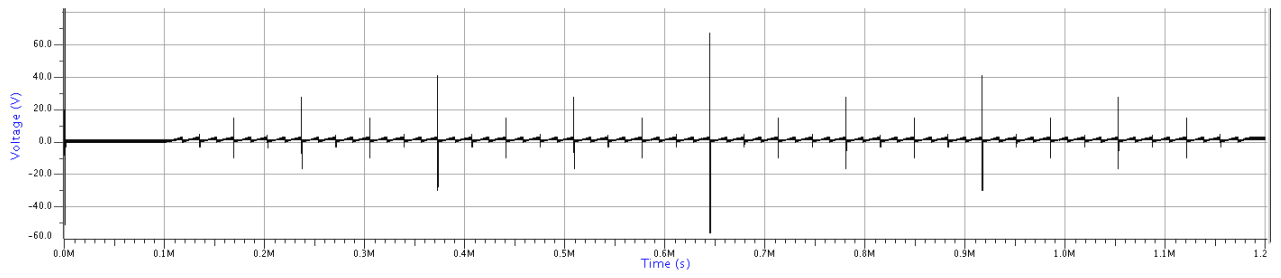


FIGURA A.11: Residuo 3

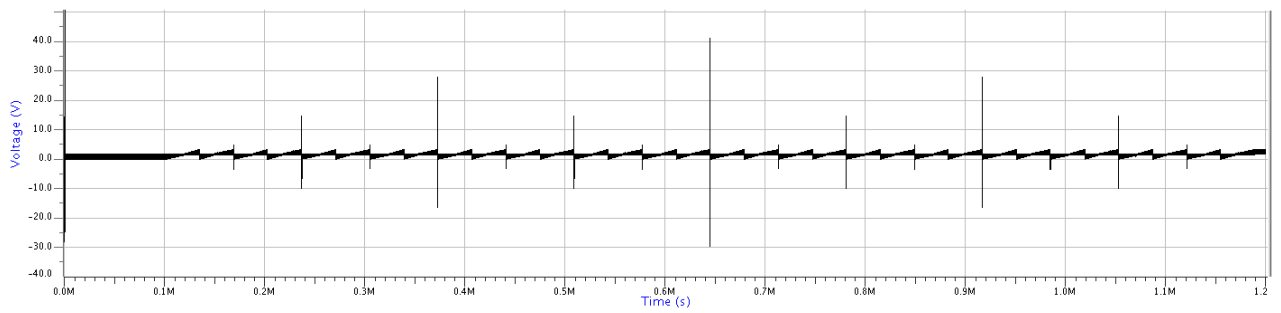


FIGURA A.12: Residuo 4

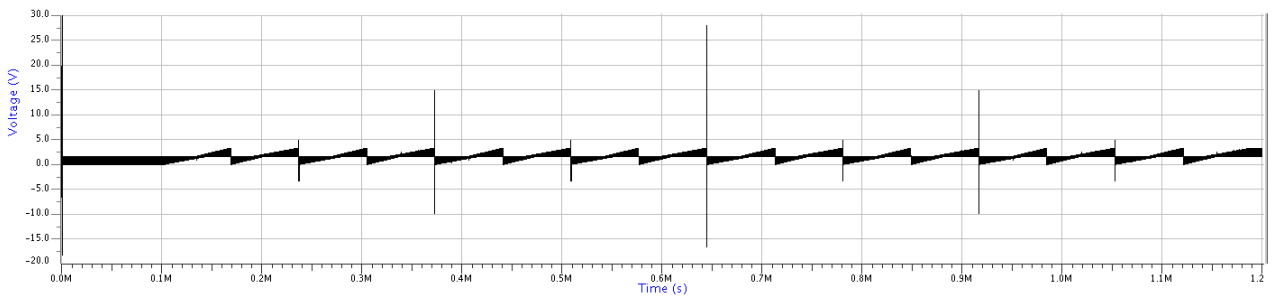


FIGURA A.13: Residuo 5

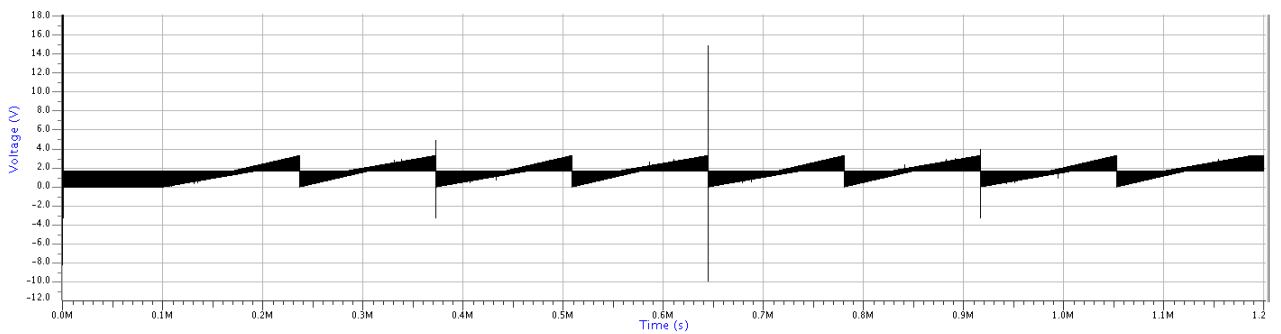


FIGURA A.14: Residuo 6

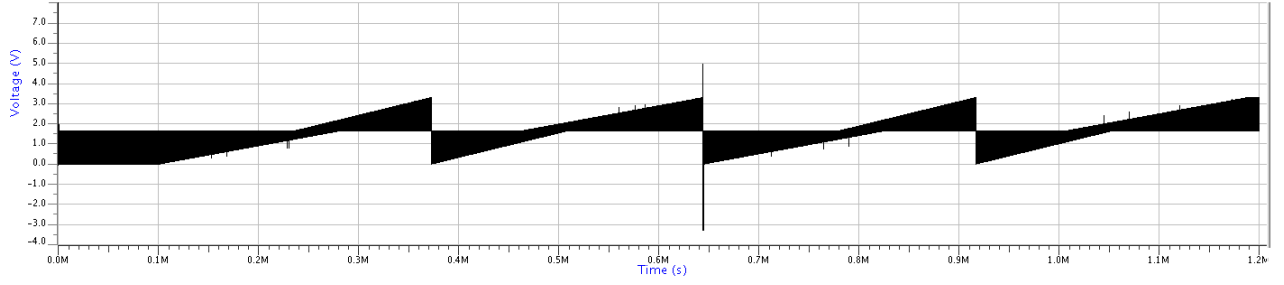


FIGURA A.15: Residuo 7

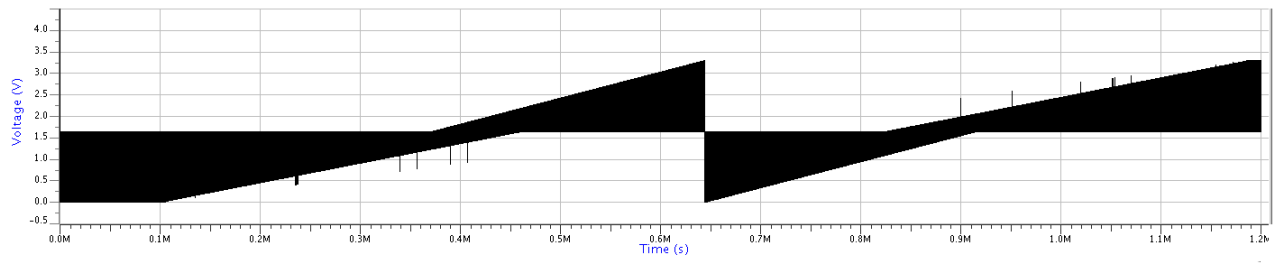


FIGURA A.16: Residuo 8

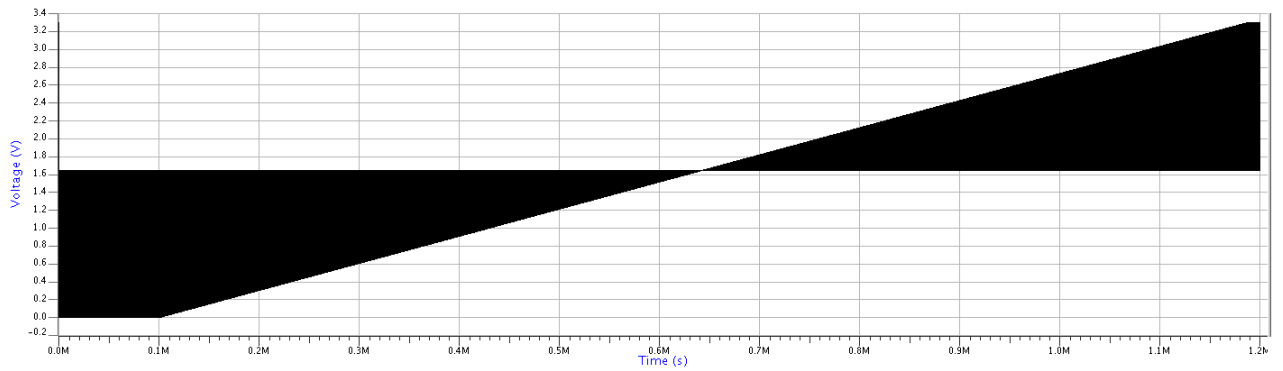


FIGURA A.17: Residuo 9

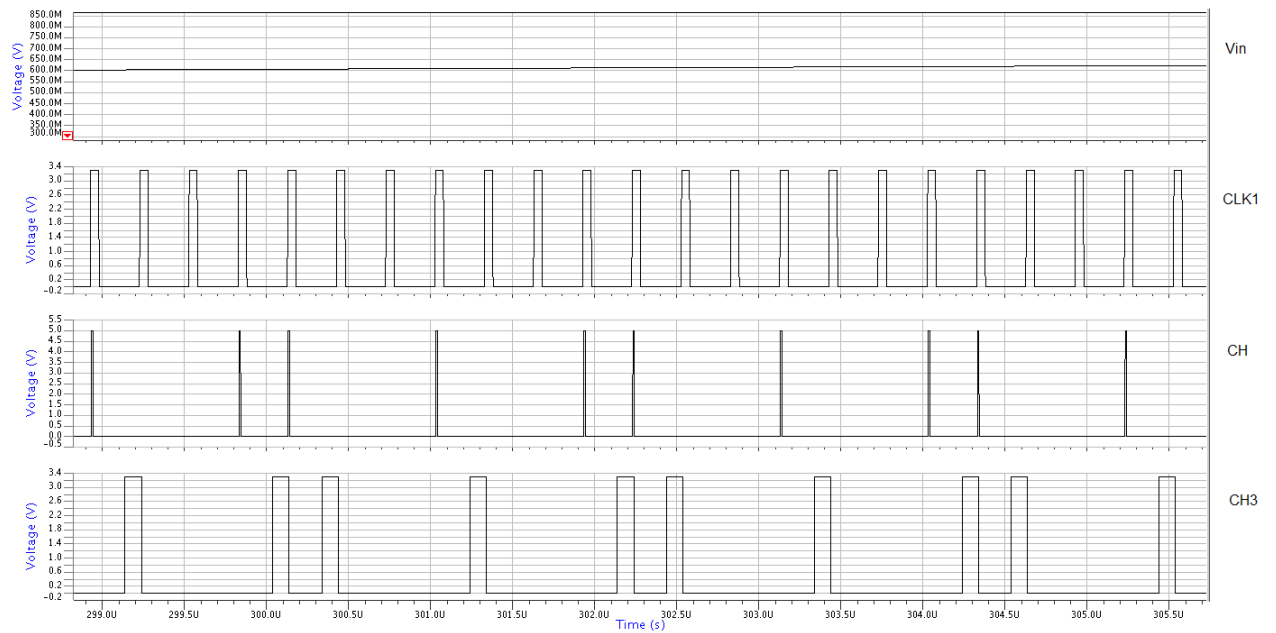


FIGURA A.18: Salidas de detector de fase para la adquisición CH y CH3

En la Figura A.18 se muestra como la señal CH3 va cambiando cuando se detecta un cambio en la entrada Vin, reflejándolo en el DEC (salida del decodificador), donde se observa que el cambio de ch3 es simétrico debido a que es una rampa lenta de entrada y sus cambios son graduales.

La salida digital obtenida mediante el decodificador se presenta de la figura A.19 a la A.28, en cada una se van mostrando 100 datos hasta llegar al nivel de resolución (1023).

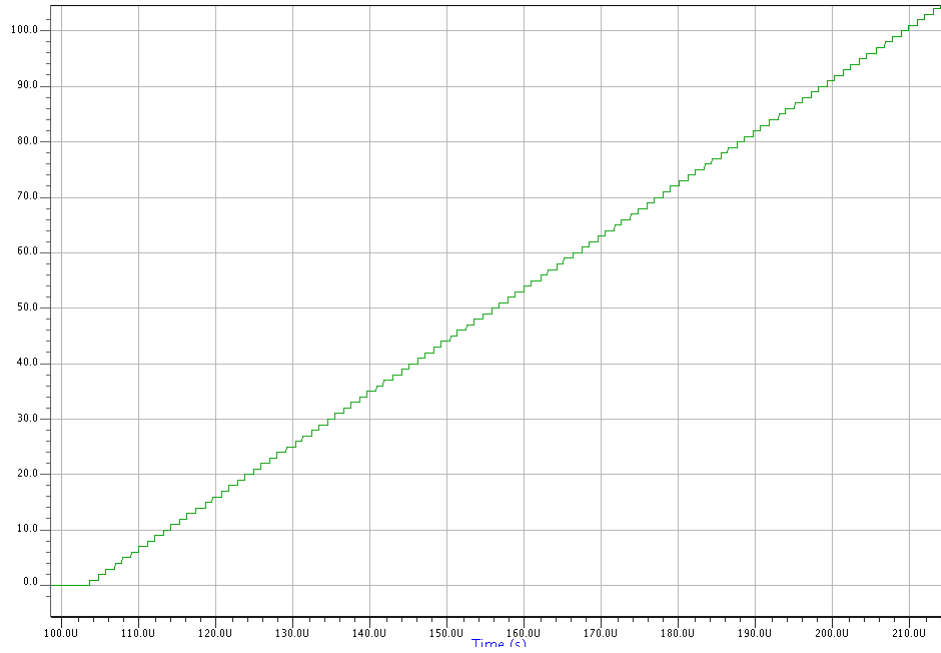


FIGURA A.19: Dados de 0 a 100

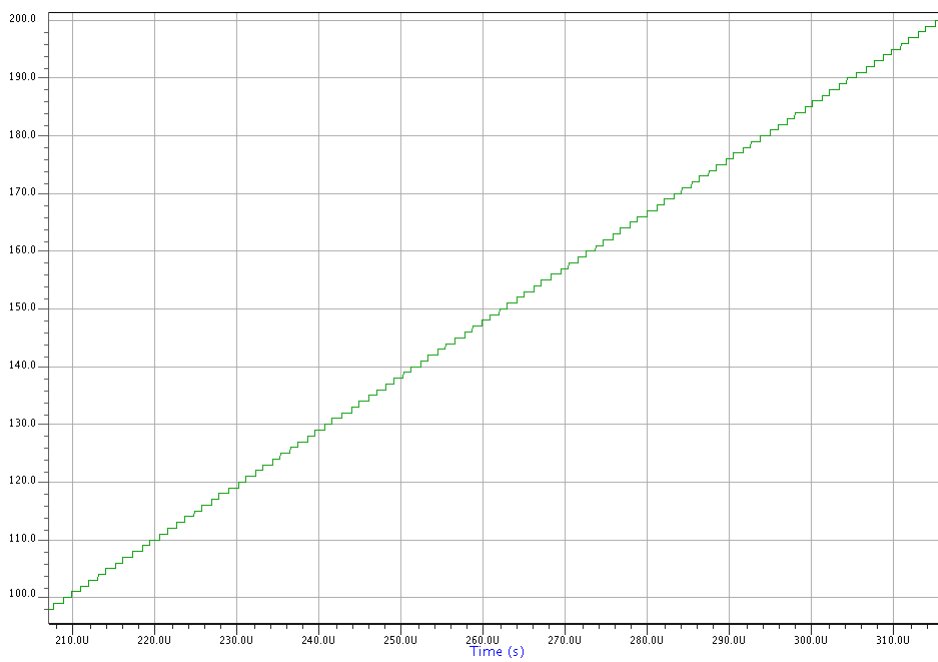


FIGURA A.20: Dados de 100 a 200

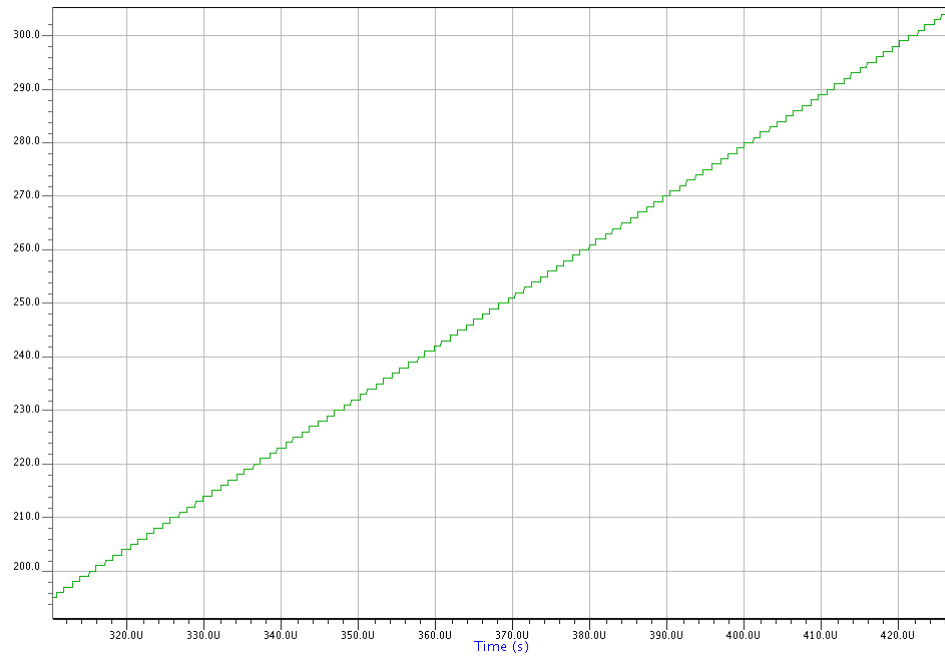


FIGURA A.21: Datos de 200 a 300

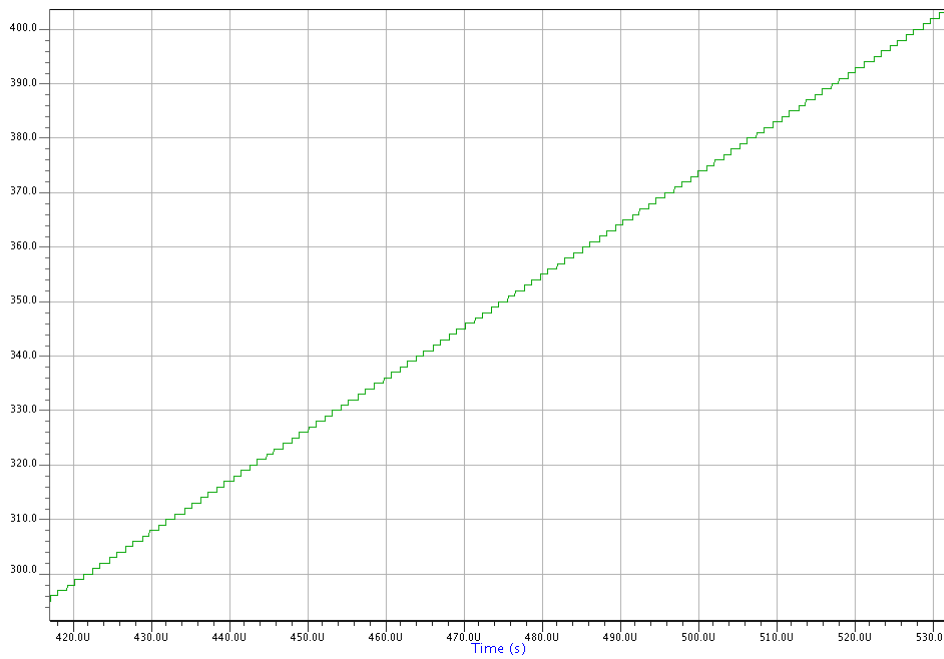


FIGURA A.22: Datos de 300 a 400

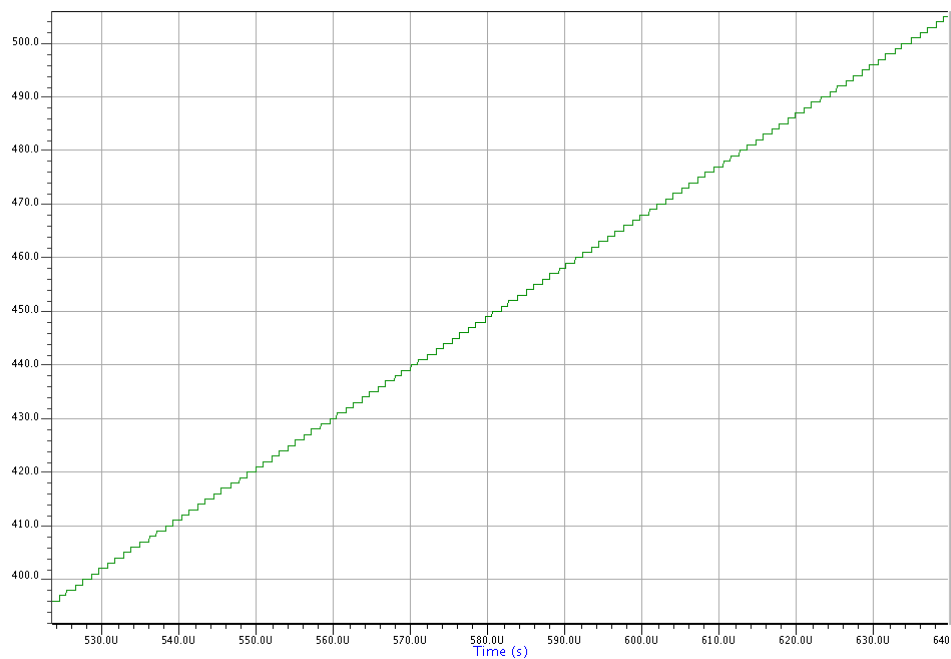


FIGURA A.23: Dados de 400 a 500

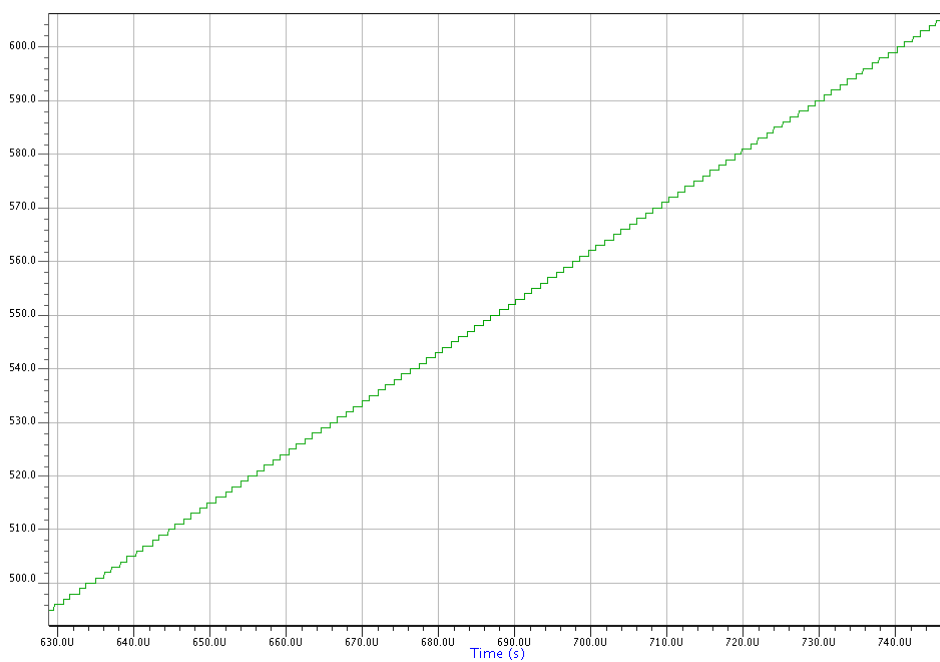


FIGURA A.24: Dados de 500 a 600

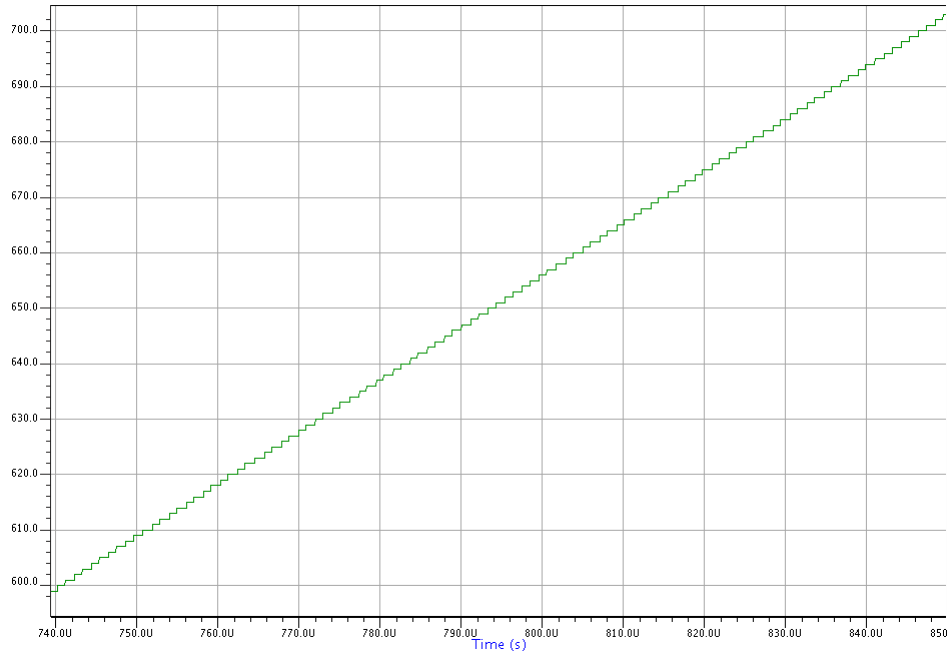


FIGURA A.25: Datos de 600 a 700

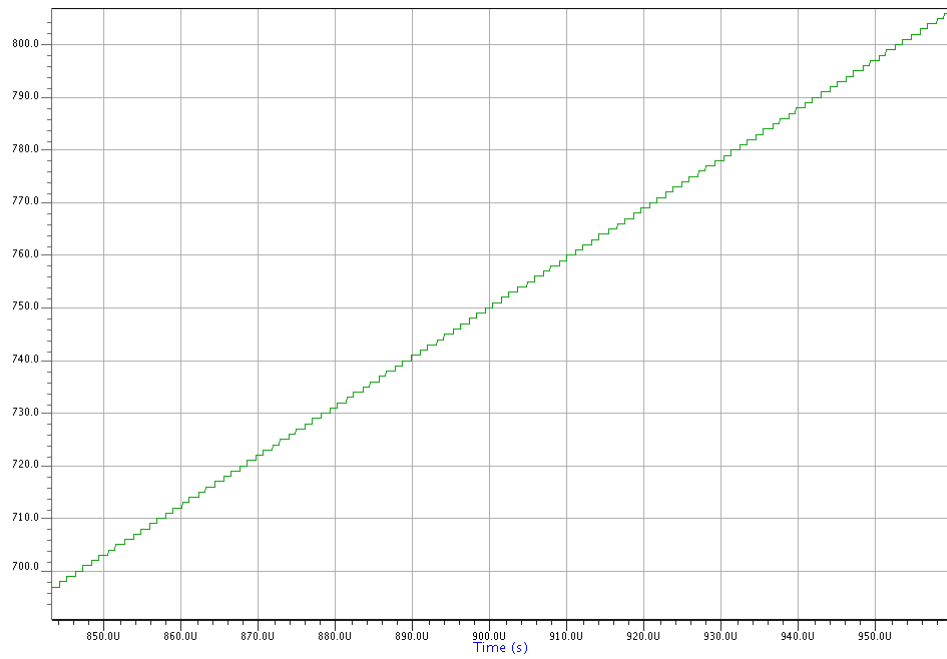


FIGURA A.26: Datos de 700 a 800

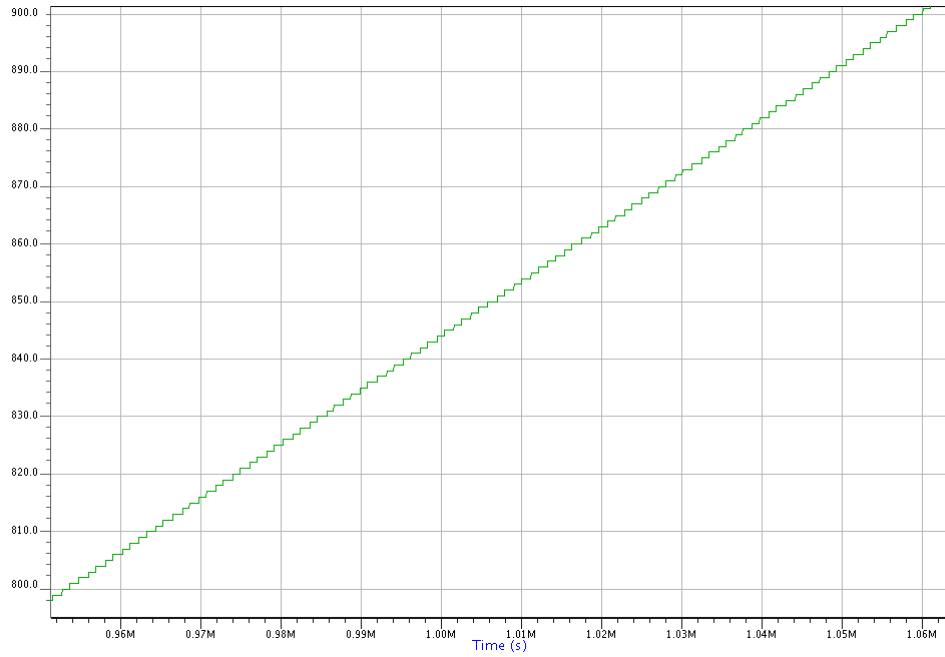


FIGURA A.27: Datos de 800 a 900

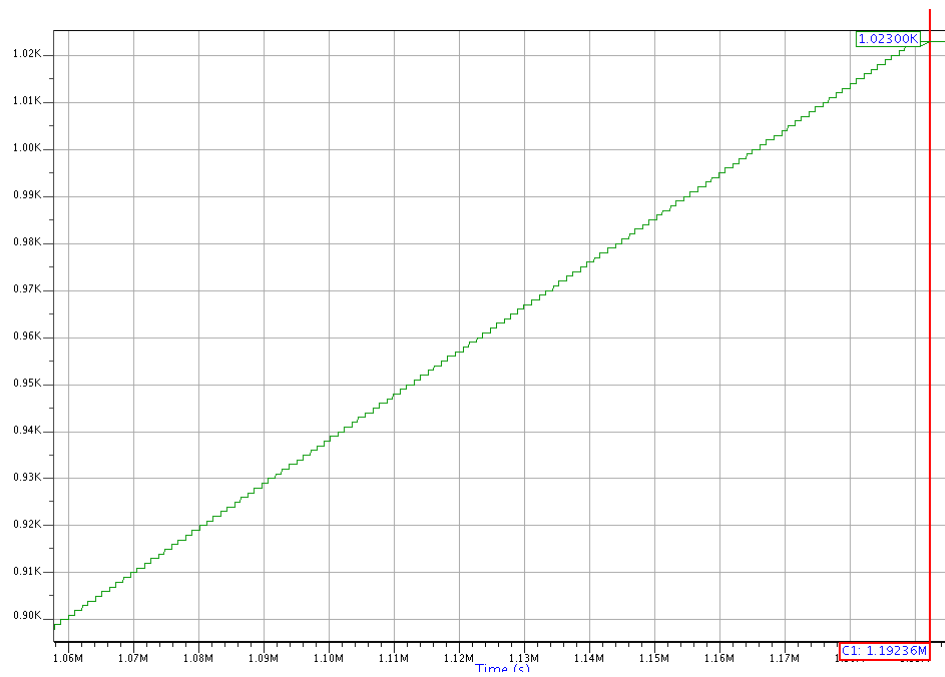


FIGURA A.28: Datos de 900 a 1023

## Apéndice B

# Glosario

### A

**ACL.-** Ganancia en lazo cerrado del amplificador operacional.

**Acoplamiento térmico.-** diferencia de temperatura entre dos materiales diferentes, que conlleva a la producción de una corriente eléctrica.

**ADC.-** (Analog to Digital converter) Siglas para definir un convertidor analógico a digital.

**Ancho de banda.-** Para señales analógicas, el ancho de banda es la longitud, medida en Hz, del rango de frecuencias en el que se concentra la mayor parte de la potencia de la señal. Puede ser calculado a partir de una señal temporal mediante el análisis de Fourier. También son llamadas frecuencias efectivas las pertenecientes a este rango.

**AOL.-** Ganancia de lazo abierto del amplificador operacional.

### B

**Beta ( $\beta$ ).**- factor de retroalimentación negativa, en el cálculo de la ganancia de lazo abierto del amplificador operacional.

### C

**Caracterización.-** Encontrar los diferentes características de un sistema, mediante la variación de sus diferentes parámetros, para determinar su rango de comportamiento óptimo.

**CMOS.-** Complementary metal-oxide-semiconductor o CMOS (semiconductor complementario de óxido metálico) es una de las familias lógicas empleadas en la fabricación de circuitos integrados. Su principal característica consiste en la utilización conjunta de transistores de tipo pMOS y tipo nMOS configurados de tal forma que, en estado de reposo, el consumo de energía es únicamente el debido a las corrientes parásitas, colocado obviamente en la placa base.

**Codificación.-** Consiste en traducir los valores obtenidos durante la cuantificación a código digital (binario, termométrico, BCD, etc.). A cada valor discreto de la señal cuantificada  $f_q(n)$  se asigna una secuencia de N bits.

**Código binario.-** sistema numérico usado para la representación de textos, o procesadores de instrucciones de computadora utilizando el sistema binario (sistema numérico de dos dígitos, o bit: el "0" (cerrado) y el "1" (abierto), donde primer lugar de la derecha tiene el valor de  $2^0$  y va aumentando la potencia conforme se avanzan los lugares a la izquierda.

**Compuerta lógica.-** es un dispositivo electrónico con una función booleana, dicha función puede efectuar alguna de las siguientes operaciones: Suma, multiplicación, negación, inclusión o exclusión según sus propiedades lógicas. Son circuitos de conmutación integrados en un chip.

**Cuantificación.-** Es el proceso de convertir una señal en tiempo discreto, con la amplitud definida en un intervalo continuo, en una señal en tiempo discreto definida únicamente para un conjunto de valores discretos de amplitud. La señal discreta se limita a un número finito de amplitudes posibles, resultando una diferencia entre la señal cuantificada y la señal sin cuantificar denominada error.

## D

**DAC.-** (Digital to Analogic converter) Siglas para definir la conversión de una señal analógica a una señal digital.

**Detector de fase.-** es un circuito mezclador de frecuencias o multiplicador analógico que genera una señal de voltaje que representa la diferencia en fase entre dos señales de entrada. Es un elemento esencial en el Lazo de seguimiento de fase (PLL). Detecta la diferencia en fase de dos señales periódicas, una señal periódica está caracterizada por tener amplitud, factor de forma, frecuencia y fase, siendo ésta última la que es detectada por este dispositivo.

**DFS.-** Código digital de escala total, donde la escala total corresponde al valor del voltaje de alimentación de riel a riel.

**DFT.-**(Discrete Fourier transform) transformada discreta de Fourier, se utiliza en los datos muestreados de un ADC. La señal continua ideal desde  $-\infty$  a  $+\infty$  se reemplaza con los puntos de muestreo de una señal durante un período de tiempo limitado.

**Disipación de potencia.-** Potencia se define como la tasa de transferencia de energía, 'disipación de potencia' es una medida de la velocidad a la cual la energía se disipa, o se pierde, de un sistema eléctrico. Cuando una corriente eléctrica funciona en un conductor, la energía interna del conductor se incrementa, causando que su temperatura se eleve por encima de la temperatura ambiente. Esto hace que la energía se disipe lejos del conductor hacia el entorno, a través del proceso de transferencia de calor. La tasa de transferencia de calor (julios por segundo) se denomina 'la disipación de energía' (en vatios).

**Distorsión.-** Se entiende por distorsión la diferencia entre la señal que entra a un equipo o sistema y la señal que sale del mismo. Por tanto, puede definirse como la "deformación" que sufre una señal tras su paso por un sistema. La distorsión puede ser lineal o no lineal.

## E

**ECG.-** Electrocardiograma, es la representación escrita de la actividad electrónica de los capilares, que se obtiene con un marcapasos en forma escrita.

**EEG.-** Electroencefalografía es una exploración neurofisiológica que se basa en el registro de la actividad bioeléctrica cerebral en condiciones basales de reposo, en vigilia o sueño, y durante diversas activaciones mediante un equipo de electroencefalografía.

**EMG.-** Electromiografía es una técnica para la evaluación y registro de la actividad eléctrica producida por los músculos esqueléticos. Un electromiógrafo detecta la diferencia de potencial eléctrico que activa las células musculares, las señales pueden ser analizadas para detectar anomalías y el nivel de activación o analizar la biomecánica del movimiento de un humano o un animal.

**Espectrómetro.-** es un aparato capaz de analizar el espectro de frecuencias característico de un movimiento ondulatorio. Se aplica a variados instrumentos que operan sobre un amplio campo de longitudes de onda.

**Exactitud.-** se denomina exactitud a la capacidad de un instrumento de acercarse al valor de la magnitud real.

## F

**Fases de reloj.-** Número de señales que transportan el control temporal.

**FFT.-** (Fast Fourier Transform) Transformada rápida de Fourier es un algoritmo que se utiliza por su eficiencia matemática para sustituir la aplicación de la DFT minimizando la obtención del cálculo por un factor de 10.

**Frecuencia de Nyquist.-** En el proceso de conversión de análogo a digital, primero hay que tomar muestras de la señal de entrada. Si la señal contiene información en frecuencias superiores a la mitad de la frecuencia del muestreo, la toma de muestras no se hará de manera correcta y la versión de la señal basada en las muestras contendrá componentes falsos debido al fenómeno de aliasing. La frecuencia máxima de la que se puede tomar muestras, se llama la frecuencia Nyquist, y es igual a la mitad de la frecuencia de muestreo.

**Frecuencia de una señal.-** es una magnitud que mide el número de repeticiones por unidad de tiempo de cualquier fenómeno o suceso periódico.

## G

**Gradiente térmico.-** difusión, desde el lado caliente al lado frío de un material por lo que se induce corriente mediante la temperatura.

## H

**HDL.-** (Hardware Description Language) es un lenguaje de programación especializado que se utiliza para definir la estructura, diseño y operación de circuitos electrónicos, y más comúnmente, de circuitos electrónicos digitales. Así, los lenguajes de descripción de hardware hacen posible una descripción formal de un circuito electrónico, y posibilitan su análisis automático y su simulación

## L

**LSB.-** transición de voltaje más pequeña que tiene el convertidor es igual a  $V_{FS} = (2^N - 1)$ .

## M

**Mismatch.-** Corresponde a un desajuste entre el valor deseado y el valor obtenido de un componente, el cual depende de varios factores, por ejemplo, un capacitor varía de su valor ideal debido a su proceso de fabricación. **Muestreo de una señal.-** Es tomar muestras periódicas (cada intervalo de tiempo T) de la amplitud de la señal. La velocidad con que se toman estas muestras, (el número de muestras por segundo) es lo que se conoce como frecuencia de muestreo  $f_s$ .

## N

**Número efectivo de bits (ENOB).-** El número real de la resolución de un convertidor.

## O

**Offset.-**El offset es causado por un conjunto de elementos parasitos en el circuito, resulta en una entrada o salida de tensión distinta de cero, aún cuando una señal de cero sea aplicada al convertidor

## P

**Periodo de una señal.-** Espacio de tiempo limitado por la ocurrencia de algún fenómeno que se repite(en este caso una señal) ocurre entre dos maximos consecutivos.

**Pnoise.-** es la potencia correspondiente al ruido, en el espectro de una señal (dominio de la frecuencia).

**Precisión.-** Es la capacidad de un instrumento de dar el mismo resultado en mediciones diferentes realizadas en las mismas condiciones. Esta cualidad debe evaluarse a corto plazo.

**Psign.-** Es la potencia de una señal medida en el dominio de la frecuencia.

## R

**Rango dinámico.-** En resumen es la relación entre el nivel de señal de mayor valor que el convertidor puede manejar y el nivel de ruido; expresado en dB. El rango dinámico determina la máxima relación señal a ruido.

**Relación de sobremuestreo (OSR).-** Es la relación obtenida entre la frecuencia de muestreo y el doble de la frecuencia de entrada.

**Resolución de un ADC.-** Es el número de bits que un ADC utiliza para representar su entrada analógica. La resolución, junto con la tensión de referencia determinan la tensión mínima detectable (por un ADC).

**Roff.-** Es el valor de la resistencia que tiene el interruptor al ser cerrado.

**Ron.-** Es el valor de la resistencia que tiene el interruptor al ser abierto.

## S

**Señal analógica.-** es un tipo de señal generada por algún tipo de fenómeno electromagnético y que es representable por una función matemática continua en la que es variable su amplitud y periodo en función del tiempo.

**Señal digital.-** Se trata de la señal cuyos signos representan ciertos valores discretos que contienen información codificada. Los sistemas que emplean señales digitales suelen apelar a la lógica binaria (de dos estados): estos estados son reemplazados por unos y ceros, que indican el estado alto o bajo del nivel de tensión eléctrica.

**SFDR.-** Rango Dinámico espurias libres, es el cociente de la potencia de la señal fundamental con la espuria más fuerte en la salida. **SNR.-** (relación señal a ruido).- Relación señal-ruido como el cociente entre la potencia de salida a la frecuencia de la entrada y la potencia en banda del ruido total.

## T

**Tasa de conversión.-** Es el número de muestras que analiza por unidad de tiempo.

**Tiempo de adquisición.-** Es el tiempo necesario para que una conversión sea confiable, durante el cual se debe mantener el valor de la señal de entrada constante.

**Tiempo de conversión.-** Es el tiempo que tarda el ADC en tomar un valor analógico de entrada, convertirlo en un número discreto y llevarlo a un registro de salida, por lo cual incluye el tiempo de adquisición.

**Tiempo de latencia.-** Es la suma de retardos temporales dentro de un sistema. Un retardo es producido por la demora en la propagación y transmisión de datos dentro de un sistema.

## V

**Verilog-A.-** es un derivado de Verilog HDL. Incluye extensiones analógicas y de señal mixta (AMS) con el fin de definir el comportamiento de los sistemas analógicos y de señal mixta.

**VFS.-** Es el voltaje de riel a riel de un circuito.

**VLSB.-** voltaje correspondiente a un bit menos significativo (LSB).

**VQn.-** es la tensión de entrada analógica correspondiente al nivel de cuantificación  $Q_n$  (excluyendo los errores de ganancia y offset).

## X

**XFS .-** Rango analógico de escala completa.

**XOR.-** OR exclusiva es una puerta lógica digital que implementa el o exclusivo; es decir, una salida verdadera (1/HIGH) resulta si una, y solo una de las entradas a la puerta es verdadera. Si ambas entradas son falsas (0/LOW) o ambas son verdaderas, resulta en una salida falsa.

# Bibliografía

- [1] Razavi, Behzad. “Principles of data conversion system design”, 1st edition. Wiley-IEEE Press, December 12, 1994.
- [2] Maloberti, Franco. “Data Converters”, 2007 edition. Springer, January 29, 2007.
- [3] Van de Plassche, Rudy. “Integrated Analog-to-digital and digital-to-analog converters”, Kluwer Academic Publishers, London, 1994.
- [4] Proakis, John G.; Manolakis, Dimitris G.; “Tratamiento digital de señal”, Prentice Hall 4a. Ed. España, 2007.
- [5] Medina Falcon, Daniel. “Simulación de convertidores pipeline”; Departamento de Ingeniería Electrónica, Universidad de Sevilla, Julio 2005.
- [6] Beanato, Giulia. “Design of a Very Low Power SAR Analog to Digital Converter”, Microelectronic Systems Laboratory (LSM), Escuela Politécnica Federal de Lausana, Suiza. Agosto 2009.
- [7] R. Dugosz; K. Iniewski. ”Flexible Architecture of Ultra Low Power Current Mode Interleaved Successive Approximation Analog to Digital Converter for Wireless Sensor Networks”, Hindawi Publishing Corporation VLSI Design Volume 2007, Article ID 45269, 2007.
- [8] Santiago Ramírez, Héctor. “Diseño de un convertidor Analógico a digital de aproximaciones sucesivas”, Benemérita Universidad autónoma de Puebla, 2001.
- [9] El-Sayed Eid; El-Dib, H. “Design of an 8-bit pipelined ADC with lower than 0.5 LSB DNL and INL without calibration”, 4th International Design and Test Workshop (IDT), November 2009.
- [10] Weitao, Li; Cao, Sun; Fule Li; Zhihua, Wang. “A 14-bit pipelined ADC with digital background nonlinearity calibration”, IEEE International Symposium Circuits and Systems (ISCAS), May 2013.

- 
- [11] Karanicolas, A.N.; Hae-Seung Lee; Barcrania, K.L. "A 15-b 1 -Msample/s Digitally Self-calibrated Pipeline ADC", IEEE Journal of Solid-State Circuits, Vol. 28, No. 12, December 1993.
- [12] Coram, G.J. "How to (and how not to) write a compact model in Verilog-A" Behavioral Modeling and Simulation Conference, BMAS 2004.
- [13] Miller, I.; et al. "Analog design with Verilog-A", Verilog HDL Conference; IEEE International, San Jose, Cal.1997.
- [14] Xinquan, Lai; et. al. "Behavioral modeling of electronic circuit with Verilog-A language", IEEE , 4th International Conference on ASIC Proceedings, Shangai, 2001.
- [15] Barra, Samir. "Simulink Behavioral Modeling of a 10-bit Pipelined ADC", International Journal of Automation and Computing, 2012.
- [16] Jie, Yuan; et. al. "A 12-bit 20 MS/s 56.3 mW Pipelined ADC With Interpolation-Based Nonlinear Calibration", IEEE transactions on circuits and systems, Vol. 59, 2012.
- [17] El-Sayed Eid; El-Dib, H. "Design of an 8-bit pipelined ADC with lower than 0.5 LSB DNL and INL without calibration", Design and Test Workshop (IDT), 2009.
- [18] Johns, David and Martin, Ken. "Analog Integrated Circuit Design", John Wiley & Sons, New York, 1997.
- [19] Ebeling, C.; French, B. "Abstract Verilog: A Hardware Description Language for Novice Students", IEEE International Conference on Microelectronic Systems Education, 2007.
- [20] Junfeng, Yang; Zheyang, Li; "Design and error analysis of a OTA for high speed pipeline ADC", IEEE 5th International Symposium on Microwave, Antenna, Propagation and EMC Technologies for Wireless Communications (MAPE), 201.
- [21] Andrew, Masami Abo. "Design for Reliability of Low-voltage, Switched-capacitor Circuits", University of California, Berkeley, 1999.
- [22] Flynn, Michael; Perrott, Michael. "Session 10 overview / data converters: Nyquist-rate converters", IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011.
- [23] Ranjbar, Mohammad; McNeill, John. "Nyquist rate A/D converters", IEEE Custom Integrated Circuits Conference (CICC), 2013.
- [24] Dawson, C.; Pattanam, S.K.; Roberts, D. "The Verilog Procedural Interface for the Verilog Hardware Description Language", IEEE International, Verilog HDL Conference, 1996.

- 
- [25] Kuniyuki Tani; et al. "A pipelined ADC macro design for multiple applications", Asia and South Pacific Design Automation Conference, 2001.
- [26] Meganathan, D. ; Jantsch, A. "A low-power, medium-resolution, high-speed CMOS pipelined ADC", IEEE conference publications, NORCHIP, 2010.
- [27] Miki, T.; et al. "An 11-b 300-MS/s Double-Sampling Pipelined ADC With On-Chip Digital Calibration for Memory Effects", IEEE Journal of Solid-State Circuits, 2012.
- [28] Ghil-Geun Oh; Chang-Kyo Lee; Seung-Tak Ryu. "A 10-Bit 40-MS/s Pipelined ADC With a Wide Range Operating Temperature for WAVE Applications", IEEE Transactions on Circuits and Systems II: Express Briefs, 2014.
- [29] IEEE Instrumentation & Measurement Society. "IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters", New York, 2010.
- [30] Quintans, C.; et al. "A Practical Example to Understand Pipeline A/D Converters Performance Using Software Tools", IEEE Industrial Electronics, 2006.
- [31] Medawar, S.; et al. "Static Integral Nonlinearity Modeling and Calibration of Measured and Synthetic Pipeline Analog-to-Digital Converters", IEEE Transactions on Instrumentation and Measurement 2014.
- [32] Chi-Chang Lu; Tsung-Sum Lee; "A 10-bit 60-MS/s Low-Power CMOS Pipelined Analog-to-Digital Converter", IEEE Transactions on Circuits and Systems II: Express Briefs, 2007.
- [33] Brooks, T.L.; et. Al; "A 16b  $\Sigma\Delta$  pipeline ADC with 2.5 MHz output data-rate", IEEE International, Solid-State Circuits Conference, San Francisco, CA, USA 1997.
- [34] Hamedi-Hagh, S. ; Salama, C.A.T.; "A 10 bit, 50 msample/s, low power pipelined A/D converter for cable modem applications"; IEEE International, Circuits and Systems, Vol.1, 2001.
- [35] Aslanzadeh, H.A.; et. al.; "A low power 25 MS/S 12-bit pipelined analog to digital converter for wireless applications", IEEE Southwest Symposium on Mixed-Signal Design, 2003.
- [36] Koppaarthi, S.P. ; Makwana, I. ; Gupta, A.; "An asynchronous 8-bit 5 MS/s pipelined ADC for biomedical sensor based applications", IEEE International Conference on Electronics, Computing and Communication Technologies (CONECCT), Bangalore. 2003.
- [37] Koppaarthi, S.P. ; Makwana, I. ; Gupta, A.; "Asynchronous 8-bit pipelined ADC for self-triggered sensor based applications", IEEE Microelectronics and Electronics, Asia Pacific, 2012.

- 
- [38] GarciaGonzalez, J.M.; et. al.; "A 1.2V 1.5 $\mu$ W 4kS/s 10b Pipelined ADC for Electroencephalogram applications", Annual International Conference of the IEEE Engineering in Medicine and Biology Society, 2008.
- [39] Jhin-Fang Huang ; Wen-Cheng Lai ; Wei-Jian Lin; "A time-interleaved pipelined ADC chip design for 4-G application", IEEE 6th International Conference on Advanced Infocomm Technology (ICAIT), Hsinchu, 2013.