



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA

MAESTRÍA EN INGENIERÍA ELECTRÓNICA, OPCIÓN  
INSTRUMENTACIÓN ELECTRÓNICA

Tesis presentada para obtener el grado de:  
MAESTRO EN INGENIERÍA ELECTRÓNICA

---

## Implementación embebida analógica de sistemas de orden fraccional variable

---

*Presenta:*

Lic. Eduardo Reyes Coeto\*

*Director de Tesis:*

Dr. Jesús Manuel Muñoz Pacheco

*Co-directora de Tesis:*

Dra. Luz del Carmen Gómez Pavón

*Dedicado con gran cariño a mis padres,  
las personas mas importantes de mi vida.*

*“Cada adversidad, cada fracaso, cada angustia,  
lleva consigo la semilla de un beneficio igual o mayor”.*  
*Napoleón Hill*



# Agradecimientos

Quiero agradecer de manera muy especial y sincera al Dr. Jesús Manuel Muñoz Pacheco, por su orientación, apoyo y gran compromiso durante el desarrollo de este trabajo de tesis. Todas sus explicaciones y consejos resolvieron mis dudas y, más aún, despertaron un gran interés en mi por esta rama de investigación, su aporte ha sido invaluable en mi desarrollo profesional. Agradezco a mi co-asesora la Dra. Luz del Carmen Gómez Pavón por su colaboración dedicada a este trabajo.

A los miembros del jurado, la Dra. María Monserrat Morín Castillo, el Dr. Richard Torrealba Meléndez y el Dr. Arnulfo Luis Ramos, cuyas aportaciones enriquecieron este trabajo de tesis.

A la coordinadora de la Maestría en Ingeniería Electrónica, opción Instrumentación Electrónica la M.C. Ana María Rodríguez Domínguez, cuyo acompañamiento fue de gran ayuda e importancia en mi transcurso por el posgrado.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) por la beca recibida durante mis estudios de maestría.

Agradezco a los profesores de la Facultad de Ciencias de la Electrónica de la Benemérita Universidad Autónoma de Puebla por los años de formación brindados.

Finalmente, pero no menos importante agradezco a mi familia y especialmente a mi madre por todo el apoyo incondicional que me brindo durante esta etapa, gracias a ella sigo logrando mis metas.



# Resumen

El cálculo de orden fraccionario es una generalización del cálculo clásico, su comienzo data de hace más de 300 años. Se basa en el concepto de que el orden  $n$  de los operadores de integral o derivada puede ser un número diferente de los números enteros, incluso extenderse al conjunto de los números complejos, esto ha abierto nuevas posibilidades de estudio y potenciales aplicaciones en ingeniería. En las últimas décadas, el estudio de los operadores de orden fraccionario se ha profundizado y nuevas interrogantes han surgido, una de ellas es la posibilidad de que el orden fraccionario pueda variar continuamente, es decir que se convierta en una función de alguna variable. Esto ha dado origen a una nueva rama de las matemáticas, llamada cálculo de orden fraccionario variable, cuyas propiedades pueden convertirse en una herramienta de suma utilidad en diversas aplicaciones de ingeniería.

En este trabajo de tesis se aborda la teoría del cálculo de orden fraccionario variable y se aterriza realizando la implementación de integradores de orden fraccionario variable con elementos analógicos. Una problemática presentada al utilizar elementos analógicos para validar estos operadores es que estos se encuentran susceptibles a alteraciones externas o los valores requeridos no se encuentran disponibles comercialmente. Para resolver ese problema se incorpora el uso de la tecnología de matrices analógicas programables en campo (F.P.A.A.), estos dispositivos son procesadores de señales analógicas basados en la tecnología de capacitor-conmutado y capaces de ser reconfigurados eléctricamente en tiempo real. Los integradores de orden variable desarrollados son caracterizados tanto en su respuesta transitoria como en frecuencia y como etapa final se incorporan a un sistema caótico, lo que nos permite validar su funcionamiento y estudiar el fenómeno caótico ante el cambio continuo del orden fraccionario, para desarrollar futuras aplicaciones en criptografía.



# Índice general

Resumen . . . . .	V
<b>Introducción</b>	<b>xvii</b>
Objetivos . . . . .	xx
Justificación . . . . .	xx
Estado del Arte . . . . .	xxi
Estructura del Documento . . . . .	xxvii
<b>1. Implementación de Integradores de Orden Fraccionario con Dispositivos matrices analógicas programables en campo (FPAA)</b>	<b>1</b>
1.1. El Cálculo de Orden Fraccionario . . . . .	1
1.2. Fundamentos Teóricos del Cálculo de Orden Fraccionario . . . . .	3
1.2.1. Funciones Especiales del Cálculo de Orden Fraccionario . . . . .	3
1.2.2. Diferentes Definiciones de los Operadores de orden fraccionario (OF) . . . . .	5
1.2.3. Evaluación Analítica de la Integral de Orden Fraccionario de Riemann-Liouville . . . . .	7
1.2.4. Transformada de Laplace de Integrales y Derivadas de Orden Fraccionario . . . . .	13
1.3. Diseño e Implementación . . . . .	14
1.3.1. Aproximación al Operador Integral de $OF \frac{1}{s^\alpha}$ . . . . .	14
1.3.2. Representación Con Filtros Paso-Bajo y Paso-Alto. . . . .	15
1.3.3. Síntesis Analógica Con Dispositivos FPAA del Operador Integral de $OF \frac{1}{s^\alpha}$ . . . . .	16
1.3.4. Caracterización de Integradores de OF Implementados en Dispositivos FPAA . . . . .	25
1.3.5. Error de Aproximación y Ajuste . . . . .	29
1.4. Resultados y Discusión . . . . .	32
<b>2. Diseño e Implementación de Integradores de orden fraccionario variable (OFV) con Dispositivos FPAA</b>	<b>34</b>
2.1. Fundamentos Teóricos Sobre el Operador Integral de OFV de Riemann-Liouville . . . . .	35
2.1.1. <i>Kernel</i> y Argumentos . . . . .	35
2.1.2. Características de memoria de los operadores de OFV . . . . .	36

2.2.	Diseño e Implementación de Integradores de OFV . . . . .	38
2.2.1.	Función Definida a Trozos Con Elementos Constantes Como Función de Orden $\alpha(t)$ . . . . .	38
2.2.2.	Propuesta de Implementación Física . . . . .	39
2.2.3.	Diseño de Estructuras de Conmutación en Anadigm Designer 2 (AD2) . . . . .	40
2.2.4.	Implementación de Integradores de OFV . . . . .	67
2.2.5.	Comentarios Sobre el Diseño de los Integradores de OFV. . . . .	84
<b>3.</b>	<b>Implementación de Oscilador Caótico de Lü con Integradores de OFV</b>	<b>88</b>
3.1.	Osciladores Caóticos Basados en PWL . . . . .	88
3.1.1.	Oscilador Caótico de Múltiples Enrollamientos de Lü . . . . .	89
3.2.	Diseño e Implementación con Dispositivos FPAA . . . . .	92
3.2.1.	Caracterización del Comportamiento del Oscilador Caótico . . . . .	94
3.2.2.	Diseño de Oscilador Caótico Lü Con Integradores Variables Entre Dos Órdenes Fraccionarios en AD2 . . . . .	101
3.2.3.	Diseño de Oscilador Caótico Lü Con Integradores Variables Entre Tres Órdenes Fraccionarios en AD2 . . . . .	107
3.3.	Efecto Producidos en el Comportamiento Caótico Ante el Cambio de Orden Fraccionario . . . . .	114
3.4.	Generación de Secuencias de Bits Aleatorias con Señales Caóticas . . . . .	116
	<b>Conclusiones</b>	<b>118</b>
	<b>A. Artículos Publicados y Participaciones en Congresos</b>	<b>120</b>
	<b>Bibliografía</b>	<b>130</b>

# Índice de figuras

1.	Comparación gráfica entre el orden fraccionario constante y orden fraccionario variable. . . . .	XVII
1.1.	Gráficas comparativas entre las funciones elementales, sus integrales de diferentes órdenes fraccionarios e integral de orden entero. . . . .	9
1.2.	Integrales de diferentes OF de la forma de onda cuadrada. . . . .	11
1.3.	Integrales de diferentes OF de la forma de onda triangular. . . . .	12
1.4.	Integrales de diferentes OF de la forma de onda senoidal. . . . .	12
1.5.	Diagrama de bloques de integrador de OF implementado con filtro paso-alto y paso-bajo . . . . .	15
1.6.	Arquitectura interna del dispositivo dpASP AN231E04, fabricado por la empresa <i>Anadigm</i> . . . . .	17
1.7.	Tarjeta de Desarrollo <i>Anadigm QuadApex</i> , con 4 chips FPAA AN231E04. . . . .	18
1.8.	Diagrama esquemático de filtro Rauch de entrada y diseño en la tarjeta. . . . .	19
1.9.	Diagrama esquemático de filtro <i>Rauch</i> de entrada y diseño en la tarjeta. . . . .	20
1.10.	Diseño analógico con módulos analógicos configurables (CAMs) en AD2. . . . .	21
1.11.	Diseño en AD2 de integrador de OF . . . . .	23
1.12.	Proceso de adquisición de datos de respuesta transitoria de integrador de OF. . . . .	26
1.13.	Proceso de adquisición de datos de la respuesta en frecuencia del integrador de OF. . . . .	27
1.14.	Determinación de puntos en diagrama de Bode. . . . .	28
1.15.	Gráficas de la respuesta transitoria de los integradores de OF $\alpha = 0.1$ y $\alpha = 0.2$ obtenida experimentalmente y comparadas con señal de entrada. . . . .	32
1.16.	Diagramas de Bode de la respuesta en frecuencia de los integradores de OF. (a) Caso ideal graficado mediante la función de Matlab FOMCON. (b) Resultado experimental obtenido a través del dispositivo NI Elvis II. . . . .	33
2.1.	Estructura de conmutadores e integradores de orden fraccionario constante, la conmutación entre integradores permite variar el orden en el tiempo. . . . .	39
2.2.	Elemento de conmutación básico utilizado. . . . .	40
2.3.	Ventana de configuración del módulo analógico configurable (CAM) <i>GainSwitch</i> en AD2. . . . .	41

2.4. Conmutador de dos señales, diagrama de bloques y diseño en el <i>software</i> AD2.	43
2.5. Simulación en AD2 de señal de salida y control de conmutador de 2 entradas.	45
2.6. Diagrama de flujo de cálculo de ángulo de desfase y razón de amplitud en <i>Matlab</i> .	46
2.7. Comparación entre las señales de entrada y salida del conmutador.	47
2.8. División de la señal de control en tres regiones de voltaje.	48
2.9. Diagrama de estructura de conmutación de tres señales y su diseño en el <i>software</i> AD2.	49
2.10. Simulación en AD2 de señal de salida y señal de control de estructura de conmutación de 3 entradas.	52
2.11. Diagrama de conexiones de la estructura de conmutación tipo cascada con $n$ -numero de conmutadores.	54
2.12. Diseño en AD2 de estructura de conmutación tipo cascada con $n$ conmutadores.	56
2.13. Diagrama de conexiones de la estructura de conmutación tipo multiplexor.	60
2.14. Diseño de par de conmutadores en AD2.	61
2.15. Diseño de sumador de señales en <i>software</i> AD2.	63
2.16. Diseño de unidad de control en AD2.	65
2.17. Comparación entre señal de control original, señal de control amplificada que sale a conmutadores y error entre ambas señales.	67
2.18. Diagrama de bloques de integrador variable entre dos órdenes fraccionarios.	68
2.19. Diseño en AD2 de integrador variable entre dos órdenes fraccionarios.	68
2.20. Señal de control y comparación entre señal de entrada y salida de integrador variable entre los órdenes fraccionarios $\alpha = 0.8$ y $\alpha = 0.1$ .	69
2.21. Respuesta transitoria del integrador variable entre los órdenes fraccionarios $\alpha = 0.8$ y $\alpha = 0.1$ .	70
2.22. Respuesta en frecuencia de integrador variable entre los órdenes fraccionarios $\alpha = 0.8$ y $\alpha = 0.1$ .	71
2.23. Diagrama de bloques de integrador variable entre 3 órdenes fraccionarios.	72
2.24. Diseño en AD2 de integrador variable entre tres órdenes fraccionarios.	73
2.25. Señal de control y comparación entre señal de entrada y salida de integrador variable entre los órdenes fraccionarios $\alpha = 0.1$ , $\alpha = 0.5$ y $\alpha = 0.9$ .	74
2.26. Respuesta transitoria del integrador variable entre los órdenes fraccionarios $\alpha = 0.1$ , $\alpha = 0.5$ y $\alpha = 0.9$ .	75
2.27. Respuesta en frecuencia de integrador variable entre los órdenes fraccionarios $\alpha = 0.1$ , $\alpha = 0.5$ y $\alpha = 0.9$ .	76
2.28. Diagrama de integrador variable entre diez órdenes fraccionarios.	77
2.29. Compensación perdida de amplitud de voltaje en la señal de entrada.	78
2.30. Señal de control y señal de entrada y salida obtenidas en simulación de integrador variable entre los órdenes fraccionarios $\alpha = 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9$ y $0.95$ .	80
2.32. Implementación física de integrador variable entre 10 órdenes fraccionarios.	81

2.33. Respuesta transitoria del integrador variable entre dos órdenes fraccionarios. . . . .	82
2.34. Respuesta en frecuencia de integrador de OFV . . . . .	83
2.31. Diseño completo en AD2 de integrador de orden variable entre 10. . . . .	86
3.1. Diagrama de bloques de oscilador caótico de Lü. . . . .	89
3.2. Función saturada para generar dos atractores en oscilador caótico . . . . .	91
3.3. Gráfica de la función saturada $f_0(x)$ . . . . .	92
3.4. Diseño oscilador caótico de Lü con integradores de orden fraccionario constante en el <i>software</i> AD2. . . . .	93
3.5. Oscilador caótico, dos atractores, integradores de OF: $\alpha = 0.80$ . . . . .	95
3.6. Oscilador caótico, dos atractores, integradores de OF: $\alpha = 0.82$ . . . . .	96
3.7. Oscilador caótico, dos atractores, integradores de OF: $\alpha = 0.85$ . . . . .	96
3.8. Oscilador caótico, dos atractores, integradores de OF: $\alpha = 0.87$ . . . . .	97
3.9. Oscilador caótico, cuatro atractores, integradores de OF: $\alpha = 0.80$ . . . . .	98
3.10. Oscilador caótico, cuatro atractores, integradores de OF: $\alpha = 0.82$ . . . . .	98
3.11. Oscilador caótico, cuatro atractores, integradores de OF: $\alpha = 0.85$ . . . . .	99
3.12. Oscilador caótico, cuatro atractores, integradores de OF: $\alpha = 0.87$ . . . . .	99
3.13. Diseño en AD2 de oscilador caótico de Lü con integradores variables entre dos órdenes fraccionarios. . . . .	100
3.14. Plano de fase capturado experimentalmente en osciloscopio de las señales $X$ vs $Y$ . . . . .	102
3.15. Atractor caótico obtenido y respuesta transitoria. . . . .	102
3.16. Plano de fase capturado experimentalmente en osciloscopio de las señales $X$ vs $Y$ . . . . .	103
3.17. Atractor caótico obtenido y respuesta transitoria. . . . .	103
3.18. Plano de fase capturado experimentalmente en osciloscopio de las señales $X$ vs $Y$ . . . . .	104
3.19. Atractor caótico obtenido y respuesta transitoria. . . . .	104
3.20. Plano de fase capturado experimentalmente en osciloscopio de las señales $X$ vs $Y$ . . . . .	105
3.21. Atractor caótico obtenido y respuesta transitoria. . . . .	105
3.22. Diseño en AD2 de oscilador caótico de Lü con integradores variables entre tres órdenes fraccionarios. . . . .	106
3.23. Plano de fase capturado experimentalmente en osciloscopio de las señales $X$ vs $Y$ . . . . .	108
3.24. Atractor caótico obtenido y respuesta transitoria. . . . .	109
3.25. Plano de fase capturado experimentalmente en osciloscopio de las señales $X$ vs $Y$ . . . . .	110
3.26. Atractor caótico obtenido y respuesta transitoria. . . . .	111
3.27. Plano de fase capturado experimentalmente en osciloscopio de las señales $X$ vs $Y$ . . . . .	112

3.28. Atractor caótico obtenido y respuesta transitoria. . . . .	113
3.29. Integradores orden $\alpha = 0.80$ vs $\alpha = 0.85$ , señal de control cuadrada con ciclo de trabajo de 20 % . . . . .	114
3.30. Integradores orden $\alpha = 0.80$ vs $\alpha = 0.85$ , señal de control cuadrada con ciclo de trabajo de 75 % . . . . .	115
3.31. Integradores orden $\alpha = 0.80$ vs $\alpha = 0.85$ vs $\alpha = 0.87$ , señal de control tipo diente de sierra con simetría de 20 % . . . . .	115
3.32. Muestreo de señales X,Y y Z producidas por el oscilador caótico de Lu con integradores variables entre los órdenes fraccionarios $\alpha = 0.82, \alpha = 0.85$ y $\alpha = 0.87$ . . . . .	117

# Índice de tablas

1.	Artículos altamente relacionados con la implementación analógica de integradores de OFV. . . . .	XXII
2.	Artículos altamente relacionados con la implementación de operadores de OFV en sistemas caóticos, en forma digital y analógica. . . . .	XXIV
3.	Artículos altamente relacionados con la implementación de estructuras reconfigurables controladas de OFV y filtros reconfigurables. . . . .	XXV
1.1.	Soluciones analíticas de la integral de OF con funciones elementales, estas soluciones son presentadas en los artículos: [1, 2]. . . . .	8
1.2.	Formas de onda elementales y sus funciones matemáticas . . . . .	10
1.3.	Valores de los elementos de filtros <i>Rauch</i> listos para usar . . . . .	19
1.4.	Valores de los elementos de filtros <i>Rauch</i> listos para usar . . . . .	20
1.5.	Módulos CAM y Sus Características . . . . .	22
1.6.	Configuración de FPAA 1 y CAMs utilizados en diseño de integrador de OF. . . . .	24
1.7.	Valores de configuración para filtro bilineal paso-bajo y paso-alto, para implementar un integrador de OF . . . . .	25
1.8.	Señales utilizadas en la prueba. . . . .	26
1.9.	Parámetros de configuración para función de analizador de Bode en NI ELVIS . . . . .	27
1.10.	Tabla comparativa de la pendiente ideal vs obtenida experimentalmente. . . . .	29
1.11.	Coefficientes de $P_n$ para función polinómica de 5to orden. . . . .	30
1.12.	Tabla con la medición del error en la pendiente después de ajustar los valores de configuración del integrador de OFV. . . . .	30
1.13.	Valores de configuración ajustados de filtro bilineal paso-bajo y paso-alto. . . . .	31
2.1.	Valores de $a$ y $b$ en la representación generalizada de $\alpha(t, \tau)$ . . . . .	36
2.2.	Características de los 3 casos de argumentos $\alpha(t, \tau)$ [3, 4] . . . . .	37
2.3.	Conmutación de orden fraccionario en intervalos de tiempo. . . . .	39
2.4.	Opciones de configuración de la etapa de ganancia del CAM <i>GainSwitch</i> . . . . .	41
2.5.	Configuración de FPAA 1 y CAM <i>GainSwitch</i> en Diseño de Conmutador de Dos Entradas. . . . .	44
2.6.	Configuración de las señales utilizadas en la simulación en AD2 del conmutador de 2 entradas. . . . .	45

2.7. Resultados obtenidos en la prueba experimental. . . . .	47
2.8. Configuración de FPAA 1 y CAM <i>GainSwitch</i> en Diseño de Estructura de Comutación de Tres Entradas.. . . . .	51
2.9. Configuración de las señales utilizadas para la simulación de estructura de comutación de 3 señales. . . . .	52
2.10. Ángulo de desfase y pérdida de amplitud en la señal de salida de la estructura de comutación de 3 entradas. . . . .	53
2.11. Configuración de CAM <i>GainSwitch</i> en FPAA 2 y posteriores. . . . .	55
2.12. Ángulo de desfase y pérdida de amplitud en la señal de salida del conmutador de 10 señales. . . . .	57
2.13. Pérdida de amplitud en señal de Control . . . . .	58
2.14. Configuración de FPAA 1 y CAMs en diseño de par de conmutadores. . . . .	62
2.15. Configuración de FPAA 1 y CAM <i>GainSwitch</i> en diseño de sumador de señales. . . . .	64
2.16. Configuración de FPAA 1 y CAM <i>GainSwitch</i> en diseño de unidad de control. . . . .	65
2.17. Ángulo de desfase y pérdida de amplitud en la señal de salida del conmutador de 10 entradas. . . . .	66
2.18. Características de las señales utilizadas en la simulación. . . . .	69
2.19. Características de las señales utilizadas en la prueba experimental. . . . .	70
2.20. Características de las señales utilizadas en la simulación. . . . .	73
2.21. Características de las señales utilizadas en la prueba experimental. . . . .	74
2.22. Características de las señales utilizadas en la simulación. . . . .	80
2.23. Características de las señales utilizadas en la prueba experimental. . . . .	82
3.1. Parámetros de la función saturada utilizada para generar 4 atractores: . . . . .	91
3.2. Configuración de FPAA 4. . . . .	94
3.3. Características de las señales utilizadas en la prueba experimental. . . . .	101
3.4. Características de las señales utilizadas en la prueba experimental. . . . .	107

# Acrónimos

**ACA** Amplificador de Corriente Ajustable

**AD2** Anadigm Designer 2

**ADC** convertidor analógico a digital

**CAB** bloques analógicos configurables

**CAM** modulo analógico configurable

**CAMs** modulos analógicos configurables

**CFE** expansión de fracciones continuas

**CFOA** amplificadores operacionales de retroalimentación de corriente

**CI** condiciones iniciales

**CM** modo de corriente

**COF** cálculo de orden fraccionario

**COFV** cálculo de orden fraccionario variable

**CSV** valores separados por comas

**dpASP** procesador de señal analógica dinámicamente programable

**EDA** entorno de desarrollo de *Anadigm*

**FHPF** filtro de paso alto de orden fraccionario

**FLPF** filtro de paso-bajo de orden fraccionario

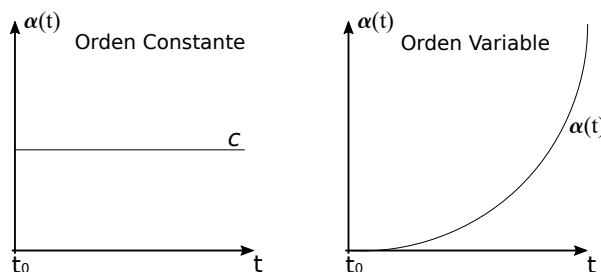
**FPAA** matrices analógicas programables en campo

**FPGA** matriz de puertas lógicas programables en campo

<b>GL</b>	Grünwald - Letnikov
<b>OC</b>	orden constante
<b>OF</b>	orden fraccionario
<b>OFC</b>	orden fraccionario constante
<b>OFV</b>	orden fraccionario variable
<b>OTA</b>	Amplificador de Transconductancia Operacional
<b>OV</b>	orden variable
<b>PWL</b>	funciones lineales a trozos
<b>RC</b>	Resistor-Capacitor
<b>RL</b>	Riemann-Liouville
<b>SRAM</b>	memoria estática de acceso aleatorio
<b>SNLF</b>	función saturada no lineal
<b>VODEs</b>	ecuaciones diferenciales de orden variable

# Introducción

El cálculo de orden fraccionario (COF) es una generalización del cálculo clásico, en el cual el orden de los operadores de integral o derivada puede ser un valor real o incluso complejo. Sus propiedades permiten modelar sistemas con mayor precisión, lo cual ha despertado un gran interés dentro de la comunidad científica y numerosas aplicaciones han sido publicadas. Actualmente el estudio de estos operadores se ha profundizado, llegando a considerar la posibilidad de que el orden fraccionario pueda variar en función del tiempo ( $t$ ) o alguna otra variable ( $y$ ). Como se aprecia en la figura 1, bajo este concepto el orden ahora se convierte en una función.



**Figura 1:** Comparación gráfica entre el orden fraccionario constante y orden fraccionario variable.

El cálculo de orden fraccionario variable (COFV) es una rama emergente de las matemáticas basada en el concepto de que el orden de los operadores de integral o derivada pueden variar continuamente como una función de variables dependientes, como el tiempo ( $t$ ), espacio o incluso de una variable externa independiente (por ejemplo, la temperatura o las cargas aplicadas) [3, 4]. Las aportaciones más importantes a la teoría del COFV a lo largo de las últimas décadas se enlistan a continuación:

---

1993 **Stefan G. Samko & Bertram Ross.** *Integración y diferenciación a un orden fraccionario variable* [5]. Se proponen las primeras definiciones formales de los operadores de orden fraccionario variable en dos formas: utilizando la definición de Riemann-Liouville y utilizando transformadas de Laplace.

---

- 1995 **Stefan G. Samko.** *Integración fraccionaria y diferenciación de orden variable [6].* Estudio en los espacios de funciones con suavidad variable, por ejemplo, los espacios de tipo  $L_p^{\alpha(t)}$ .
- 1998 **Tom T. Hartley & Carl F. Lorenzo.** *Inicialización, Conceptualización y Aplicación en el Cálculo Generalizado de Orden Fraccionario [7].* Se presentan las bases del COFV de forma accesible para poder ser aplicado en la ciencia y la ingeniería. Diferentes definiciones son descritas, las cuales incluyen los efectos de inicialización. Se muestran ejemplos de aplicación física con elementos básicos de la electrónica, en la dinámica, la ciencia de los materiales, la viscoelasticidad, el filtrado, la instrumentación y la electroquímica para indicar la amplia aplicación de la teoría del COFV.
- 2002 **Tom T. Hartley & Carl F. Lorenzo.** *Operadores fraccionarios de orden variable y de orden distribuido [3].* Se describen las fórmulas para medir dos tipos de memorias presentes en los integradores de orden fraccionario variable, una es la memoria de desvanecimiento  $m_1$  y la segunda es la memoria de retención de orden  $m_2$ . Se analiza como la velocidad de respuesta a los cambios de orden del operador de orden variable (OV) está inversamente relacionada con su memoria  $m_2$ . Tres posibles definiciones son presentadas en base a la memoria  $m_2$ : Caso 1:  $\alpha(t, \tau) = \alpha(t)$  no tiene memoria del pasado de  $\alpha$ , Caso 2:  $\alpha(t, \tau) = \alpha(\tau)$  tiene memoria débil del pasado de  $\alpha$  y Caso 3:  $\alpha(t, \tau) = \alpha(t - \tau)$  tiene fuerte memoria del pasado de  $\alpha$ .
- 2003 **Carlos F. M. Coimbra.** *Mecánica con Operadores Diferenciales de Orden Variable [8].* Se hace uso del COFV en la descripción de un problema de mecánica. Se propone una definición matemática para el operador de derivada de OV que se adapta al modelado mecánico, y se describe un ejemplo relativo al efecto de las fuerzas de fricción viscoelásticas no uniformes. Se propone un método numérico para la solución de ecuaciones diferenciales de orden variable (VODEs).

---

La posibilidad de variar el orden fraccionario del operador de derivada o integral sobre un dominio de interés, hace que el COFV sea adecuado para modelar sistemas de evolución dinámica [9, 10]. De hecho, muchos procesos físicos exhiben un comportamiento de orden fraccionario que puede variar con el tiempo o el espacio y pueden ser descritos de manera más precisa utilizando el COFV, por ejemplo, la deformación de los materiales viscoelásticos provocada por cambios de temperatura o tensión [11, 12, 13, 14, 15], la dinámica compleja de los osciladores viscoelásticos variables [8, 16, 17], la relajación de tensión viscoelástica lineal de los polímeros [18], la memoria de forma de los polímeros [19], los procesos de relajación

y la cinética de reacción de las proteínas que se describen mediante ecuaciones diferenciales fraccionarias de orden  $\beta$ , el cual es dependiente de la temperatura [20]. Los fluidos electroviscosos o electrorreológicos y los geles poliméricos cambian sus propiedades en respuesta a los cambios en la fuerza del campo eléctrico impuesto [21, 22].

El COFV es un tema relativamente nuevo y aún en desarrollo, por lo que son pocas aplicaciones reportadas de manera teórica y aún menos las que son validadas físicamente. Sin embargo, en el área de control se pueden encontrar potenciales ventajas en desempeño y robustez aplicándolo en los controladores  $PI^{\lambda(t)}D^{\mu(t)}$ , como se presenta en [23], o también puede ser aplicado en controladores de lógica difusa, como se presenta en [24]. Las ventajas observadas al incorporar el COFV en diversos sistemas, han creado un gran interés en el área de electrónica por implementar de manera física operadores de OFV, ya sea utilizando dispositivos digitales o analógicos.

Particularmente la implementación de operadores de OFV con dispositivos analógicos es un tema poco desarrollado debido a diversas limitantes en la síntesis analógica, por ejemplo, en el caso de los operadores de orden fraccionario constante (OFC) no es posible realizar una síntesis analógica de forma directa sólo se puede lograr una implementación limitada en una banda de frecuencias de interés utilizando técnicas de aproximación, esta problemática también se presenta al implementar integradores de OFV. Por otra parte, la implementación de estos operadores comúnmente se realiza utilizando impedancias fraccionarias que pueden ser construidas de forma pasiva o activa, en ambos casos el valor de los elementos utilizados, como capacitores, inductores o resistores, puede no ser comercial o difícil de obtener de manera precisa.

En este trabajo de tesis se realiza el diseño e implementación de integradores de OFV utilizando dispositivos de FPAA. Sus características permiten realizar la síntesis de elementos analógicos con valores precisos y en un rango amplio, además, su reconfiguración dinámica permite cambiar los parámetros de configuración las veces que sea necesario. Todas las ventajas que ofrecen estos dispositivos permiten en este trabajo abordar la teoría del COFV y realizar una exploración y análisis de las diferentes formas de sintetizar analógicamente los operadores de OFV. Agregado a esto, los integradores desarrollados son incorporados en un sistema caótico con el objetivo de poder estudiar el fenómeno caótico ante la variación del orden fraccionario y proponer posibles aplicaciones futuras en el área de criptografía y seguridad de la información.

## Objetivos

### Objetivo General

Implementar sistemas de orden fraccional variable utilizando arreglos analógicos de campos programables para su aplicación en generadores de números aleatorios.

### Objetivos Específicos

- Realizar la simulación en el software AD2 del comportamiento de un integrador de orden fraccionario variable definido en el dominio de la frecuencia por la función de transferencia:

$$H(s) = \frac{1}{s^{\alpha(t)}}, \quad \text{dónde } \alpha(t) \in (0, 1)$$

Y verificar experimentalmente su comportamiento mostrando en el dominio de la frecuencia una pendiente estimada a  $-20\alpha(t) \text{ dB/dec}$ .

- Realizar la simulación en software AD2 de un oscilador caótico de múltiples enrollamientos incorporando los integradores de orden fraccionario variable en su modelo matemático.
- Diseñar e implementar un integrador de orden fraccionario variable utilizando dispositivos de matrices analógicas programables en campo (FPAA).
- Diseñar e implementar en FPAA un oscilador caótico de múltiples enrollamientos incorporando integradores de orden fraccionario variable en su arquitectura.
- Obtener una secuencia de bits aleatorios a partir de la señal caótica.

## Justificación

Diferentes publicaciones coinciden en que el cálculo de orden fraccionario es una potencial herramienta en el modelado de diversos tipos de sistemas. Este permite tener una mayor precisión al describir diversos fenómenos físicos. También en el área de electrónica se le ha dado diversas aplicaciones en sistemas de control, en el procesamiento de señales, por mencionar algunas. Sin embargo, llevar a la realidad alguna de estas aplicaciones no es tarea sencilla ya que requiere implementar de forma analógica o digital operadores de OF, y resolver las diferentes problemáticas que conlleva cada caso. En la actualidad se han reportado diferentes metodologías de implementación de estos operadores en las que la implementación con dispositivos digitales es la más abordada, por lo que la implementación analógica es un tema abierto al estudio y experimentación.

Por otra parte, el cálculo de OFV es un tema que emergió a partir del COF y vino a

revolucionar aún más el uso de los operadores de derivada o integral, ya que permite modelar sistemas que están cambiando constantemente en función de alguna variable. Sin embargo, la implementación de estos operadores variables ya sea con dispositivos analógicos o digitales ha sido escasamente abordada y en la literatura podemos encontrar escaso reportes sobre ella, por lo que es un tema abierto a nuevas aportaciones. El enfoque de este trabajo es abordar la teoría sobre el COFV, desarrollar una metodología que permita implementar el operador integral de orden variable OV con dispositivos analógicos, la cuál ha sido poco estudiada, y caracterizar su respuesta transitoria y en frecuencia.

El uso de dispositivos FPAA, reduce significativamente los problemas que conllevan los elementos discretos y permite una síntesis analógica más rápida y precisa, por lo que el uso de esta tecnología permite realizar una exploración entre diferentes propuestas de diseño. Finalmente, la incorporación del operador integral de OV desarrollado a los sistemas caóticos permite estudiar el fenómeno caótico ante la variación de orden fraccionario, de esta forma se pueden proponer futuras aplicaciones.

## Estado del Arte

Las publicaciones encontradas en la literatura que tienen gran similitud o relación con el trabajo desarrollado se presentan a continuación. En la tabla 1 se presentan artículos donde se reporta la implementación analógica de los operadores de integral o derivada de orden variable, destaca la aportación de los investigadores Wiktor Malesza, Dominik Sierociuk y Michal Macias, quienes en una seria de artículos han propuesto una metodología de síntesis analógica de este operador y son los únicos en probarlo de forma experimental. En la tabla 2 se presentan artículos dónde el enfoque fue aplicar estos operadores de orden variable en sistemas caóticos de forma digital y analógica. En la tabla 3 se presentan artículos donde utilizando estructuras reconfigurables controladas y filtros reconfigurables logran variar el orden fraccionario del operador integral o aproximarse al comportamiento que debería presentar.

**Tabla 1:** Artículos altamente relacionados con la implementación analógica de integradores de OFV.

Trabajo Reportado	Principal Aportación
<p><b>Abdelfatah Charef, Daoud Idiou</b> - Diseño de un diferenciador e integrador analógico de orden fraccionario variable [25]</p>	<p>Este trabajo trata del diseño analógico de un diferenciador de orden fraccionario variable <math>s^m</math> e integrador <math>s^{-m}</math>, para <math>0 &lt; m &lt; 1</math>, para una banda de frecuencia dada, un tema que aún no ha sido investigado. La principal característica de este integrador analógico de orden fraccionario variable o diferenciador es que sus características de frecuencia pueden modificarse sin necesidad de rediseñar uno nuevo.</p>
<p><b>Dominik Sierociuk, Wiktor Malesza y Michal Macias</b> - Estrategia de conmutación equivalente y validación analógica de la definición de la derivada de orden fraccionario variable [26]</p>	<p>El artículo presenta la estrategia de conmutación que es equivalente a un tipo de definición de derivada de orden variable. También se introduce el esquema numérico, basado en el enfoque matricial, para este tipo de definición. Utilizando este enfoque se deriva la identidad de la estrategia de conmutación y la definición considerada. El esquema de conmutación puede utilizarse como una interpretación de este tipo de definición.</p>
<p><b>Dominik Sierociuk, Wiktor Malesza y Michal Macias</b> - Esquema de conmutación, equivalencia y validación analógica de la definición alternativa de la derivada fraccionaria de orden variable [27]</p>	<p>Se propone una definición alternativa de la integral diferencial de orden variable, tanto en forma de ecuación diferencial como de matriz. Se introduce la derivación y explicación de la identidad entre la definición alternativa y el esquema reducido de conmutación de la derivada de orden variable. Basándose en el esquema de conmutación, se presenta una realización analógica de la definición de derivada de orden variable propuesta.</p>
<p><b>Michal Macias y Dominik Sierociuk</b> - Una definición alternativa recurrente de la derivada fraccionaria de orden variable y su validación [28]</p>	<p>El artículo presenta una definición alternativa recurrente de la derivada fraccionaria de orden variable (denominada tipo <math>\varepsilon</math>) y su esquema de conmutación. A continuación, se introduce una realización analógica equivalente a este tipo de definición.</p>

Continúa en la siguiente página...

Trabajo Reportado	Principal Aportación
<p><b>Dominik Sierociuk, Wiktor Malesza y Michal Macias</b> - Sobre la derivada fraccionaria recurrente de orden variable: Estrategia de conmutación equivalente, dualidad y modelado analógico [29]</p>	<p>Se propone una estrategia de conmutación para la derivada fraccionaria recurrente de orden variable. Esta estrategia puede interpretarse como una explicación del mecanismo de conmutación de orden para este tipo particular de derivada. Además, se introducen propiedades importantes de las derivadas fraccionarias de orden variable, necesarias para demostrar el resultado principal, tanto en una ecuación diferencial como en una forma matricial.</p>
<p><b>Dominik Sierociuk, Wiktor Malesza y Michal Macias</b> - Derivación, interpretación y modelado analógico de la definición de la derivada de orden variable fraccionario [30]</p>	<p>El artículo presenta la derivación e interpretación de un tipo de definiciones de derivadas de orden variable. Para el modelado matemático de la definición considerada se da el esquema de conmutación y numérico. El documento también introduce un esquema numérico para una derivada de orden variable basada en el enfoque matricial.</p>
<p><b>Dominik Sierociuk, Wiktor Malesza y Michal Macias</b> - Sobre la recurrente derivada fraccionaria de orden variable: Estrategia de conmutación equivalente, dualidad y modelado analógico [29]</p>	<p>Se propone una estrategia de conmutación para la recurrente derivada fraccionaria de orden variable. Esta estrategia puede interpretarse como una explicación del mecanismo de cambio de orden para este particular tipo de derivada. Además, se introducen propiedades importantes de las derivadas de orden fraccionario variable, necesarias para demostrar el resultado principal, tanto en una ecuación en diferencia como en una forma matricial.</p>
<p><b>Dominik Sierociuk, Wiktor Malesza y Michal Macias</b> - Solución de una ecuación diferencial fraccionaria de orden variable [31]</p>	<p>Introduce un enfoque para la resolución analítica de ecuaciones diferenciales lineales fraccionarias de orden variable. El enfoque se basa en un esquema de conmutación que realiza la derivada de orden variable.</p>

Fin de la tabla

**Tabla 2:** Artículos altamente relacionados con la implementación de operadores de OFV en sistemas caóticos, en forma digital y analógica.

Trabajo Reportado	Principal Aportación
<p><b>Mohammed F. Tolba, Hani Saleh, Baker Mohammad, Mahmoud Al-Qutayri, Ahmed S. Elwakil y Ahmed G. Radwan</b> - Realización mejorada en matriz de puertas lógicas programables en campo (FPGA) de la derivada de orden fraccionario y su aplicación a un sistema caótico de orden variable [32]</p>	<p>En este artículo, se propone una implementación de hardware genérica de la derivada de orden fraccionario basada en la aproximación de Grünwald-Letnikov y se verifica en una FPGA. La eficiencia de las implementaciones de hardware de los sistemas de orden fraccionario recae en gran medida en la eficiencia de la realización del operador de la derivada de orden fraccionario. Como aplicación, se implementa y verifica un oscilador caótico de orden variable utilizando órdenes fraccionarios que varían en el tiempo.</p>
<p><b>L.F. Ávalos-Ruiz, C.J. Zúñiga-Aguilar, J.F. Gómez-Aguilar, R.F. Escobar-Jiménez y H.M. Romero-Ugalde</b> - Implementación y control en FPGA de sistemas caóticos que implican el operador fraccionario de orden variable con la ley Mittag-Leffler [33]</p>	<p>En este artículo presenta la simulación y la implementación de control en un FPGA para una clase de sistemas caóticos fraccionarios de orden variable utilizando la estrategia de control de modo deslizante. Se consideraron cuatro sistemas caóticos fraccionarios de orden variable mediante la derivada de orden fraccionario Atangana-Baleanu-Caputo; Dadrás, Aizawa, Thomas y atractores de 4 Alas.</p>
<p><b>Chengyi Zhou, Zhijun Li y Fei Xie</b> - Atractores coexistentes, ruta de crisis hacia el caos en un novedoso sistema de orden fraccionario 4D e implementación de un circuito de orden variable [34]</p>	<p>En este artículo se propone un nuevo sistema caótico de orden fraccionario en 4D, y se investiga sistemáticamente la dinámica correspondiente considerando tanto los parámetros de orden fraccionario como los del sistema tradicional como parámetros de bifurcación. Al variar los parámetros del sistema tradicional, este sistema presenta algunas características llamativas. Por ejemplo, coexisten cuatro atractores caóticos de una sola ala y se combinan por parejas, dando lugar a un par de atractores de doble ala.</p>

Fin de la tabla

**Tabla 3:** Artículos altamente relacionados con la implementación de estructuras reconfigurables controladas de OFV y filtros reconfigurables.

Trabajo Reportado	Principal Aportación
<p><b>Ilias Dimeas, Georgia Tsirimokou y Costas Psychalinos</b> - Verificación experimental de filtros de orden fraccionario mediante un emulador de impedancia de orden fraccionario reconfigurable [35]</p>	<p>En este artículo se presentan ejemplos de diseño de filtros de orden fraccionario, realizados mediante la sustitución de condensadores e inductores de orden fraccionario por un emulador activo reconducible. La implementación del emulador se realiza utilizando amplificadores operacionales de retroalimentación de corriente (CFOA) como elementos activos, con la diferenciación/integración de orden fraccionario requerida mediante el empleo de una topología de retroalimentación múltiple de orden entero</p>
<p><b>Jan Jerabek, Roman Sotner, Jan Dvorak, Josef Polak, David Kubanek, Norbert Herencsar y Jaroslav Koton</b> - Filtro de orden fraccionario reconfigurable con pendiente de atenuación, frecuencia del polo y tipo de aproximación controlables electrónicamente [36]</p>	<p>Este artículo presenta el diseño de un filtro de orden fraccionario reconfigurable electrónicamente que puede ser configurado para operar como filtro de paso-bajo de orden fraccionario (FLPF) o como filtro de paso alto de orden fraccionario (FHPF). Su pendiente de atenuación entre la banda de paso y la banda de parada, es decir, el orden del filtro, es ajustable electrónicamente en un rango entre 1 y 2. Asimismo, la frecuencia del polo puede controlarse electrónicamente de forma independiente con respecto a otros parámetros sintonizados. Además, el tipo particular de aproximación también puede controlarse electrónicamente.</p>

Continúa en la siguiente página...

Trabajo Reportado	Principal Aportación
<p><b>Jan Dvorak, Jan Jerabek, Zuzana Polesakova, David Kubanek y Petr Blazek</b> - Filtro multifuncional de orden fraccionario reconfigurable y sintonizable electrónicamente [37]</p>	<p>En este artículo los autores presentan un filtro de orden fraccionario reconfigurable multifuncional que realiza una función de transferencia de paso bajo, paso alto, paso de banda y rechazo de banda. El filtro se basa en dos tipos de elementos activos, Amplificador de Transconductancia Operacional (OTA) y Amplificador de Corriente Ajustable (ACA). Proporciona un control de la frecuencia de los polos, en función de los valores de la transconductancia de los elementos OTA. El factor de calidad también se controla electrónicamente, en función de la amplificación del elemento ACA. El orden del filtro puede cambiarse conmutando el condensador de orden fraccionario que tiene varios valores del orden.</p>
<p><b>Lukas Langhammer, Roman Sotner, Jan Dvorak, Jan Jerabek y Darius Andriukaitis</b> - Diseño de integrador de modo de corriente de orden fraccionario reconfigurable sin reconexión y con control sencillo [38]</p>	<p>Se introduce un diseño de un integrador de OF para el funcionamiento de la solución resultante en el modo de corriente (CM). La solución del integrador se basa en la utilización de estructuras Resistor-Capacitor (RC), pero en comparación con otros diseños de OF basados en estructuras RC, el integrador propuesto ofrece el control electrónico del orden. Además, el control del integrador propuesto no requiere múltiples valores específicos y precisos de las tensiones/corrientes de control en comparación con las topologías basadas en la aproximación del operador laplaciano del OF. El control electrónico de un nivel de ganancia (ajuste de ganancia) del integrador propuesto está disponible.</p>

Fin de la tabla

## Estructura del Documento

La estructura de este trabajo de tesis es la siguiente:

- **Capítulo 1:** En este capítulo se describe el diseño e implementación de integradores de OF utilizando dispositivos FPAA. Se inicia por abordar algunos de los aspectos teóricos más importantes del cálculo de OF, como son funciones especiales, definiciones de los operadores de OF y la transformada de Laplace, posteriormente se realiza la evaluación analítica del operador integral de Riemann-Liouville con funciones elementales y con las formas de onda cuadrada, triangular y senoidal. Basándose en la definición de Riemann-Liouville para el operador integral, definido en el dominio de Laplace como:  $H(s) = \frac{1}{s^{\alpha(t)}}$ , se utilizó una aproximación obtenida a través del método de expansión de fracciones continuas que se ajusta a este operador y que puede sintetizarse analógicamente. Utilizando la tecnología de FPAA se procede a realizar la síntesis del operador integral de OF utilizando una propuesta de estructura analógica que utiliza filtros paso-bajo y filtro paso-alto, seguidamente esta estructura es caracterizada en su respuesta transitoria y en frecuencia. Debido a que la aproximación al operador integral tiene cierto error se aplicó un ajuste a los valores de configuración para reducirlo.
- **Capítulo 2:** En este capítulo se abordan los fundamentos teóricos sobre el cálculo de OFV y basándose en la definición de Riemann-Liouville para el operador integral de OV,  ${}_a J_t^{\alpha(t,\tau)} f(t)$  en la que el argumento  $\alpha(t, \tau) = \alpha(t)$ , se realiza el diseño e implementación de integradores de OFV utilizando funciones definidas a trozos con elementos constantes como la función de orden  $\alpha(t)$ . Las estructuras de conmutación toman gran importancia para poder realizar la implementación de integradores de OFV con este tipo de funciones de orden, por lo que se analizan e implementan diferentes estructuras de conmutación con dispositivos FPAA. Seguidamente se incorporan los integradores de OFC desarrollados en el capítulo 1 a las estructuras de conmutación logrando así variar el orden fraccionario en el tiempo. Estos integradores de OFV desarrollados son caracterizados y analizados en su respuesta transitoria y en frecuencia.
- **Capítulo 3:** En este capítulo se incorporan los integradores de OFV desarrollados al oscilador caótico de Lü y se analiza el comportamiento caótico ante la variación de orden. También, se obtienen secuencias de bits aleatorios a partir de las señales caóticas  $X$ ,  $Y$  y  $Z$  producidas por el oscilador caóticos, las cuales son analizadas.



# Capítulo 1

## Implementación de Integradores de Orden Fraccionario con Dispositivos FPAA

*En este capítulo se describe el diseño e implementación de integradores de orden fraccionario utilizando dispositivos FPAA, estos son procesadores de señales analógicas basados en la tecnología de capacitor-conmutado y capaces de ser reconfigurados eléctricamente en tiempo real, lo cual reduce significativamente el tiempo de implementación. Se inicia por evaluar analíticamente la definición de Riemann-Liouville para el operador integral de orden fraccionario con funciones elementales, esto permite deducir la integral de orden fraccionario de las formas de onda cuadrada, triangular y senoidal y conocer su comportamiento. Posteriormente se realiza el diseño analógico e implementación del integrador con dispositivos FPAA. Debido a que no es posible realizar una síntesis analógica de manera directa para el operador de integración definido en el dominio de  $s$  como:  $H(s) = \frac{1}{s^\alpha}$ , se utiliza una aproximación de primer orden obtenida a través del método de expansión de fracciones continuas (CFE) para implementar el integrador. Finalmente se caracteriza la respuesta transitoria y en frecuencia del integrador de OF y se verifica que la pendiente generada corresponda a  $-20\alpha$  [dB/dec].*

### 1.1. El Cálculo de Orden Fraccionario

En el cálculo clásico el símbolo  $(d/dx)^n f(x)$ ,  $n = 0, 1, 2, \dots$  denota derivadas de orden entero. En el cálculo de orden fraccionario los símbolos  $(d/dx)^{-\alpha} f(x)$  y  $(d/dx)^\alpha f(x)$ , con  $(Re)\alpha > 0$ , denotan los operadores fraccionarios de integral y derivada respectivamente, donde el orden  $\alpha$  ahora es un número arbitrario perteneciente al conjunto de números reales o incluso perteneciente a el conjunto de los números complejos. El cálculo de orden fraccionario es una generalización del cálculo tradicional de orden entero, y casi tan antiguo como este mismo, su origen se remonta al final del siglo XVII donde a través de una serie de cartas

escritas entre los matemáticos Leibniz y L'Hôpital se discute ¿Cuál será el significado y la interpretación del operador de derivada cuando  $n = 1/2$ ?

$$\frac{d^n}{dx^n} f(x)$$

La respuesta de Leibniz ante este cuestionamiento fue: "Una aparente paradoja de la cual algún día se obtendrán útiles resultados". Muchos grandes matemáticos contribuyeron después al desarrollo de definiciones para operadores fraccionarios, como Caputo, Abel, Weyl, Riesz, Riemann, Liouville, Grünwald, Letnikov, entre otros, ver [39]. Los operadores de OF han despertado un gran interés entre la comunidad científica, debido a que sus propiedades permiten modelar sistemas con mayor precisión. Numerosas aplicaciones han sido desarrolladas en diferentes campos como: biología [40, 41], ingeniería biomédica [42], economía [43], sistemas no lineales [44], criptografía [45, 46], entre muchos otros.

Su implementación puede realizarse utilizando dispositivos analógicos o digitales, en el caso digital la exactitud obtenida depende del método numérico o aproximación para resolver la integral o derivada de OF, lo cual puede requerir potentes sistemas de procesamiento e incluso sistemas reconfigurables, por ejemplo, dispositivos FPGA [47]. En el caso analógico, la implementación de operadores fraccionarios se basa en la síntesis de *fractancias*, las cuales son elementos eléctricos con impedancias de OF, estas pueden ser implementadas con elementos pasivos en redes RC o RL, ver [48] y activos, basados en topologías con amplificadores operacionales, ver [49].

Particularmente, en la implementación de los operadores de orden fraccionario con elementos analógicos existen interesantes aplicaciones, por ejemplo, en [50] se implementa un controlador integral de orden fraccionario  $I^\lambda$ , en [51] un controlador proporcional-integral  $PI^\lambda$ , en [52, 53, 54] se implementan controladores  $PI^\lambda D^\mu$ , donde  $\lambda, \mu \in \mathbb{R}^+$ , en [55] se resumen diferentes aplicaciones en sensores y técnicas de filtrado, en [56] se implementan capacitores de impedancia fraccionaria para realizar un multivibrador electrónico.

A pesar de las ventajas que ofrecen los operadores de orden fraccionario en diversas aplicaciones, su implementación analógica ha sido limitada por diversos factores, principalmente que los valores de los elementos electrónicos no son los valores estándar producidos comercialmente, las tolerancias son muy grandes, además de que estos elementos están susceptibles a alteraciones externas y otros efectos producidos al conectar un número considerable de elementos, lo que produce errores.

Para solucionar los problemas descritos anteriormente en este trabajo se incorpora el uso de dispositivos analógicos activos, particularmente utilizando la tecnología reconfigurable de FPAA, sus características permiten realizar una implementación rápida del integrador de OF, reconfigurar dinámicamente los parámetros de los bloques analógicos y reducir considerablemente los problemas que conllevan los elementos discretos al poder implementar un sistema analógico dentro de un solo chip.

## 1.2. Fundamentos Teóricos del Cálculo de Orden Fraccionario

En esta sección son descritos algunos de los aspectos teóricos más importantes del cálculo de OF, como son: funciones especiales, definiciones y transformada fraccionaria de Laplace, una base teórica más extendida puede ser encontrada en [39, 57, 58, 59, 60, 61, 62, 63]. También, se presenta la evaluación analítica del operador integral fraccionario de Riemann-Liouville.

### 1.2.1. Funciones Especiales del Cálculo de Orden Fraccionario

Las funciones gamma, beta y Mittag-Leffler son funciones especiales utilizadas en la resolución de operadores de OF, la teoría de cada una de ellas se presenta a continuación

#### Función Gamma $\Gamma(\cdot)$

La función gamma de Euler generaliza el factorial  $n!$  y permite a  $n$  tomar valores no enteros incluso complejos. En el caso  $Re(z) > 0$  la función gamma se define por la integral de la ecuación 1.1, ver [58, 59]

$$\Gamma(z) = \int_0^{\infty} t^{z-1} e^{-t} dt \quad (1.1)$$

**Propiedades de la Función Gamma.** La función gamma satisface la propiedad:

$$\Gamma(z + 1) = z\Gamma(z), \quad \forall z > 0 \quad (1.2)$$

A partir de la propiedad mostrada en la ecuación 1.2, se generaliza para  $z = 1, 2, 3, 4, \dots, n$  que:

$$\begin{aligned} \Gamma(1) &= 0! = 1 \\ \Gamma(2) &= 1 \cdot \Gamma(1) = 1 = 1!, \\ \Gamma(3) &= 2 \cdot \Gamma(2) = 2 \cdot 1! = 2!, \\ \Gamma(4) &= 3 \cdot \Gamma(3) = 3 \cdot 2! = 3!, \\ &\vdots \\ \Gamma(n + 1) &= n \cdot \Gamma(n) = n \cdot (n - 1)! = n!, \end{aligned}$$

También dado un número natural arbitrario  $n \in \mathbb{N}$  y utilizando la propiedad de la ecuación 1.2, se obtiene la propiedad

$$\Gamma(n) = (n - 1)! \quad \forall n \in \mathbb{N} \quad (1.3)$$

**Valores Conocidos de la función gamma.** Algunas soluciones conocidas de la función gamma se enlistan a continuación:

$$\Gamma(1/2) = \sqrt{\pi}, \quad \Gamma(3/2) = \frac{\sqrt{\pi}}{2}, \quad \Gamma(5/2) = \frac{3\sqrt{\pi}}{4}, \quad \Gamma(7/2) = \frac{15\sqrt{\pi}}{8},$$

### **Función Beta $B$**

La función beta o función de primer orden de Euler, ver [61, 59], se define como:

$$B(p, q) = \int_0^1 x^{p-1}(1-x)^{q-1} dx, \quad (1.4)$$

Donde  $Re(p) > 0$  y  $Re(q) > 0$ .

**Propiedades de la Función Beta.** Algunas de propiedades básicas más importantes de la función beta son [61]:

Para cada  $p > 0$  y  $q > 0$ , se tiene que

$$B(p, q) = B(q, p) \quad (1.5)$$

Para cada  $p > 0$  y  $q > 1$ , la función beta satisface la propiedad:

$$B(p, q) = \frac{q-1}{p+q-1} B(p, q-1) \quad (1.6)$$

Para cada  $p > 0$  y  $q > 0$ , es válida la identidad:

$$B(p, q) = \frac{\Gamma(p)\Gamma(q)}{\Gamma(p+q)} \quad (1.7)$$

### **Función Mittag-Leffler**

La función Mittag-Leffler es una generalización directa de la función exponencial, juega un rol muy importante dentro de cálculo de OF. En esta sección se presentan las funciones de Mittag-Leffler para uno y dos parámetros, denotadas como  $E_\alpha(\cdot)$  y  $E_{\alpha,\beta}(\cdot)$ , respectivamente

**Función de Mittag-Leffler de un parámetro ( $E_\alpha$ ).** Definida y estudiada por Mittag-Leffler en el año 1903, ver [39, 58, 61], se define como:

$$E_\alpha(z) = \sum_{k=0}^{\infty} \frac{z^k}{\Gamma(\alpha k + 1)}, \quad Re(\alpha) > 0 \quad (1.8)$$

**Función de Mittag-Leffler de dos parámetros ( $E_{\alpha,\beta}$ ).** Esta es una función generalizada de Mittag-Leffler, fue estudiada por Wiman en 1905, Agarwal en 1953, Humbert y Agarwal en 1953, entre otros, ver [39, 58, 61]. Se define como:

$$E_{\alpha,\beta}(z) = \sum_{k=0}^{\infty} \frac{z^k}{\Gamma(\alpha k + \beta)}, \quad \text{Re}(\alpha), \text{Re}(\beta) > 0, \beta \in \mathbb{C} \quad (1.9)$$

**Soluciones Conocidas de Mittag-Leffler de Dos Parámetros.** Para algunos valores particulares de los parámetros de la función Mittag-Leffler existen algunas soluciones que coinciden con funciones elementales o funciones especiales simples, a continuación se enlistan algunas de ellas [60, 64, 65]:

$$\begin{aligned} E_{1,1}(z) &= e^z, & E_{1,2}(z) &= \frac{e^z - 1}{z}, & E_{2,1}(z) &= \cosh(\sqrt{z}), \\ E_{2,1}(z^2) &= \cosh(z), & E_{2,1}(-z^2) &= \cos(z), & E_{2,2}(z) &= \frac{\sinh \sqrt{z}}{z}, \\ E_{2,2}(z^2) &= \frac{\sinh z}{z}, & E_{2,2}(-z^2) &= \frac{\sin z}{z}, \end{aligned}$$

Cuando  $\beta = 1$  la función de Mittag-Leffler de dos parámetros equivale a la de uno:

$$E_{\alpha,1}(z) = \sum_{k=0}^{\infty} \frac{z^k}{\Gamma(\alpha k + 1)} \equiv E_{\alpha}(z)$$

### 1.2.2. Diferentes Definiciones de los Operadores de OF

A lo largo de la historia se ha creado un camino, en el cual paso a paso se han construido diferentes definiciones para los operadores de integral y derivada fraccionaria, ver [66, 67]. En este trabajo se ha estandarizado al símbolo  $D^{\alpha}$ ,  $\alpha \in \mathbb{R}^+$  para representar al operador de derivada de OF y al símbolo  ${}_a J_t^{\alpha}$ ,  $\alpha \in \mathbb{R}^+$  para representar al operador de integral de OF con los límites de integración  $[a, t]$ , pese a las variaciones de nomenclatura existentes para este operador se especifica que  ${}_a D_t^{-\alpha} = {}_a J_t^{\alpha}$ . Actualmente tres definiciones para estos operadores de OF han sido ampliamente aceptadas por la comunidad científica, las cuales son: la definición de Riemann-Liouville (RL) tanto para el operador integral como de derivada, la definición de Grünwald - Letnikov (GL) también para ambos operadores y la definición de Caputo para el operador de derivada. A continuación, se describen cada una de ellas:

#### Operadores Diferencial e Integral de Riemann-Liouville

**Integral Fraccionaria de Riemann-Liouville.** Siendo  $\alpha \in \mathbb{R}^+$ , el operador  ${}_a J_t^{\alpha}$  se define como:

$${}_a^{RL} J_t^{\alpha} f(t) = \frac{1}{\Gamma(\alpha)} \int_a^t (t - \tau)^{\alpha-1} f(\tau) d\tau \quad (1.10)$$

Donde  $0 < \alpha \leq 1$ ,  $\Gamma(\cdot)$  es la función Gama,  $\tau$  es una variable ficticia y  $[a, t]$  es el intervalo de operación, ver [39, 59]. También, para  $\alpha = 0$  se establece que  $J_t^0$  es el operador identidad denotado por  $I$ .

**Derivada Fraccionaria de Riemann-Liouville.** Siendo  $\alpha \in \mathbb{R}^+$ ,  $m = \lceil \alpha \rceil$  y  $m > n$ , el operador de derivada por la izquierda  ${}_a D_t^\alpha$  esta definido por [57, 60, 61]:

$${}^{RL}D_t^\alpha f(t) := D^m {}_a J_t^{m-\alpha} f(t) \quad (1.11)$$

O en forma extendida [57, 60, 61]:

$${}^{RL}D_t^\alpha f(t) = \frac{1}{\Gamma(n-\alpha)} \frac{d^n}{dt^n} \int_a^t (t-\tau)^{n-\alpha-1} f(\tau) d\tau \quad (1.12)$$

Para  $\alpha = 0$  se establece que  $D_t^0$  es el operador identidad denotado por  $I$ .

### Operadores Diferencial e Integral de Grünwald-Letnikov:

**Derivada Fraccionaria de Grünwald-Letnikov.** Siendo  $\alpha > 0$ . La definición de la derivada de orden fraccionario  $\alpha$  en el sentido de GL es [57, 59, 60]:

$${}^{GL}D_t^\alpha f(t) = \lim_{h \rightarrow 0} \frac{1}{h^\alpha} \sum_{j=0}^{\infty} (-1)^j \binom{\alpha}{j} f(t-jh), \quad t \in \mathbb{R} \quad (1.13)$$

Dónde  $h$  es el intervalo de muestreo, y  $\binom{\alpha}{j}$  es el coeficiente binomial, el cual se define de la siguiente forma:

$$\binom{\alpha}{j} = \frac{\alpha!}{j!(\alpha-j)!} = \frac{\Gamma(\alpha+1)}{\Gamma(j+1)\Gamma(\alpha-j+1)} \quad (1.14)$$

Para el caso  $\binom{\alpha}{0} = 1$ . Si consideramos  $N = \frac{t-a}{h}$ , donde  $a$  y  $t$  son constantes reales y valores de los limites inferior y superior respectivamente, con la restricción  $t > a$ , la definición 1.13 puede ser aplicada en funciones no definidas o no conocidas en ciertos intervalos, por lo que se obtiene la derivada truncada fraccionaria de GL [59]:

$${}^{GL}D_t^\alpha f(t) = \lim_{h \rightarrow 0} \frac{1}{h^\alpha} \sum_{j=0}^N (-1)^j \binom{\alpha}{j} f(t-jh) \quad (1.15)$$

**Integral Fraccionaria de Grünwald-Letnikov.** Sea  $\alpha > 0$ . Si sustituimos  $-\alpha$  en la definición 1.13, la definición de GL para la integral de orden fraccionario se define como [57, 59, 60]:

$${}^{GL}J_t^\alpha f(t) = \lim_{h \rightarrow 0} h^\alpha \sum_{j=0}^n \left[ \begin{matrix} \alpha \\ j \end{matrix} \right] f(t-jh) \quad (1.16)$$

Donde  $\left[ \begin{matrix} \alpha \\ j \end{matrix} \right]$  se define como:

$$\left[ \begin{matrix} \alpha \\ j \end{matrix} \right] = \frac{\alpha(\alpha+1) \cdots (\alpha+j-1)}{j!} \quad (1.17)$$

### Definición de Caputo para el Operador de Derivada de Orden Fraccionario

La definición para la derivada fraccionaria propuesta por M. Caputo en 1969 fue una certera solución al problema de formulación de condiciones iniciales (CI), lo cual presentaba conflictos entre la teoría matemática establecida y las necesidades prácticas. La principal ventaja de la definición de Caputo es que las CI para ecuaciones diferenciales fraccionarias son abordadas en la misma forma que las ecuaciones diferenciales de orden entero, por lo que se les pueda dar una interpretación física. También, a diferencia de la definición de RL, la derivada de una constante en la definición de Caputo es 0 [59]. La definición de Caputo para derivadas de orden fraccionario puede definirse como [57, 59, 60]:

$${}_a^C D_t^\alpha f(t) = \frac{1}{\Gamma(n - \alpha)} \int_a^t \frac{f^{(n)}(\tau)}{(t - \tau)^{\alpha - n + 1}} d\tau, \quad \text{para } n - 1 < \alpha < n \quad (1.18)$$

**Relación Entre las Definiciones de Derivada Fraccionaria de RL y Caputo.** La relación entre la definición de derivada fraccionaria de RL y la definición de Caputo se establece en la ecuación 1.19, ver[63]:

$${}_a^{RL} D_t^\alpha f(t) = {}_a^C D_t^\alpha f(t) + \sum_{k=0}^{n-1} \frac{t^{k-\alpha}}{\Gamma(k - \alpha + 1)} f^{(k)}(0) \quad (1.19)$$

### 1.2.3. Evaluación Analítica de la Integral de Orden Fraccionario de Riemann-Liouville

La solución de operadores de integral o derivada, ecuaciones o incluso sistemas de orden fraccionario suele convertirse en un proceso complejo, por lo cual para su obtención se utilizan técnicas de simplificación como la transformada de Laplace o también se recurre al uso de diversos métodos numéricos [61, 62, 68]. Sin embargo, para algunas funciones elementales como: función constante  $c$ , función polinómica  $t^k$ , función exponencial  $e^{kt}$ , función seno  $sen(\Omega t)$  y coseno  $cos(\Omega t)$ , es posible evaluar analíticamente la definición del operador de integral de orden fraccionario y obtener una solución directa. En la tabla 1.1 se resumen las soluciones analíticas del operador integral de OF en el sentido de Riemann-Liouville con las funciones elementales antes mencionadas [1, 2, 69, 70], posteriormente se presentan las gráficas de las integrales de diferentes OF de cada función elemental. La evaluación analítica de estas funciones sirve como punto de partida para analizar la integral de OF de las formas de onda cuadrada, triangular y senoidal, presentadas en la sección posterior. Algunas propiedades importantes para la solución del operador de OF se presentan en las ecuaciones 1.20, 1.21 y 1.22, ver [1]:

$${}_a J_t^\alpha (cf(t)) = c {}_a J_t^\alpha f(t) \quad (1.20)$$

$${}_a J_t^\alpha (f(t) \pm g(t)) = {}_a J_t^\alpha f(t) \pm {}_a J_t^\alpha g(t) \quad (1.21)$$

$${}_a J_t^\alpha ({}_a J_t^\beta f(t)) = {}_a J_t^{\alpha+\beta} f(t) \quad (1.22)$$

**Tabla 1.1:** Soluciones analíticas de la integral de OF con funciones elementales, estas soluciones son presentadas en los artículos: [1, 2].

<b>Función:</b>	<b>Integral de Orden Fraccionario:</b>
$f(t)$	${}^RL J_t^\alpha f(t), t > a \text{ y } \alpha \in (0, 1)$
$c, c \in \mathbb{R}$	$\frac{c(t-a)^\alpha}{\alpha\Gamma(\alpha)}$
$(t-a)^k, a \in \mathbb{R}, k > -1$	$\frac{\Gamma(k+1)}{\Gamma(k+1+\alpha)}(t-a)^{\alpha+k}$
$e^{k(t-a)}, a, k \in \mathbb{R}$	$(t-a)^\alpha E_{1,1+\alpha}(k(t-a))$
$A \operatorname{sen}(\Omega(t-a)), a, \Omega \in \mathbb{R}$	$A\Omega(t-a)^{1+\alpha} E_{2,2+\alpha}(-\Omega^2(t-a)^2)$
$A \operatorname{cos}(\Omega(t-a)), a, \Omega \in \mathbb{R}$	$A(t-a)^\alpha E_{2,1+\alpha}(-\Omega^2(t-a)^2)$

Cuando  $\alpha = 1$ , el operador integral de RL equivale al operador integral clásico de orden entero

$${}_a J_t^1 f(t) = \int_a^t f(t) dt \quad (1.23)$$

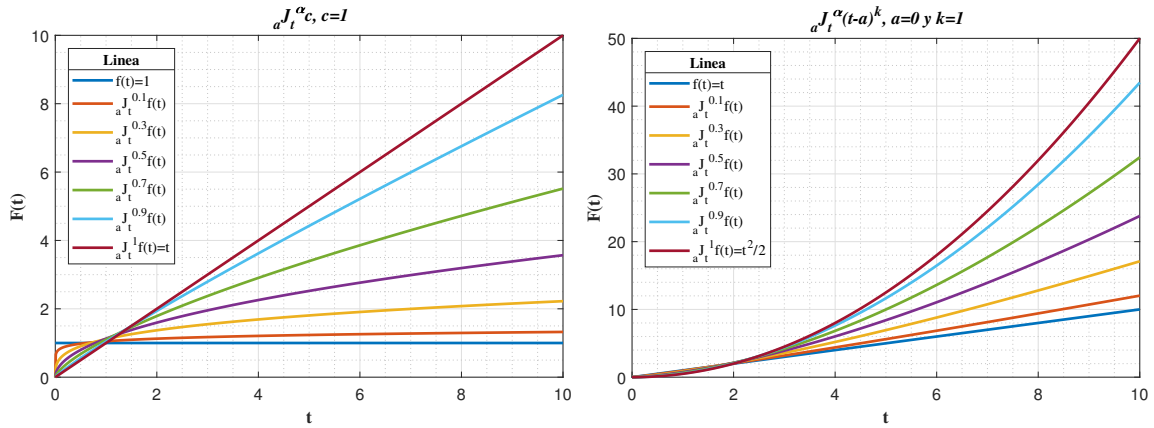
Razón por la que esta definición ha tenido gran aceptación y se ha utilizado ampliamente. Para los casos especiales de la integral de RL de las funciones: exponencial, seno y coseno, cuando el orden  $\alpha = 1$  y en base a las propiedades de la función Mittag-Leffler se obtienen las soluciones [1]:

$${}_a J_t^1 e^t = e^t - 1, \quad {}_a J_t^1 \sin(t) = 1 - \cos(t), \quad {}_a J_t^1 \cos(t) = \sin(t),$$

### Gráficas de las Soluciones Analíticas de la Integral de OF de Funciones Elementales.

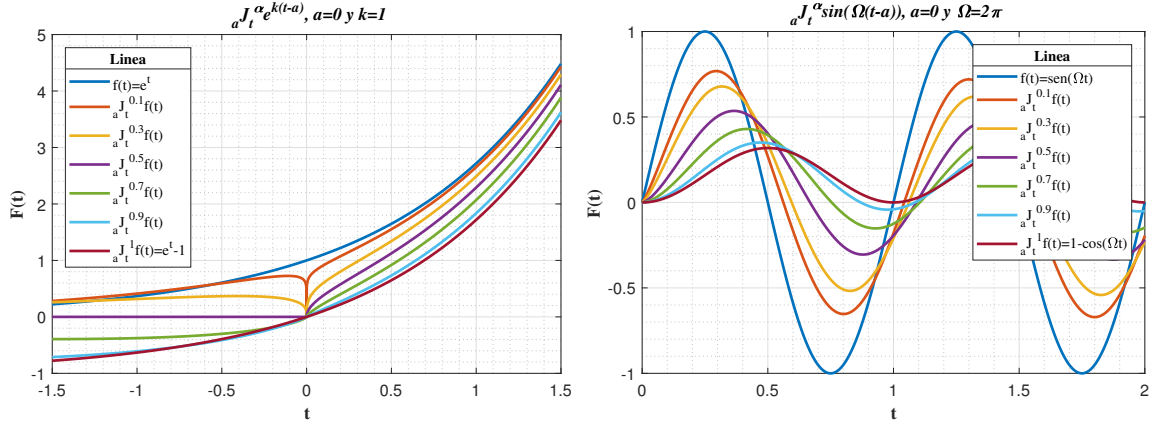
La comparación gráfica entre el comportamiento de una función con respecto a sus integrales en diferentes órdenes fraccionarios y su integral de orden entero permite apreciar como las soluciones de las integrales de diferentes órdenes fraccionarios son una transición entre la función original y la integral de orden entero, lo que valida las soluciones encontradas. En las gráficas 1.1(a), 1.1(b), 1.1(c), 1.1(d) y 1.1(e) de la figura 1.1 se presenta esta comparación para las integrales de las funciones elementales presentadas en la tabla 1.1. También, para el caso donde el orden  $\alpha = 1$  se cumple que la solución analítica de la definición de integral de RL coincide con la solución de una integral simple de orden entero.

## 1.2. Fundamentos Teóricos del Cálculo de Orden Fraccionario



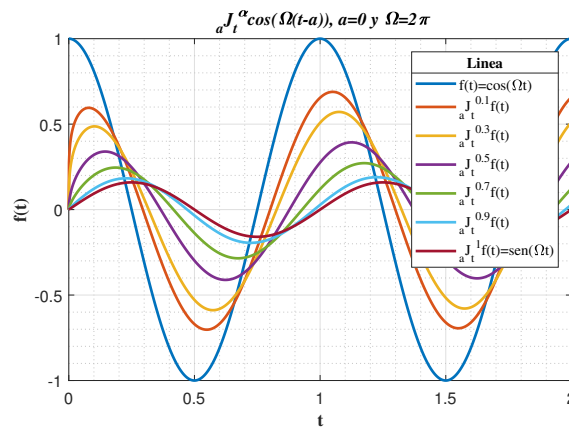
(a) Función constante e integrales de OF

(b) Función polinómica e integrales de OF



(c) Función exponencial e integrales de OF

(d) Función seno e integrales de OF



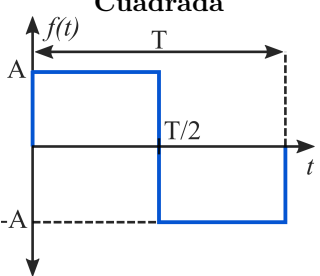
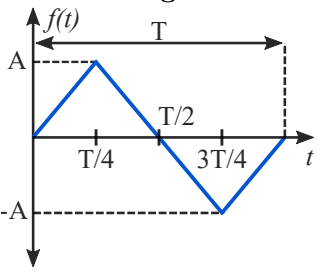
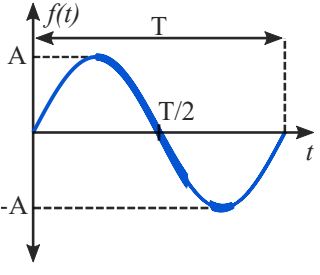
(e) Función coseno e integrales de OF

**Figura 1.1:** Gráficas comparativas entre las funciones elementales, sus integrales de diferentes órdenes fraccionarios e integral de orden entero.

### Integral de OF de formas de onda: Cuadrada, Triangular y Senoidal

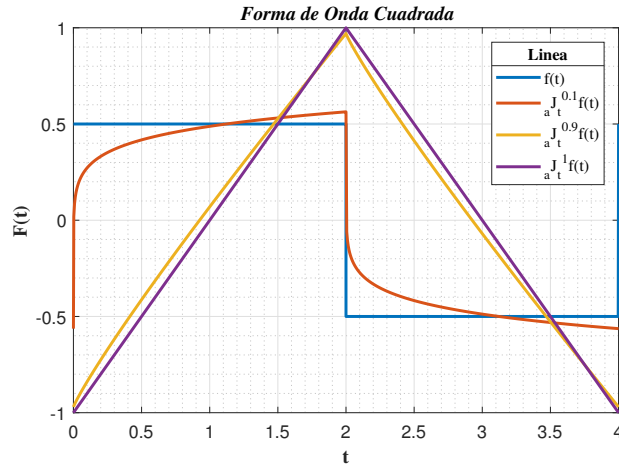
En la electrónica analógica se utilizan de forma regular las formas de onda: cuadrada, triangular y senoidal para caracterizar la respuesta transitoria de diversos sistemas. Estas formas de onda pueden ser descritas matemáticamente utilizando funciones a trozos como se presenta en la tabla 1.2. La composición de estas funciones a trozos involucra funciones elementales, como la función constante, polinómica y seno. En esta sección se procedió a integrar cada una de estas funciones a trozos aplicando la definición del operador integral de RL, el resultado obtenido se presenta a continuación

**Tabla 1.2:** Formas de onda elementales y sus funciones matemáticas

Formas de Onda	Función
<p style="text-align: center;"><b>Cuadrada</b></p> 	$f(t) = \begin{cases} A, & 0 \leq t < \frac{T}{2}, \\ -A, & \frac{T}{2} \leq t < T, \end{cases}$
Donde: $A$ =Amplitud y $T$ =Periodo	
<p style="text-align: center;"><b>Triangular</b></p> 	$f(t) = \begin{cases} \frac{4A}{T}t, & 0 \leq t < \frac{T}{4}, \\ -\frac{4A}{T}t + 2A, & \frac{T}{4} \leq t < \frac{3T}{4}, \\ \frac{4A}{T}t - 4A, & \frac{3T}{4} < t < T, \end{cases}$
Donde: $A$ =Amplitud y $T$ =Periodo	
<p style="text-align: center;"><b>Senoidal</b></p> 	$f(t) = A \sin(\Omega t + \Phi) + C$
Donde: $A$ =Amplitud, $T$ =Periodo, $\Omega = 2\pi f$ , $f$ =Frecuencia, $\Phi$ =Ángulo de desfase y $C$ =Offset	

**Integral de OF de Forma de Onda Cuadrada.** Como se muestra en la tabla 1.2, la forma de onda cuadrada se describe a través de una función a trozos conformada por funciones constantes. La ecuación 1.24 muestra su integral de OF deducida analíticamente. Estableciendo los valores  $A = 0.5$  y  $T = 10s$ , se realizó la gráfica de la figura 1.2 donde se compara la función original con sus integrales de los órdenes fraccionarios  $\alpha = 0.1$ ,  $\alpha = 0.9$  y su integral de orden entero.

$${}^a_{RL} J_t^\alpha f(t) = \begin{cases} \frac{At^\alpha}{\alpha\Gamma(\alpha)}, & 0 \leq t < \frac{T}{2}, \\ -\frac{A(t-T/2)^\alpha}{\alpha\Gamma(\alpha)}, & \frac{T}{2} \leq t < T, \end{cases} \quad (1.24)$$



**Figura 1.2:** Integrales de diferentes OF de la forma de onda cuadrada.

**Integral de OF de Forma de Onda Triangular.** La forma de onda triangular, descrita en la tabla 1.2 por una función a trozos conformada por tres funciones polinómicas, también fue integrada utilizando la definición de integral de RL. La ecuación 1.25 muestra su integral de OF deducida analíticamente. Estableciendo los valores  $A = 0.5$  y  $T = 10s$  se realizó la gráfica de la figura 1.3 donde se compara la función original con sus integrales de órdenes fraccionarios  $\alpha = 0.1$ ,  $\alpha = 0.9$  y su integral de orden entero.

$${}^a_{RL} J_t^\alpha f(t) = \begin{cases} \frac{4A}{T\Gamma(2+\alpha)} t^{\alpha+1}, & 0 \leq t < \frac{T}{4}, \\ -\frac{4A}{T\Gamma(2+\alpha)} (t - T/4)^{\alpha+1} + \frac{2A(t-T/4)^\alpha}{\alpha\Gamma(\alpha)}, & \frac{T}{4} \leq t < \frac{3T}{4}, \\ \frac{4A}{T\Gamma(2+\alpha)} (t - 3T/4)^{\alpha+1} - \frac{4A(t-3T/4)^\alpha}{\alpha\Gamma(\alpha)}, & \frac{3T}{4} < t < T, \end{cases} \quad (1.25)$$

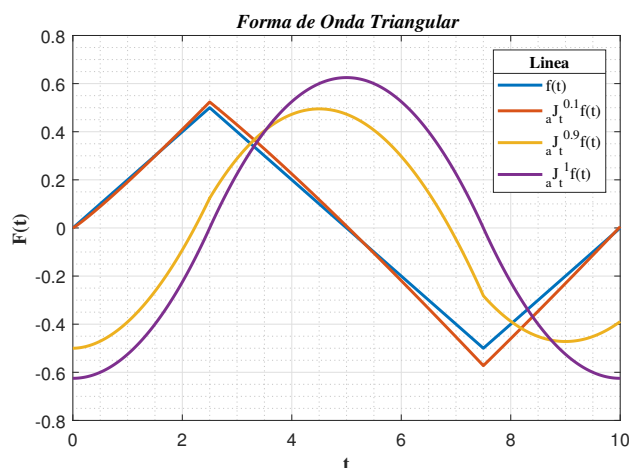


Figura 1.3: Integrales de diferentes OF de la forma de onda triangular.

**Integral de OF de Forma de Onda Senoidal.** A diferencia de las dos formas de onda y sus integrales de OF descritas anteriormente, la integral de OF de la forma de onda senoidal, presentada en la ecuación 1.26, se obtiene mediante un proceso más complejo descrito en [1, 2] y el resultado se expresa utilizando la función especial Mittag-Leffler. Estableciendo los valores  $A = 1$ ,  $T = 2s$ ,  $f = 0.5Hz$ ,  $\Omega = 2\pi f$ ,  $\Phi = 0^\circ$  y  $C = 0$  se realizó la gráfica de la figura 1.4 donde se compara la función original con sus integrales de órdenes fraccionarios  $\alpha = 0.1$ ,  $\alpha = 0.9$  y su integral de orden entero.

$${}^RL J_t^\alpha f(t) = A\Omega t^{1+\alpha} E_{2+2\alpha}(-\Omega^2 t^2) \quad (1.26)$$

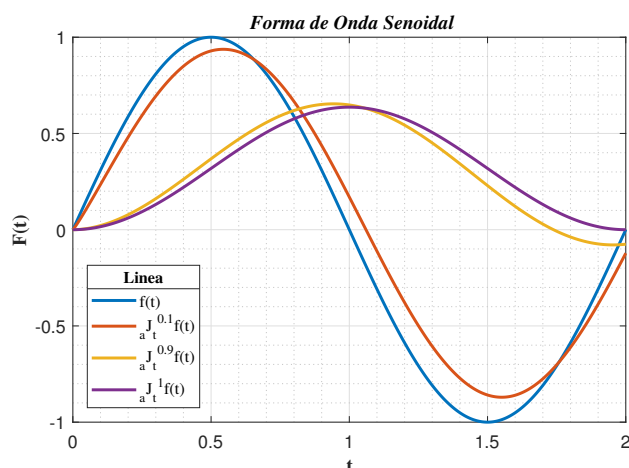


Figura 1.4: Integrales de diferentes OF de la forma de onda senoidal.

### 1.2.4. Transformada de Laplace de Integrales y Derivadas de Orden Fraccionario

La transformada de Laplace es un método indispensable en la solución de ecuaciones diferenciales de OF, esta permite convertir una función de variable  $t$  (normalmente en el dominio del tiempo) a una función de variable compleja  $s$ , así un problema complejo de valor inicial en el tiempo se convierte en una ecuación algebraica mucho más sencilla de resolver [60, 71, 72]. La transformada de Laplace,  $\mathcal{L}\{f(t)\}$  o  $F(s)$ , de una función definida  $f(t)$  para  $-\infty \leq t < +\infty$  es [60, 68]:

$$F(s) = \mathcal{L}\{f(t); s\} = \int_{-\infty}^{\infty} f(t)e^{\sigma t} e^{-j\omega t} dt = \int_{-\infty}^{\infty} f(t)e^{-st} \quad (1.27)$$

Donde  $s = \sigma + j\omega$  es una variable compleja.

La función  $f(t)$  puede ser restaurada aplicando la transformada inversa a  $F(s)$ , la cual se define como [60, 68]:

$$f(t) = \mathcal{L}^{-1}\{F(s); t\} = \frac{1}{2\pi j} \int_{\sigma-j\infty}^{\sigma+j\infty} F(s)e^{st} ds \quad (1.28)$$

Donde  $j = \sqrt{-1}$  y  $\sigma \in \mathbb{R}$ .

El uso de la transformada de Laplace ayuda a simplificar las operaciones realizadas dentro del cálculo de OF. Sin embargo, existen algunas diferencias entre las definiciones de los operadores de OF de RL, Caputo y GL. Basándose en la definición de RL para los operadores de integral y derivada de OF se presentan a continuación sus transformadas de Laplace.

#### Transformada de Laplace de Integral de Orden Fraccionario

Esta transformada se obtiene a partir de la definición de Riemann-Liouville para el operador integral de orden fraccionario, donde  $\alpha > 0$ . Se define como [60, 59]:

$$\mathcal{L}\{{}_0D_t^{-\alpha} f(t); s\} = s^{-\alpha} F(s) \quad (1.29)$$

#### Transformada de Laplace de Derivada de Orden Fraccionario

La expresión para la derivada de orden fraccionario de Riemann-Liouville de orden  $\alpha > 0$  es [60, 59]:

$$\mathcal{L}\{{}_0D_t^{\alpha} f(t); s\} = s^{-\alpha} F(s) - \sum_{k=0}^{n-1} s^k \left[ {}_0D_t^{p-k-1} f(t) \right]_{t=0} \quad (1.30)$$

Con  $n - 1 \leq p < n$ .

Con condiciones iniciales iguales a cero la transformada de Laplace de la ecuación 1.30 se reduce a [60, 59]:

$$\mathcal{L}\{{}_0D_t^{\alpha} f(t)\} = s^{\alpha} F(s) \quad (1.31)$$

## Función de Transferencia de Orden Fraccionario

Debido a que la transformada de Laplace es un operador lineal, puede ser aplicada a una ecuación diferencial de orden fraccionario con coeficientes  $a_k$ ,  $b_k$  y señales de entrada  $x(t)$  y salida  $y(t)$  para obtener la función de transferencia:

$$H(s) = \frac{Y(s)}{X(s)} = \frac{b_m s^{\beta_m} + b_{m-1} s^{\beta_{m-1}} + \dots + b_0 s^{\beta_0}}{a_n s^{\alpha_n} + a_{n-1} s^{\alpha_{n-1}} + \dots + a_0 s^{\alpha_0}} \quad (1.32)$$

Dónde:

$$U(s) = \mathcal{L}\{u(t)\} \quad (1.33)$$

y

$$E(s) = \mathcal{L}\{e(t)\} \quad (1.34)$$

## 1.3. Diseño e Implementación

En esta sección se describe el proceso de diseño del integrador de OF, para el cual se utiliza una aproximación al operador integral, posteriormente esta aproximación es sintetizada analógicamente utilizando dispositivos FPAA. Se corrobora su funcionamiento al integrar señales de onda cuadrada, triangular y senoidal, y la respuesta transitoria obtenida se compara con la solución matemática calculada. Finalmente se caracteriza su respuesta en frecuencia y se corrobora que la pendiente corresponda a  $-20\alpha$  [dB/dec].

### 1.3.1. Aproximación al Operador Integral de OF $\frac{1}{s^\alpha}$

El operador integral de orden fraccionario se define en el dominio de Laplace por la función de transferencia:  $H(s) = \frac{1}{s^\alpha}$  con  $\alpha \in (0, 1)$ , este operador no puede ser traducido directamente a una implementación física, por lo que es necesario recurrir a aproximaciones. A lo largo de las últimas décadas diferentes autores han propuesto métodos de aproximación a los operadores de OF, los cuales utilizan funciones racionales de orden entero para aproximar su comportamiento al del operador, algunos de estos métodos se presentan en: [73, 74, 75, 76]. Particularmente en [76] se describe el método de CFE, con el cual se obtiene una aproximación racional que se ajusta de manera muy cercana a  $H(s) = 1/s^\alpha$ , por lo que se eligió utilizarla en este trabajo.

Para el caso del operador integral de OF, la aproximación de primer orden con  $\alpha \in (0, 1)$  obtenida a través del método CFE es:

$$\frac{1}{s^\alpha} \approx \frac{(1-\alpha)s + (1+\alpha)}{(1+\alpha)s + (1-\alpha)} = \frac{As + 1}{s + A}, \quad \text{donde} \quad A = \frac{1-\alpha}{1+\alpha} \quad (1.35)$$

La aproximación de segundo orden tiene una mayor precisión; sin embargo, aumenta considerablemente su complejidad. Para el operador de integral de OF la aproximación de segundo

orden es:

$$\frac{1}{s^\alpha} \approx \frac{(\alpha^2 - 3\alpha + 2)s^2 + (8 - 2\alpha^2)s + (\alpha^2 + 3\alpha + 2)}{(\alpha^2 + 3\alpha + 2)s^2 + (8 - 2\alpha^2)s + (\alpha^2 - 3\alpha + 2)} = \frac{Ds^2 + Cs + 1}{s^2 + Cs + D} \quad (1.36)$$

con

$$C = \frac{8 - 2\alpha^2}{\alpha^2 + 3\alpha + 2}, \quad D = \frac{\alpha^2 - 3\alpha + 2}{\alpha^2 + 3\alpha + 2} \quad E = \frac{8 - 2\alpha^2}{\alpha^2 - 3\alpha + 2}, \quad F = \frac{\alpha^2 + 3\alpha + 2}{\alpha^2 - 3\alpha + 2} \quad (1.37)$$

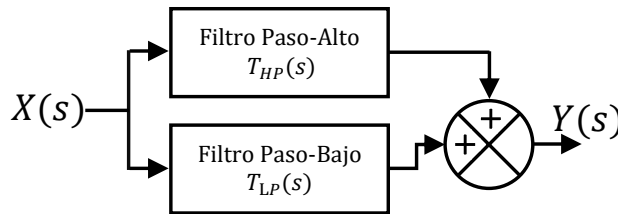
La aproximación de primer orden al integrador de OF de la ecuación 1.35 ha sido validada en diferentes implementaciones analógicas de operadores fraccionarios con dispositivos activos y pasivos, ver [49, 50, 77]. Esta aproximación tiene un rango de frecuencia de operación muy bajo, aproximadamente  $10^{-1}$  rads/s a  $10^1$  rads/s. Por este motivo, se le aplicó un escalamiento en frecuencia con un factor  $k_f = 1/2\pi 1000$  como se presenta en la ecuación 1.38:

$$\frac{1}{k_f s^\alpha} \approx \frac{k_f A s + 1}{k_f s + A} \quad (1.38)$$

### 1.3.2. Representación Con Filtros Paso-Bajo y Paso-Alto.

Tras cierta manipulación algebraica se puede encontrar que la aproximación de la ecuación 1.38 puede ser reescrita como la suma de dos expresiones racionales, las cuales al analizarlas podemos interpretarlas como las funciones de transferencia de un filtro paso-alto y paso-bajo, las que denominaremos  $T_{HP}(s)$  y  $T_{LP}(s)$  respectivamente. Estas expresiones se muestran en la ecuación 1.39 y en la figura 1.5 son representadas en un diagrama de bloques:

$$\begin{aligned} \frac{1}{k_f s^\alpha} &\approx \frac{k_f A s + 1}{k_f s + A} = \underbrace{\frac{k_f A s}{k_f s + A}}_{\text{FiltroPA}} + \underbrace{\frac{1}{k_f s + A}}_{\text{FiltroPB}} \\ &= T_{HP}(s) + T_{LP}(s) \end{aligned} \quad (1.39)$$



**Figura 1.5:** Diagrama de bloques de integrador de OF implementado con filtro paso-alto y paso-bajo

### 1.3.3. Síntesis Analógica Con Dispositivos FPAA del Operador Integral de OF $\frac{1}{s^\alpha}$

La síntesis analógica del integrador de OF que se muestra en la figura 1.5 se realizó utilizando dispositivos FPAA. La incorporación de estos dispositivos integrados de baja potencia en el procesamiento de señales analógicas ha tenido un gran auge en los últimos años, ya que sus características ayudan a reducir el tiempo de implementación a segundos, se tiene una gran precisión en los valores de configuración, además de que estos valores o el sistema analógico completo pueden ser reconfigurados en tiempo real las veces que sea necesario.

En este trabajo se eligió utilizar el dispositivo FPAA AN231E04 fabricado por la empresa *Anadigm*. Este dispositivo se configura a través del *software* de diseño analógico AD2, el cual incorpora una biblioteca amplia de CAMs. Estos módulos analógicos son estructuras pre-diseñadas con funciones de transferencia definidas, lo que facilita implementar los sistemas analógicos de interés.

La configuración y conexión de un chip FPAA requiere de elementos externos, como son un microcontrolador que permita establecer una comunicación serial USB con el PC y así poder configurar el FPAA, así como interfaces de entrada/salida para convertir señales completamente diferenciales (procesadas dentro del FPAA) a señales de una terminación que puedan ser observadas en un osciloscopio. Debido a esto, *Anadigm* incluye en su entorno de desarrollo tarjetas de desarrollo con uno o más dispositivos FPAA que permiten conectar y configurar diseños analógicos de forma rápida.

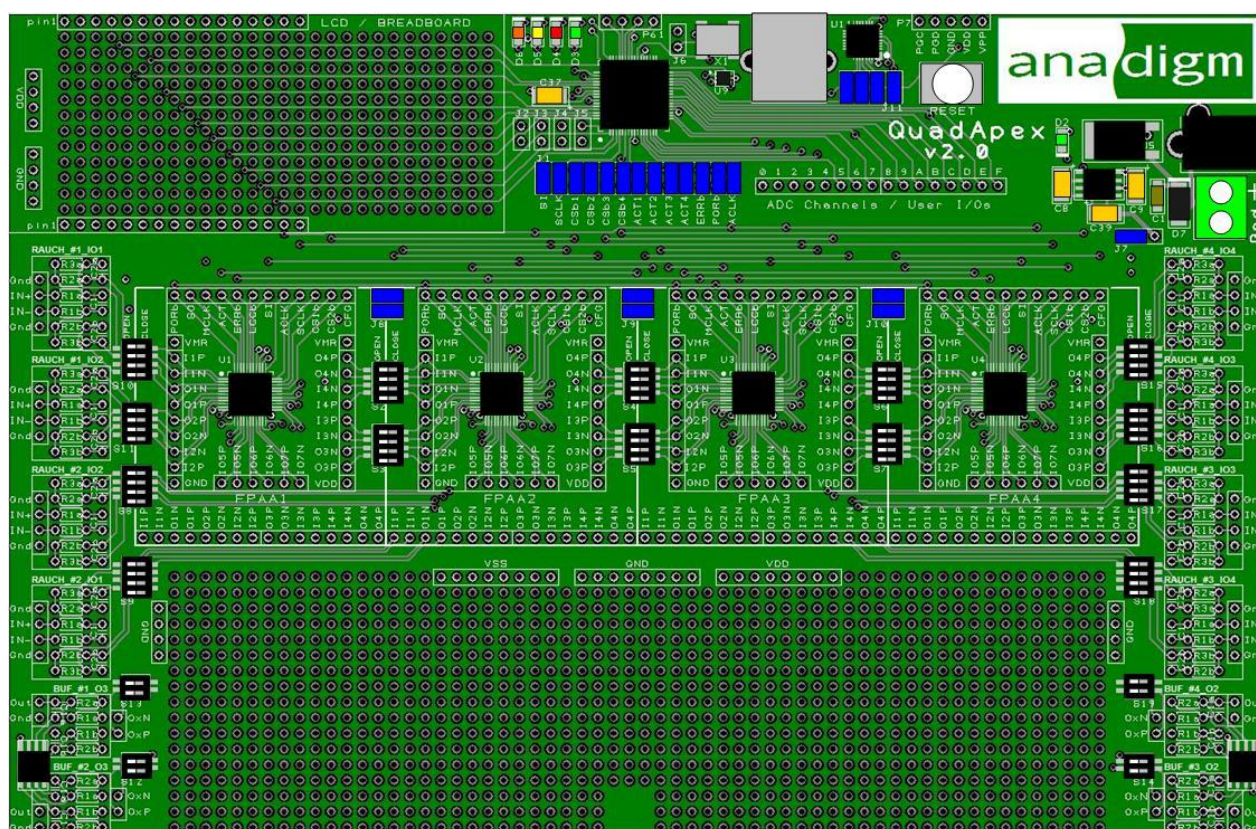
Particularmente, en este trabajo se eligió utilizar la tarjeta de desarrollo *Anadigm QuadApex* por los 4 dispositivos FPAA que incorpora. A continuación, se resumen algunos de los aspectos más importantes de los dispositivos FPAA, la tarjeta de desarrollo y los demás elementos del entorno de desarrollo de *Anadigm* utilizados. Seguidamente, se describe el proceso de diseño del integrador de OF con esta tecnología.

#### Matrices Analógicas Programables en Campo y el Entorno de Desarrollo de *Anadigm*

**FPAA.** Desde su aparición a finales de 1999, los dispositivos FPAA han permitido simplificar y acelerar del proceso de diseño de circuitos analógicos. Los dispositivos FPAA son procesadores de señales analógicas basados en la tecnología de capacitor-conmutado y capaces de ser reconfigurados eléctricamente en tiempo real. Estos dispositivos suelen contener una pequeña cantidad de bloques analógicos configurables (CAB), los recursos de cada CAB varían ampliamente entre los diferentes dispositivos disponibles comercialmente y de investigación. Un FPAA se puede utilizar para implementar una amplia variedad de funciones analógicas, como integración, derivación, suma-resta ponderada, filtrado, rectificación, comparación de voltajes, multiplicación, división, conversión analógica a digital, acondicionamiento de señal, amplificación, síntesis de funciones no lineales, y generación de señales arbitrarias, entre otros [78, 79].



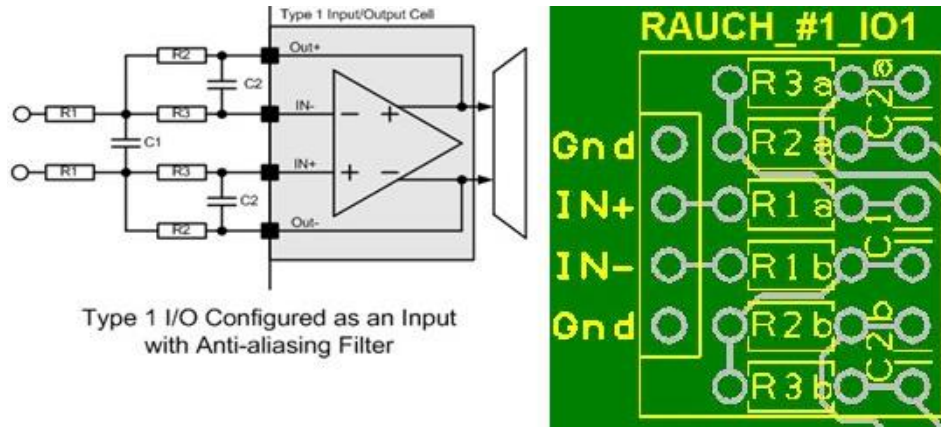
**Tarjeta de Desarrollo *Anadigm QuadApex*.** La tarjeta de desarrollo *Anadigm QuadApex V2.0* es una plataforma de fácil uso con la cual se puede implementar y probar diseños analógicos utilizando los dispositivos de silicio FPAA pertenecientes a la generación *Anadigm Apex*. Algunas de sus características principales son que cuenta con 4 dispositivos FPAA AN231E04, un microcontrolador PIC32 de 32 bits con reloj de 80 MHz, memoria de programa de 512 KB, memoria de datos de 32 KB, convertidor analógico a digital (ADC) de 16 x 10 bits, interfaz serial USB estándar para descargar archivos de diseño de circuitos analógicos mediante el *software* AD2, puede ser alimentada con un voltaje de DC de +4V a +6V, entre otras características [81]. En la figura 1.7 se muestra la vista frontal de la tarjeta.



**Figura 1.7:** Tarjeta de Desarrollo *Anadigm QuadApex*, con 4 chips FPAA AN231E04.

**Filtro *Rauch* de Entrada.** La tarjeta tiene 8 entradas analógicas que incorporan filtros *Rauch*. Estos son *buffers* multipropósito que realizan lo siguiente: convierten una señal de una sola terminación a una señal completamente diferencial conectada hacia el FPAA, pueden amplificar o atenuar una señal de entrada para permitir una coincidencia perfecta con el suministro de FPAA, y proporcionan una función de filtro paso-bajo (dos polos) que es muy útil para minimizar el ruido de alta frecuencia que llega a filtrarse en el FPAA. El filtro

*Rauch* consta de 9 componentes pasivos que funcionan en combinación con un amplificador integrado en la entrada/salida del FPAA, por lo que este amplificador debe estar habilitado para que funcione el filtro *Rauch*. En la figura 1.8 se muestra su diagrama esquemático y la ubicación y conexión de los elementos en la tarjeta



**Figura 1.8:** Diagrama esquemático de filtro Rauch de entrada y diseño en la tarjeta.

En la tarjeta, dos de los ocho filtros *Rauch* se encuentran soldados y conectados a la celda entrada/salida 1 de los FPAA 1 y 2. Los 6 filtros restantes no se encuentran ensamblados ya que pueden ser diseñados por el usuario de acuerdo a sus requerimientos, los componentes se pueden soldar en la tarjeta o ensamblar de forma externa. El valor de los componentes y los parámetros filtros *Rauch* ya armados y listos para usar se resumen a continuación:

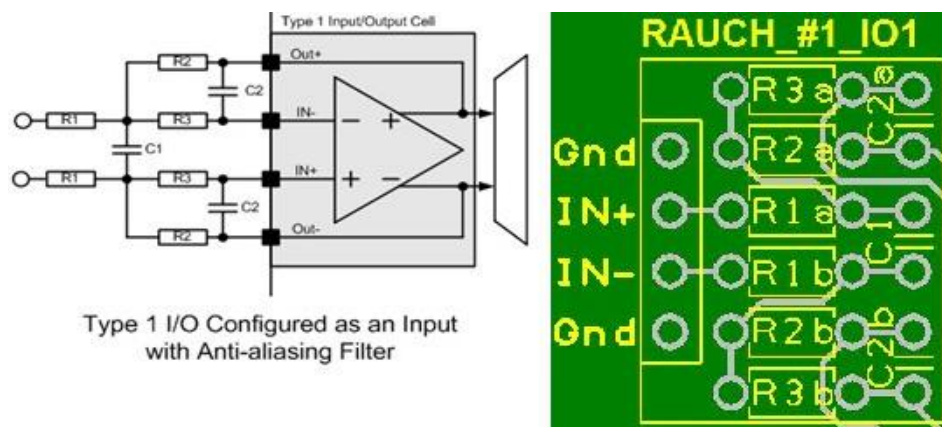
**Tabla 1.3:** Valores de los elementos de filtros *Rauch* listos para usar

Filtro Rauch	Valor de los Componentes	Parámetros
FPAA 1	$R_1 = R_2 = 22k\Omega$	$G = 1.0$
E/S 1	$R_3 = 10k\Omega$	$Q = 0.707$
	$C_1 = 22pF$	$f_0 = 490kHz$
	$C_3 = 10pF$	
FPAA 2	$R_1 = R_2 = 470k\Omega$	$G = 1.0$
E/S 1	$R_3 = 220k\Omega$	$Q = 0.707$
	$C_1 = 22pF$	$f_0 = 23kHz$
	$C_3 = 10pF$	

Las ecuaciones para calcular ganancia ( $G$ ), frecuencia de corte ( $f_0$ ) y el factor  $Q$  del filtro paso-bajo *Rauch* son las siguientes [81]:

$$G = \frac{R_2}{R_1}, \quad f_0 = \frac{1}{2\pi R_2} \sqrt{\frac{R_1 + R_2}{2C_1 C_2 R_1}}, \quad Q = \sqrt{\frac{C_1 R_1}{2C_2 (R_1 + R_2)}}$$

**Buffers de Salida.** La tarjeta cuenta con 4 *buffers* de salida de señal, cada uno está conectado a uno de los 4 FPAA. El circuito de estos *buffers* se muestra en la figura 1.9. Estos *buffers* son multipropósito y realizan las siguientes funciones: convierten la señal de salida diferencial del FPAA en una señal de una sola terminación, pueden amplificar o atenuar la señal del FPAA y proporcionan una función de filtro de paso bajo (un polo) que es útil para eliminar el ruido del reloj y suavizar la cuantificación de la salida.



**Figura 1.9:** Diagrama esquemático de filtro *Rauch* de entrada y diseño en la tarjeta.

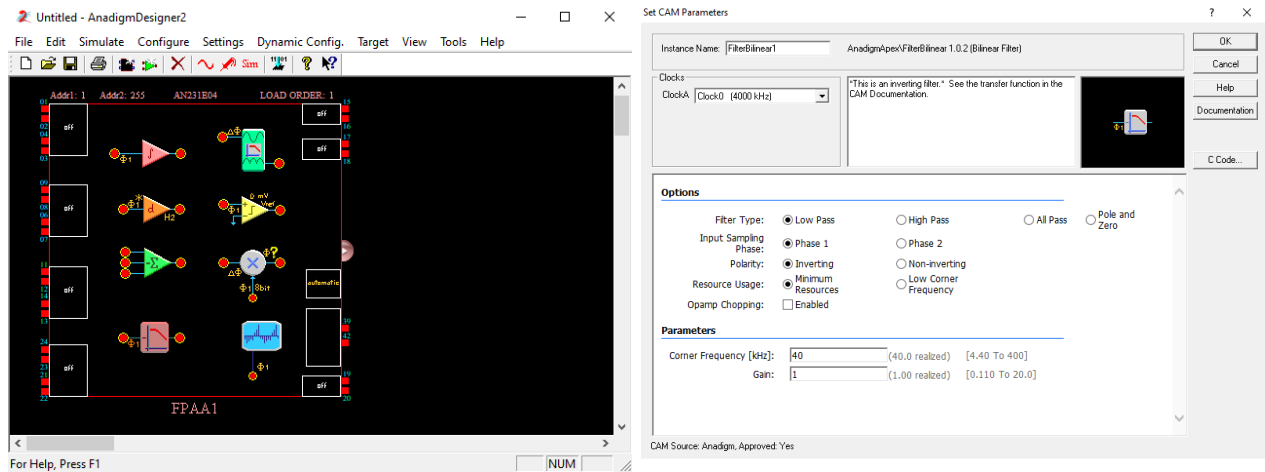
En la tarjeta se encuentran armados 2 de los 4 *buffers* de salida conectados a las celdas entrada/salida 3 de los FPAA 1 y 2, el valor de sus elementos, así como sus parámetros se presentan en la tabla 1.4. En algunas ocasiones es necesario utilizar todas las celdas de entrada/salida del FPAA por lo que no es posible utilizar los *buffers* de salida que incorpora la tarjeta. Para resolver esto es necesario reproducir y utilizar de forma externa este *buffer* de salida de señal

**Tabla 1.4:** Valores de los elementos de filtros *Rauch* listos para usar

Buffer de Salida	Valor de los Componentes	Parámetros
FPAA 1	$R_1 = 33k\Omega$	$G = 1.0$
E/S 3	$R_2 = 33k\Omega$	$Q = 0.707$
	$C_1 = 10pF$	$f_0 = 490kHz$
FPAA 2	$R_1 = 470k\Omega$	$G = 1.0$
E/S 3	$R_2 = 470k\Omega$	$Q = 0.707$
	$C_1 = 15pF$	$f_0 = 23kHz$

Las ecuaciones para calcular la ganancia ( $G$ ) y frecuencia de corte ( $f_0$ ) del *buffer* son:

$$G = \frac{R_2}{R_1}, \quad f_0 = \frac{1}{2\pi R_2 C_1},$$

(a) Diferentes CAMs en el *softwareAD2*.

(b) Ventana de configuración de CAM.



(c) Osciloscopio en AD2.

Figura 1.10: Diseño analógico con CAMs en AD2.

**Software de Diseño *Anadigm Designer 2*.** La herramienta *Anadigm Designer 2* es un *software*, perteneciente al entorno de desarrollo de *Anadigm* (EDA), que permite diseñar e implementar circuitos analógicos reconfigurables dinámicamente [82].

La interfaz del *software* se observa en la figura 1.10(a), en ella se puede diseñar de manera gráfica una infinidad de circuitos analógicos utilizando los bloques CAMs. Estos bloques son diseños que se pueden configurar en el dispositivo FPAA y realizarán diferentes funciones analógicas, como integración, derivación, suma-resta, multiplicación, etc. Debido a que el funcionamiento del dispositivo FPAA está basado en la tecnología de capacitor-conmutado los CAM requieren 1 o 2 señales de reloj para su funcionamiento. *Anadigm Designer 2* incluye una extensa biblioteca de estos CAMs, los cuales tienen una función de transferencia definida

y a través de una ventana, como la que se observa en la figura 1.10(b), el usuario puede establecer los parámetros de configuración.

También, el *software* incorpora un simulador de respuesta transitoria que a través de una interfaz tipo osciloscopio, como se muestra en la figura 1.10(c), permite observar el comportamiento del circuito en el tiempo. Se pueden visualizar hasta 4 canales en este simulador y exportar la información obtenida a través de un archivo de valores separados por comas (CSV).

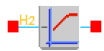
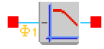

### Relación Entre Funciones de Transferencia de Filtro Bilineal y Filtros Paso-Alto y Paso-Bajo.

El CAM filtro bilineal es un bloque que puede ser configurado como filtro paso-bajo o paso-alto, entre otros tipos, requiriendo en ambos casos el valor de la ganancia de la banda de paso  $G$  y la frecuencia de corte  $f_0$ . El comportamiento de este CAM en cada una de sus configuraciones se describe a través de una función de transferencia provista por el fabricante [82, 78].

Estas funciones de transferencia de filtros paso-bajo y paso-alto tienen gran similitud con la aproximación de primer orden del integrador de OF, la cual en la ecuación 1.38 se presentó como la suma de un filtro paso-bajo y paso-alto. Por lo que para deducir los valores de configuración de estos bloques basta con establecer igualdades entre  $H_{HP}(s)$  y  $H_{LP}(s)$ , presentadas en la tabla 1.5, con  $T_{HP}(s)$  y  $T_{LP}(s)$  de la ecuación 1.38.

El bloque encargado de realizar la suma de la señal proveniente de los filtros paso-alto y paso-bajo es un CAM de suma invertida, este bloque tiene una etapa de ganancia invertida en cada una de sus entradas. Las funciones de transferencia de cada CAM e iconos se resumen en la tabla 1.5, además se muestran los valores de configuración obtenidos al establecer las igualdades y realizar los despejes entre las funciones de transferencia.

**Tabla 1.5:** Módulos CAM y Sus Características

Filtro Paso-Alto	Función de Transferencia	Valores Configuración
	$H_{HP}(s) = -\frac{Gs}{s+2\pi f_0}$	$G_{HP} = A$ $f_{0_{HP}} = A/k_f 2\pi$
Filtro Paso-Bajo	Función de Transferencia	Valores Configuración
	$H_{LP}(s) = \pm \frac{2\pi f_0 G}{s+2\pi f_0}$	$G_{LP} = 1/k_f 2\pi f_0$ $f_{0_{LP}} = A/k_f 2\pi$
Suma	Función de Transferencia	
	$V_{out} = -G_1 V_{input1} - G_2 V_{input2}$	

### Diseño en *Anadigm Designer 2*

En la figura 1.11 se presenta el diseño del integrador de OF en la interfaz del *software* AD2. En este diseño se utilizó el CAM filtro bilineal configurado como filtro paso-bajo y filtro paso-alto, ambos bloques comparten la señal de entrada proveniente de la celda de entrada/salida 1. En esta celda se habilitó el amplificador para que funcione en conjunto con el filtro *Rauch* de entrada (incorporado en la tarjeta) y poder conectar señales externas.

La suma de las señales provenientes de los dos filtros la realiza el CAM de suma invertida, este bloque invierte las señales en sus entradas por lo que si la polaridad de los dos filtros es invertida, el resultado es la suma simple de señales. La salida del CAM de suma invertida se encuentra conectada a la celda de entrada/salida 3, que dentro de la tarjeta está conectada al *buffer* de señal de salida.

Cabe mencionar que los tres bloques CAM requieren una señal de reloj para su funcionamiento y en base a la frecuencia de esta señal, existirá un rango de posibles valores con los que se pueden configurar los CAM. Es recomendable que todos los bloques CAM utilizados en el diseño trabajen con la misma frecuencia de reloj para evitar problemas en el procesamiento de la señal, en este caso los tres bloques trabajan con una frecuencia de reloj de  $50kHz$ . Sin embargo, el cambio en los valores de frecuencia de corte y ganancia de los filtros bilineales puede requerir modificar también la frecuencia de reloj. Un reporte más detallado de la configuración completa de cada CAM así como la del chip FPAA se presenta en la tabla 1.6.

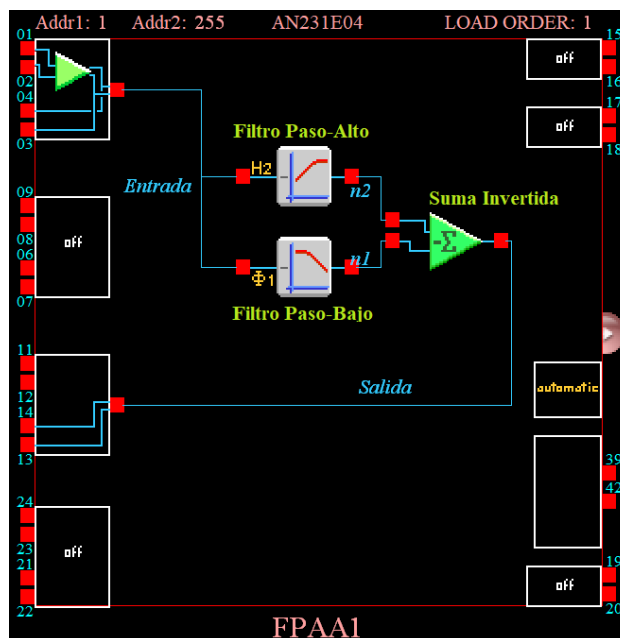
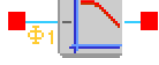
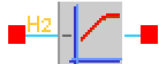



Figura 1.11: Diseño en AD2 de integrador de OF

**Tabla 1.6:** Configuración de FPAA 1 y CAMs utilizados en diseño de integrador de OF.

Clocks:		
Master Clock - ACLK(fc) 16 MHz		
System Clock 1 (sys1=fc/1) 8 MHz		System Clock 2 (sys1=fc/1) 16 MHz
Clock 0 (sys1/4) 2 MHz		Clock 1 (sys1/20) 400 kHz
Clock 2 (sys1/320) 25 kHz		Clock 3 (sys1/320) 25 MHz
Clock 4 (sys1/1)) 8 MHz		Clock 5 (sys1/1) 8 MHz
Configurable Analog Modules:		
Block Name	Options	Parameters
<b>Filter Bilinear 1</b> 	<b>Filter Type:</b> <i>Low Pass</i> <b>Input Sampling Phase:</b> <i>Phase 1</i> <b>Phase:</b> <b>Polarity:</b> <i>Inverting</i> <b>Resource Usage:</b> <i>Minimum Resources</i> <b>ClockA:</b> 50 kHz (Chip Clock0)	<b>Corner Frequency [kHz]:</b> $f_{0LP}^*$ <b>Gain:</b> $G_{LP}^*$
<b>Filter Bilinear 2</b> 	<b>Filter Type:</b> <i>High Pass</i> <b>Resource Usage:</b> <i>Minimum Resources</i> <b>ClockA:</b> 50 kHz (Chip Clock0)	<b>Corner Frequency [kHz]:</b> $f_{0HP}^*$ <b>Gain:</b> $G_{HP}^*$
<b>SumInv1</b> 	<b>Input3:</b> <i>Off</i> <b>ClockA:</b> 50 kHz (Chip Clock0)	<b>Gain1(UpperInput):</b> 1.00 <b>Gain2(LowerInput):</b> 1.00
I/O Cells:		
Name	Options	Parameters
<b>IOCell1</b>	<b>I/O Mode:</b> <i>Input</i> <b>Input Type:</b> <i>Amplifier (Filter)</i>	
<b>IOCell4</b>	<b>I/O Mode:</b> <i>Output</i> <b>Output Type:</b> <i>Bypass</i>	

\* Valor dependiente del OF, ver tabla 1.7.

### Valores de Configuración Obtenidos

Utilizando la aproximación al operador integral mostrada en ecuación 1.35 y las ecuaciones para calcular los valores de configuración  $G_{HP}$ ,  $f_{0HP}$ ,  $G_{LP}$  y  $f_{0LP}$  de la tabla 1.5, se obtuvieron los valores de configuración para implementar el integrador de OF con la estructura de filtro paso-bajo y paso-alto en los OF:  $\alpha = [0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.85, 0.9, 0.95]$ , estos

valores obtenidos se presentan en la tabla 1.7.

**Tabla 1.7:** Valores de configuración para filtro bilineal paso-bajo y paso-alto, para implementar un integrador de OF

OF	Filtro paso-bajo		Filtro paso-alto	
$\alpha$	$f_{0_{LP}}[kHz]$	$G_{LP}$	$f_{0_{HP}}[kHz]$	$G_{HP}$
0.1	0.818182	1.22222	0.818182	0.818182
0.2	0.666667	1.5	0.666667	0.666667
0.3	0.538462	1.85714	0.538462	0.538462
0.4	0.428571	2.33333	0.428571	0.428571
0.5	0.333333	3	0.333333	0.333333
0.6	0.25	4	0.25	0.25
0.7	0.176471	5.66667	0.176471	0.176471
0.8	0.111111	9	0.111111	0.111111
0.85	0.0810811	12.3333	0.0810811	0.0810811
0.9	0.0526316	19	0.0526316	0.0526316
0.95	0.025641	39	0.025641	0.025641

### 1.3.4. Caracterización de Integradores de OF Implementados en Dispositivos FPAA

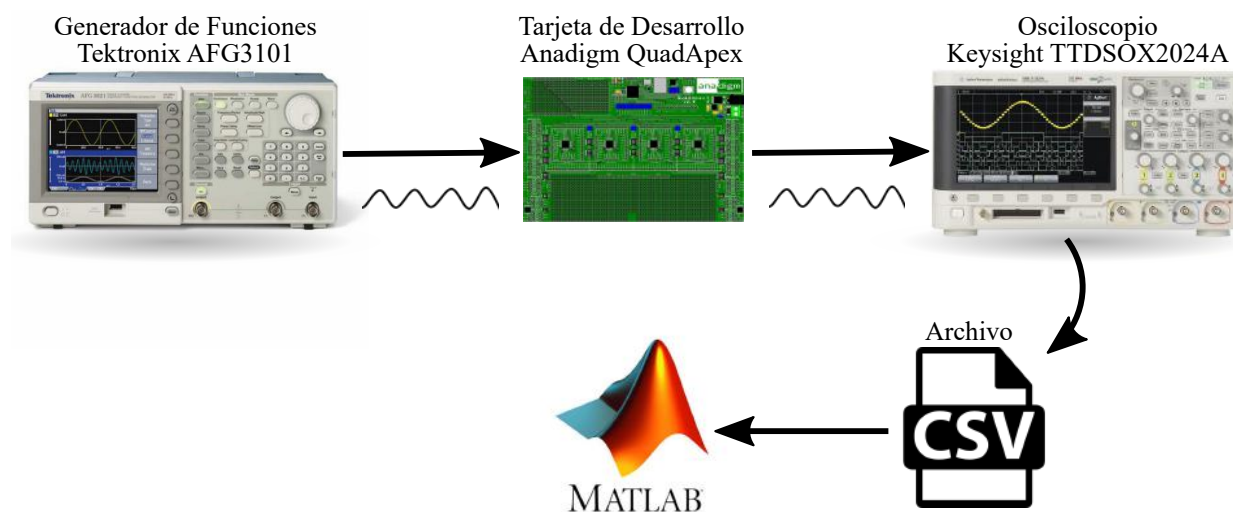
Se procedió a caracterizar la respuesta transitoria y en frecuencia del integrador configurado en diferentes OF, en esta sección se describen los dispositivos utilizados y el procedimiento realizado en cada caso. La respuesta transitoria del integrador nos permite validar los resultados de la evaluación analítica de la integral de OF obtenidos previamente, mientras que la respuesta en frecuencia permite verificar que la pendiente obtenida corresponda a  $-20\alpha[\text{dB/dec}]$

#### Respuesta Transitoria

Los dispositivos utilizados para caracterizar la respuesta transitoria del integrador de OF fueron: generador de funciones *Tektronix* AFG3101 y osciloscopio *Keysight* TTDSOX2024A. La señal obtenida a la salida de la tarjeta *QuadApex* fue observada y capturada con el osciloscopio *Keysight* TTDSOX2024A, esta información se guardó en un archivo de CSV para posteriormente ser procesada en el *software* Matlab.

**Filtro Savitzky-Golay.** Los datos contenidos en el archivo de CSV fueron filtrados utilizando el filtro Savitzky-Golay, este filtro evalúa las primeras derivadas de la información

con respecto al gráfico de abscisas y de esta forma elimina el ruido aleatorio de la información procesada [83, 84, 85]. Los filtros de suavizado de Savitzky-Golay suelen denominarse filtros polinomiales de suavizado digital o filtros de suavizado de mínimos cuadrados. Los parámetros utilizados para configurar este filtro en Matlab son: orden (*Order*), longitud de cuadro (*framelen*), arreglo de ponderación (*Weights*) y dimension sobre la que filtrar (*Dim*). En cada gráfica presentada en este trabajo se describirán los valores de estos parámetros. En la figura 1.12 se presenta de manera gráfica el proceso de adquisición de datos de la respuesta transitoria del integrador de OF.

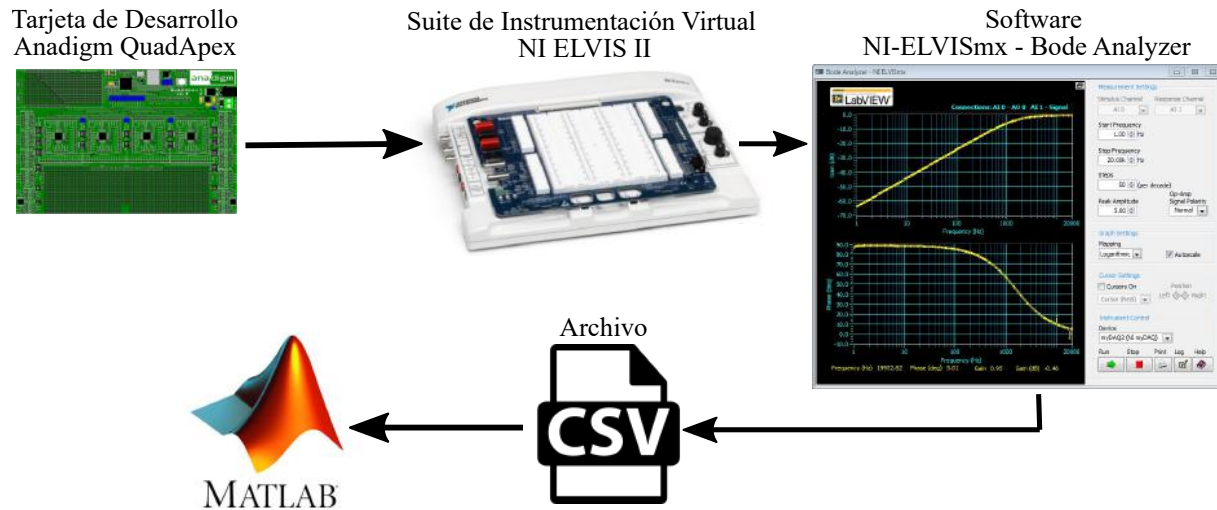


**Figura 1.12:** Proceso de adquisición de datos de respuesta transitoria de integrador de OF.

Para caracterizar la respuesta transitoria del integrador de OF el generador de funciones se configuró con las 3 señales: cuadrada, triangular y senoidal, y estas fueron utilizadas como señales de entrada de la tarjeta QuadApex, sus características se resumen en la tabla 1.8.

**Tabla 1.8:** Señales utilizadas en la prueba.

Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal cuadrada	0.5V	500Hz	0V
Señal triangular	0.5V	500Hz	0V
Señal senoidal	0.5V	500Hz	0V



**Figura 1.13:** Proceso de adquisición de datos de la respuesta en frecuencia del integrador de OF.

### Respuesta en Frecuencia

Utilizando el dispositivo NI Elvis II junto con el *software* NIELVISmx V16.0 instalado en laptop Samsung NP300E4C y sistema operativo Windows 7, se capturó el diagrama de Bode del integrador de OF configurado en cada uno de los órdenes fraccionarios de la tabla 1.7. En la figura 1.13 se muestra el proceso para realizar la captura de la respuesta en frecuencia. En el menú de herramientas del *software* NIELVISmx V16.0 se seleccionó la opción *Bode Analyzer* y esta se configuró con los parámetros resumidos en la en la tabla 1.9.

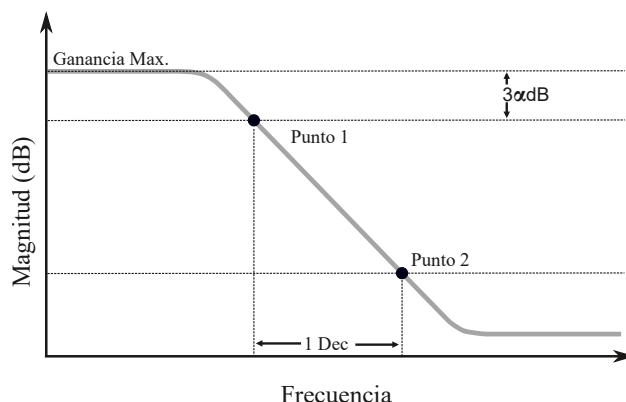
**Tabla 1.9:** Parámetros de configuración para función de analizador de Bode en NI ELVIS

Parámetro	Valor
Canal de estímulo:	IA 0
Canal de respuesta:	IA 1
Frecuencia de inicio:	100,00 Hz
Frecuencia de parada:	10,00 kHz
Pasos (por década):	100
Amplitud máxima:	0.1 voltios
Polaridad de la señal del Op-Amp:	Normal
Mapeo:	Logarítmico

**Metodología Utilizada en la Medición de la Pendiente.** El cálculo de la pendiente en el diagrama de magnitud de Bode se realizó a partir de dos puntos:  $P_1(f_1, G_1)$  y  $P_2(f_2, G_2)$ , en los cuales:  $f_{1,2}$  es la frecuencia y  $G_{1,2}$  la magnitud. De acuerdo con [86], la pendiente se puede calcular a partir de dos puntos utilizando la formula:

$$Pendiente = \frac{G_2 - G_1}{\Delta dec}, \quad \text{donde} \quad \Delta dec = \log_{10} \left( \frac{f_2}{f_1} \right) \quad (1.40)$$

La determinación de los puntos se realizó con el siguiente procedimiento. Tomando como referencia la ganancia máxima, medida en decibelios, se estableció un punto a  $-3\alpha dB$  y a partir de ahí se estableció un segundo punto separado una década en frecuencia a la derecha, como se presenta en la figura 1.14. Posteriormente se procedió a calcular la pendiente entre ambos puntos y su error con respecto al caso ideal, que corresponde a  $-20\alpha$  [dB/dec].



**Figura 1.14:** Determinación de puntos en diagrama de Bode.

**Valores de Pendiente Obtenidos.** Siguiendo la metodología descrita previamente se procedió a medir la pendiente en los diagramas de Bode capturados. En la tabla 1.10 se presenta una comparación entre la pendiente ideal y la pendiente obtenida experimentalmente en cada orden fraccionario. Se muestra el valor calculado de  $A$  con la ecuación 1.35 y el error absoluto calculado entre ambas pendientes. También se puede observar como la pendiente obtenida experimentalmente para el orden fraccionario  $\alpha = 0.3$  tiene un error de aproximadamente  $2$  [dB/dec] con respecto al valor ideal esperado de  $6$  [dB/dec]; sin embargo, en comparación a la pendiente ideal obtenida para un integrador de orden  $\alpha = 0.4$  el error es mínimo. Esta peculiaridad se repite en los órdenes fraccionarios posteriores, lo que nos permite suponer que un ajuste en el valor de  $A$  y los valores de configuración puede ser una segunda opción para mejorar considerablemente el resultado obtenido.

**Tabla 1.10:** Tabla comparativa de la pendiente ideal vs obtenida experimentalmente.

Integrador ideal		Integrador implementado en F.P.A.A.		
OF $\alpha$	Pendiente [dB/dec]	A	Pendiente [dB/dec]	Error absoluto [dB/dec]
0.1	-2	0.8182	-2.58187568	0.5818757
0.2	-4	0.6667	-5.449585532	1.4495855
0.3	-6	0.5385	-8.063733095	2.0637331
0.4	-8	0.4286	-10.47566313	2.4756631
0.5	-10	0.3333	-12.48352962	2.4835296
0.6	-12	0.2500	-14.25995935	2.2599594
0.7	-14	0.1765	-15.57897503	1.578975
0.8	-16	0.1111	-16.34209048	0.3420905
0.85	-17	0.0811	-16.62003788	-0.379962
0.9	-18	0.0526	-16.92450617	-1.075494
0.95	-19	0.0256	-18.49468315	-0.505317

### 1.3.5. Error de Aproximación y Ajuste

Como se mostró en la tabla 1.10 la aproximación de primer orden al integrador de OF conlleva un error inherente, el cual en la respuesta en frecuencia puede ser cuantificado por el valor de la pendiente. El uso de aproximaciones de órdenes superiores reduce considerablemente este error. Sin embargo, el aumento en los términos de la aproximación implica mayores recursos de hardware analógico, por lo que deja de ser viable para una implementación física. En [87] este problema fue abordado y solucionado realizando un ajuste al valor de  $A$ . Basándose en el análisis de la tabla 1.10, se dedujo que un valor acertado de  $A$  y de los valores de configuración del integrador puede dar como resultado una pendiente muy cercana a la ideal, por lo que de manera empírica se realizó una serie de pruebas buscando los valores de  $A$  con los que la pendiente medida sea lo más cercana a la ideal. Posteriormente se buscó una función para calcular estos valores y mediante un ajuste de curvas se encontró que una función polinómica de 5to orden se ajusta de manera precisa a los nuevos valores. Por lo que ahora redefinimos a  $A$  como:

$$A = (P_1\alpha^5) + (P_2\alpha^4) + (P_3\alpha^3) + (P_4\alpha^2) + (P_5\alpha) + (P_6) \quad (1.41)$$

Dependiendo del valor de  $\alpha$ , los coeficientes  $P_n$  de la función 1.41 son los que se presentan en la tabla 1.11:

**Tabla 1.11:** Coeficientes de  $P_n$  para función polinómica de 5to orden.

Coeficientes de $P_n$	
Rango $\alpha$ : 0.1 a 0.8	Rango $\alpha$ : 0.8 a 1
$P_1 = -9.775641025638677$	$P_1 = -3044.61152873634$
$P_2 = 22.118298368292734$	$P_2 = 1.3975.41854601980$
$P_3 = -18.769959207454168$	$P_3 = -2.5678.36240546023$
$P_4 = 7.374096736594660$	$P_4 = 2.3608.81573890708$
$P_5 = -2.289294871794486$	$P_5 = -1.086213849356012$
$P_6 = 1.027499999999976$	$P_6 = 2000.87814282981$

Nuevamente se procede a caracterizar la respuesta en frecuencia del integrador de OF con los valores de configuración ajustados. En la tabla 1.12 se presenta la pendiente medida, el error absoluto y error porcentual, cabe mencionar que ahora el error porcentual no rebasa el 1 % por lo que estos nuevos valores de configuración son retomados en la siguiente etapa de este trabajo que es el diseño de integradores de OFV.

**Tabla 1.12:** Tabla con la medición del error en la pendiente después de ajustar los valores de configuración del integrador de OFV.

Orden ( $\alpha$ )	Pendiente [dB/Dec]	Error absoluto ( $e_{abs}$ )	Error [%]*
0.1	-2.0000876	8.76E-05	-0.004378
0.2	-4.0298315	0.029831	-0.745787
0.3	-6.0538541	0.053854	-0.897569
0.4	-8.0263974	0.026397	-0.329968
0.5	-10.066812	0.066812	-0.668121
0.6	-12.08952	0.08952	-0.746002
0.7	-14.009569	0.009569	-0.068353
0.8	-16.020294	0.020294	-0.126838
0.85	-16.97082	-0.02918	0.1716497
0.9	-18.076454	0.076454	-0.424743
0.95	-19.014815	0.014815	-0.077973
0.99	-19.774385	-0.02562	0.129370198

\*Error porcentual calculado en base a la formula:

$$Error [\%] = \frac{e_{abs}}{\alpha 20 [dB/dec]} 100 \%$$

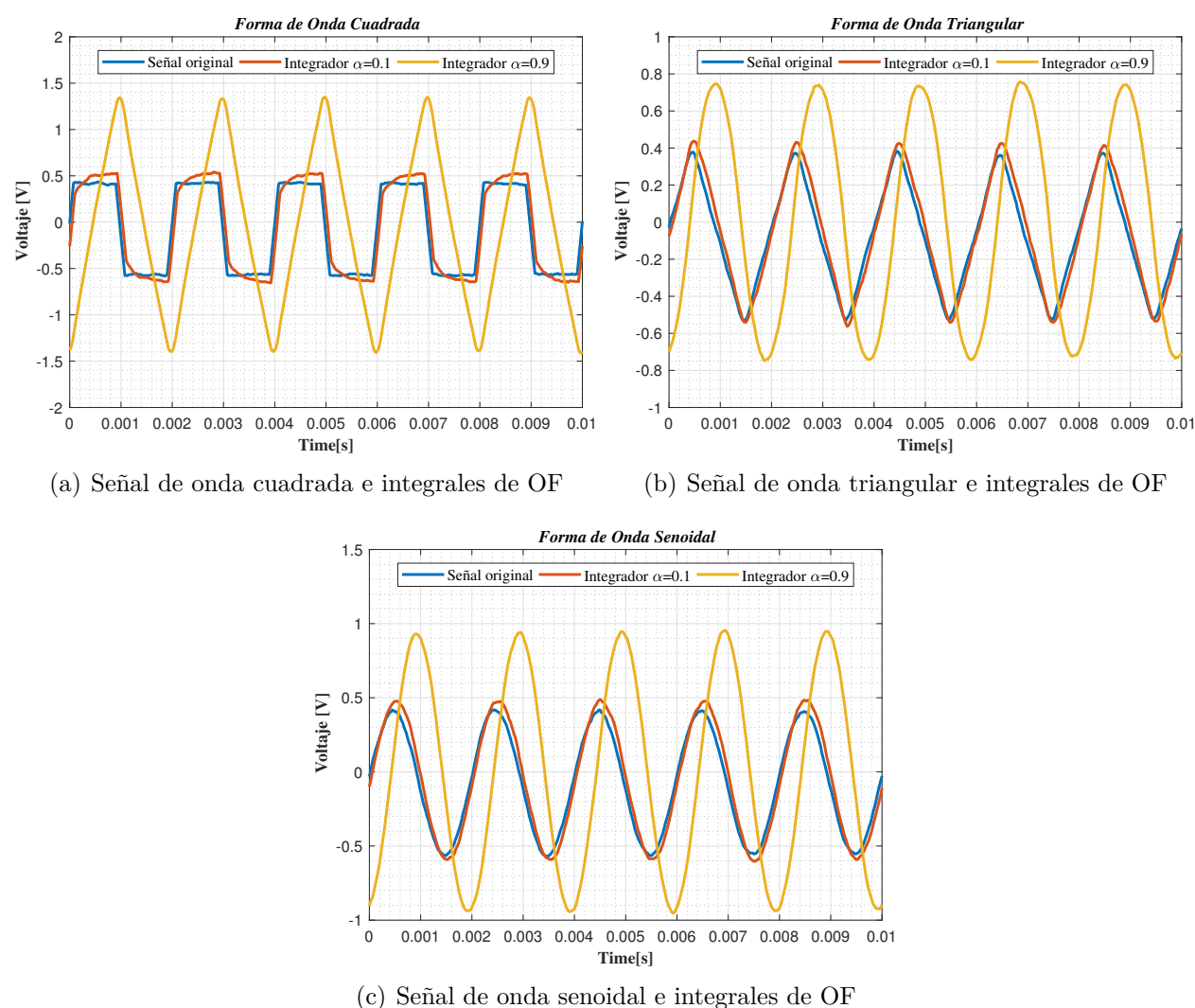
Utilizando esta nueva definición de  $A$  y las fórmulas para obtener los valores de configuración de la tabla 1.5, se procedió a re-calcular en *Matlab* los valores de configuración ajustados para implementar el integrador de OF con los filtros paso-bajo y paso-alto. En la tabla 1.13 se presentan estos nuevos valores junto con el nuevo valor calculado de  $A$ , se agregan en pasos de 0.01 los valores de configuración para implementar integradores en los órdenes fraccionarios  $\alpha = 0.8$  a  $\alpha = 0.99$ , los cuales serán requeridos en el siguiente capítulo.

**Tabla 1.13:** Valores de configuración ajustados de filtro bilineal paso-bajo y paso-alto.

OF	Filtro paso-bajo			Filtro paso-alto	
	$\alpha$	$A$	$f_{0_{LP}}[kHz]$	$G_{LP}$	$f_{0_{HP}}[kHz]$
0.1	0.855	0.855	1.16959	0.855	0.855
0.2	0.75	0.75	1.33333	0.75	0.75
0.3	0.647	0.647	1.5456	0.647	0.647
0.4	0.56	0.56	1.78571	0.56	0.56
0.5	0.46	0.46	2.17391	0.46	0.46
0.6	0.355	0.355	2.8169	0.355	0.355
0.7	0.271	0.271	3.69004	0.271	0.271
0.8	0.161	0.161	6.2112	0.161	0.161
0.81	0.1244	0.1244	8.0382	0.1244	0.1244
0.82	0.0969	0.097	10.3106	0.097	0.097
0.83	0.0766	0.0767	13.0395	0.0767	0.0767
0.84	0.0618	0.0618	16.1762	0.0618	0.0618
0.85	0.051	0.051	19.6078	0.051	0.051
0.86	0.0431	0.0431436	23.1784	0.0431436	0.0431436
0.87	0.0374	0.0374096	26.7311	0.0374096	0.0374096
0.88	0.0331	0.0331697	30.148	0.0331697	0.0331697
0.89	0.0299	0.0299711	33.3655	0.0299711	0.0299711
0.9	0.0275	0.0275	36.3636	0.0275	0.0275
0.91	0.0255	0.0255451	39.1465	0.0255451	0.0255451
0.92	0.0239	0.0239609	41.7347	0.0239609	0.0239609
0.93	0.0226	0.0226314	44.1864	0.0226314	0.0226314
0.94	0.0214	0.0214334	46.6562	0.0214334	0.0214334
0.95	0.0202	0.0202	49.505	0.0202	0.0202
0.96	0.0186	0.0186841	53.5214	0.0186841	0.0186841
0.97	0.0165	0.0165219	60.5257	0.0165219	0.0165219
0.98	0.0131	0.0131962	75.7795	0.0131962	0.0131962
0.99	0.008	0.008	125	0.008	0.008

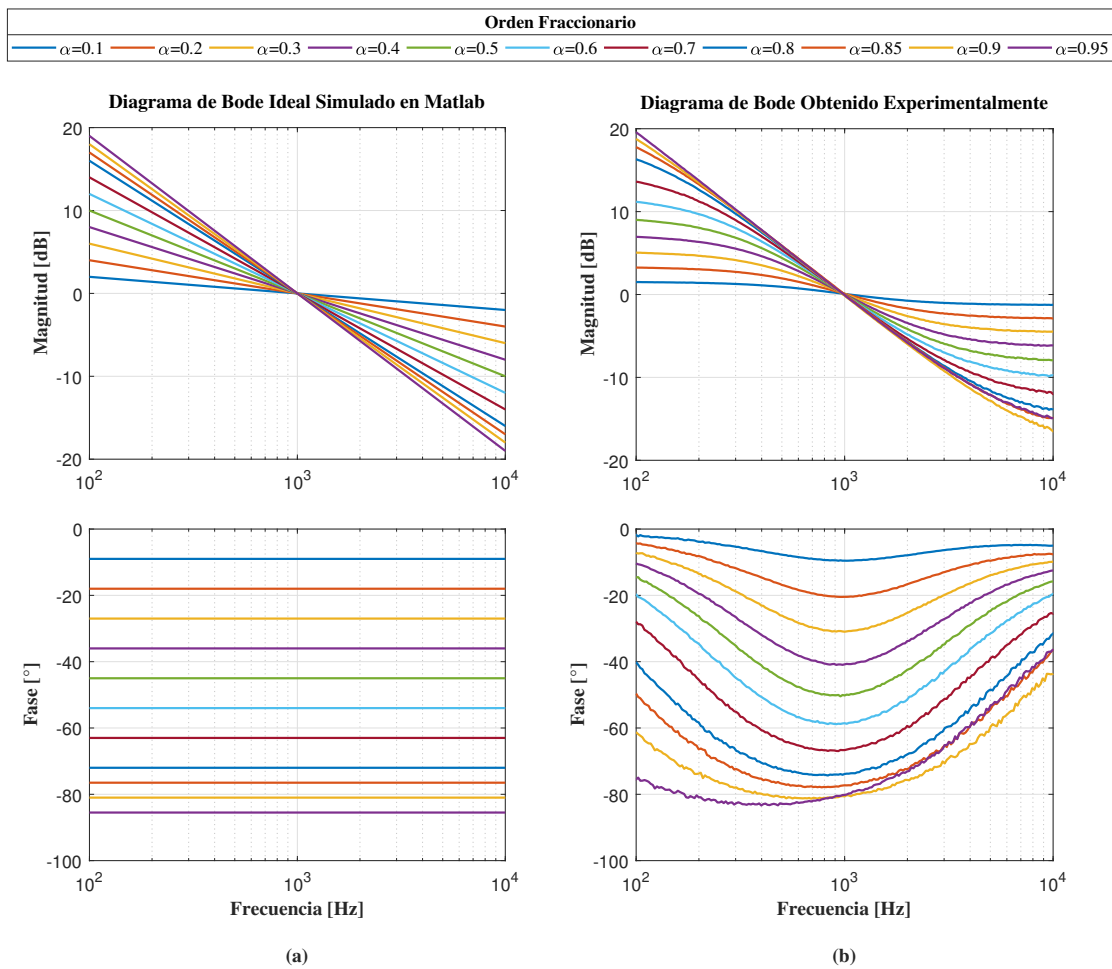
## 1.4. Resultados y Discusión

**Respuesta Transitoria.** En las gráficas de la figura 1.15 se presenta el resultado experimental de la respuesta transitoria del integrador configurado en los órdenes fraccionarios  $\alpha = 0.1$  y  $\alpha = 0.9$  y se compara con la señal de entrada. Se utilizaron las señales de onda tipo cuadrada, triangular y senoidal, previamente analizadas y con las características de la tabla 1.8. Se observa como el comportamiento obtenido coincide con el comportamiento calculado de forma analítica, corroborando el diseño de estos integradores.



**Figura 1.15:** Gráficas de la respuesta transitoria de los integradores de OF  $\alpha = 0.1$  y  $\alpha = 0.2$  obtenida experimentalmente y comparadas con señal de entrada.

**Respuesta en Frecuencia.** Los datos de los diagramas de Bode obtenidos con el dispositivo NI Elvis II se exportaron mediante un archivo de CSV y se graficaron utilizando el *software* de *Matlab*, como se muestra en la figura 1.16(b). Estos datos se compararon con los diagramas de Bode ideales de los integradores de OF que se presentan en la gráfica de la figura 1.16(a), para esto se utilizó la función FOMCON, ver [88]. En la figura 1.16(b) se observa como alrededor de  $1kHz$  la pendiente experimental se asemeja a la pendiente ideal en un rango de frecuencia determinado, este rango de frecuencia aumenta en proporción al orden fraccionario. Esto también sucede en la fase, a excepción de los órdenes fraccionarios  $\alpha = 0.9, 0.95$ , dónde se observa una variación en el comportamiento en comparación al patrón que llevan las líneas anteriores.



**Figura 1.16:** Diagramas de Bode de la respuesta en frecuencia de los integradores de OF. (a) Caso ideal graficado mediante la función de Matlab FOMCON. (b) Resultado experimental obtenido a través del dispositivo NI Elvis II.

## Capítulo 2

# Diseño e Implementación de Integradores de OFV con Dispositivos FPAA

*El COFV es una rama de las matemáticas concebida y formalizada en las últimas décadas, se basa en el concepto de que el orden del operador de integral o derivada puede variar continuamente como una función de variables dependientes o independientes, esta característica abre nuevas posibilidades para modelar problemas complejos del mundo real y desarrollar aplicaciones en el área de ingeniería con sistemas que se encuentran en constante cambio. Sin embargo, en el área de electrónica existen escasos reportes de su validación analógica debido a diversos factores. En este capítulo se aborda la teoría del cálculo de OFV y a partir de la definición de integral de OF de Riemann-Liouville extendida al caso variable se realiza el diseño analógico de integradores de OFV con dispositivos FPAA, proponiendo estructuras generalizadas que puedan variar entre un número  $n$  de órdenes fraccionarios. Se utiliza una función definida a trozos como función de orden  $\alpha(t)$ , cuyos elementos son puramente constantes y el cambio entre un orden fraccionario y otro será de forma escalonada. Los integradores con este tipo de función de orden pueden ser sintetizados analógicamente utilizando conmutadores, por lo que el desarrollo de estructuras de conmutación y su optimización toma gran importancia para poder variar el orden fraccionario en el tiempo. Una vez que se desarrollaron las estructuras de conmutación se les incorporan los integradores de OF (analizados en el capítulo 1). El funcionamiento de los integradores de OFV desarrollados se verifica caracterizando su respuesta transitoria y en frecuencia.*

## 2.1. Fundamentos Teóricos Sobre el Operador Integral de OFV de Riemann-Liouville

Los operadores fraccionarios de orden variable se concibieron y formalizaron matemáticamente tan solo en los últimos años. Las primeras definiciones de estos operadores fueron propuestas en 1993 por los investigadores Stefan G. Samko & Bertram Ross [5], posteriormente realizaron un análisis de sus propiedades en [6, 89]. En [5], la definición de integral de OF de Riemann-Liouville se extiende al caso de orden variable como se presenta en la ecuación 2.1:

$${}_a J_t^{\alpha(t)} f(t) = \frac{1}{\Gamma[\alpha(t)]} \int_a^t (t - \tau)^{\alpha(t)-1} f(\tau) d\tau, \quad \text{Re } \alpha(t) > 0 \quad (2.1)$$

Dónde  $\Gamma(\cdot)$  es la función Gamma y  $\tau$  es una variable ficticia. Aquí  $f(t)$  puede ser cualquier función definida para  $t \geq a$  y  $f(t)$  asegura la convergencia de la integral. La definición para el operador diferencial de Riemann-Liouville de orden fraccionario también se puede extender al caso de orden variable como se presenta en la ecuación 2.2, en la cuál  $\alpha(t) \in (0, 1)$  [5]:

$${}_a D_t^{\alpha(t)} f(t) = \frac{1}{\Gamma[1 - \alpha(t)]} \frac{d}{dt} \int_a^t (t - \tau)^{\alpha(t)-1} f(\tau) d\tau \quad (2.2)$$

También diferentes autores han propuesto definiciones para el caso de orden variable del operador diferencial de Caputo y Grunwald-Letnikov [8, 90, 91, 92]. Este trabajo se centra únicamente en la definición de integral de OFV de Riemann-Liouville.

### 2.1.1. Kernel y Argumentos

Cuando el orden fraccionario cambia en el tiempo y si tomamos  $a = 0$ , la integral de OFV de Riemann-Liouville de la ecuación 2.1 puede ser reescrita como se presenta a continuación [3]:

$${}_a J_t^{\alpha(t)} f(t) = \int_0^t \frac{(t - \tau)^{\alpha(t,\tau)-1}}{\Gamma(\alpha(t,\tau))} f(\tau) d\tau \quad (2.3)$$

Donde el *kernel*  $h(t, \tau)$  del operador se define como:

$$h(t, \tau) = \frac{(t - \tau)^{\alpha(t,\tau)-1}}{\Gamma(\alpha(t,\tau))} \quad (2.4)$$

En el estudio de los operadores de integral de OFV se ha encontrado que diferentes elecciones de los argumentos de  $\alpha(t, \tau)$  conllevan ciertas implicaciones. En [3] se presentan y analizan tres posibles casos de elección de argumento, los cuales son:  $q(t, \tau) = q(t)$ ,  $\alpha(t, \tau) = \alpha(\tau)$ , y  $\alpha(t, \tau) = \alpha(t - \tau)$ . Estos casos formulan tres definiciones diferentes para el operador integral

de OFV de Riemann-Liouville y son las siguientes: [3, 9, 93]:

**Caso 1: Argumento**  $q(t, \tau) = q(t)$

$${}_a J_t^{\alpha(t)} f(t) = \int_0^t \frac{(t - \tau)^{\alpha(t)-1}}{\Gamma(\alpha(t))} f(\tau) d\tau \quad (2.5)$$

**Caso 2: Argumento**  $\alpha(t, \tau) = \alpha(\tau)$

$${}_a J_t^{\alpha(t)} f(t) = \int_0^t \frac{(t - \tau)^{\alpha(\tau)-1}}{\Gamma(\alpha(\tau))} f(\tau) d\tau \quad (2.6)$$

**Caso 3: Argumento**  $\alpha(t, \tau) = \alpha(t - \tau)$

$${}_a J_t^{\alpha(t)} f(t) = \int_0^t \frac{(t - \tau)^{\alpha(t-\tau)-1}}{\Gamma(\alpha(t - \tau))} f(\tau) d\tau \quad (2.7)$$

### Representación generalizada del argumento $\alpha(t, \tau)$

De acuerdo con [5], estas tres variantes de la elección del argumento pueden representarse de forma generalizada como:

$$\alpha(t, \tau) = \alpha(at + b\tau) \quad (2.8)$$

Dónde los numero constantes  $a$  y  $b$  pueden tomar los valores de  $-1$ ,  $0$ , y  $1$ , como se resume en la tabla 2.1. Por lo que, la definición para la integral de OFV con el argumento generalizado  $\alpha(t, \tau)$  puede ser reescrita como:

$${}_0 J_t^{\alpha(t)} f(t) = \int_0^t \frac{(t - \tau)^{\alpha(at+b\tau)-1}}{\Gamma(\alpha(at + b\tau))} f(\tau) d\tau \quad (2.9)$$

**Tabla 2.1:** Valores de  $a$  y  $b$  en la representación generalizada de  $\alpha(t, \tau)$

Caso	$a$	$b$
$\alpha(t, \tau) = \alpha(t)$	1	0
$\alpha(t, \tau) = \alpha(\tau)$	0	1
$\alpha(t, \tau) = \alpha(t - \tau)$	1	-1

### 2.1.2. Características de memoria de los operadores de OFV

Algunas de las características más importantes de estos operadores son sus propiedades de memoria. De acuerdo con [3], dos tipos de memoria son atribuidas a los operados de OFV. La primera es memoria de desvanecimiento del operador global, denominada como  $m_1$ , y la segunda es la memoria del historial de orden, denominada como  $m_2$ . Esta última es un importante atributo de los operadores de OFV y se encuentra aún en estudio. En [3] ambos tipos de memorias son medidos mediante las fórmulas que se presentan a continuación:

### Memoria de desvanecimiento ( $m_1$ )

Este tipo de memoria está asociada tanto con operadores de integral de orden constante (OC) como OV, es la memoria del operador mismo, donde el estado temporal presente se obtiene en base al historial de estados previos. Cuando el orden fraccionario cambia con  $t$  (tiempo), la memoria de desvanecimiento muestra una variación con  $q(t)$ , cuya retención se puede medir utilizando la formula [3, 4]:

$$m_1(t) \triangleq \frac{1}{t} \int_0^t \frac{(t-\tau)^{\alpha(t,\tau)-1}}{\Gamma(\alpha(t,\tau))} d\tau, \quad 0 \leq \alpha(t,\tau) \leq 1, \quad (2.10)$$

### Memoria de retención de orden ( $m_2$ )

Este tipo de memoria se presenta en los operadores de OFV y está asociado con la memoria del historial de orden, describe la existencia de retención de orden dentro de la integral fraccionaria después de un cambio en el orden. La fuerza retención de la memoria  $m_2$  se puede medir utilizando la formula [3, 4]:

$$m_2(t) \triangleq \frac{\int_{\tau_1}^{\tau_2} \frac{(t-\tau)^{\alpha_1-1}}{\Gamma[\alpha_1]} d\tau}{\int_0^t \frac{(t-\tau)^{\alpha(t,\tau)-1}}{\Gamma[\alpha(t,\tau)]} d\tau}, \quad 0 \leq \alpha(t,\tau) \leq 1, \quad (2.11)$$

Dónde  $\tau_1$  y  $\tau_2$  son los limites inferior y superior asociados con el área debajo de la porción  $\alpha_1$  del *kernel*  $h(t,\tau)$ , ver [4]. La memoria  $m_2(t)$  mide la capacidad de retención de memoria del orden  $\alpha_0$  por el operador VO, y  $\tau_1$  y  $\tau_2$  son los límites superior e inferior del intervalo para el cual el OV  $\alpha(t) = \alpha_0$ .

**Comportamiento de la memoria  $m_2$  ante los diferentes argumentos de  $\alpha(t,\tau)$ .** Mediante el estudio de los tres casos de selección del argumento de  $\alpha(t,\tau)$  se ha observado que el operador basado en  $\alpha(t,\tau) = \alpha(t)$  no tiene memoria del orden pasado de  $\alpha$ , el operador basado en  $\alpha(t,\tau) = \alpha(\tau)$  tiene memoria débil del orden pasado de  $\alpha$ , y el operador basado en  $\alpha(t,\tau) = q(t-\tau)$  tiene memoria muy fuerte del orden pasado de  $\alpha$  [3, 4]. Es evidente que la respuesta del operador a cambios en  $\alpha$  estará inversamente relacionada con su memoria de  $\alpha$  pasada. Estos resultados cualitativos se resumen en la tabla 2.2

**Tabla 2.2:** Características de los 3 casos de argumentos  $\alpha(t,\tau)$  [3, 4]

Caso	$a$	$b$	Memoria $m_2$
$\alpha(t,\tau) = \alpha(t)$	1	0	No tiene memoria del pasado de $\alpha$
$\alpha(t,\tau) = \alpha(\tau)$	0	1	Memoria débil del pasado de $\alpha$
$\alpha(t,\tau) = \alpha(t-\tau)$	1	-1	Fuerte memoria del pasado de $\alpha$

## 2.2. Diseño e Implementación de Integradores de OFV

En esta sección se describe el proceso de diseño e implementación de integradores de OFV utilizando dispositivos FPAA. Los integradores desarrollados se basan en la definición de Riemann-Liouville para el operador integral de OV de la ecuación 2.1. La elección del argumento de  $\alpha(t, \tau)$  modifica el comportamiento de la memoria del operador pero también la metodología para realizar su síntesis analógica. Debido a lo extenso que puede convertirse el proceso de implementación y análisis de integradores de OFV con cada una de las definiciones resultantes de la elección del argumento de  $\alpha(t, \tau)$ , este trabajo se centra únicamente a desarrollar integradores de OV donde el argumento del *kernel* es:  $\alpha(t, \tau) = \alpha(t)$  (Caso 1). La función de orden utilizada en los integradores de OV es una función definida a trozos y su síntesis analógica se puede realizar utilizando conmutadores. A continuación se explica de forma más detallada el proceso de desarrollo de los integradores de OFV

### 2.2.1. Función Definida a Trozos Con Elementos Constantes Como Función de Orden $\alpha(t)$ .

Considerando a la función de orden del integrador como una función dependiente del tiempo  $\alpha(t)$ . En la implementación física de los integradores de OFV se utilizó una función definida a trozos como función de orden, con la cual se busca que una sucesión de órdenes fraccionarios puramente constantes  $\alpha_1, \alpha_2, \alpha_3, \dots, \alpha_n$  y cuyo cambio entre un orden fraccionario y otro sea de forma escalonada, se varíe el orden fraccionario en el tiempo. De esta forma el operador integrará a la función  $f(t)$  en el orden fraccionario  $\alpha_1$  por un periodo de tiempo definido, posteriormente en el orden  $\alpha_2$ , y así de manera consecutiva hasta el orden  $\alpha_i$ .

El proceso de integración con una función definida a trozos como función de orden lo denominaremos como  $y(t)$  y este puede ser descrito por la ecuación 2.12 [3]:

$$y(t) = \begin{cases} {}_0J_t^{\alpha_1} f(t), & 0 < t < T, \\ {}_0J_t^{\alpha_2} f(t), & T < t < 2T, \\ {}_0J_t^{\alpha_3} f(t), & 2T < t < 3T, \\ \vdots & \vdots \\ {}_0J_t^{\alpha_n} f(t), & (n-1)T < t < nT, \end{cases} \quad (2.12)$$

El proceso de integración descrito a través de la función definida a trozos de la ecuación 2.12, puede representarse de forma generalizada como [3]:

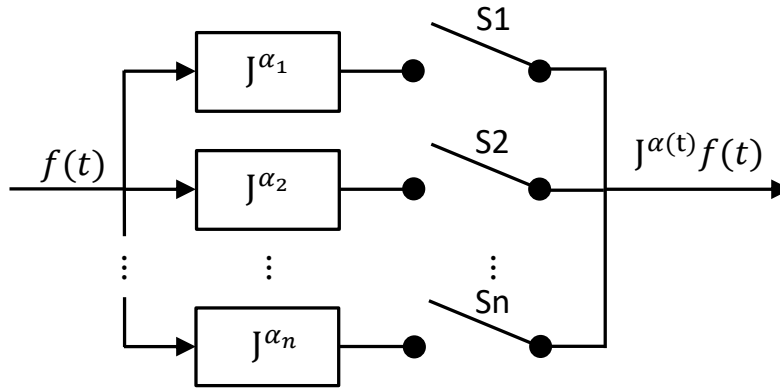
$$y(t) = {}_0J_t^{\alpha_k} f(t), \quad (k-1)T < t < kT, \quad (2.13)$$

O en forma extendida:

$$y(t) = \int_0^t \frac{(t-\tau)^{\alpha_k-1}}{\Gamma(\alpha_k)} f(\tau) d\tau, \quad (k-1)T < t < kT, \quad (2.14)$$

### 2.2.2. Propuesta de Implementación Física

Basándose en el uso de funciones definidas a trozos como funciones de orden. La estructura propuesta para variar en el tiempo el orden fraccionario del integrador se presenta en el diagrama de bloques de la figura 2.1, en ella el cambio entre órdenes fraccionarios se realiza mediante conmutadores. Cada conmutador  $S_i$  está asociado con un integrador de orden fraccionario constante  $\alpha_i$ , estos conmutadores se encuentran normalmente abiertos y se cierran de forma secuencial por un periodo definido  $T$ , posteriormente regresa al estado abierto. En esta implementación todos los integradores fraccionarios que conforman la estructura inician en un tiempo  $t = 0$ , comparten la señal de entrada  $f(t)$ , trabajan simultáneamente y cada uno de ellos está aislado de los demás.



**Figura 2.1:** Estructura de conmutadores e integradores de orden fraccionario constante, la conmutación entre integradores permite variar el orden en el tiempo.

El proceso de integración sigue la forma escalonada de la función definida a trozos con una secuencia de órdenes fraccionarios constantes  $\alpha_1, \alpha_2, \alpha_3, \dots, \alpha_n$ . Cada una de las señales provenientes de los integradores pasa a la salida por el cambio a estado cerrado de un conmutador  $S_i$  en un intervalo de tiempo definido, como se muestra en la tabla 2.3:

**Tabla 2.3:** Conmutación de orden fraccionario en intervalos de tiempo.

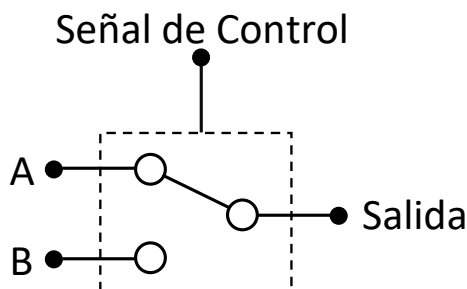
Orden Fraccionario	Conmutador	Intervalo
$\alpha_1$	$S_1$	$0 < t < T$
$\alpha_2$	$S_2$	$T < t < 2T$
$\alpha_3$	$S_3$	$2T < t < 3T$
$\vdots$	$\vdots$	$\vdots$
$\alpha_n$	$S_n$	$(n - 1)T < t < nT$

### 2.2.3. Diseño de Estructuras de Conmutación en AD2

El desarrollo de estructuras de conmutación toma gran relevancia para poder realizar la implementación de integradores de OFV. En esta subsección se describe el diseño en el *software* AD2 de estructuras que permitan conmutar entre dos entradas, tres entradas y se proponen dos diseños para conmutar entre  $n$  número de entradas. La importancia del número de entradas que estas estructuras puedan conmutar recae en que en cada una de las entradas será conectado un integrador de OFC, un numero considerable de integradores permite observar de forma precisa el comportamiento de un sistema en el tiempo al variar el orden fraccionario y de esta forma proponer aplicaciones. Para el diseño de estas estructuras se seleccionó utilizar al CAM *GainSwitch* como elemento principal de conmutación debido a su funcionamiento y características. A continuación, se describen las características y opciones de configuración de este conmutador, también las características de diseño de las estructuras de conmutación desarrolladas, así como un análisis de las posibles problemáticas que pueden presentar al ser implementados de forma física.

#### CAM de Etapa de Ganancia con Entradas Conmutables (*GainSwitch*)

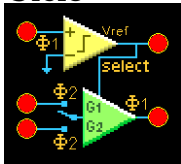
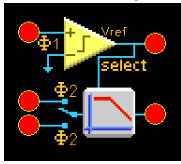
El elemento básico de conmutación utilizado en este trabajo se presenta en la figura 2.2, este conmutador tiene dos entradas de las cuales una de ellas puede ser seleccionada y conectada a una única salida por un periodo determinado mediante una señal de control.



**Figura 2.2:** Elemento de conmutación básico utilizado.

Dentro de la biblioteca de CAMs que incorpora el *software* de AD2 para el chip FPAA AN231E04 se seleccionó utilizar el CAM *GainSwitch*. Este CAM es un conmutador que tiene dos terminales de entrada seleccionables, cada una con una etapa de ganancia. Se puede utilizar para seleccionar entre dos señales de entrada o, con ambas entradas unidas, se puede utilizar para seleccionar entre dos parámetros de ganancia diferentes de una sola señal de entrada. El elemento de ganancia que incorpora este CAM puede ser una etapa de ganancia de medio ciclo programable o un filtro bilineal de paso-bajo con frecuencia de corte y ganancia de banda de paso programables, ambas configuraciones se resumen en la tabla 2.4.

Tabla 2.4: Opciones de configuración de la etapa de ganancia del CAM *GainSwitch*.

<b>Tipo de etapa de ganancia:</b>	
<b>Medio Ciclo</b> 	<p>El elemento de ganancia de medio ciclo de este CAM se observa en la parte inferior de la imagen de la izquierda. En esta configuración la señal de salida de este CAM es una señal muestreada de la señal a la entrada seleccionada. En este tipo de etapa de ganancia se pueden configurar 3 parámetros: ganancia 1 (entrada superior), ganancia 2 (entrada inferior) y referencia de voltaje</p>
<b>Filtro Bilineal Paso-Bajo</b> 	<p>El elemento de ganancia filtro bilineal paso-bajo de este CAM se observa en la parte inferior de la imagen de la izquierda. En esta configuración la señal de salida de este CAM es filtrada por el filtro paso-bajo, lo cual elimina el efecto de muestreo y la señal pulsada se convierte en una señal continua. Sin embargo, la señal a la salida es afectada por el polo inducido por el filtro paso-bajo, además de que se crea un desfase entre las señales de entrada y salida del conmutador. En este tipo de etapa de ganancia se pueden configurar 4 parámetros: ganancia 1 (entrada superior), ganancia 2 (entrada inferior), frecuencia de corte [kHz] y referencia de voltaje.</p>

Dentro de las opciones de configuración de este conmutador también se encuentran: el tipo de señal de referencia con el cual el CAM hará la comparación para activarse, la entrada que seleccionará al activarse, la fase de muestreo del CAM y si se activa el amplificador operacional *chopper*. En la figura 2.3 se muestra la ventana de configuración de este CAM en el *software* de AD2. Posteriormente se describen de cada una de las opciones de configuración

**Options**

Compare Control To:  Signal Ground     Dual Input     Variable Reference

Select Input 1 When:  Control High     Control Low

Comparator Sampling Phase:  Phase 1     Phase 2

Gain Stage:  Half Cycle     Low Pass Bilinear

Opamp Chopping:  Enabled

---

**Parameters**

Gain 1 (UpperInput):  (1.00 realized) [-20.0 To 20.0]

Gain 2 (LowerInput):  (1.00 realized) [-20.0 To 20.0]

Corner Frequency [kHz]:  (200 realized) [4.40 To 400]

Reference Voltage:  (1.00 realized) [-3 to 3]

Figura 2.3: Ventana de configuración del CAM *GainSwitch* en AD2.

**Opción de CAM: *Comparar el control con.*** Esta opción determina con qué se comparará la señal de control para generar la señal seleccionada. La selección de las dos entradas se controla mediante un comparador interno, esta toma la decisión del nivel de salida durante la fase posterior a la fase de muestreo de entrada del comparador y cambia inmediatamente a este nivel de salida. Este comparador tiene las opciones de comparar a tierra ó con una señal de referencia externa e interna, a continuación se puntualizan sus principales características de la selección:

- **Señal a tierra:** Este símbolo muestra un comparador que seleccionará cuando la señal de control sea más alta que la señal de tierra.
- **Entrada dual:** Este símbolo muestra un comparador que seleccionará cuando la señal de control sea más alta que la señal de referencia.
- **Referencia Variable:** Este símbolo muestra un comparador que seleccionará cuando la señal de control sea mayor que la referencia variable seleccionada.

**Opción de CAM: *Seleccionar entrada 1 cuando.*** Esta opción determina si se selecciona la entrada superior en respuesta a una señal de control alta o baja.

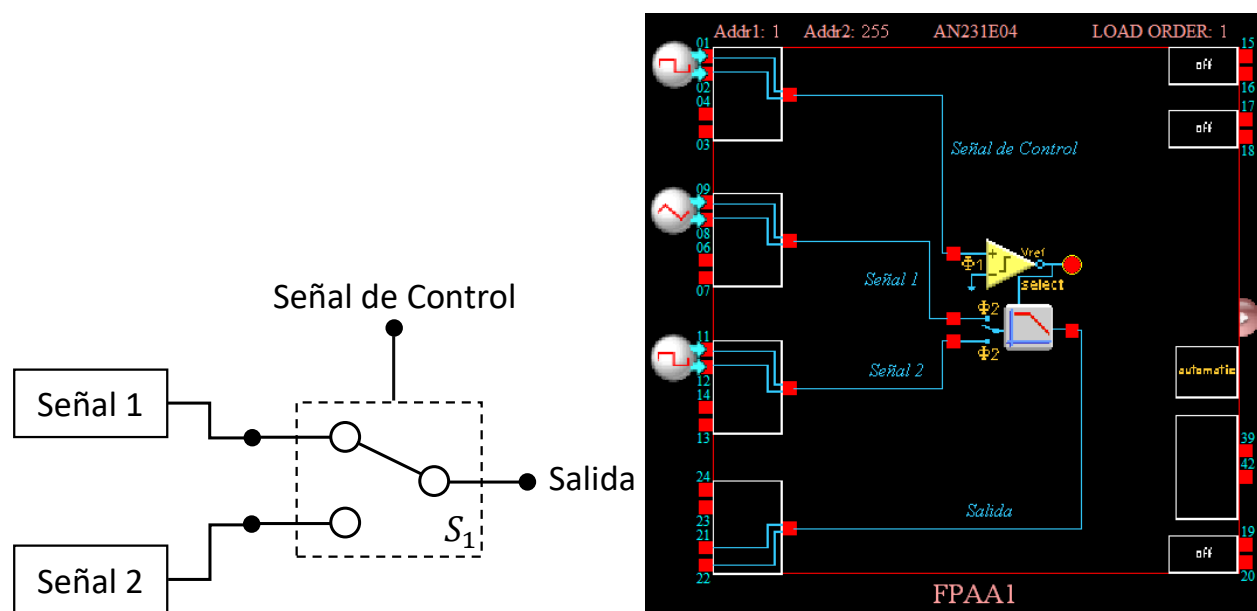
- **Control en Alto:**El comparador seleccionará cuando la señal de control sea más alta que la señal de tierra.
- **Control en Bajo:**El comparador seleccionará cuando la señal de control sea más baja que la señal de tierra.

**Opcion de CAM: *Muestreo del comparador.*** Esta opción determina la fase en la que el comparador muestreará las señales de Control y Referencia. Esto también determina la fase de salida y afecta las fases de entrada de la etapa de ganancia de medio ciclo. La señal de selección cambiará durante la fase de reloj que sigue a la fase de muestreo del comparador.

- **Fase 1:** Este símbolo muestra un comparador que seleccionará cuando la señal de control sea más alta que la señal de tierra.  
La salida de la etapa de ganancia es válida en la fase de muestreo del comparador.
- **Fase 2:** Este símbolo muestra un comparador que seleccionará cuando la señal de control sea más alta que la señal de tierra.  
La salida de la etapa de ganancia es válida en la fase de muestreo del comparador.

### Conmutador de 2 señales con CAM *GainSwitch*

La conmutación entre dos señales se puede realizar utilizando únicamente un CAM *GainSwitch*. Este CAM requiere para su funcionamiento 3 señales: 2 son las señales a conmutar y una señal de control. En la figura 2.4(a) se presenta el diagrama de bloques del conmutador de dos entradas y en la figura 2.4(b) se presenta su diseño en el *software* de AD2, algunos aspectos de diseño y configuración se describen a continuación



(a) Diagrama de conexión de conmutador de dos señales. (b) Diseño de conmutador de dos señales en AD2.

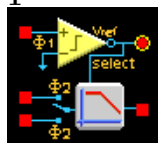
**Figura 2.4:** Conmutador de dos señales, diagrama de bloques y diseño en el *software* AD2.

En este diseño la celda de entrada/salida 1 del FPA AN231E04 se configuró como la entrada de la señal de control, las celdas 2 y 3 se configuraron como entradas de las señales a conmutar y la celda 4 se configuró como la salida del conmutador. Como se aprecia en la figura 2.4(b), el CAM *GainSwitch* se configuró para comparar la señal de control a tierra con la opción de control en alto. Lo que implica que cuando el comparador del CAM detecte un voltaje diferente a 0V se activará y seleccionará la entrada de señal 1, cabe agregar que otra opción de configuración conveniente es comparar la señal con una referencia de voltaje variable. La fase de muestreo del comparador es la fase 1.

Debido a que la señal de salida de este conmutador es utilizada fuera del FPA es necesario eliminar los efectos de muestreo producidos por el funcionamiento del CAM y que la señal de salida sea continua. Por lo que para resolver esto se selecciona dentro de las opciones de configuración del CAM utilizar un filtro bilineal paso-bajo como etapa de ganancia, en el

cual la ganancia de sus dos entradas será unitaria y la frecuencia de corte del filtro paso-bajo se fijó a  $200\text{kHz}$ , la más alta posible, esto con el propósito de que el polo inducido por el filtro paso-bajo no afecte significativamente la señal de salida. Para que la frecuencia de corte del filtro paso-bajo pueda ser de  $200\text{kHz}$  es necesario que el CAM trabaje con un reloj de  $2000\text{kHz}$ . En la tabla 2.5 se presenta de forma más detallada la configuración del FPAA, así como la configuración del CAM *GainSwitch* para ser utilizado como conmutador de 2 entradas en este diseño

**Tabla 2.5:** Configuración de FPAA 1 y CAM *GainSwitch* en Diseño de Conmutador de Dos Entradas.

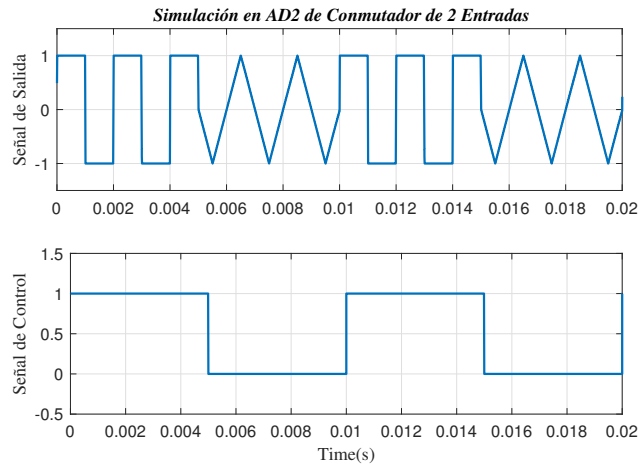
Clocks:		
Master Clock - $\text{ACLK}(fc)$ 16 MHz		
System Clock 1 ( $\text{sys1}=\text{fc}/1$ ) 16 MHz		System Clock 2 ( $\text{sys1}=\text{fc}/1$ ) 16 MHz
Clock 0 ( $\text{sys1}/320$ ) 50 kHz		Clock 1 ( $\text{sys1}/20$ ) 800 kHz
Clock 2 ( $\text{sys1}/8$ ) 2 MHz		Clock 3 ( $\text{sys1}/64$ ) 250 kHz
Clock 4 ( $\text{sys1}/1$ ) 16 MHz		Clock 5 ( $\text{sys1}/1$ ) 16 MHz
Configurable Analog Modules:		
Block Name	Options	Parameters
Gain Switch 1 	Compare Control to: <i>Signal Ground</i> Select Input 1: <i>Control Low</i> When: Comparator: <i>Phase 1</i> Sampling Phase: Gain Stage: <i>Low Pass</i> <i>Bilinear</i> ClockA: 2 MHz (Chip Clock2)	Gain 1 (UpperInput): 1.00 Gain 2 (LowerInput): 1.00  Corner Frequency [kHz]: 200
I/O Cells:		
Name	Options	Parameters
IOCell 1-3	I/O Mode: <i>Input</i> Input Type: <i>Bypass</i>	
IOCell 4	I/O Mode: <i>Output</i> Output Type: <i>Bypass</i>	

**Simulación de Conmutador 2 Señales en AD2.** Se realizó la simulación en AD2 del funcionamiento del conmutador de 2 señales, en la cual se obtuvo la señal de salida del conmutador y se comparó con su señal de control. Se utilizó una señal cuadrada como señal de control y dos señales: cuadrada y triangular como señales a conmutar. En la tabla 2.6 se resumen las características de las señales utilizadas en esta simulación

**Tabla 2.6:** Configuración de las señales utilizadas en la simulación en AD2 del conmutador de 2 entradas.

Descripción	Señales Utilizadas en la Simulación				
	Tipo de Señal	Celda E/S	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal cuadrada	3	500mV	100Hz	500mV
Señal de entrada 1	Señal cuadrada	1	1V	500Hz	0V
Señal de entrada 2	Señal triangular	2	1V	500Hz	0V

La simulación se realizó por un tiempo de 20ms y los datos generados por AD2 se graficaron en el *software Matlab*. En la gráfica de la figura 2.5 se puede observar la señal de salida y la señal de control del conmutador, esta segunda tiene una frecuencia de 100Hz por lo que la duración de cada estado (alto o bajo) será de 5ms. En la gráfica obtenida al realizar esta simulación se pueden apreciar dos periodos completos de esta señal.



**Figura 2.5:** Simulación en AD2 de señal de salida y control de conmutador de 2 entradas.

Como se observa en las dos gráficas de la señal de entrada y señal de control de la figura 2.5, al iniciar la señal de control en 1V (estado alto) se activa el conmutador y selecciona la entrada 1, dónde se encuentra conectada la señal cuadrada, la cual se observa en la gráfica de la señal de salida en el primer lapso de 5ms. Al cambiar la señal de control a 0V (estado bajo) en los siguientes 5ms el conmutador selecciona la entrada 2 que es la señal tipo triangular, igual visible en la señal de salida. El cambio entre señal cuadrada y triangular se aprecia cada 5ms con lo que se corrobora el correcto funcionamiento del conmutador.

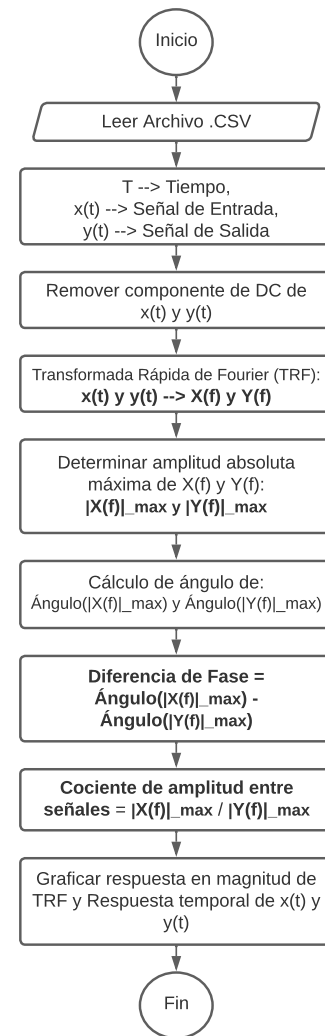
**Ángulo de Desfase y Perdida de Amplitud en Señal de Salida.** Como cualquier otro dispositivo analógico el CAM *GainSwitch* presenta ciertos efectos adversos en el procesamiento de la señal, que a pesar de ser mínimos es importante analizarlos y considerarlos en el diseño de las estructuras de conmutación. Durante la realización de simulaciones en AD2 y pruebas experimentales se detectó que este CAM presenta un desfase de onda en la señal de salida producido por la etapa de amplificación con filtro bilineal-paso bajo. También en las pruebas experimentales se detectó una pérdida de la amplitud de la señal de salida con respecto a la señal de entrada. A continuación, se describe la metodología utilizada para cuantificar estos 2 errores

**Medición Experimental de Ángulo de Desfase y Perdida de Amplitud.** Debido a que cada conmutador requiere un filtro bilineal paso-bajo a su salida para eliminar los efectos de muestreo propios de su funcionamiento, se produce un desfase entre la señal de entrada y la señal de salida. La medición de este ángulo de desfase se realizó de forma experimental comparando la señal en cada una de las entradas del conmutador con su señal de salida.

Se utilizó el osciloscopio *Keysight TTDSOX2024A* para capturar la respuesta transitoria de las señales de entrada y salida, las cuales denominaremos como  $x(t)$  y  $y(t)$  respectivamente, y se guardaron en un archivo de CSV. Posteriormente los datos de las señales obtenidas fueron procesados utilizando el *software Matlab* siguiendo el proceso descrito en el diagrama de flujo de la figura 2.6. En este proceso, el ángulo de desfase entre la señal de entrada y la señal de salida así como la relación entre la amplitud de ambas señales se determinaron aplicando la transformada de Fourier a los datos capturados en el archivo CSV y buscando el valor absoluto máximo de magnitud. La diferencia entre los ángulos de las magnitudes absolutas máximas de las señales de entrada y salida dieron como resultado el ángulo de desfase, denominado como:

$$\varphi = \angle(|X(f)|_{max}) - \angle(|Y(f)|_{max}) \quad (2.15)$$

Mientras que la magnitud máxima de la señal de salida entre la magnitud máxima de la señal de entrada dará como resultado el cociente o razón entre ambas

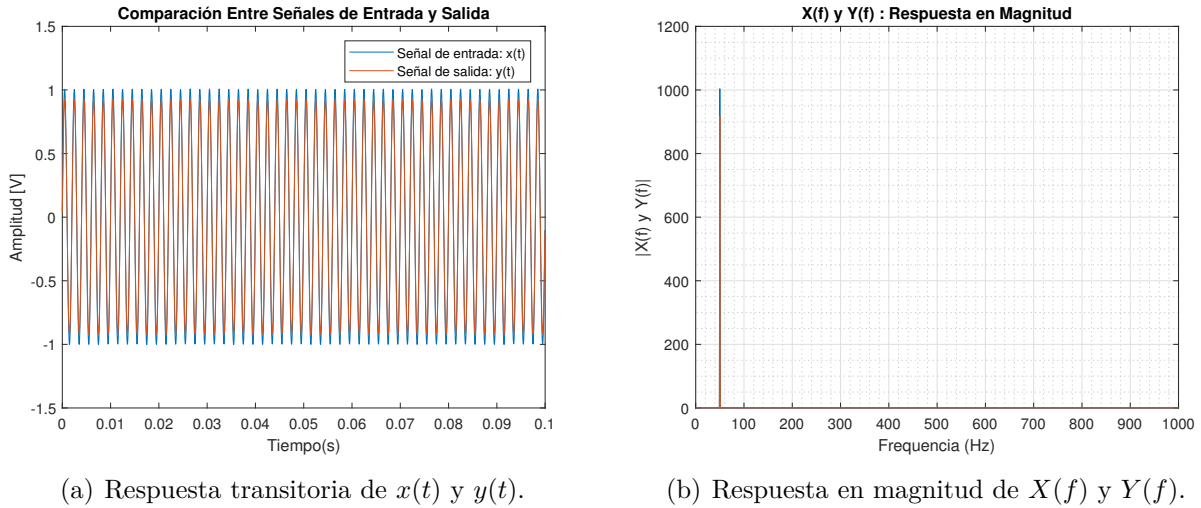


**Figura 2.6:** Diagrama de flujo de cálculo de ángulo de desfase y razón de amplitud en *Matlab*.

señales, al cual lo denominaremos como:

$$C = \frac{|Y(f)|_{max}}{|X(f)|_{max}} \quad (2.16)$$

En la gráfica de la figura 2.7(a) se presenta la comparación entre señal de entrada y señal de salida del conmutador en una de sus dos entradas, obtenida experimentalmente y procesada como se describió anteriormente. Se puede observar como la señal de salida  $y(t)$  (color naranja) presenta una pérdida de amplitud con respecto a la señal de entrada  $x(t)$  (color azul). En la gráfica de la figura 2.7(b) se muestra la comparación de respuesta en magnitud de ambas señales obtenida al aplicar la transformada de Fourier a los datos capturados



(a) Respuesta transitoria de  $x(t)$  y  $y(t)$ .

(b) Respuesta en magnitud de  $X(f)$  y  $Y(f)$ .

**Figura 2.7:** Comparación entre las señales de entrada y salida del conmutador.

Los resultados del cálculo del ángulo de desfase producido en la señal de salida con respecto a cada una de las dos entradas del conmutador se resumen en la tabla 2.7. También se muestra el cociente o razón de amplitud entre ambas señales, con el cual se puede apreciar de manera clara la pérdida de amplitud producida en la señal de salida del conmutador

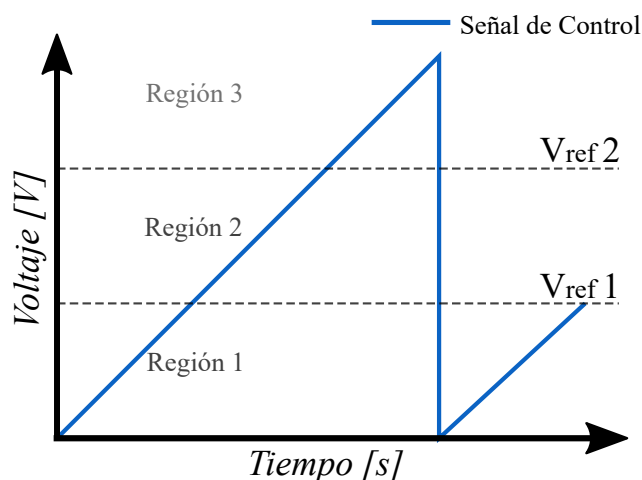
**Tabla 2.7:** Resultados obtenidos en la prueba experimental.

Conmutador 2 Señales				
Entrada	Ángulo de Desfase $\varphi$ [°]	Amplitud de Entrada [mV]	Amplitud de Salida [mV]	Cociente: $C$
1	1.2986	1003.7	918.1981	0.9148
2	1.2958	1003.9	918.0027	0.9145

El procedimiento realizado para medir el ángulo de desfase y la pérdida de amplitud en este conmutador será utilizado en la caracterización de las estructuras de conmutación que se presenten más adelante. Es importante mencionar que en una implementación física la pérdida de amplitud producida en el conmutador puede ser compensada utilizando la etapa de ganancia del CAM *GainSwitch* en la que cada entrada debe ser configurada con una ganancia igual a:  $1/C$ . El ángulo de desfase calculado es considerablemente pequeño para afectar las señales que pasen a través de este conmutador.

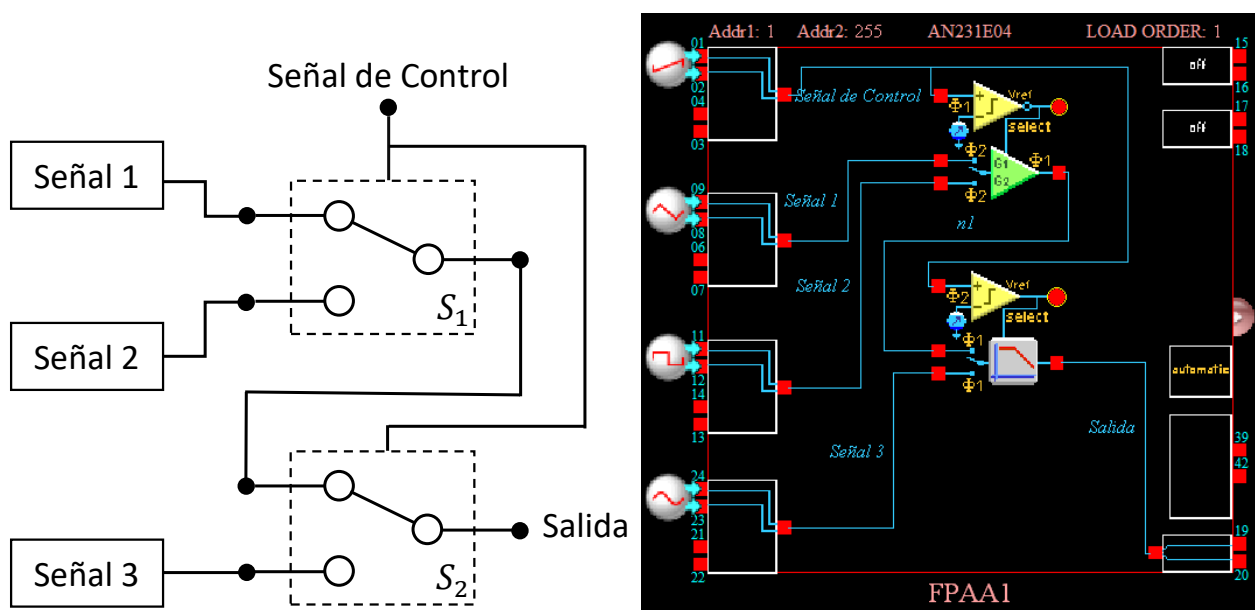
### Conmutación Entre 3 Señales con Estructuras de Conmutadores

En este diseño se realizó un arreglo en serie de dos conmutadores con el objetivo de aumentar el número de entradas de conmutación a tres. La señal de control es compartida por ambos conmutadores y cada conmutador es activado cuando la señal de control es mayor que el voltaje de referencia al cual ha sido configurado. Esto permite dividir la señal de control en 3 regiones de voltaje, como se muestra en la gráfica de la figura 2.8, y dependiendo del voltaje que tenga la señal de control la estructura de conmutación seleccionará una de sus tres entradas. El tipo de señal de control utilizada en este diseño es diente de sierra, como se aprecia en la gráfica de la figura 2.8, ya que la forma de esta señal permite hacer una distribución equitativa del tiempo de selección de cada entrada de la estructura de conmutación. Sin embargo, es posible utilizar cualquier otro tipo de señal de control que tenga una amplitud máxima de  $\pm 2.75 V$  [80]. Los voltajes de referencia de cada CAM *GainSwitch* también pueden ser configurados de acuerdo a las características que se requieran, aunque la ventana de configuración de este CAM en el *software* AD2 permiten establecer voltajes de referencia en el rango de  $-3V$  a  $3V$  es recomendable no superar la amplitud máxima de  $\pm 2.75 V$  para un correcto funcionamiento.



**Figura 2.8:** División de la señal de control en tres regiones de voltaje.

En la figura 2.9(a) se muestra el diagrama de bloques con las conexiones entre los conmutadores  $S_1$  y  $S_2$ . Como se observa, el conmutador  $S_1$  puede realizar la selección entre las entradas de las señales 1 ó 2, únicamente realizando la comparación entre la señal de control y un voltaje de referencia establecido. La salida del conmutador  $S_1$  irá conectada a una de las entradas del conmutador  $S_2$ . Es importante establecer que el conmutador  $S_2$  debe tener un voltaje de referencia mayor al que se establezca en el conmutador  $S_1$ . De esta forma, mientras la señal de control sea menor que el voltaje de referencia del conmutador  $S_2$ , este permanecerá inactivo y cerrado en la entrada en la que se encuentra conectada la señal proveniente del conmutador  $S_1$  permitiendo así el paso de la señal como si este segundo conmutador fuera solo un cable. Cuando la señal de control es mayor que el voltaje de referencia del conmutador  $S_2$  este se activa y selecciona la entrada de la señal 3, anulando cualquier señal proveniente del conmutador  $S_1$ . Con este diseño es posible seleccionar de forma secuencial cualquiera de las 3 entradas del conmutador mediante la señal de control.



(a) Diagrama de conexión de estructura de conmutación de tres señales. (b) Diseño de estructura de conmutación de 3 señales en AD2.

**Figura 2.9:** Diagrama de estructura de conmutación de tres señales y su diseño en el *software* AD2.

En la figura 2.9(b) se presenta el diseño de la estructura de conmutación en el *software* AD2. En este diseño la celda 1 del FPA AN231E04 se configuró como entrada de la señal de control, las celdas 2,3 y 4 se configuraron como entradas de las señales a conmutar y la celda 7 se configuró como la salida de la estructura de conmutación. Esta estructura de conmutadores la conforman dos CAMs *GainSwitch* y su configuración se describe a continuación.

El CAM *GainSwitch* 1, que se observa en la parte superior de la figura 2.9(b), se configuró para activarse con control en bajo con un voltaje de referencia de  $1V$ , esto significa que este CAM permanecerá activado y seleccionando la entrada 1 (Entrada Superior) mientras la señal de control no sea mayor a  $1V$ . Cuando la señal de control es mayor a  $1V$ , el CAM se desactivará y seleccionará la entrada 2 (Entrada Inferior). De esta forma se crean dos regiones de voltaje, una de  $0V$  y  $1V$  y la otra mayor a  $1V$ , con las cuales se puede determinar cuál de sus entradas seleccionará el CAM *GainSwitch* 1. La fase de muestreo del comparador se configuró en la fase 1. Debido a que la señal de salida de este CAM será procesada por un segundo conmutador no es conveniente que sea filtrada por un filtro paso-bajo en su etapa de ganancia ya que esto aumentará el ángulo de desfase y la deformación y pérdida de amplitud de la señal. Con base en ese análisis se optó por configurar la etapa de ganancia de este CAM como ganancia de medio ciclo, de esta forma la señal de salida del CAM será una señal muestreada y podrá ser filtrada por el segundo CAM *GainSwitch*.

El CAM *GainSwitch* 2, que se observa en la parte inferior de la figura 2.9(b), en su entrada 2 se encuentra conectada la señal proviene del primer conmutador mientras que la entrada 1 queda libre para conectar una tercera señal. Este CAM fue configurado para activarse con un control en bajo con un voltaje de referencia de  $2V$ , esto significa que el CAM *GainSwitch* permanecerá activado y seleccionando su entrada 1 mientras que la señal de control no sea mayor a  $2V$ . De esta forma la señal a la salida del conmutador será la señal que proveniente del CAM *GainSwitch* 1. Por el contrario, cuando el voltaje de control sea superior a  $2V$  el CAM *GainSwitch* 2 se desactivará y seleccionará la entrada 2, donde se encuentra conectada la tercera señal. El comparador de fase de muestreo en este segundo CAM debe ser configurado en fase 2 para evitar errores de fase con el primer CAM. La etapa de ganancia se configuró como filtro bilineal paso-bajo debido a que la señal a la salida de este CAM saldrá del FPAA y se deben eliminar los efectos de muestreo. Al igual que el conmutador de dos entradas la frecuencia de corte del filtro bilineal en este diseño es de  $200kHz$  y tanto los CAMs *GainSwitch* 1 como *GainSwitch* 2 trabajan a una frecuencia de reloj de  $2000kHz$ . En la tabla 2.8 se presenta de forma detallada la configuración del chip FPAA y los CAMs utilizados en esta estructura de conmutación en el *software* de AD2

**Tabla 2.8:** Configuración de FPAA 1 y CAM *GainSwitch* en Diseño de Estructura de Conmutación de Tres Entradas..

Clocks:		
Master Clock - ACLK(fc) 16 MHz		
System Clock 1 (sys1=fc/1) 16 MHz		System Clock 2 (sys1=fc/1) 16 MHz
Clock 0 (sys1/320) 50 kHz		Clock 1 (sys1/20) 800 kHz
Clock 2 (sys1/8) 2 MHz		Clock 3 (sys1/64) 250 kHz
Clock 4 (sys1/1) 16 MHz		Clock 5 (sys1/1) 16 MHz
Configurable Analog Modules:		
Block Name	Options	Parameters
<b>Gain Switch 1</b> 	<b>Compare Control to:</b> <i>Variable Reference</i> <b>Select Input 1:</b> <i>Control Low</i> <b>When:</b> <b>Comparator:</b> <i>Phase 1</i> <b>Sampling Phase:</b> <b>Gain Stage:</b> <i>Half Cycle</i> <b>ClockA:</b> <i>2 MHz (Chip Clock2)</i>	<b>Gain 1 (UpperInput):</b> <i>1.00</i> <b>Gain 2 (LowerInput):</b> <i>1.00</i> <b>Reference Voltage:</b> <i>1.00</i>
<b>Gain Switch 2</b> 	<b>Compare Control to:</b> <i>Variable Reference</i> <b>Select Input 1:</b> <i>Control Low</i> <b>When:</b> <b>Comparator:</b> <i>Phase 2</i> <b>Sampling Phase:</b> <b>Gain Stage:</b> <i>Low Pass Bilinear</i> <b>ClockA:</b> <i>2 MHz (Chip Clock2)</i>	<b>Gain 1 (UpperInput):</b> <i>1.00</i> <b>Gain 2 (LowerInput):</b> <i>1.00</i> <b>Corner Frequency [kHz]:</b> <i>200</i> <b>Reference Voltage:</b> <i>2.00</i>
I/O Cells:		
Name	Options	Parameters
IOCell 1-4	<b>I/O Mode:</b> <i>Input</i> <b>Input Type:</b> <i>Bypass</i>	
IOCell 7	<b>I/O Mode:</b> <i>Output</i> <b>Output Type:</b> <i>Bypass</i>	

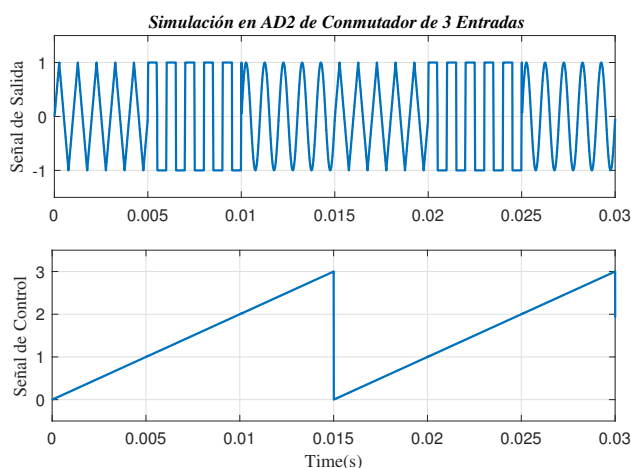
**Simulación de Estructura de Conmutación de 3 Señales en AD2.** Se realizó la simulación en AD2 del funcionamiento de la estructura de conmutación de tres señales, para esto se utilizó como señal de control una señal tipo diente de sierra que se levanta en forma de rampa con dirección a la derecha. Las tres señales que se utilizaron para conmutar son:

una señal triangular, una señal cuadrada y una señal senoidal, en la tabla 2.9 se resumen las características estas señales

**Tabla 2.9:** Configuración de las señales utilizadas para la simulación de estructura de conmutación de 3 señales.

Señales Utilizadas en la Simulación					
Descripción	Tipo de Señal	Celda E/S	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal diente de sierra	1	1.5V	66.6Hz	1.5V
Señal de entrada 1	Señal triangular	2	1V	1kHz	0V
Señal de entrada 2	Señal cuadrada	3	1V	1kHz	0V
Señal de entrada 2	Señal senoidal	4	1V	1kHz	0V

La simulación se realizó por un tiempo de 30ms. Con los datos generados se graficó en *Matlab* la comparación entre la señal de salida y la señal de control, como se presenta en la gráfica de la figura 2.10. La señal de control, que se observa en la parte inferior de la gráfica, tiene una frecuencia de 66.6666Hz por lo que su periodo es de 15ms, también su voltaje pico es de 1.5V con un offset de 1.5V. Con estas características se puede observar en la gráfica de la figura 2.10 como esta señal va de 0V a 3V atravesando las regiones de 0V a 1V, 1V a 2V, y 2V a 3V en intervalos de duración 5ms cada uno. En la parte superior de la figura 2.10 se observa la señal de salida de los conmutadores, se puede apreciar como cada intervalo de 5ms se conmuta de forma sucesiva entre las señales: triangular, cuadrada y senoidal, de esta forma se corrobora el correcto funcionamiento del conmutador de 3 entradas.



**Figura 2.10:** Simulación en AD2 de señal de salida y señal de control de estructura de conmutación de 3 entradas.

**Ángulo de Desfase y Perdida de Amplitud en Señal de Salida.** Debido a que la estructura de conmutación desarrollada tiene un filtro bilineal paso-bajo a su salida, este produce un desfase de la señal de salida con respecto a la señal en cada una de sus tres entradas como en el conmutador de dos señales. También, en pruebas experimentales se detectó pérdida de amplitud en la señal de salida. Por lo que siguiendo el procedimiento experimental descrito para el conmutador de 2 entradas se caracterizó el ángulo de desfase y la pérdida de amplitud, los resultados se resumen en la table 2.10

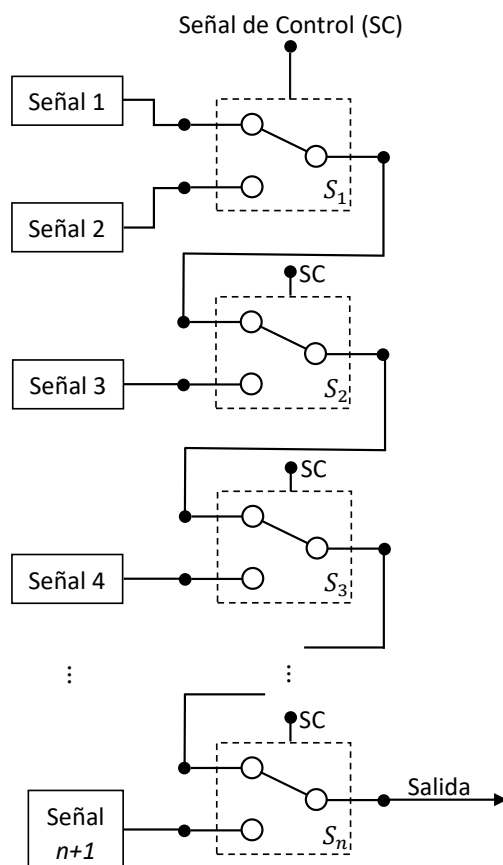
**Tabla 2.10:** Ángulo de desfase y pérdida de amplitud en la señal de salida de la estructura de conmutación de 3 entradas.

Estructura de Conmutación de 3 Señales				
Entrada	Ángulo de Desfase $\varphi$ [°]	Amplitud de Entrada [mV]	Amplitud de Salida [mV]	Cociente: $C$
1	1.3291	1004.2	940.0502	0.9362
2	1.3283	1003.9	939.8905	0.9362
3	1.2844	1004.3	928.0976	0.9241

Pese a incrementar el número de CAMs *GainSwitch* en esta estructura a dos y que el trayecto de las señales a conmutar se alargue, los valores del ángulo de desfase y la pérdida de amplitud siguen siendo muy similares al caso del conmutador de dos entradas. Nuevamente la pérdida de amplitud presentada en la salida de la estructura puede ser compensada configurando una ganancia igual a  $1/C$  en la etapa de ganancia de cada una de las entradas de señal, como se describió en el caso del conmutador de dos entradas.

### Conmutación Entre $n$ -Señales con Estructuras de Conmutadores.

Las estructuras de conmutación tienen la versatilidad de poder ser escalables a diseños con  $n$  número de conmutadores, el número de entradas que estas estructuras puedan tener depende de la forma en que los conmutadores estén conectados. La implementación de integradores de OFV con estructuras que permitan conmutar entre un número considerable de entradas permite aproximarse de forma más precisa a una función de orden  $\alpha(t)$ . Sin embargo, un mayor número de conmutadores presenta diversas limitantes cuando se busca realizar una implementación física. Se presentan problemas como el requerimiento de una mayor número de elementos analógicos, problemas de desfase de la señal de salida, pérdida de amplitud, desfase de las señales de control, entre otros. Con el objetivo de poder conmutar entre un mayor número de señales se realizó un estudio más profundo de las estructuras de conmutación y se propusieron dos estructuras que permitan conmutar entre 10 entradas. En una de las estructuras propuestas los conmutadores están conectados en serie, por lo que la llamaremos estructura tipo cascada, la segunda es una estructura tipo multiplexor cuyas salidas están conectadas a un sumador global. El diseño de ambas estructuras se describe a continuación



**Figura 2.11:** Diagrama de conexiones de la estructura de conmutación tipo cascada con  $n$ -numero de conmutadores.


**Estructura de Conmutación Tipo Cascada.** Esta estructura está conformada por un arreglo en serie de conmutadores de dos entradas, como se observa en la figura 2.11. Su funcionamiento se basa en el mismo que la estructura de conmutación de tres entradas por lo que cada conmutador está configurado para activarse por un voltaje de referencia distinto y mayor con respecto al conmutador anterior, así la señal de control puede ser dividida en diferentes regiones de voltaje con las que la estructura realizará una comparación y seleccionará de manera secuencial una de sus entradas. Esta estructura puede ser extendida a un número  $n$  de conmutadores y las entradas disponibles obedecerán a la razón de  $n + 1$ , por ejemplo, una estructura de conmutación de 4 entradas requerirá 3 conmutadores conectados en serie para su funcionamiento.

Cada una de las señales de entrada de esta estructura realiza un recorrido a través de los conmutadores para llegar a la salida, este recorrido puede ser extenso o corto dependiendo del número de conmutadores que conformen la estructura y la entrada a la cual se conecte la señal. Por ejemplo, en la figura 2.11 siempre que la señal de control sea menor que el voltaje

de referencia del conmutador  $S_1$  este y los demás conmutadores no se activarán y la señal 1 realizará un recorrido por todos los conmutadores hasta llegar a la salida del conmutador  $S_n$ . Cuando la señal de control sea mayor que el voltaje de referencia del conmutador  $S_2$  este dejará de seleccionar la señal proveniente del conmutador  $S_1$  y ahora seleccionará la entrada donde se encuentra conectada la señal 3. Este funcionamiento se repite para los conmutadores posteriores hasta llegar a la entrada de la señal  $n + 1$  en la que al activarse el conmutador  $S_n$  la señal  $n + 1$  atravesará únicamente este último conmutador para llegar a la salida. El análisis del recorrido que realizan las señales de entrada a través de los conmutadores toma cierta importancia ya que a través de este se producen ciertos efectos adversos que se discutirán más adelante.

**Diseño de Estructura de Conmutación Tipo Cascada en AD2.** El diseño de esta estructura de conmutación en el *software* AD2 se presenta en la figura 2.12 y está constituido de la siguiente forma: en el chip FPAA 1 se encuentra una estructura de conmutación de 3 entradas cuyas características de configuración a excepción del voltaje de referencia son las mismas que se describieron previamente. En el chip FPAA 2 se encuentra un CAM *GainSwitch* en el cual una de sus entradas se encuentra conectada la señal proveniente del FPAA 1 y en su segunda entrada se encuentra conectada la cuarta señal a conmutar, la señal de salida de este CAM debe ser filtrada por un filtro paso-bajo para poder ser conectada de forma externa al siguiente FPAA, la configuración general de este CAM se resume en la tabla 2.11. La señal de control de todos los conmutadores proviene de una misma fuente y es compartida entre ambos FPAA utilizando las celdas 5 y 6 como entrada y salida respectivamente. Este diseño puede ser escalado a un número  $n$  de conmutadores conectando más CAMs *GainSwitch* de la misma forma en que se conectó y configuró en el FPAA 2.

**Tabla 2.11:** Configuración de CAM *GainSwitch* en FPAA 2 y posteriores.

Configurable Analog Modules:		
Block Name	Options	Parameters
<b>Gain Switch</b> <i>n</i> 	<b>Compare Control to:</b> <i>Variable Reference</i> <b>Select Input 1:</b> <i>Control Low</i> <b>When:</b> <b>Comparator:</b> * <b>Sampling Phase:</b> <b>Gain Stage:</b> <i>Low Pass Bilinear</i> <b>ClockA:</b> 2 MHz (Chip Clock2)	<b>Gain 1 (UpperInput):</b> 1.00 <b>Gain 2 (LowerInput):</b> 1.00  <b>Corner Frequency [kHz]:</b> 200  <b>Reference Voltage:</b> **

\* Se debe alternar entre fase 1 y 2 cada vez que se agrega un nuevo CAM *GainSwitch*. \*\* Este valor depende de las características de la señal de control, puede ser fijado con un valor que este dentro de  $\pm 2.75 V$ .



**Efectos Adversos en Señal de Salida y de Control.** El aumento del número de conmutadores en la estructura conlleva que efectos adversos se intensifiquen y afecten su funcionamiento. En la caracterización del funcionamiento de esta estructura tipo cascada se incrementó el número de conmutadores a nueve, por lo que la estructura permitirá conmutar entre 10 señales, y se probó su funcionamiento de manera experimental. Como en los casos anteriores se encontró que debido al recorrido que realizan las señales de entrada a través de los conmutadores, en los que en su salida se encuentra un filtro paso-bajo, se produce un ángulo de desfase que aumenta gradualmente con cada *CAM GainSwitch* agregado. También se producen pérdidas de amplitud en la señal de salida y señal de control, a continuación, se describen cada uno de estos efectos adversos y su medición.

**Medición Experimental de Ángulo de Desfase y Pérdida de Amplitud en Señal de Salida.** La medición del ángulo de desfase y la pérdida de amplitud en la señal de salida de la estructura de conmutación tipo cascada se realizó de forma gradual. Se inició por capturar las señales de entrada y salida de la estructura de conmutación que se encuentra configurada en el FPAA 1 seleccionando cada una de las 3 entradas, posteriormente se conectó el segundo FPAA y nuevamente se capturó la señal de entrada y la salida de la estructura de conmutación que ahora ya está conformada por 3 conmutadores y se encuentra seleccionando la cuarta señal de entrada. Este proceso se repitió hasta agregar el noveno *CAM GainSwitch*. Los datos capturados fueron procesados como se describió en casos anteriores y los resultados se resumen en la tabla 2.12

**Tabla 2.12:** Ángulo de desfase y pérdida de amplitud en la señal de salida del conmutador de 10 señales.

Conmutador 10 Señales				
Entrada	Ángulo de Desfase $\varphi$ [°]	Amplitud de Entrada [mV]	Amplitud de Salida [mV]	Cociente: $C$
1	12.901	1003.1	895.8343	0.893
2	12.778	1003.4	895.9472	0.8929
3	10.417	1003.2	885.9143	0.8831
4	9.431	1002.9	620.4139	0.6186
5	7.936	1002.9	685.8325	0.6839
6	6.108	988.267	507.5977	0.5136
7	4.307	988.2622	594.7916	0.6019
8	2.905	988.3672	583.7428	0.5906
9	1.778	988.3412	577.9412	0.5848
10	1.661	988.3412	492.2866	0.4982

**Medición Experimental de Perdida de Amplitud en Señal de Control.** En esta prueba se utilizó como señal de control una señal de DC de  $1V$  obtenida a través del generador de funciones *Tektronix* AFG3101. Debido a que la señal de control que llega a cada conmutador proviene de un mismo nodo y esta se distribuye entre los chips FPAA de forma pasiva utilizando las celdas 5 y 6, se encontró que esta señal también presenta una caída de amplitud. El procedimiento para medir esta caída de amplitud fue el siguiente: con el osciloscopio *Keysight* TTDSOX2024A se capturó la señal de control que entra a través del filtro *Rauch* conectado a la celda 1 del FPAA 1 y a la par se capturó la señal de control que sale de la celda 6 del mismo FPAA. Posteriormente se capturó la señal de control en la entrada de celda 1 del FPAA 1 y la señal de control que sale en la celda 6 del FPAA 2, este mismo proceso se repitió para capturar la señal de control en los FPAA posteriores hasta llegar al FPAA 8. Los datos capturados en el archivo de CSV fueron procesados en el *software Matlab*, en el cual se calculó el promedio del voltaje de la señal de control en la entrada del FPAA 1 y esta se comparó con la señal de control que sale en la celda 6 de cada uno de los FPAA siguientes. El resultado se resume en la tabla 2.13

**Tabla 2.13:** Perdida de amplitud en señal de Control

Señal de control			
No. FPAA	Amplitud de Entrada [ $mV$ ]	Amplitud de Salida [ $mV$ ]	Cociente: $C$
2	0.9739	0.9406	0.9658
3	0.973	0.6653	0.6837
4	0.9726	0.6184	0.6358
5	0.973	0.5477	0.5629
6	0.9728	0.5305	0.5453
7	0.9729	0.5179	0.5323
8	0.9717	0.5057	0.5204

Como se observa en las tablas 2.12 y 2.13 esta estructura de conmutadores presenta un ángulo de desfase y perdida de amplitud tanto en la señal de salida como en la señal de control, estos tres problemas adversos aumentan en proporción al número de conmutadores que tenga la estructura. Aunque es posible compensar la pérdida de amplitud en la señal de salida utilizando la etapa de ganancia del CAM *GainSwitch*, los dos problemas restantes requieren elementos adicionales para poder solucionarlos. Esto nos lleva a concluir que esta estructura no es viable para conmutar entre un número  $n$  de señales de entrada; sin embargo, si es posible utilizarla para conmutar entre 3 señales de entrada, ya que los efectos adversos son mínimos.

**Diseño de Estructura de Conmutación Tipo Multiplexor.** Dado que la estructura de conmutación tipo cascada presentó problemas de desfase y pérdida de amplitud en la señal de salida, además de que la distribución de la señal de control provoca que esta también presente pérdida de amplitud cuando se trabaja con un número considerable de conmutadores y en consecuencia errores de funcionamiento en los últimos conmutadores de la estructura. Se optó por rediseñar una estructura de conmutación que evite o reduzca estos problemas, en la figura 2.13 se presenta la segunda estructura de conmutación desarrollada.

En este segundo diseño la conmutación entre las señales de entrada se realiza a través de pares de conmutadores conectados en serie y que comparten la misma señal de control. La señal de salida de cada par de conmutadores se conecta a un sumador global. Para el primer par de conmutadores  $S_1$  y  $S_2$  es importante establecer que el voltaje de referencia del conmutador  $S_2$  debe ser mayor que el del conmutador  $S_1$ . De esta forma, el conmutador  $S_1$  seleccionará una de las dos señales de entrada, dependiendo de la señal de control, y el conmutador  $S_2$  permanecerá inactivo permitiendo que la señal proveniente del conmutador  $S_1$  pase al sumador global. Cuando la señal de control sea mayor que el voltaje de referencia del conmutador  $S_2$  este se activará y seleccionará la entrada en la que se encuentra conectada la señal de  $0V$ .

En el siguiente par de conmutadores  $S_3$  y  $S_4$  también se establece que el voltaje de referencia del conmutador  $S_4$  debe ser mayor que el del conmutador  $S_3$  y este debe ser mayor que el de los conmutadores anteriores. A diferencia del primer par de conmutadores, las señales de entrada conectadas al conmutador  $S_3$  son:  $0V$  y la señal número 3. El funcionamiento de este par de conmutadores es similar al caso anterior y es el siguiente: mientras la señal de control sea menor que el voltaje de referencia del conmutador  $S_3$ , este permanecerá en estado inactivo y seleccionando la entrada donde se encuentra conectada la señal de  $0V$ , lo mismo sucederá con el conmutador  $S_4$  por lo que la señal de  $0V$  recorrerá ambos conmutadores y llegará al sumador global. El conmutador  $S_3$  debe estar configurado con el mismo voltaje de referencia que el conmutador  $S_2$ , así cuando la señal de control sea mayor que este voltaje de referencia ambos conmutadores se activarán en el mismo momento y mientras el conmutador  $S_2$  pasa a seleccionar la señal de  $0V$ , el conmutador  $S_3$  seleccionará la señal de entrada 3. Cuando la señal de control sea mayor que el voltaje de referencia del conmutador  $S_4$  este se activará y seleccionará la entrada en la que tiene conectada una señal de  $0V$ , anulando cualquier otra señal.

El funcionamiento descrito se repite para los pares de conmutadores siguientes y se puede extender para  $n$ -número de señales de entrada. De forma general esta estructura fue desarrollada para que solamente un par de conmutadores puede activarse a la vez y permita pasar una de las señales de entrada al sumador global mientras que los demás pares de conmutadores permanecerán inactivos y permitiendo que la señal de  $0V$  pase al sumador global. Debido a que el funcionamiento de esta estructura de conmutación es similar a la de un multiplexor se decidió llamarla con este nombre.

En este diseño, cada señal de entrada debe atravesar únicamente dos conmutadores por

lo que el desfase de onda producido se reduce significativamente y es el mismo para todas las señales de entrada. Para evitar la pérdida de amplitud en la señal de control y que esta llegue de forma igual a todos los conmutadores se agregó una unidad de control, la cual mediante una etapa activa de ganancia compensa la pérdida de amplitud que se pueda producir. Un efecto adverso de esta estructura de conmutación se genera cuando dos conmutadores cambian de estado al mismo tiempo, por ejemplo, los conmutadores  $S_2$  y  $S_3$  descritos anteriormente. Debido a que la señal de control puede variar ligeramente en cada conmutador se suscita el caso en que todos los pares de conmutadores se inactivan al mismo tiempo, provocando que la señal cambie abruptamente a cero. Este comportamiento ocurre en periodos de tiempo muy cortos por lo que incorporando un filtro paso-bajo a la salida del sumador global es posible filtrar y reducir este efecto. A continuación se describe el diseño de esta estructura de conmutación en AD2 y su caracterización

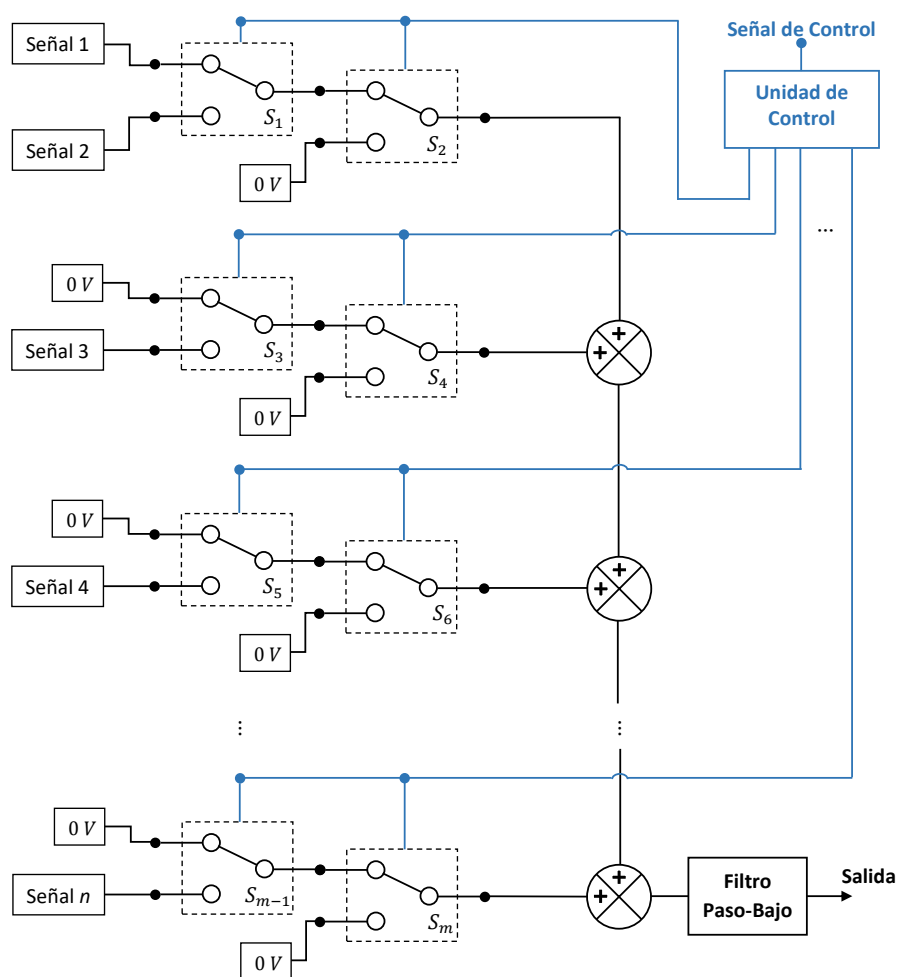
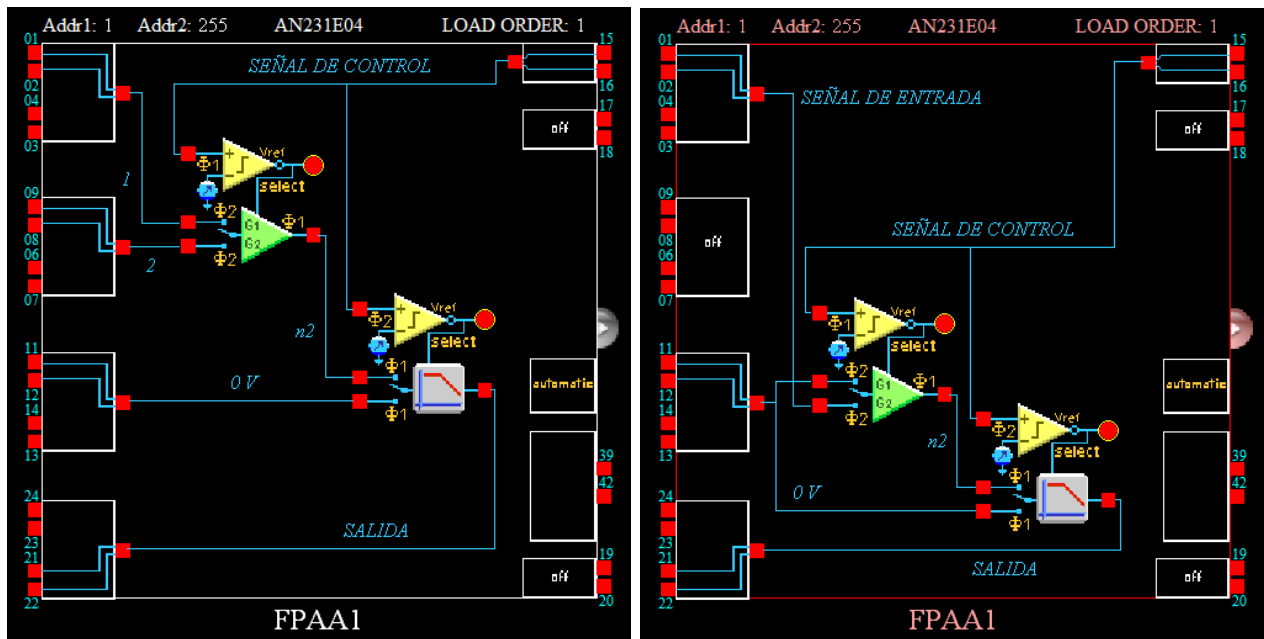


Figura 2.13: Diagrama de conexiones de la estructura de conmutación tipo multiplexor.

**Diseño de Estructura de Conmutación Tipo Multiplexor en AD2.** La estructura de conmutación tipo multiplexor que se presenta en la figura 2.13 está conformada por tres elementos principales, los cuales son: el par de conmutadores conectados en serie, el sumador global y la unidad de control. Estos elementos son modulares por lo que para extender el número de señales de entrada de la estructura de conmutación basta con agregar más elementos. A continuación se describe el diseño y configuración de cada uno de estos elementos en el *software* de AD2 y posteriormente la caracterización al realizar la implementación física de esta estructura con 10 entradas

**Par de Conmutadores Conectados en Serie.** Este par de conmutadores es el elemento básico de la estructura de conmutación, su diseño en el *software* de AD2 consta de dos CAMs *GainSwitch* conectados en serie dentro de un chip FPAA AN231E04, como se presenta en las figuras 2.14(a) y 2.14(b). Ambas figuras corresponden al mismo diseño del par de conmutadores en el *software* AD2, pero difieren en las conexiones de las celdas de entrada/salida del FPAA. El diseño presentado en la figura 2.14(a) se utiliza únicamente al inicio de la estructura de conmutación para conectar el primer par de conmutadores  $S_1$  y  $S_2$ . En este diseño se conmuta entre dos señales de entrada conectadas a las celdas 1 y 2 del FPAA. En el segundo diseño, presentado en la figura 2.14(b), la conmutación se realiza entre la señal de entrada conectada a la celda 1 y señal de 0V conectada a la celda 3.



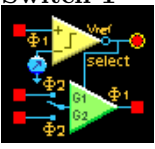
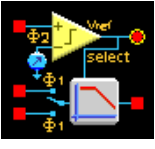
(a) Conmutadores  $S_1$  y  $S_2$

(b) Conmutadores  $S_2$  y  $S_3$  y posteriores.

**Figura 2.14:** Diseño de par de conmutadores en AD2.

En ambos casos la señal de control entra a través de la celda 7 y es compartida por ambos CAMs, la señal de salida está conectada a la celda 4 y la señal de 0V entra a través de la celda 3, en el diseño de la figura 2.14(b) esta señal es compartida por ambos CAMs. Solamente el diseño de la figura 2.14(a) puede conmutar entre 2 señales de entrada, cuando se requiera implementar una estructura que conmute entre 3 señales de entrada o más es necesario agregar la estructura de la figura 2.14(b) el número de veces que de entradas que se requiera. En la tabla 2.14 se presenta de forma detallada la configuración de los relojes del FPAA, CAMs y celdas de entrada/salida para implementar este par de conmutadores

**Tabla 2.14:** Configuración de FPAA 1 y CAMs en diseño de par de conmutadores.

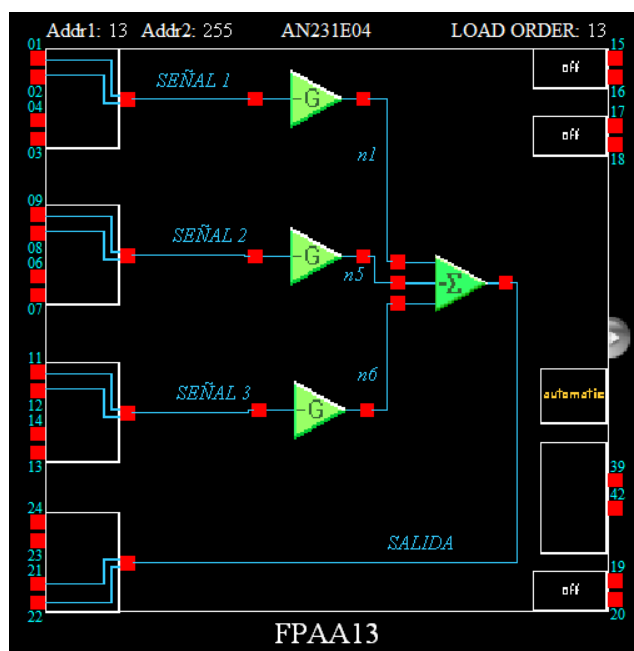
Clocks:		
Master Clock - ACLK(fc) 16 MHz		
System Clock 1 (sys1=fc/2) 8 MHz		System Clock 2 (sys2=fc/1) 16 MHz
Clock 0 (sys1/100) 80 kHz		Clock 1 (sys1/4) 2 MHz
Clock 2 (sys1/8) 1 MHz		Clock 3 (sys1/64) 125 kHz
Clock 4 (sys1/1) 8 MHz		Clock 5 (sys1/1) 8 MHz
Configurable Analog Modules:		
Block Name	Options	Parameters
<b>Gain Switch 1</b> 	<b>Compare Control to:</b> <i>Variable Reference</i> <b>Select Input 1:</b> <i>Control Low</i> <b>When:</b> <b>Comparator:</b> <i>Phase 1</i> <b>Sampling Phase:</b> <b>Gain Stage:</b> <i>Half Cycle</i> <b>ClockA:</b> 2 MHz (Chip Clock1)	<b>Gain 1 (UpperInput):</b> 1.00 <b>Gain 2 (LowerInput):</b> 1.00 <b>Reference Voltage:</b> *
<b>Gain Switch 2</b> 	<b>Compare Control to:</b> <i>Variable Reference</i> <b>Select Input 1:</b> <i>Control Low</i> <b>When:</b> <b>Comparator:</b> <i>Phase 2</i> <b>Sampling Phase:</b> <b>Gain Stage:</b> <i>Low Pass Bilinear</i> <b>ClockA:</b> 2 MHz (Chip Clock1)	<b>Gain 1 (UpperInput):</b> 1.00 <b>Gain 2 (LowerInput):</b> 1.00 <b>Corner Frequency [kHz]:</b> 200 <b>Reference Voltage:</b> *
I/O Cells FPAA figura 2.14(a):		
Name	Options	Parameters
IOCell 1-3, 5	<b>I/O Mode:</b> <i>Input</i> <b>Input Type:</b> <i>Bypass</i>	
IOCell 4	<b>I/O Mode:</b> <i>Output</i> <b>Output Type:</b> <i>Bypass</i>	

Continúa en la siguiente página...

I/O Cells FPAA figura 2.14(b):		
Name	Options	Parameters
IOCell 1, 3 y 5	I/O Mode: <i>Input</i> Input Type: <i>Bypass</i>	
IOCell 4	I/O Mode: <i>Output</i> Output Type: <i>Bypass</i>	

Fin de la tabla

\* Este valor depende de las características de la señal de control.



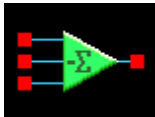
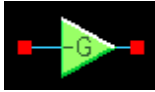
**Figura 2.15:** Diseño de sumador de señales en *software* AD2.

El diseño del sumador de señales que se presenta en la figura 2.15 se realizó utilizando los CAMs de etapa de ganancia invertida y etapa de suma invertida. El CAM de etapa de suma invertida invierte las señales conectadas en sus entradas, por lo que para realizar la suma de las 3 señales de entrada fue necesario conectar un CAM de ganancia invertida a cada una de las entradas y de esta forma anular la inversión de las señales a sumar, la ganancia en todos los CAMs utilizados es unitaria. Las celdas 1, 2 y 3 del FPAA son configuradas como entradas para conectar las señales provenientes de los pares de conmutadores y el orden en que estas sean conectadas es indistinto, la celda 4 se configura como salida del sumador.

Este sumador puede ser replicado cuantas veces sea necesario para aumentar el número de entradas a sumar, la conexión entre los sumadores se realiza de la siguiente forma: la salida del sumador conectada a la celda 4 del FPAA 1 debe ser conectada a la celda 1 del siguiente FPAA, de esta forma la señal de salida del primer sumador estará conectada a la primera entrada del siguiente sumador y quedarán dos entradas de señal libres, se pueden conectar tantos sumadores como sea necesario, para eliminar los efectos de conmutación en la salida del último sumador se agrega un filtro paso-bajo. En la tabla 2.15 se presenta de forma detalla la configuración para implementar este sumador de señales

Este sumador puede ser replicado cuantas veces sea necesario para aumentar el número de entradas a sumar, la conexión entre los sumadores se realiza de la siguiente forma: la salida del sumador conectada a la celda 4 del FPAA 1 debe ser conectada a la celda 1 del siguiente FPAA, de esta forma la señal de salida del primer sumador estará conectada a la primera entrada del siguiente sumador y quedarán dos entradas de señal libres, se pueden conectar tantos sumadores como sea necesario, para eliminar los efectos de conmutación en la salida del último sumador se agrega un filtro paso-bajo. En la tabla 2.15 se presenta de forma detalla la configuración para implementar este sumador de señales

**Tabla 2.15:** Configuración de FPAA 1 y CAM *GainSwitch* en diseño de sumador de señales.

Clocks:		
Master Clock - ACLK(fc) 16 MHz		
System Clock 1 (sys1=fc/1) 16 MHz		System Clock 2 (sys2=fc/1) 16 MHz
Clock 0 (sys1/8) 2 MHz		Clock 1 (sys1/1) 16 MHz
Clock 2 (sys1/8) 2 MHz		Clock 3 (sys1/64) 250 kHz
Clock 4 (sys1/1) 16 MHz		Clock 5 (sys1/1) 16 MHz
Configurable Analog Modules:		
Block Name	Options	Parameters
<b>SumInv 1</b> 	<b>Input 3:</b> <i>On</i>  <b>ClockA:</b> 2 MHz (Chip Clock 0)	<b>Gain 1 (UpperInput):</b> 1.00 <b>Gain 2 (MiddleInput):</b> 1.00 <b>Gain 3 (LowerInput):</b> 1.00
<b>GainInv 1-3</b> 	<b>ClockA:</b> 2 MHz (Chip Clock 0)	<b>Gain:</b> 1.00
I/O Cells:		
Name	Options	Parameters
IOCell 1-3	<b>I/O Mode:</b> <i>Input</i> <b>Input Type:</b> <i>Bypass</i>	
IOCell 4	<b>I/O Mode:</b> <i>Output</i> <b>Output Type:</b> <i>Bypass</i>	

**Unidad de Control.** El diseño de la unidad de control que se presenta en la figura 2.16 está conformado por dos CAMs de etapa de ganancia invertida. La señal de control llega a este FPAA a través del filtro *Rauch* de entrada que se encuentra conectado a la celda 1, por lo que se debe activar el amplificador en esta celda. Esta señal es invertida por el primer y segundo CAM por lo que se anula la inversión de la señal, el segundo CAM es utilizado para controlar la ganancia de la señal y se debe ajustar de acuerdo a la pérdida de amplitud que se mida, su salida está conectada a las celdas 2, 3, 5 y 7. Esta unidad de control puede replicarse cuantas veces sea necesario para controlar los conmutadores, la señal de control original debe pasarse de un FPAA a otro conectando la celda 4 del FPAA 1 a la celda 1 del FPAA siguiente. En la tabla 2.16 se presenta de forma detallada la configuración de los relojes del FPAA, CAMs y celdas de entrada/salida para implementar esta unidad de control

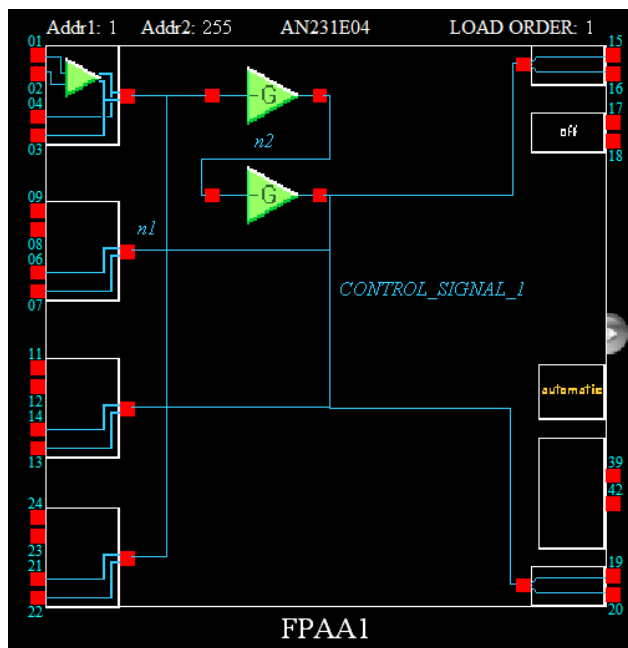
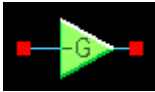


Figura 2.16: Diseño de unidad de control en AD2.

Tabla 2.16: Configuración de FPAA 1 y CAM *GainSwitch* en diseño de unidad de control.

Clocks:		
Master Clock - ACLK(fc) 16 MHz		
System Clock 1 (sys1=fc/1) 16 MHz		System Clock 2 (sys2=fc/1) 16 MHz
Clock 0 (sys1/8) 4 MHz		Clock 1 (sys1/1) 16 MHz
Clock 2 (sys1/8) 2 MHz		Clock 3 (sys1/64) 250 kHz
Clock 4 (sys1/1) 16 MHz		Clock 5 (sys1/1) 16 MHz
Configurable Analog Modules:		
Block Name	Options	Parameters
GainInv 1-2 	ClockA: 4 MHz (Chip Clock 0)	Gain: 1.00
I/O Cells:		
Name	Options	Parameters
IOCell 1	I/O Mode: <i>Input</i> Input Type: <i>Amplifier (Filter)</i>	
IOCell 2-5, 7	I/O Mode: <i>Output</i> Output Type: <i>Bypass</i>	

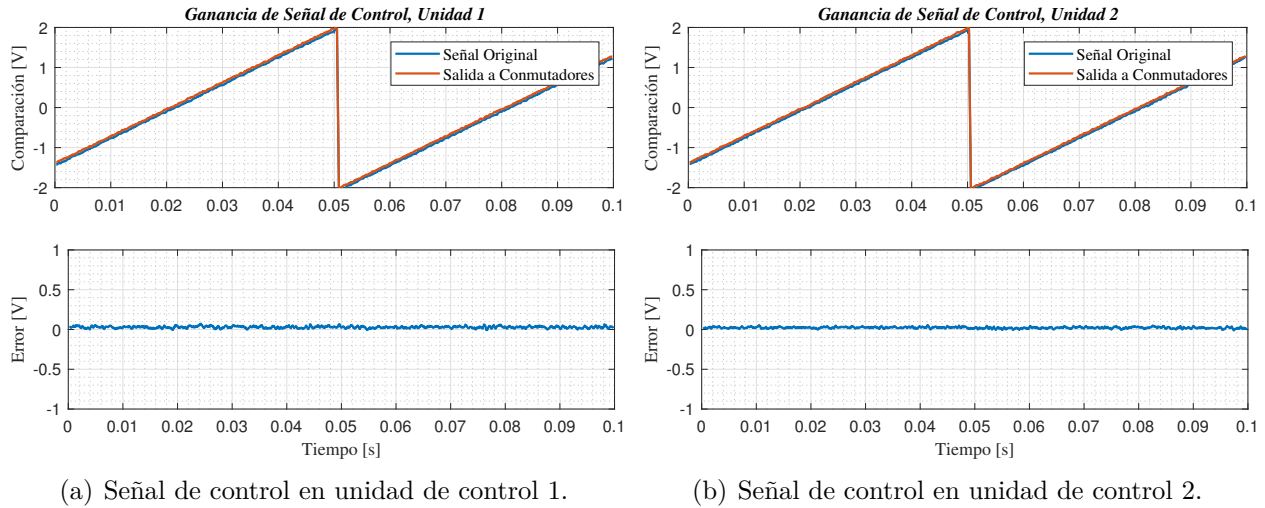
**Medición Experimental de Ángulo de Desfase y Perdida de Amplitud en Señal de Salida de Par de Conmutadores.** A diferencia de la estructura de conmutación tipo cascada, en esta estructura cada señal de entrada debe atravesar el par de conmutadores para llegar al sumador de señales y únicamente el segundo conmutador de cada par se encuentra configurado en su etapa de ganancia como filtro paso-bajo para filtrar los efectos de muestreo. Con estos cambios en el diseño se obtuvo una reducción considerable en el ángulo de desfase y la perdida de amplitud en cada señal de entrada. Se procedió a realizar la caracterización de la estructura de conmutación tipo multiplexor con 10 entradas, en la que con el procedimiento realizado en las estructuras de conmutación anteriores se midió el ángulo de desfase y la perdida de amplitud de la señal de entrada con respecto a la señal de salida de cada par de conmutadores, el promedio de los resultados obtenidos se presenta en la tabla 2.17

**Tabla 2.17:** Ángulo de desfase y perdida de amplitud en la señal de salida del conmutador de 10 entradas.

Estructura de Conmutación de Tipo Multiplexor de 10 señales				
Entrada	Ángulo de Desfase $\varphi$ [°]	Amplitud de Entrada [mV]	Amplitud de Salida [mV]	Cociente: $C$
1-10	1.072	988.1949	944.2595	0.9555

**Ajuste de Ganancia de la Señal de Control.** La distribución de la señal de control entre los diferentes conmutadores provoca una pérdida de amplitud. Para distribuir la señal de control en la estructura de conmutación tipo multiplexor de 10 entradas fue necesario implementar dos unidades de control como la de la figura 2.16, con las cuales se obtuvo un total de 9 salidas. De forma experimental se ajustó la ganancia del CAM *GainInv 2* en cada unidad de control hasta reducir a cero el error entre la señal original y la señal de salida a los conmutadores.

En la unidad de control 1 se configuró la ganancia del CAM *GainInv 2* con un valor de **1.078**, en la unidad de control 2 se configuró la ganancia del CAM *GainInv 2* con un valor de **1.13**. En las gráficas de las figuras 2.17(a) y 2.17(b) se presenta la comparación entra la señal de control original y la señal de control que sale a los conmutadores, en ambos casos podemos apreciar que la diferencia o error entre ambas señales es casi cero. De esta forma, aseguramos que todos los pares de conmutadores que conforman la estructura de conmutación recibirán la misma señal de control. El tipo de señal utilizada como señal de control es una señal de onda tipo diente de sierra con una amplitud de  $4V_{pp}$  y una frecuencia de  $10Hz$



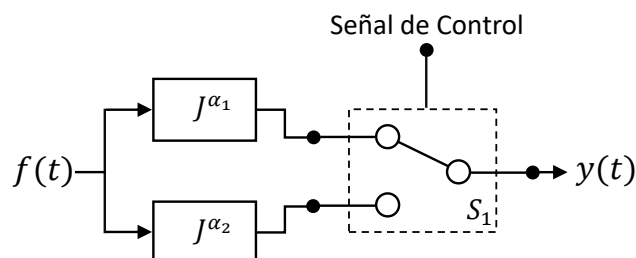
**Figura 2.17:** Comparación entre señal de control original, señal de control amplificada que sale a conmutadores y error entre ambas señales.

### 2.2.4. Implementación de Integradores de OFV

Después de desarrollar y caracterizar diversas estructuras de conmutación en la sección anterior se procede a incorporarlas con los integradores de OFC que se desarrollaron en el capítulo 1, de esta manera se culmina el diseño de integradores de OFV. En esta sección se describe el diseño e implementación de integradores de orden variable entre 2 órdenes fraccionarios, 3 órdenes fraccionarios y 10 órdenes fraccionarios basándose en la estructura de conmutación tipo multiplexor. Se presenta su diseño y simulación en AD2, además, utilizando la metodología descrita en el capítulo 1 se realizó la caracterización de la respuesta transitoria y en frecuencia de estos integradores.

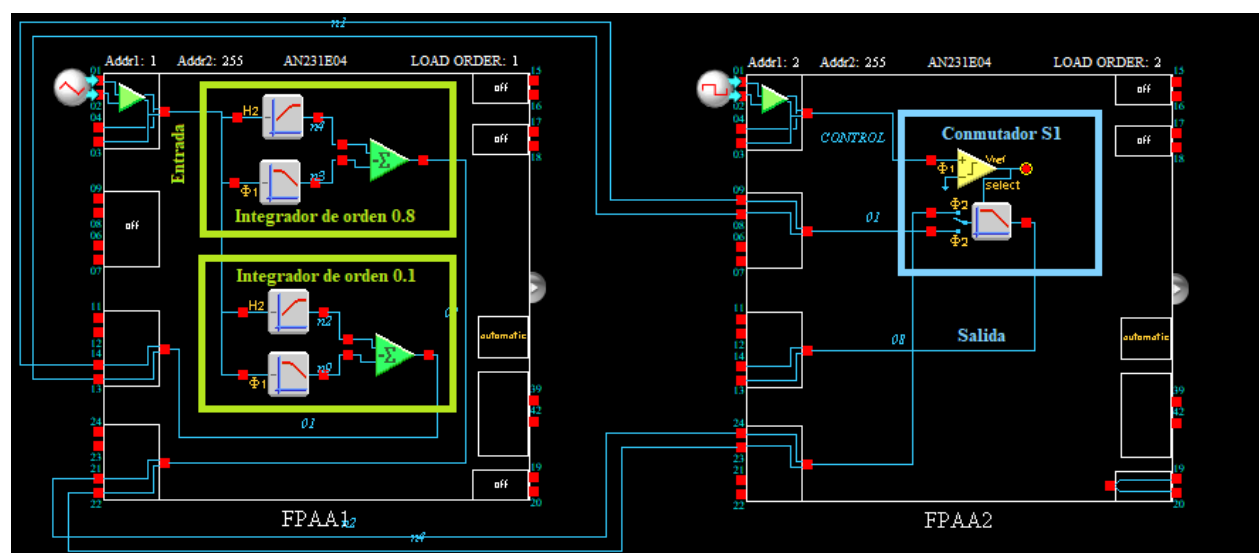
#### Integrador Variable Entre Dos Órdenes Fraccionarios

El integrador variable entre dos órdenes fraccionarios está conformado por la estructura de conmutación de dos señales, presentada anteriormente en la figura 2.4. En las entradas del conmutador se conectaron los integradores de OFC, los cuales pueden ser de cualquier orden fraccionario y comparten la señal de entrada  $f(t)$ . Dependiendo de la señal de control el conmutador selecciona una de las dos señales provenientes de los integradores y la lleva a la salida  $y(t)$ . El diagrama de bloques del integrador variable entre dos órdenes fraccionarios se presenta en la figura 2.18, en este diseño se configuraron los integradores con los órdenes fraccionarios  $\alpha = 0.1$  y  $\alpha = 0.8$  con el motivo de que la señal de salida presente una diferencia contrastante al conmutar



**Figura 2.18:** Diagrama de bloques de integrador variable entre dos órdenes fraccionarios.

**Diseño en AD2 de Integrador Variable Entre Dos Órdenes Fraccionarios.** El diseño en el *software* AD2 del integrador variable entre dos órdenes fraccionarios se presenta en la figura 2.19. Este diseño requirió el uso de dos chips FPAA AN231E04. En el chip FPAA 1 se encuentran conectados dos integradores de orden fraccionario, uno configurado en el orden  $\alpha = 0.8$  y el otro en el orden  $\alpha = 0.1$  con los valores que se describieron en el capítulo 1. En el chip FPAA 1 la señal a integrar entra a través de la celda 1, la cual dentro de la tarjeta *QuadApex* se encuentra conectada al filtro *Rauch* de entrada 1 por lo que esta celda se configuró como amplificador. La señal de salida del integrador de orden  $\alpha = 0.8$  se encuentra conectada a la salida de la celda 4 y esta se conectó a la entrada de la celda 4 del FPAA 2. De la misma forma, la señal de salida del integrador de orden  $\alpha = 0.1$  se conectó a la salida de la celda 3 y esta se conectó a la entrada de la celda 2 del FPAA 2. En el chip FPAA 2 se encuentran el conmutador, la celda 1 del FPAA 2 fue configurada también como amplificador para utilizar el filtro *Rauch* de entrada 2 de la tarjeta. La señal de salida del conmutador se conectó a la celda 3 que está conectada al *buffer* de salida 1 de la tarjeta.



**Figura 2.19:** Diseño en AD2 de integrador variable entre dos órdenes fraccionarios.

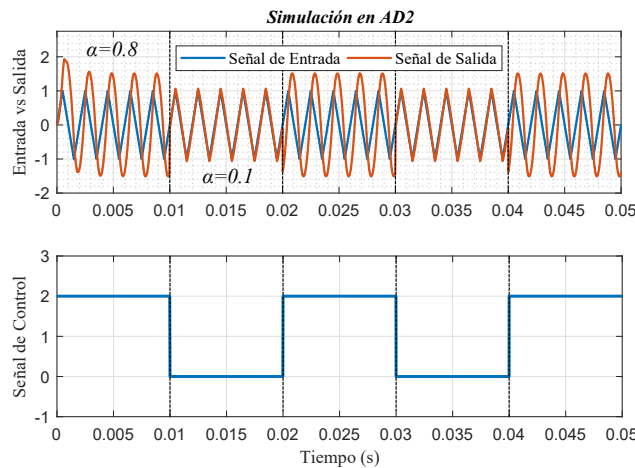
**Simulación en AD2 de Integrador Variable Entre Dos Órdenes Fraccionarios.**

Se realizó la simulación en AD2 del funcionamiento de este integrador por un periodo de  $50ms$ . Se utilizó una señal de onda triangular como señal de entrada y una señal de onda cuadrada como señal de control, sus características se resumen en la tabla 2.18

**Tabla 2.18:** Características de las señales utilizadas en la simulación.

Descripción	Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal Cuadrada	1V	50Hz	1V
Señal de Entrada 1	Señal Triangular	1V	500Hz	0V

Los datos obtenidos en la simulación se guardaron en un archivo de CSV y posteriormente se graficaron en el *software Matlab*. En la parte superior de la gráfica de la figura 2.20 se presenta la comparación entre la señal de entrada del conmutador y la señal de salida, en la parte inferior se presenta la señal de control. La señal de control tiene una frecuencia de  $50Hz$  por lo que su periodo es de  $20ms$  y el cambio entre cada estado tiene una duración de  $10ms$ , debido a que el conmutador está configurado para seleccionar la entrada 1 cuando la señal de control sea mayor que tierra podemos ver en la gráfica que cuando la señal de control está en estado alto la señal de salida se integra con el orden fraccionario  $\alpha = 0.8$  y en estado bajo en el orden  $\alpha = 0.1$ . El comportamiento de la señal integrada en cada orden fraccionario coincide con el que se presentó en el capítulo 1 para los integradores de OFC, lo que corrobora el funcionamiento del integrador.



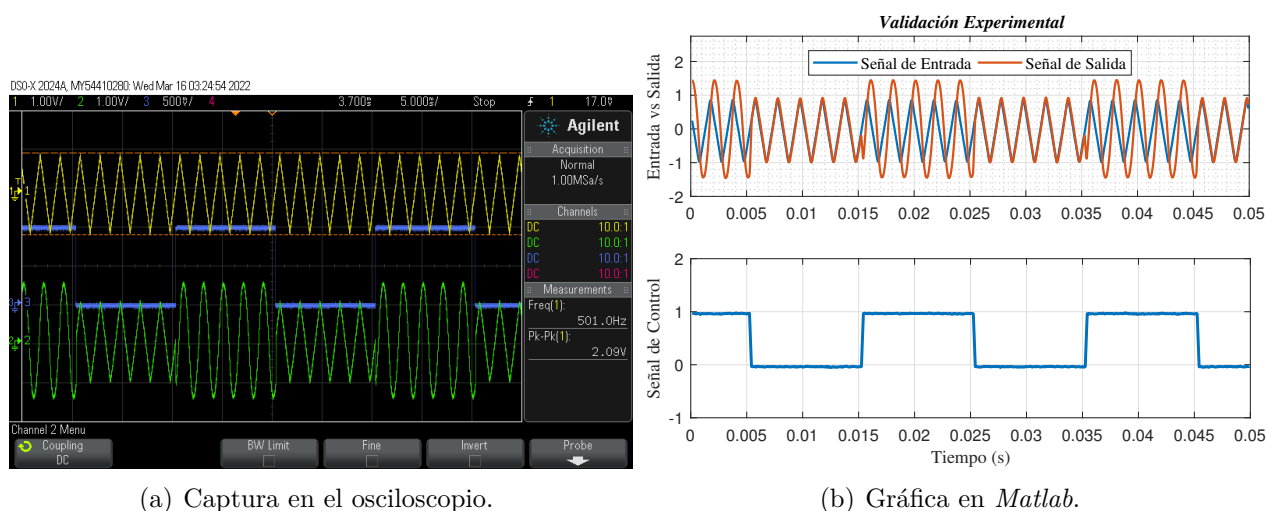
**Figura 2.20:** Señal de control y comparación entre señal de entrada y salida de integrador variable entre los órdenes fraccionarios  $\alpha = 0.8$  y  $\alpha = 0.1$ .

**Implementación Física y Caracterización de Respuesta Transitoria.** El integrador variable entre dos órdenes fraccionarios fue implementado en la tarjeta de desarrollo *QuadA-pex* utilizando dos de sus 4 chips FPAA disponibles. La señal de entrada fue generada con el osciloscopio *Keysight* TTDSOX2024A y se conectó al filtro *Rauch* de entrada 1 de la tarjeta de desarrollo, la señal de control se obtuvo del generador de funciones *Tektronix* AFG3101 y se conectó al filtro *Rauch* de entrada 2, la señal de salida se capturó conectando el osciloscopio al *buffer* de salida 1. Se procedió a caracterizar la respuesta transitoria del integrador desarrollado, en la tabla 2.19 se resumen las características de las señales utilizadas

**Tabla 2.19:** Características de las señales utilizadas en la prueba experimental.

Descripción	Tipo de Señal	Amplitud Pico	Frecuencia.	Offset
Señal de Control	Señal Cuadrada	500mV	50Hz	500mV
Señal de Entrada	Señal Triangular	1V	500Hz	0V

Se capturó con el osciloscopio la respuesta temporal del integrador por un periodo de 50ms, como se presenta en la figura 2.21(a). Los datos generados fueron procesados en el *software* de *Matlab* con el que se les aplicó un filtrado Savitzky-Golay de orden 0 y longitud de cuadro 7, posteriormente estos datos fueron graficados obteniendo la gráfica de la figura 2.21, dónde se muestra una comparación entre la señal de entrada, la señal de salida y la señal de control

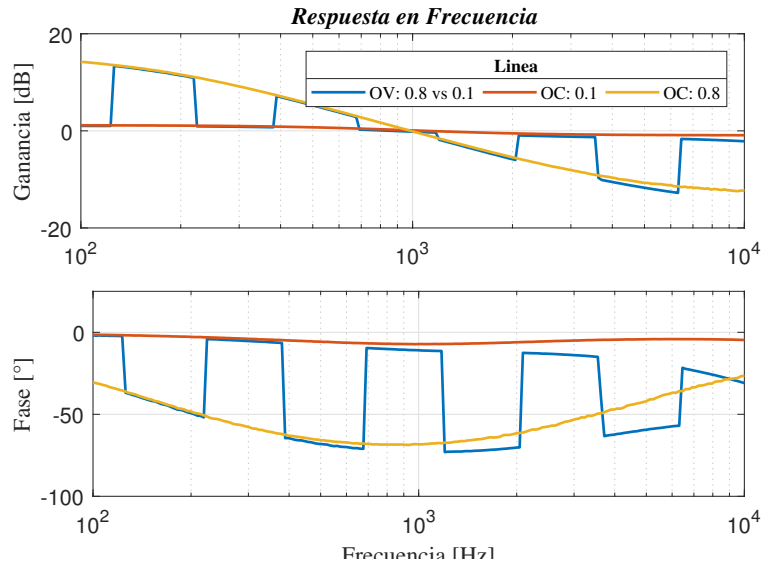


**Figura 2.21:** Respuesta transitoria del integrador variable entre los órdenes fraccionarios  $\alpha = 0.8$  y  $\alpha = 0.1$ .

En la figura 2.21 se observa que el comportamiento de la señal de salida del integrador

en cada cambio de estado coincide con el de la simulación y con el que se analizó en el capítulo 1. La señal integrada con un integrador de orden fraccionario  $\alpha = 0.8$  presentará un comportamiento muy similar al de una señal integrada en orden entero y la señal integrada en el orden fraccionario  $\alpha = 0.1$  presentará un comportamiento muy similar a la señal original.

**Caracterización de Respuesta en Frecuencia.** Para caracterizar la respuesta en frecuencia del integrador se cambió la frecuencia de la señal de control a  $100mHz$ . La señal de estímulo proveniente del dispositivo NI ELVIS II se conectó al filtro *Rauch* de entrada 1 de la tarjeta y la salida del integrador, conectada al *buffer* de salida 1 se conectó al canal de respuesta del dispositivo NI ELVIS II. La configuración en el *software NI ELVISmx Bode Analyser* para capturar la respuesta en frecuencia fue la misma que se utilizó en el capítulo 1 y se resume en la tabla 1.9. Los datos obtenidos se graficaron en el *software Matlab* y se presentan en la figura 2.22

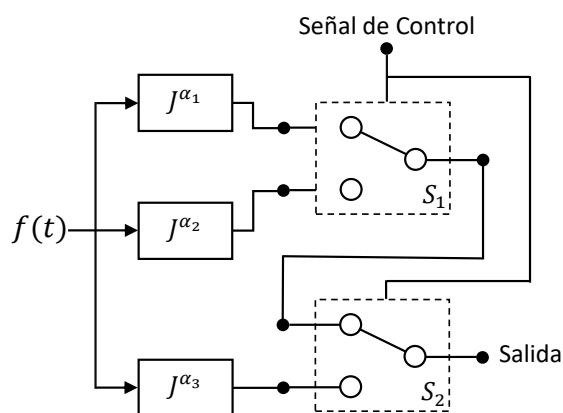


**Figura 2.22:** Respuesta en frecuencia de integrador variable entre los órdenes fraccionarios  $\alpha = 0.8$  y  $\alpha = 0.1$ .

En el diagrama de bode de la figura 2.22 se muestra en la línea de color azul la respuesta en amplitud y fase del integrador de OFV, la cual siguiendo la función de orden  $\alpha(t)$  conmuta entre los órdenes fraccionarios  $\alpha = 0.1$  y  $\alpha = 0.8$  por lo que la pendiente de la línea cambiará entre los valores de  $2dB/Dec$  y  $16dB/Dec$  respectivamente. También el comportamiento del integrador de orden variable es comparado con el de los integradores de los mismos órdenes fraccionarios constantes, las cuales se graficaron con los colores naranja y amarillo respectivamente.

### Integrador Variable Entre Tres Órdenes Fraccionarios

El integrador variable entre tres órdenes fraccionarios está conformado por la estructura de conmutación de tres señales, presentada anteriormente en la figura 2.9. En las entradas del conmutador se conectaron los integradores de OFC, estos pueden ser de cualquier orden fraccionario y comparten la señal de entrada  $f(t)$ . Dependiendo de la señal de control la estructura de conmutación selecciona una de las tres señales provenientes de los integradores y la lleva a la salida  $y(t)$ . Su diagrama de bloques se presenta en la figura 2.23, en este diseño se configuraron los tres integradores con los órdenes  $\alpha = 0.1$ ,  $\alpha = 0.5$  y  $\alpha = 0.9$  con el motivo de que la señal de salida presente una diferencia contrastante al conmutar entre estos tres órdenes fraccionarios



**Figura 2.23:** Diagrama de bloques de integrador variable entre 3 órdenes fraccionarios.

**Diseño en AD2 de Integrador Variable Entre Tres Órdenes Fraccionarios.** El diseño en el *software* AD2 del integrador variable entre tres órdenes fraccionarios se presenta en la figura 2.24. Este diseño al igual que el integrador variable entre dos órdenes fraccionarios requirió el uso de dos chips FPAA AN231E04 y comparte un diseño muy similar. En el chip FPAA 1 se encuentran conectados dos integradores de orden fraccionario, uno configurado en el orden  $\alpha = 0.1$  y el otro en el orden  $\alpha = 0.5$  con los valores que se describieron en el capítulo 1. En este chip la señal a integrar entra a través de la celda 1, la cual dentro de la tarjeta *QuadApex* se encuentra conectada al filtro *Rauch* de entrada 1 por lo que esta celda se configuró como amplificador. La señal de salida del integrador de orden  $\alpha = 0.1$  se encuentra conectada a la salida de la celda 2 y esta se conectó a la entrada de la celda 4 del FPAA 2. De la misma forma, la señal de salida del integrador de orden  $\alpha = 0.5$  se conectó a la salida de la celda 3 y esta se conectó a la entrada de la celda 2 del FPAA 2. En el chip FPAA 2 se encuentran conectados la estructura de conmutación y el integrador de orden  $\alpha = 0.9$ , la celda 1 del FPAA 2 fue configurada también como amplificador para utilizar el filtro *Rauch* de entrada 2 de la tarjeta. La señal de salida del conmutador se conectó a la celda 3 que está conectada al *buffer* de salida 1 de la tarjeta.

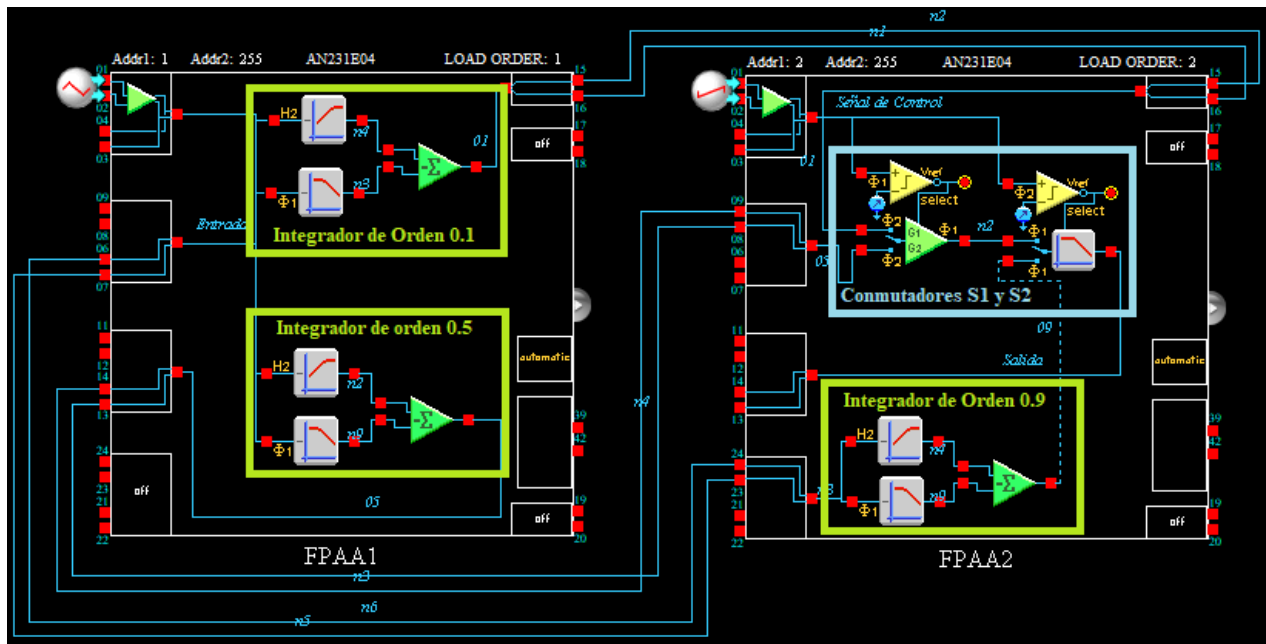


Figura 2.24: Diseño en AD2 de integrador variable entre tres órdenes fraccionarios.

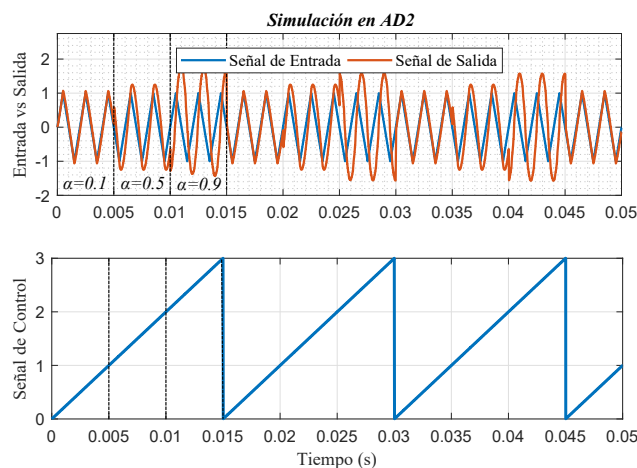
### Simulación en AD2 de Integrador Variable Entre Tres Órdenes Fraccionarios

Se realizó la simulación en AD2 del funcionamiento de este integrador por un periodo de  $50ms$ . Se utilizó una señal de onda triangular como señal de entrada y una señal de onda tipo diente de sierra como señal de control, sus características se resumen en la tabla 2.20

Tabla 2.20: Características de las señales utilizadas en la simulación.

Descripción	Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal Diente de Sierra	$1.5V$	$66.666Hz$	$1.5V$
Señal de Entrada	Señal Triangular	$1V$	$500Hz$	$0V$

Nuevamente los datos obtenidos en la simulación se guardaron en un archivo de CSV y posteriormente se graficaron en el *software Matlab*. En la parte superior de la gráfica de la figura 2.25 se presenta la comparación entre la señal de entrada del conmutador y la señal de salida, en la parte inferior se presenta la señal de control. La señal de control tiene una frecuencia de  $66.666Hz$  por lo que su periodo es de  $15ms$  y debido a que la señal fue dividida en tres regiones de voltaje por los voltajes de referencia de los conmutadores el cambio entre cada estado tiene una duración de  $5ms$ . En la gráfica se observa que la señal de salida es afectada por los tres cambios de integrador lo que corrobora su funcionamiento.



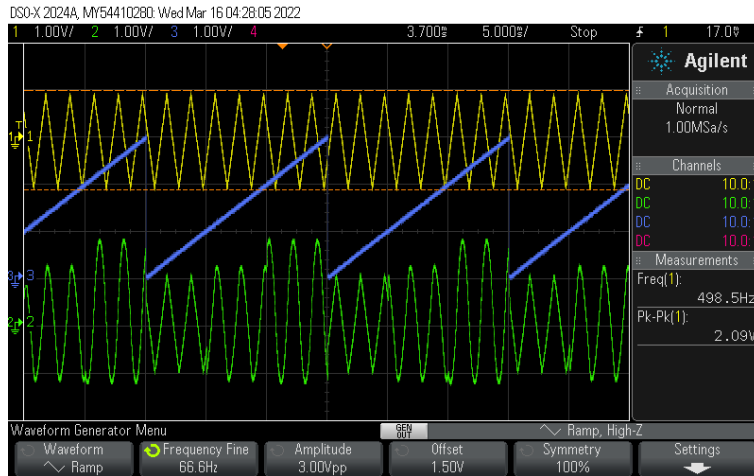
**Figura 2.25:** Señal de control y comparación entre señal de entrada y salida de integrador variable entre los órdenes fraccionarios  $\alpha = 0.1$ ,  $\alpha = 0.5$  y  $\alpha = 0.9$ .

**Implementación Física y Caracterización de Respuesta Transitoria.** El integrador variable entre tres órdenes fraccionarios fue implementado en la tarjeta de desarrollo *QuadApex*, su diseño requiere el uso de dos de sus 4 chips FPAA disponibles. Las señales de entrada y control se conectaron en la misma forma que en el integrador variable entre dos órdenes fraccionarios, la señal de entrada fue generada con el osciloscopio *Keysight TTDSOX2024A* y se conectó al filtro *Rauch* de entrada 1 de la tarjeta de desarrollo, la señal de control se obtuvo del generador de funciones *Tektronix AFG3101* y se conectó al filtro *Rauch* de entrada 2, la señal de salida se capturó conectando el osciloscopio al *buffer* de salida 1. Se procedió a caracterizar la respuesta transitoria del integrador desarrollado, en la tabla 2.21 se resumen las características de las señales utilizadas en la prueba

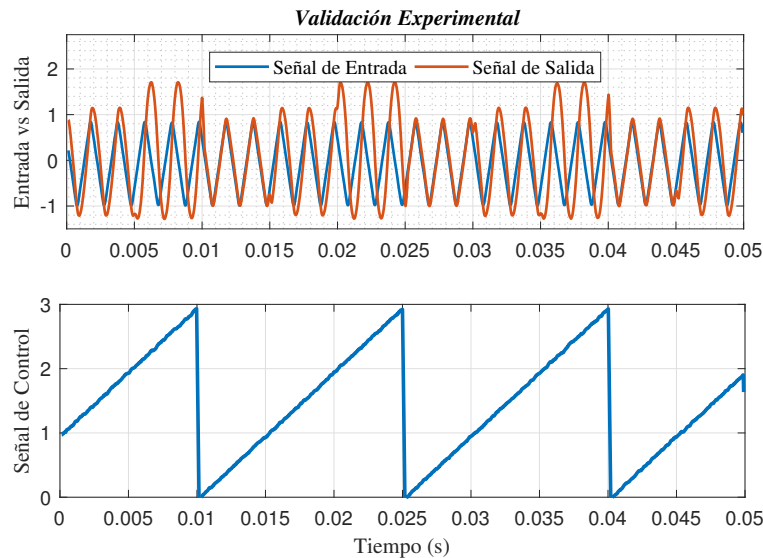
**Tabla 2.21:** Características de las señales utilizadas en la prueba experimental.

Descripción	Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal Diente de Sierra	1.5V	66.666Hz	1.5V
Señal de Entrada	Señal Triangular	1V	500Hz	0V

Se capturó con el osciloscopio la respuesta temporal del integrador por un periodo de 50ms, como se presenta en la figura 2.26(a). Los datos generados fueron procesados en el *software* de *Matlab* con el que se les aplicó un filtrado Savitzky-Golay de orden 0 y longitud de cuadro 7, posteriormente estos datos fueron graficados obteniendo la gráfica de la figura 2.26, dónde se muestra una comparación entre la señal de entrada, la señal de salida y la señal de control.



(a) Captura en el osciloscopio.



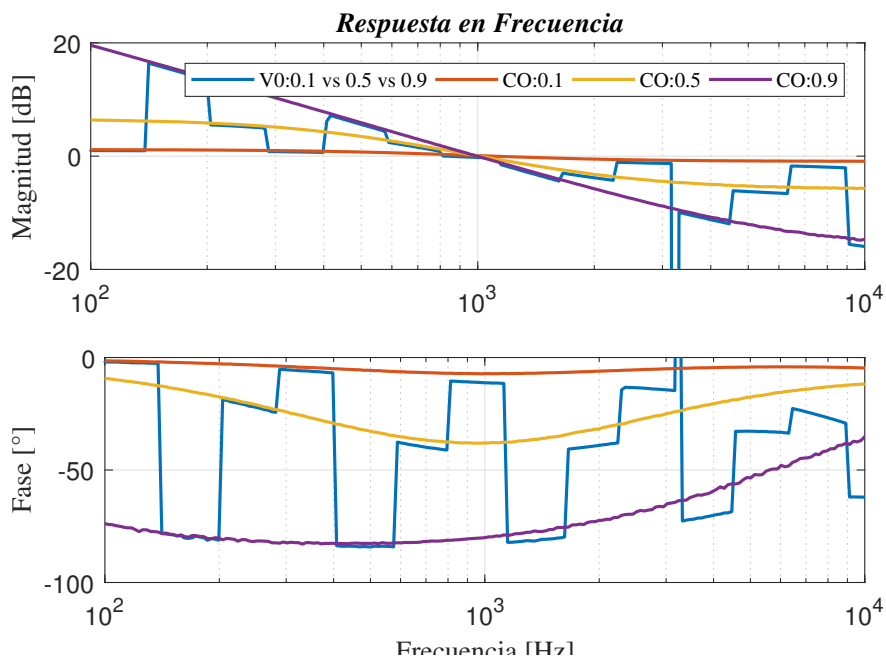
(b) Gráfica en *Matlab*.

**Figura 2.26:** Respuesta transitoria del integrador variable entre los órdenes fraccionarios  $\alpha = 0.1$ ,  $\alpha = 0.5$  y  $\alpha = 0.9$ .

En la figura 2.26 se observa que el comportamiento de la señal de salida del integrador en cada cambio de estado coincide con el de la simulación y con el que se analizó en el capítulo 1. La señal integrada con un integrador de orden fraccionario  $\alpha = 0.1$  presentará un comportamiento muy similar a la señal original, la señal integrada en el orden fraccionario  $\alpha = 0.5$  presentará un comportamiento intermedio entre la señal original y la señal integrada en orden entero, la señal integrada en el orden fraccionario  $\alpha = 0.9$  presentará un comportamiento muy

similar al de una señal integrada en orden entero.

**Caracterización de Respuesta en Frecuencia.** Para caracterizar la respuesta en frecuencia del integrador se realizó el mismo procedimiento que en el integrador anterior. Los datos obtenidos se procesaron y graficaron en el *software Matlab* y se presentan en la figura 2.27



**Figura 2.27:** Respuesta en frecuencia de integrador variable entre los órdenes fraccionarios  $\alpha = 0.1$ ,  $\alpha = 0.5$  y  $\alpha = 0.9$ .

En el diagrama de bode de la figura 2.27 se muestra en la línea de color azul la respuesta en amplitud y fase del integrador de OFV, la cual siguiendo la función de orden  $\alpha(t)$  conmuta entre los órdenes fraccionarios  $\alpha = 0.1$ ,  $\alpha = 0.5$  y  $\alpha = 0.9$  por lo que la pendiente de la línea cambiará entre los valores de  $2dB/Dec$ ,  $10dB/Dec$  y  $18dB/Dec$  respectivamente. También la respuesta en frecuencia del integrador de orden variable es comparada con las respuestas de los integradores de los mismos órdenes fraccionarios constantes, las cuales se graficaron con los colores naranja, amarillo y violeta respectivamente. Se observa que el comportamiento de los 4 integradores coincide en el rango de frecuencia de  $10^2 Hz$  a  $10^4 Hz$ , posterior a este rango su comportamiento cambia ligeramente.

### Integrador Variable Entre Diez Órdenes Fraccionarios

El integrador variable entre diez órdenes fraccionarios es una estructura extensa conformada por la estructura de conmutación tipo multiplexor en cuyas entradas se conectaron integradores de OFC. La estructura de conmutación, como se describió en la sección anterior, incorpora para su funcionamiento una unidad de control, un sumador de señales y los pares de conmutadores conectados en serie. La señal de entrada  $f(t)$  es compartida por todos los integradores, por lo que para asegurar que esta llegue igual a cada integrador se agregó una unidad que amplifique la señal y la distribuya evitando la pérdida de amplitud como en la unidad de control. En el diagrama de la figura 2.28 se presenta la estructura completa del integrador, en este diseño los integradores a conmutar se configuraron en los órdenes fraccionarios  $\alpha = 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9$  y  $0.95$  con el motivo de que la señal de salida sea integrada de forma gradual.

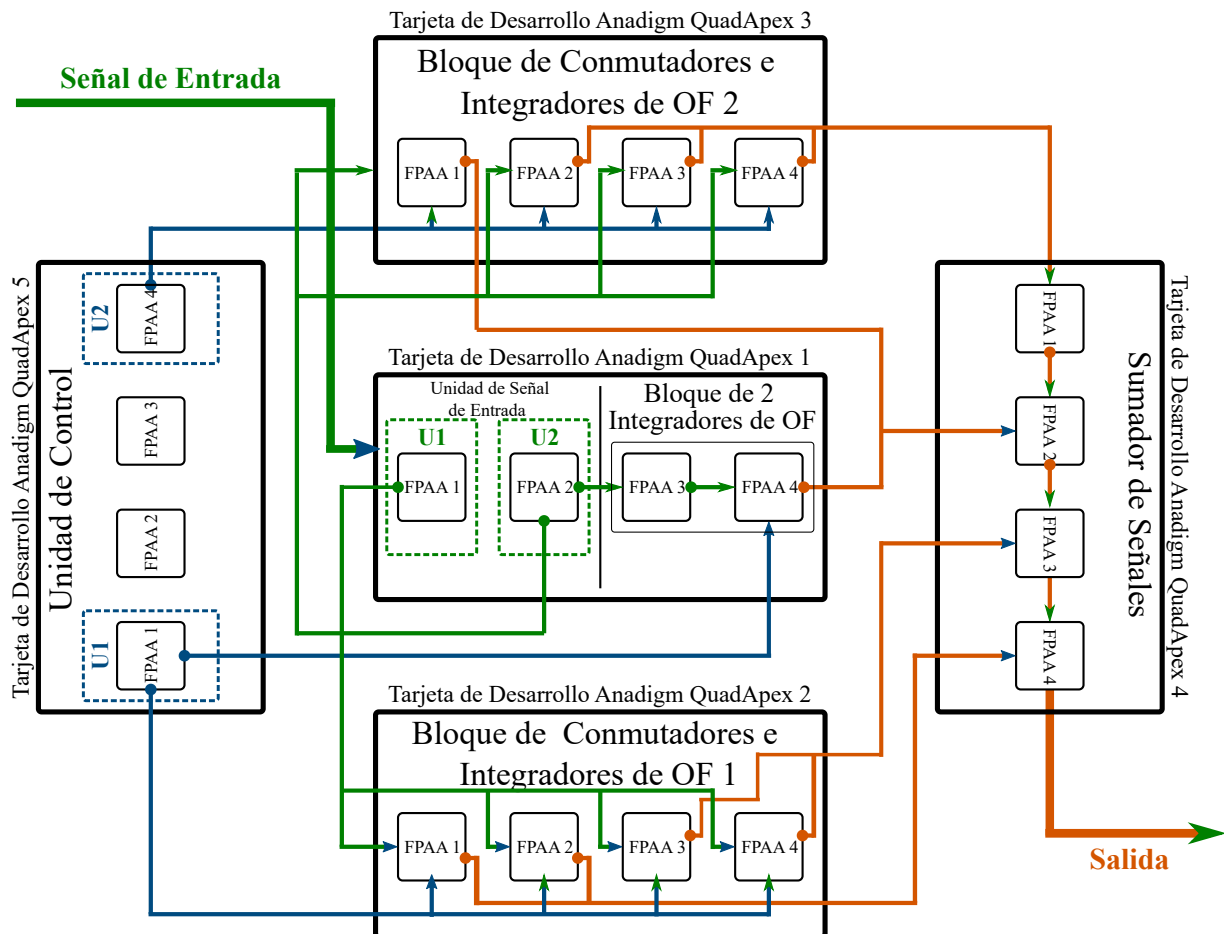
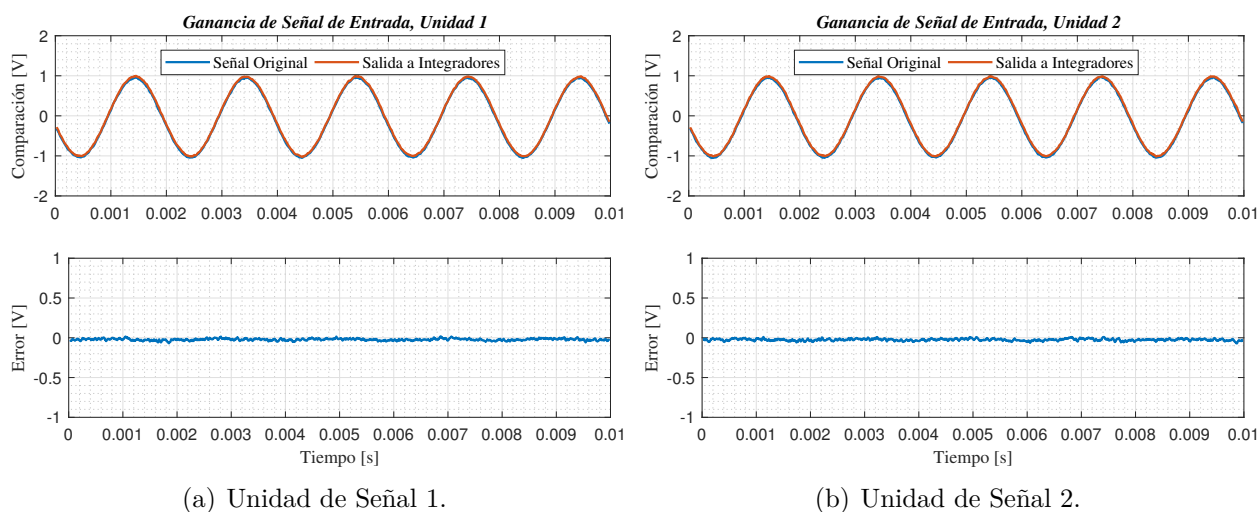


Figura 2.28: Diagrama de integrador variable entre diez órdenes fraccionarios.

**Ajuste de Ganancia de la Señal de Entrada.** La distribución de la señal de entrada entre los diferentes integradores provoca una pérdida de amplitud. Para distribuir la señal de entrada en la estructura de conmutación tipo multiplexor de 10 entradas fue necesario implementar etapas de ganancia activas que amplifiquen la señal de entrada y la distribuyan en diversas salidas, como la que se utilizó para la unidad de control. Para llevar a cabo esto se utilizaron dos bloques como la unidad de control de la figura 2.16, con las cuales se obtuvo un total de 9 salidas. De forma experimental se ajustó la ganancia del CAM *GainInv 2* en cada unidad de ganancia señal hasta reducir a cero el error entre la señal original y la señal de salida a los integradores.

En la unidad de señal 1 se configuró la ganancia del CAM *GainInv 2* con un valor de **1.07**, en la unidad de control 2 se configuró la ganancia del CAM *GainInv 2* con un valor de **1.095**. En las gráficas de las figuras 2.29(a) y 2.29(b) se presenta la comparación entre la señal de entrada original y la señal que sale a los conmutadores, en ambos casos podemos apreciar que la diferencia o error entre ambas señales es casi cero. De esta forma, aseguramos que todos los integradores que conforman el integrador de OFV recibirán la misma señal de entrada. El tipo de señal de entrada utilizada para ajustar la ganancia es una señal de onda tipo senoidal con una amplitud pico de  $1V_p$  y una frecuencia de  $500Hz$ .



**Figura 2.29:** Compensación perdida de amplitud de voltaje en la señal de entrada.

**Diseño en AD2 de Integrador Variable Entre Diez Órdenes Fraccionarios.** El diseño en el *software* AD2 del integrador variable entre diez órdenes fraccionarios con estructura de conmutación tipo multiplexor se presenta en la figura 2.2.4. Este diseño requirió el uso de dieciocho chips FPAA AN231E04, lo cual se logró utilizando cinco tarjetas de desarrollo *QuadApex*. Los elementos configurados en cada chip FPAA así como sus conexiones se describen a continuación: los chips FPAA 1 y 2 de la primera tarjeta *QuadApex* fueron utilizados para conectar las unidades de distribución de señal de entrada, las celdas de este chip, a excepción de la celda 1, fueron configuradas como salidas y se utilizaron para llevar la señal de entrada a cada uno de los 10 integradores de la estructura. En los chips FPAA 3 y 4 restantes se encuentran conectados los primeros dos integradores de la estructura y el par de conmutadores.

En los chips FPAA 5-8 de la segunda tarjeta *QuadApex* y 9-12 de la tercera tarjeta *QuadApex* se encuentran conectados los 8 integradores restantes cada uno con su respectivo par de conmutadores. Los chips FPAA 13-16 de la cuarta tarjeta *QuadApex* fueron utilizados para conectar cuatro bloques sumadores de señales que permitieron sumar las 9 señales provenientes de los pares de conmutadores. Finalmente los chips FPAA 17-18 de la quinta tarjeta *QuadApex* se utilizaron para conectar las unidades de control y a través de sus celdas de salida distribuir la señal de control a cada uno de los 9 pares de conmutadores de la estructura, los 2 FPAA restantes de la tarjeta no se utilizaron.

La señal de entrada se conecta a través del filtro *Rauch* de entrada 1 de la tarjeta *QuadApex* 1, la señal de control se conecta al filtro *Rauch* de entrada 1 de la tarjeta *QuadApex* 5, en ambos casos se activó el amplificador en la celda 1 del FPAA 1 de cada tarjeta. La señal de salida del integrador es la señal que sale del sumador de señales conectado a la celda 4 del chip FPAA 16 de la tarjeta *QuadApex* 4, debido a que la tarjeta no cuenta con un *buffer* de salida conectado a esta celda, este *buffer* se conectó de forma externa.

La configuración del voltaje de referencia de cada par de conmutadores se realizó basándose en una señal de control con amplitud de  $\pm 2V$ , es decir,  $4V_{pp}$ , por lo que esta señal será seccionada en 10 regiones de voltaje que abarcan  $0.4V$  cada una. En el primer par de conmutadores: el voltaje de referencia del conmutador uno fue fijado en  $-1.6$ , el voltaje de referencia del conmutador 2 fue fijado en  $-1.2$  de manera que cuando la señal de control sea mayor que este segundo voltaje de referencia se anulará cualquier señal de entrada a este par de conmutadores. En el segundo par de conmutadores el voltaje de referencia del conmutador uno fue fijado en  $-1.2$ , el voltaje de referencia del conmutador 2 fue fijado en  $-0.8$ , esto se repitió hasta llegar al noveno par de conmutadores, en el cual el voltaje de referencia del conmutador uno fue fijado en  $1.6V$ , el voltaje de referencia del conmutador 2 fue fijado en  $2V$ .

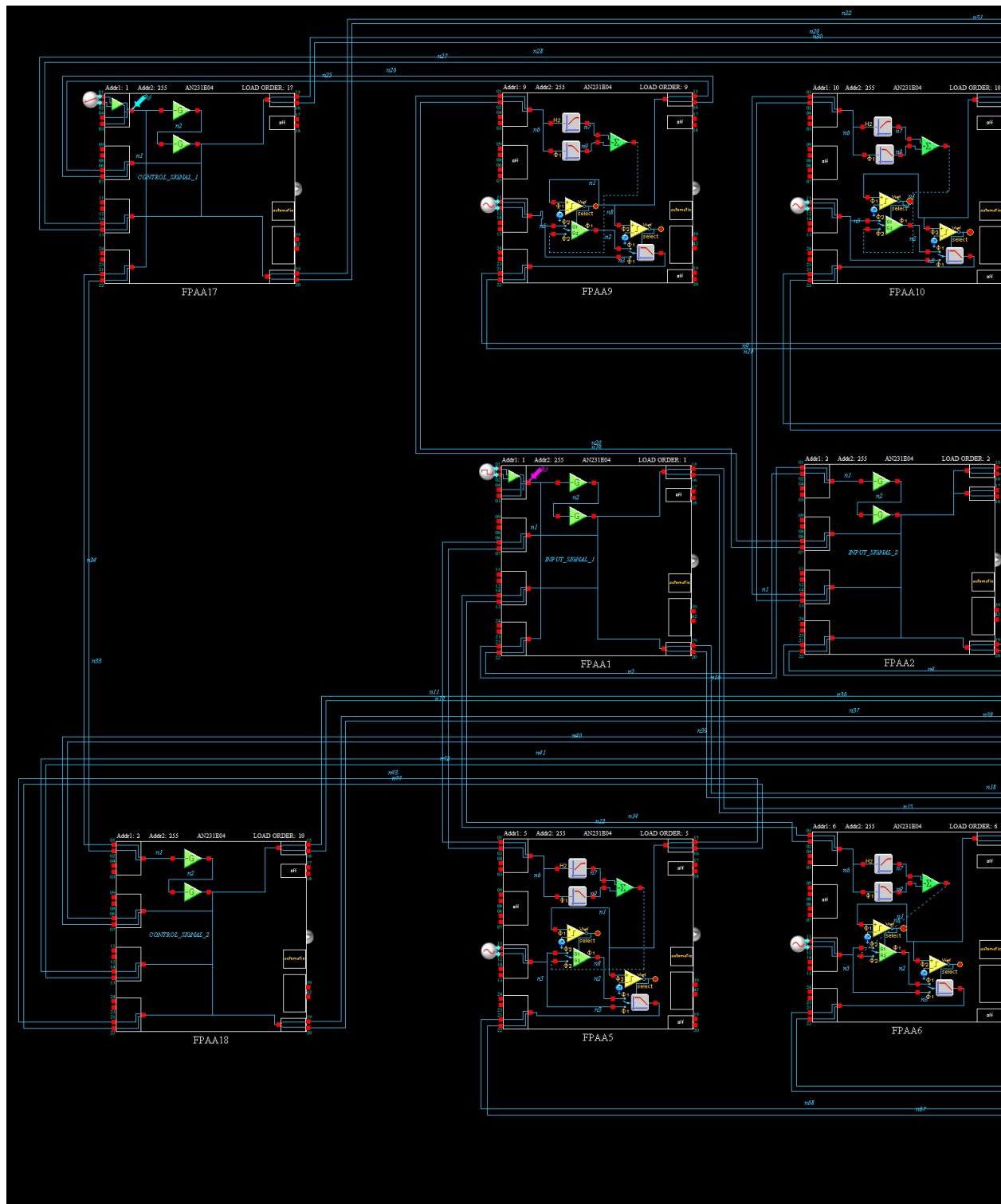
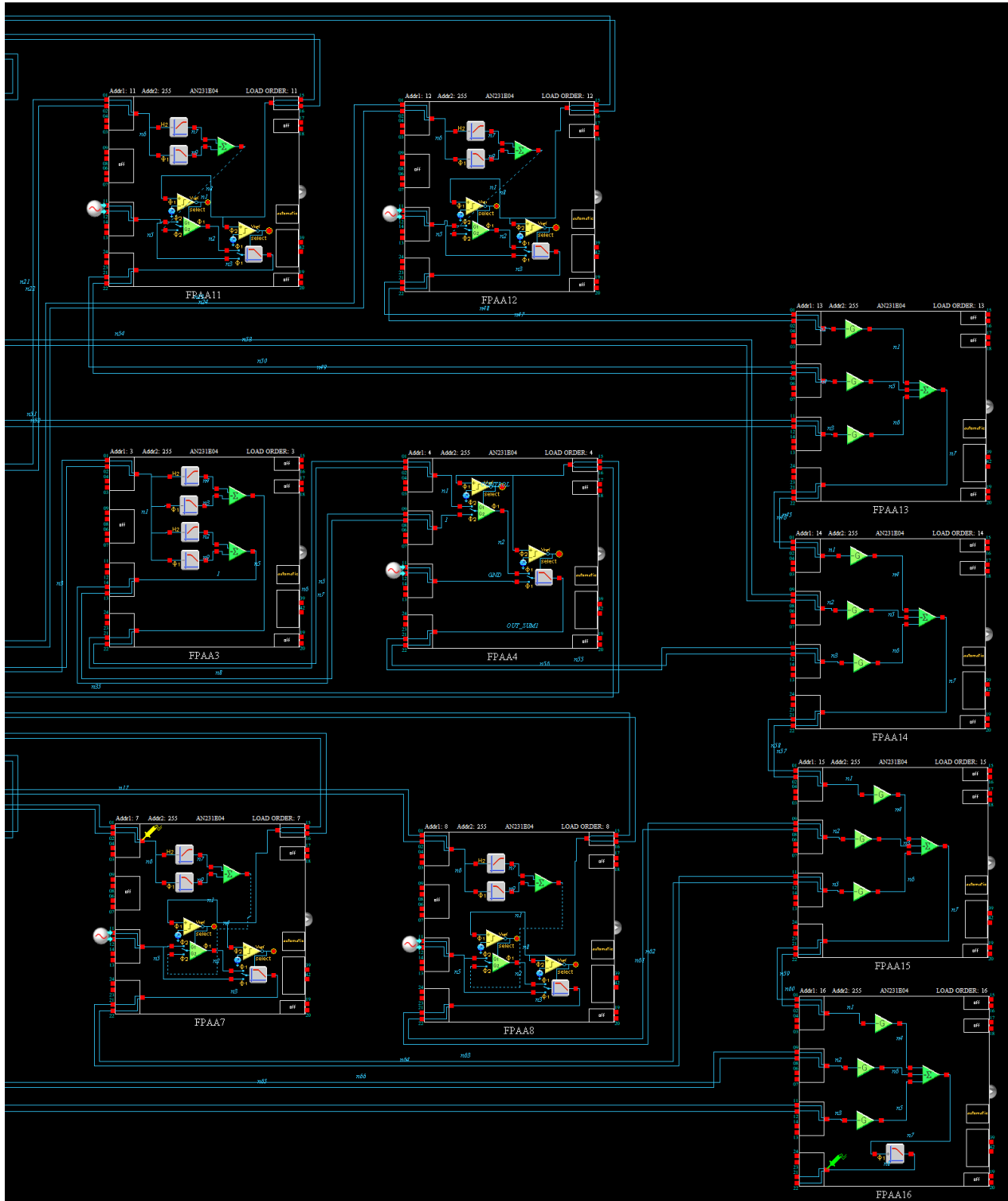


Figura 2.30: Diseño completo en AD2 de integrador de orden variable entre 10.

## 2.2. Diseño e Implementación de Integradores de OFV



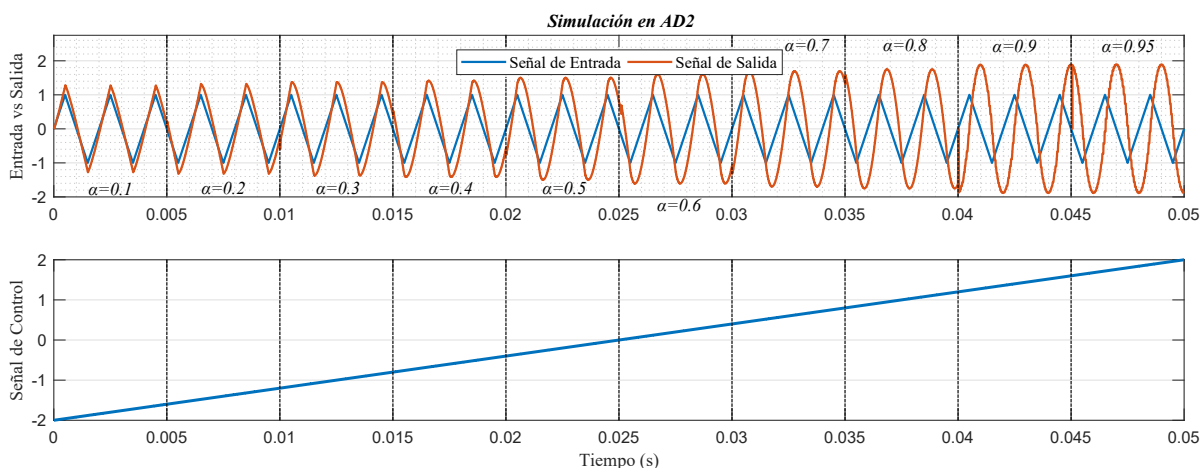
### Simulación en AD2 de Integrador Variable Entre Diez Órdenes Fraccionarios

Se realizó la simulación en AD2 del funcionamiento de este integrador por un periodo de  $50ms$ . En esta simulación se utilizó una señal de onda triangular como señal de entrada y una señal de onda tipo diente de sierra como señal de control, sus características se resumen en la tabla 2.22

**Tabla 2.22:** Características de las señales utilizadas en la simulación.

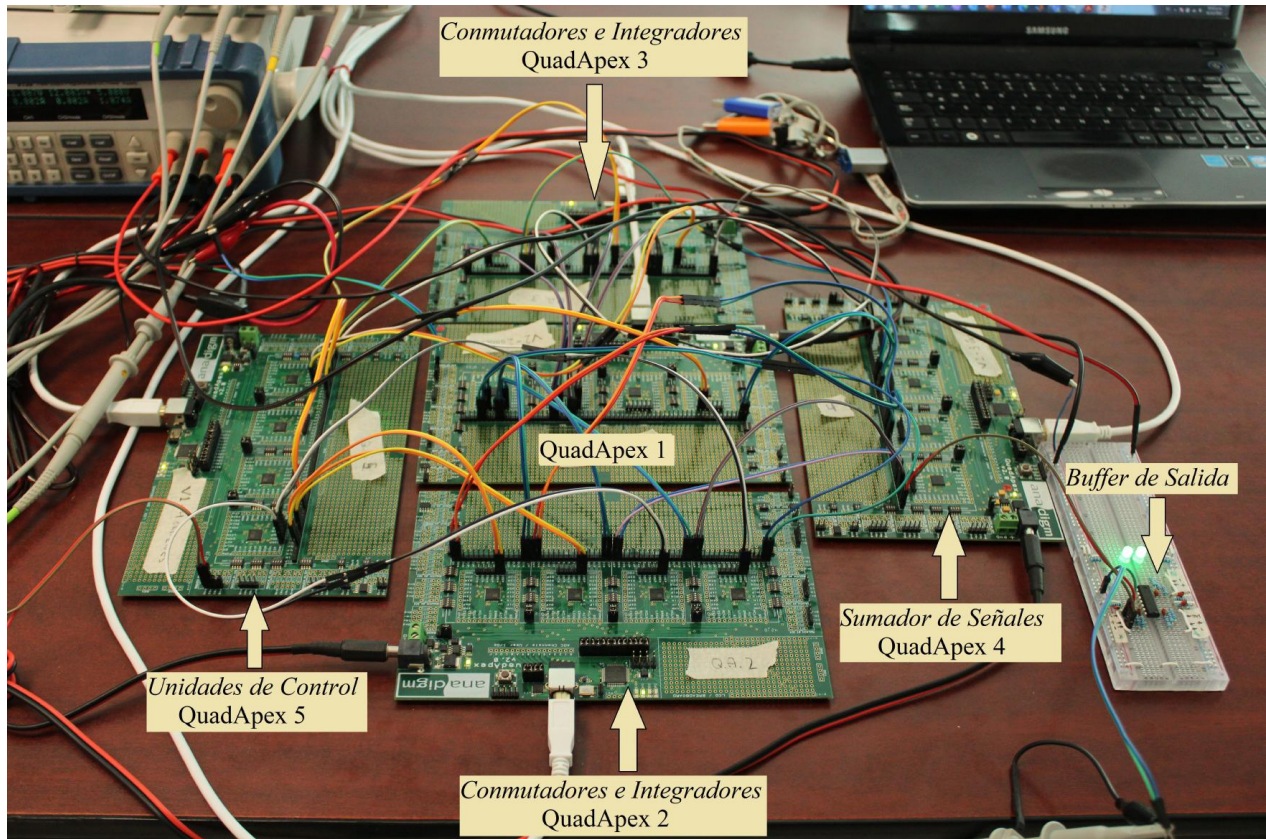
Descripción	Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal Diente de Sierra	2V	20Hz	0V
Señal de Entrada	Señal Triangular	1V	500Hz	0V

Los datos obtenidos en la simulación se guardaron en un archivo de CSV y posteriormente se graficaron en el *software Matlab*. En la parte superior de la gráfica de la figura 2.30 se presenta la comparación entre la señal de entrada del conmutador y la señal de salida, en la parte inferior se presenta la señal de control, esta tiene un voltaje pico-pico de 4V y una frecuencia de 20Hz por lo que su periodo es de 50ms. Los voltajes de referencia de los conmutadores fueron configurados para dividir esta señal en 10 regiones de voltaje, así que el cambio entre cada integrador tendrá una duración de 5ms. En la gráfica se observa que la señal de salida es afectada por los 10 cambios de integradores cada 5ms lo que corrobora su funcionamiento.



**Figura 2.31:** Señal de control y señal de entrada y salida obtenidas en simulación de integrador variable entre los órdenes fraccionarios  $\alpha = 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9$  y 0.95.

**Implementación Física y Caracterización de Respuesta Transitoria.** El integrador variable entre diez órdenes fraccionarios fue implementado utilizando cinco tarjetas de desarrollo *QuadApex* como se muestra en la figura 2.32. Los elementos configurados en cada tarjeta se describen en la figura, así como el *Buffer* de salida que fue un elemento externo. En la tarjeta *QuadApex 1* se configuraron las unidades de señal de entrada y dos integradores con su respectivo par de conmutadores.



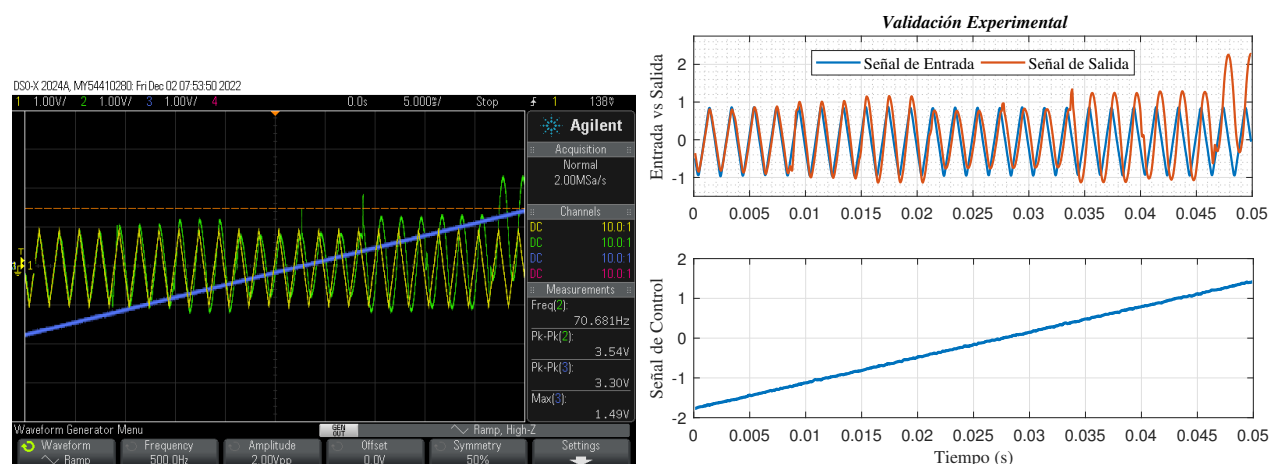
**Figura 2.32:** Implementación física de integrador variable entre 10 órdenes fraccionarios.

Para realizar la caracterización de la respuesta transitoria se siguió el mismo procedimiento descrito en la figura 1.12. La señal de entrada fue generada con el osciloscopio *Keysight TTDSOX2024A* y se conectó al filtro *Rauch* de entrada 1 de la tarjeta *QuadApex 1*, la señal de control se obtuvo del generador de funciones *Tektronix AFG3101* y se conectó al filtro *Rauch* de entrada 1 de la tarjeta *QuadApex 5*, la señal de salida se capturó conectando el osciloscopio al *buffer* de salida externo. Se procedió a caracterizar la respuesta transitoria del integrador desarrollado, en la tabla 2.23 se resumen las características de las señales utilizadas en la prueba

**Tabla 2.23:** Características de las señales utilizadas en la prueba experimental.

Descripción	Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal Diente de Sierra	2V	20Hz	0V
Señal de Entrada	Señal Triangular	1V	500Hz	0V

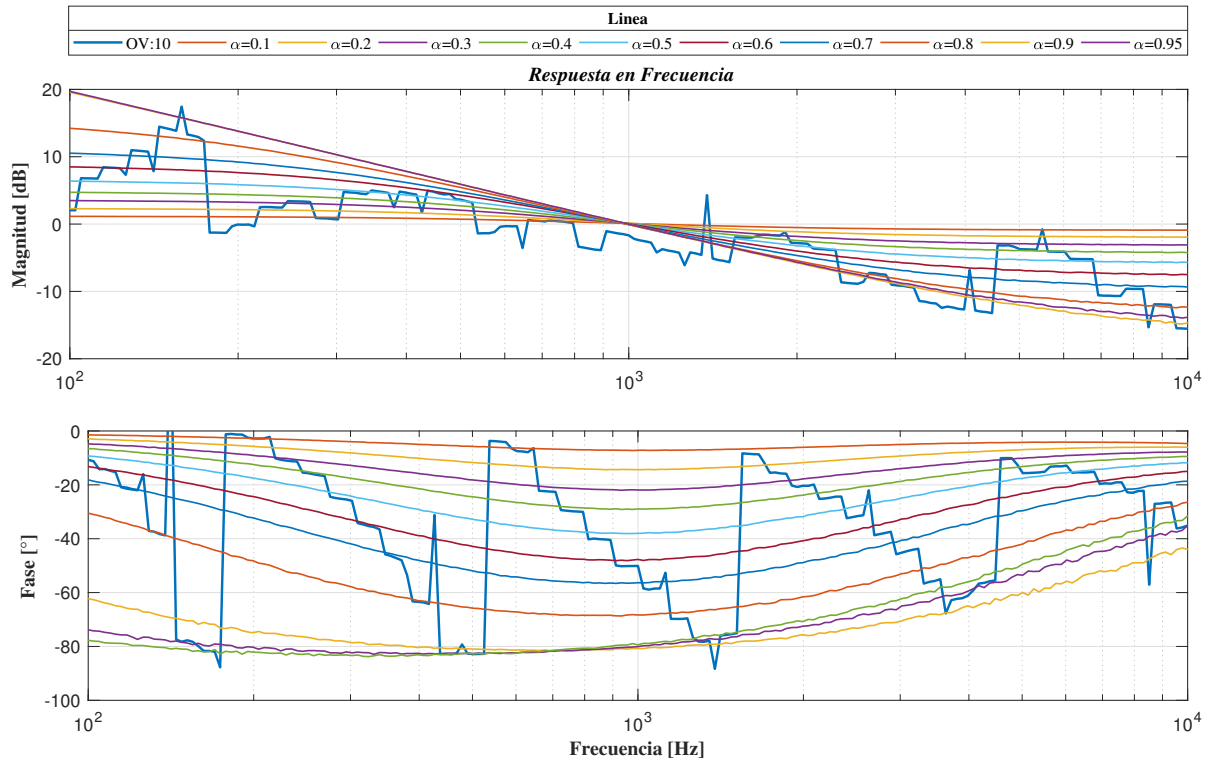
Se capturó con el osciloscopio la respuesta temporal del integrador por un periodo de  $50ms$ , como se presenta en la figura 2.33(a). Los datos generados fueron procesados en el *software de Matlab* con el que se les aplicó un filtrado Savitzky-Golay de orden 0 y longitud de cuadro 7, posteriormente estos datos fueron graficados obteniendo la gráfica de la figura 2.33, dónde se muestra una comparación entre la señal de entrada, la señal de salida y la señal de control. Se observa que el comportamiento de la señal de salida del integrador en cada cambio de estado coincide con el que se obtuvo en la simulación, por lo que se valida su funcionamiento



(a) Respuesta transitoria capturada en el osciloscopio. (b) Gráfica de la respuesta transitoria del integrador.

**Figura 2.33:** Respuesta transitoria del integrador variable entre dos órdenes fraccionarios.

**Caracterización de Respuesta en Frecuencia.** Para caracterizar la respuesta en frecuencia del integrador se realizó el mismo procedimiento descrito en la figura 1.13 del capítulo 1. Los datos obtenidos se graficaron en el *software Matlab* y se presentan en la figura 2.34



**Figura 2.34:** Respuesta en frecuencia de integrador de OFV

En el diagrama de bode de la figura 2.34 se muestra en la línea de color azul la respuesta en amplitud y fase del integrador de OFV, la cual siguiendo la función de orden  $\alpha(t)$  conmuta entre los órdenes fraccionarios  $\alpha = 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9$  y  $0.95$  por lo que la pendiente de la línea cambiará entre los valores de  $2dB/Dec, 4dB/Dec, 6dB/Dec, 8dB/Dec, 10dB/Dec, 12dB/Dec, 14dB/Dec, 16dB/Dec, 18dB/Dec$  y  $19dB/Dec$  respectivamente. También la respuesta en frecuencia del integrador de orden variable es comparada con las respuestas de los integradores de los mismos órdenes fraccionarios constantes. Se observa que el comportamiento del integrador de OFV coincide en rangos cortos de frecuencia.

### 2.2.5. Comentarios Sobre el Diseño de los Integradores de OFV.

En los integradores de OFV desarrollados un elemento fundamental son las estructuras de conmutación, es importante asegurar que cada una de las señales provenientes de los integradores de OFC realice un recorrido a través de la estructura de conmutación sin recibir alteraciones considerables para asegurar que el comportamiento del integrador sea el adecuado. Las estructuras de conmutación desarrolladas tienen como elemento de conmutación al CAM *GainSwitch*, algunos de los aspectos más importantes sobre su diseño son los siguientes

- **Sobre la estructura de conmutación tipo cascada:** El requerimiento de *hardware* para la implementación de esta estructura es moderado, ya que con un número  $n$  de CAMs *GainSwitch* se puede conmutar entre  $n + 1$  señales. La señal que sale de esta estructura no se ve afectada por los cambios de selección de entrada de los conmutadores. Sin embargo, el ángulo de desfase provocado por el filtro paso-bajo configurado en la etapa de ganancia puede convertirse en un problema cuando se utiliza un número considerable de conmutadores. El ángulo de desfase aumenta en promedio  $1.3^\circ$  por cada conmutador de la estructura, y este no es el mismo para cada una de las entradas. La entrada 1 tendrá el ángulo de desfase más alto ya que la señal de entrada debe recorrer todos los conmutadores para llegar a la salida, mientras que la última entrada de la estructura tendrá el menor ángulo de desfase debido a que su señal de entrada solo debe atravesar el último conmutador para llegar a la salida. La compensación del ángulo de desfase con un filtro paso-todo puede ser una posible solución para este problema, pero considerando que no se puede utilizar un filtro paso-todo para toda la estructura, ya que el ángulo de desfase es diferente en cada entrada, sino que se debe colocar un filtro paso-todo por cada conmutador, el uso de *hardware* aumenta considerablemente. La pérdida de amplitud en la señal de salida también aumenta por cada conmutador que deba atravesar la señal, sin embargo este problema puede ser solucionado utilizando la etapa de ganancia de cada CAM *GainSwitch*. En la distribución de la señal de control no es viable que la señal entre y salga de cada FPAA cuando se tiene un número considerable de elementos, sino que esta sea distribuida a través de un módulo común. El desarrollo de esta estructura permitió conocer y analizar todos los efectos adversos descritos anteriormente, el uso de esta estructura solo es viable para conmutar entre 3 señales, ya que el *hardware* requerido es mínimo y los adversos producidos no afectan considerablemente las señales conmutadas.
- **Sobre la estructura de conmutación tipo multiplexor:** Pese a que esta estructura aumenta considerablemente el uso de *hardware* para su implementación, ya que requiere 2 conmutadores por cada señal a conmutar, una unidad de control y sumadores, se reducen las problemáticas presentadas por la estructura tipo cascada. El ángulo de desfase se reduce a  $1.072^\circ$  en todas sus entradas y las pérdidas de amplitud en la señal de control y señal de entrada pueden ser compensadas por etapas activas. Sin embargo, en esta estructura el cambio de una señal entrada a otra intervienen dos conmutadores,

uno anula la señal de entrada previa y otro selecciona la señal entrante. En este proceso puede suscitarse que la señal previa sea anulada pero la señal siguiente aun no sea seleccionada por el conmutador siguiente, por lo que a al sumador no llega ninguna señal y la salida del conmutador será  $0V$ . Aunque este problema puede suceder por lapsos muy cortos es necesario una correcta sincroniza de la señal de control en todos sus conmutadores para evitarlo. Se sugiere el uso de esta estructura cuando sea necesario conmutar 4 señales o más.

## Capítulo 3

# Implementación de Oscilador Caótico de Lü con Integradores de OFV

*En este capítulo se realiza la implementación con dispositivos FPAA del oscilador caótico de Lü incorporando en su estructura integradores de OFV. Se inicia por describir las características de este sistema caótico, posteriormente se realiza su diseño e implementación con integradores de OFC, esto permite analizar la evolución del comportamiento caótico ante diferentes ordenes fraccionarios y determinar la región caótica. Como siguiente paso se incorporan los integradores variables entre dos y tres órdenes fraccionarios, desarrollados en el capítulo anterior, y se procede a analizar la respuesta transitoria y el comportamiento en el plano de fase del oscilador caótico cuando se varía el orden fraccionario. Finalmente se utiliza un comparador a tierra para obtener una secuencia de bits aleatorios a partir de las señales  $X$ ,  $Y$  y  $Z$  del sistema.*

### 3.1. Osciladores Caóticos Basados en PWL

Los osciladores caóticos pertenecen a los sistemas dinámicos no lineales. Estos sistemas son capaces de generar señales caóticas con una extrema sensibilidad a las variaciones en las condiciones iniciales [94, 77]. La teoría del caos ha sido un tema intensamente investigado por la comunidad científica desde mediados del siglo pasado [95], su implementación física con dispositivos electrónicos es un reto que une áreas de estudio de matemáticas, física e ingeniería con el propósito de buscar potenciales aplicaciones. El oscilador caótico de dos atractores de Chua, propuesto en los años noventa [95], ha sido un precursor de diversas implementaciones electrónicas de estos osciladores, ya que este circuito puede generar una gran variedad de dinámicas caóticas en un diseño electrónico relativamente simple. Diversas implementaciones electrónicas de osciladores caóticos han sido propuestas a partir del circuito de Chua. En todas ellas se agrega una parte no lineal con la que se define el número de puntos de equilibrio y en consecuencia los atractores generados por el oscilador. Existen diversas formas reportadas de

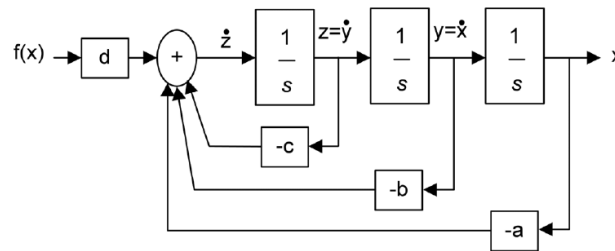
agregar esta parte no lineal, algunas de ellas utilizan formas polinomiales, funciones sinusoidales, funciones basadas en retardo o funciones lineales a trozos (PWL) [96]. Particularmente, los sistemas basados en PWL tienen la posibilidad de poder obtener soluciones analíticas de forma parcial, para los segmentos lineales. Esto permitió el desarrollo de diversas propuestas de atractores caóticos con múltiples enrollamientos utilizando esta parte no lineal.

### 3.1.1. Oscilador Caótico de Múltiples Enrollamientos de Lü

El oscilador caótico de múltiples enrollamientos de Lü es un sistema caótico que puede ser descrito por las variables de estado que se presentan en la ecuación en 3.1. Este es un sistema de ecuaciones acopladas basado en una función lineal a trozos PWL o lo que es lo mismo, una función saturada no lineal (SNLF) o función desestabilizadora indispensable para producir el comportamiento caótico, en la ecuación 3.1 esta función PWL se presenta como  $f_0(x)$ . Los coeficientes  $a$ ,  $b$ ,  $c$  y  $d_1$  son constantes positivas que pueden tomar valores en el intervalo  $[0, 1]$ , para que el oscilador presente comportamiento caótico se establece que los valores de las constantes del sistema son:  $a = b = c = d_1 = 0.7$ . Sin embargo, esta restricción cambia cuando los operadores de derivada del sistema son de orden fraccionario.

$$\begin{aligned} \dot{x} &= y \\ \dot{y} &= z \\ \dot{z} &= -ax - by - cz + d_1 f_0(x) \end{aligned} \tag{3.1}$$

En la figura 3.1 se presenta el diagrama de bloques del oscilador caótico de Lü con integradores de orden entero



**Figura 3.1:** Diagrama de bloques de oscilador caótico de Lü.

### Notación Con Integradores de Orden Fraccionario Variable

Al incorporar integradores de OFV a las variables de estado que describen el oscilador caótico de Lü, el sistema se rescribe como se presenta en la ecuación ??:

$$\begin{aligned} D^{\alpha(t)}x &= y, \\ D^{\alpha(t)}y &= z, \\ D^{\alpha(t)}z &= -ax - by - cz + df(x; q) \end{aligned} \tag{3.2}$$

Dónde la función de orden:  $\alpha(t) \in (0, 1)$  define el orden fraccionario del sistema en función del tiempo. En base al trabajo presentado en [87] se establece que cuando el sistema es descrito con operadores de orden fraccionario constante los valores de las constantes del modelo deben ser:  $\mathbf{a} = 2$ ,  $\mathbf{b} = 1$ ,  $\mathbf{c} = 0.6$  y  $\mathbf{d}_1 = 2$  y en los órdenes fraccionarios mayores a  $\alpha = 0.8$  el sistema presentará comportamiento caótico. Estos mismos valores de las constantes son utilizados para realizar la implementación del oscilador de Lü con integradores de OFV

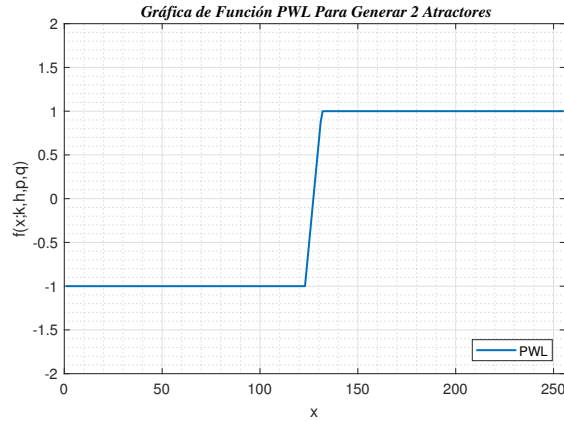
### Función PWL

El oscilador caótico de Lü está basado en una función desestabilizadora o función no lineal  $f_0(x)$  que determina la cantidad de los enrollamientos, así como su posición, magnitud, puntos de equilibrio entre otras características del sistema. Esta función puede ser modelada utilizando una aproximación por PWL. Para realizar la implementación del oscilador caótico de Lü con integradores de OFV se utilizaron dos tipos de funciones PWL, una diseñada para que el oscilador caótico genere dos atractores en el plano de fase y otra para que el oscilador caótico genera cuatro atractores en el plano de fase, a continuación se describen las características de estas funciones:

**Función PWL Generar Dos Atractores Caóticos** En ecuación 3.3 se presenta la función PWL que se incorporó en el oscilador caótico de Lü para que este genere dos atractores,

$$f_0(x) = \begin{cases} k, & \text{si } x > 1 \\ kx, & \text{si } |x| \leq 1 \\ -k, & \text{si } x < -1 \end{cases} \tag{3.3}$$

Donde  $k$  es la pendiente del segmento medio, la parte superior  $f_0(x) = k$  tal que  $x < 1$  y la parte inferior  $f_0(x) = -k$  tal que  $x \leq -1$  son llamadas regiones saturadas, y el segmento  $f_0(x) = kx$  tal que  $|x| \leq 1$  entre las dos regiones saturadas es llamada pendiente de saturación. La figura 3.2 muestra la gráfica de la función saturada  $f_0(x)$



**Figura 3.2:** Función saturada para generar dos atractores en oscilador caótico

**Función PWL Generar Cuatro Atractores Caóticos** Esta función puede ser modelada utilizando una aproximación por PWL como la que se presenta en la ecuación 3.4

$$f_0(x; k, h, p, q) = \begin{cases} (2q + 1)k, & \text{si } x > (qh + \alpha) \\ (xs - sh) + 2k, & \text{si } h - \alpha < x < h + \alpha \\ k, & \text{si } \alpha < x < h - \alpha \\ xs, & \text{si } -\alpha x < \alpha \\ -k, & \text{si } -h + \alpha < x < -\alpha \\ (xs - sh) - 2k, & \text{si } -h - \alpha < x < -h + \alpha \\ -(2q + 1)k, & \text{si } x > (qh + \alpha) \end{cases} \quad (3.4)$$

donde  $k$  es la pendiente del segmento medio, la parte superior  $f_0(x) = k$  tal que  $x < 1$  y la parte inferior  $f_0(x) = -k$  tal que  $x \leq -1$  son llamadas regiones saturadas, y el segmento  $f_0(x) = kx$  tal que  $|x| \leq 1$  entre las dos regiones saturadas es llamada pendiente de saturación. La figura ?? muestra la gráfica de la función saturada  $f_0(x)$ . En la tabla 3.1 se enlistan los parámetros de la función saturada utilizada para realizar la implementación física.

**Tabla 3.1:** Parámetros de la función saturada utilizada para generar 4 atractores:

$k$ :	0.4
$\alpha$ :	0.04
$h$ :	0.8
$p$ :	1
$q$ :	1
$s$ :	$\frac{k}{\alpha} = 10$

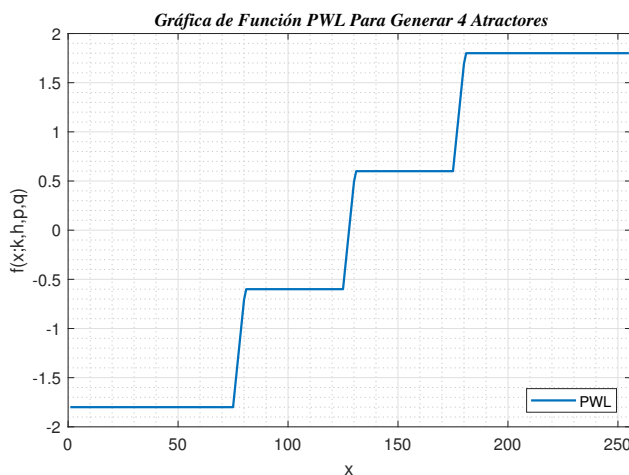
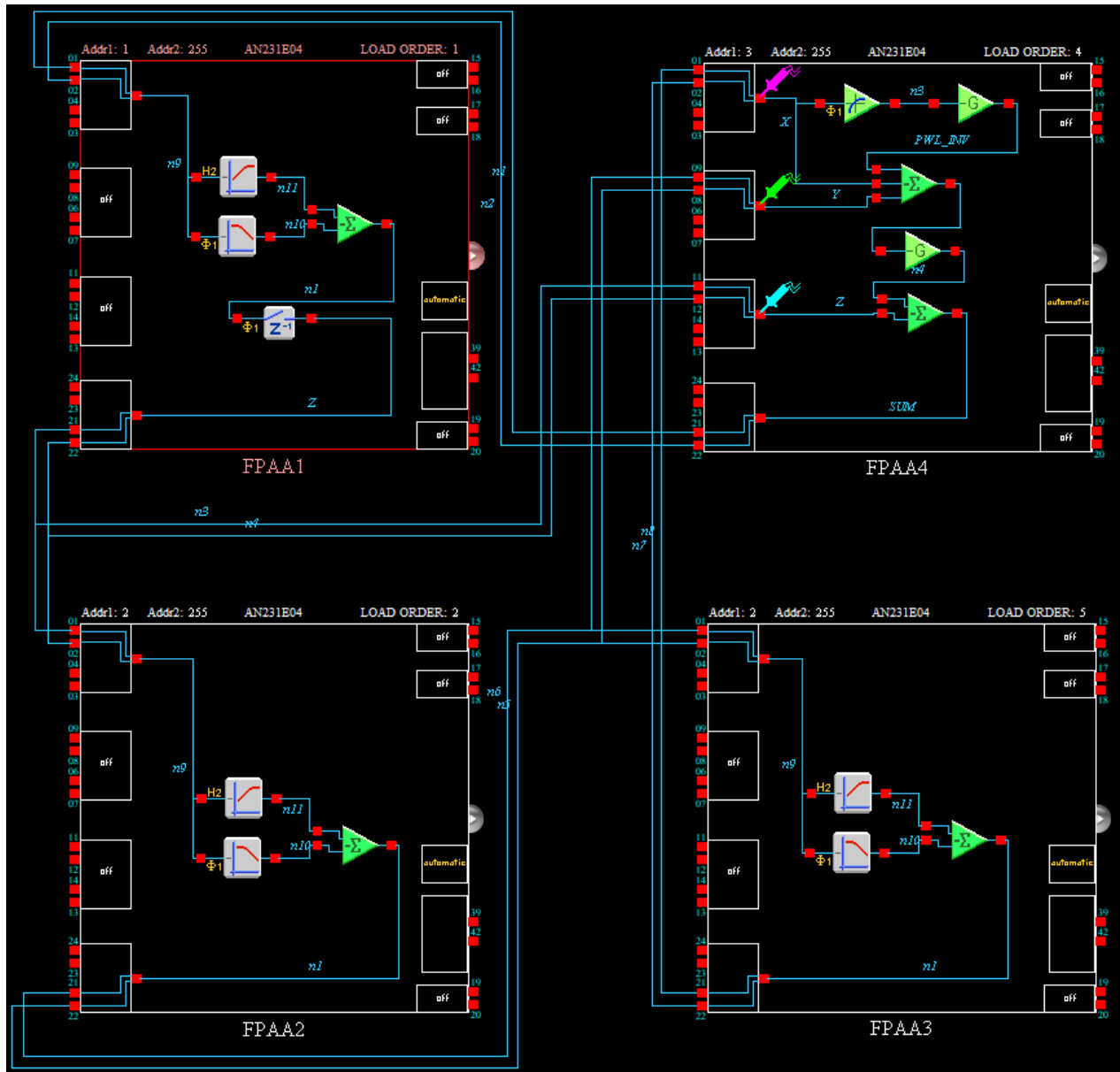


Figura 3.3: Gráfica de la función saturada  $f_0(x)$ .

## 3.2. Diseño e Implementación con Dispositivos FPAA



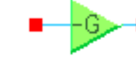


En base al diagrama de bloques de la figura 3.1 se procedió a realizar el diseño en el *software* de AD2 del oscilador caótico de Lü con integradores de OFC, el cual se presenta en la figura 3.4. Este diseño requiere el uso de 4 chips FPAA por lo que puede ser implementado utilizando una tarjeta de desarrollo *QuadApex*. La distribución del sistema en estos cuatro chips FPAA es la siguiente: en los chips FPAA 1, FPAA2 y FPAA3 se conectaron los integradores de orden fraccionario, siguiendo la configuración descrita en el capítulo 1, la salida de cada integrador se conectó a la celda 4 de su respectivo chip FPAA. En el chip FPAA 1 fue necesario agregar un bloque CAM de muestreo y retención (*Hold*), cuya función principal es causar un retraso de un ciclo de reloj y así a evitar el retraso cero. El retraso cero sucede cuando la salida del sistema se refleja inmediatamente en la entrada sin haber transcurrido un ciclo de reloj [82, 77].

En el chip FPAA 4 se conectó el sumador de las señales  $X$ ,  $Y$ , y  $Z$  provenientes de los integradores y el bloque de función de transferencia. El sumador está conformado por dos CAMs de etapa de suma invertida, el primer CAM se configuró para activar su tercera entrada y en el CAM se conectaron las señales  $X$ ,  $Y$  y de la función saturada. El diseño del oscilador caótico requiere un sumador de 4 señales por lo que fue necesario conectar en serie un segundo CAM, este realiza la suma de la señal  $Z$  con la señal proveniente del CAM anterior. El CAM de etapa de ganancia invertida se agrega cuando se requiere que la señal a la entrada del sumador sea positiva, en la tabla 3.2 se presenta de forma detallada la configuración de los relojes, CAMs y Entradas-Salidas del chip FPAA 4



**Figura 3.4:** Diseño oscilador caótico de Lü con integradores de orden fraccionario constante en el *software* AD2.

Tabla 3.2: Configuración de FPAA 4.

Clocks:			
Master Clock - ACLK(fc) 16 MHz			
System Clock 1(sys1=fc/1) 16 MHz		System Clock 2 (sys1=fc/1) 16 MHz	
Clock 0 (sys1/320) 50 kHz		Clock 1 (sys1/20) 800 kHz	
Clock 2 (sys1/8) 2 MHz		Clock 3 (sys1/64) 250 kHz	
Clock 4 (sys1/1) 16 MHz		Clock 5 (sys1/1) 16 MHz	
Configurable Analog Modules:			
Block Name	Options	Parameters	Clocks
 SumInv2	Input 3: <i>On</i>	Gain1 (UpperInput): 2.00 Gain2 (MiddleInput): 2.00 Gain3 (LowerInput): 1.00	Clock A: 50 kHz (Chip Clock0)
 GainInv3		Gain: 1.00	Clock A: 50 kHz (Chip Clock0)
 GainInv4		Gain: 1.00	Clock A: 50 kHz (Chip Clock0)
 Transfer Function 1	Output Hold: <i>On</i>		Clock A: 50 kHz (Chip Clock0) Clock B: 800 kHz (Chip Clock1)
 SumInv3	Input 3: <i>Off</i>	Gain1 (UpperInput): 1.00 Gain2 (LowerInput): 0.60	Clock A: 50 kHz (Chip Clock0)
I/O Cells:			
Name	Options	Parameters	Clocks
IOCell 1-3	I/O Mode: <i>Input</i> Input Type: <i>Bypass</i>		
IOCell4	I/O Mode: <i>Output</i> Output Type: <i>Bypass</i>		

### 3.2.1. Caracterización del Comportamiento del Oscilador Caótico

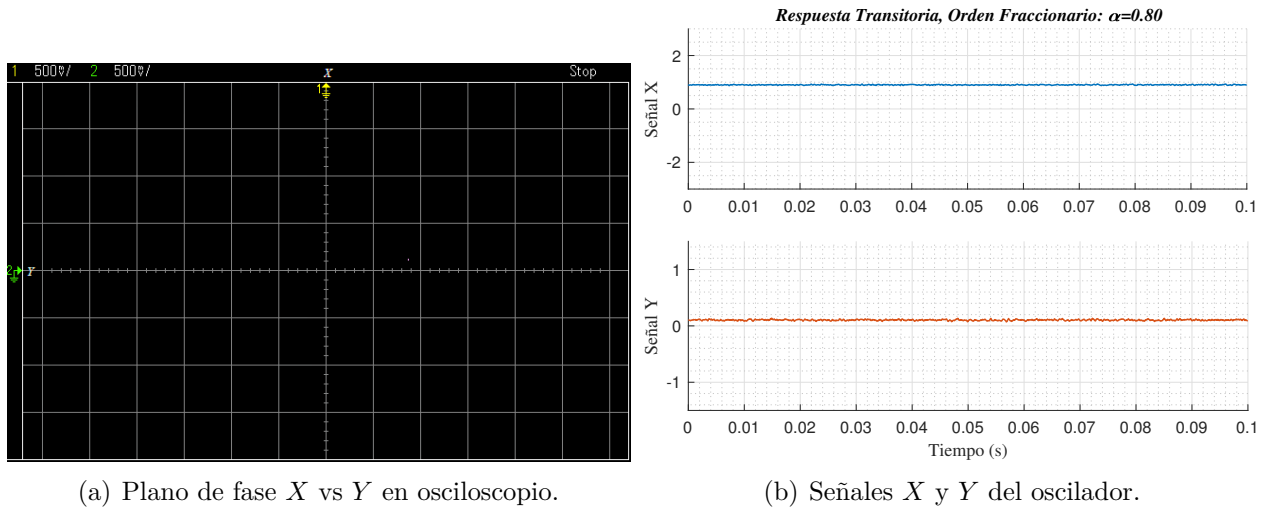
De acuerdo con el trabajo presentado en [87] se sabe que el comportamiento caótico puede presentarse en el rango de órdenes fraccionarios de 0.80 – 0.99, el oscilador caótico de Lü desarrollado en este trabajo fue configurado y probado con cada uno de estos órdenes fracciones con los cuales se observó que en el rango de órdenes fraccionarios 0.80 – 0.87 el oscilador

inicia este comportamiento y las trayectorias del atractor en el plano de fase se expanden en medida que aumenta el orden fraccionario. El objetivo de la caracterización realizada en esta sección es conocer el comportamiento del oscilador caótico cuando se utilizan integradores de diferente orden fraccionario para que los resultados obtenidos sean una referencia para comparar el comportamiento del oscilador con integradores de OFV.

### Prueba Experimental de Oscilador Caótico de Dos Atractores

Se procedió a implementar y caracterizar el comportamiento del oscilador caótico configurado con integradores de orden fraccionario  $\alpha = 0.80, 0.82, 0.85$  y  $0.87$ . La función saturada se configuró para que el oscilador genere dos atractores, a continuación se presenta el comportamiento del oscilador en el plano de fase capturado con el osciloscopio *Keysight TTDSOX2024A*. También se muestra la respuesta transitoria, la cual fue capturada con el mismo osciloscopio y procesada en *Matlab* donde se le aplicó un filtrado Savitzky-Golay de orden 0 y longitud de cuadro 7.

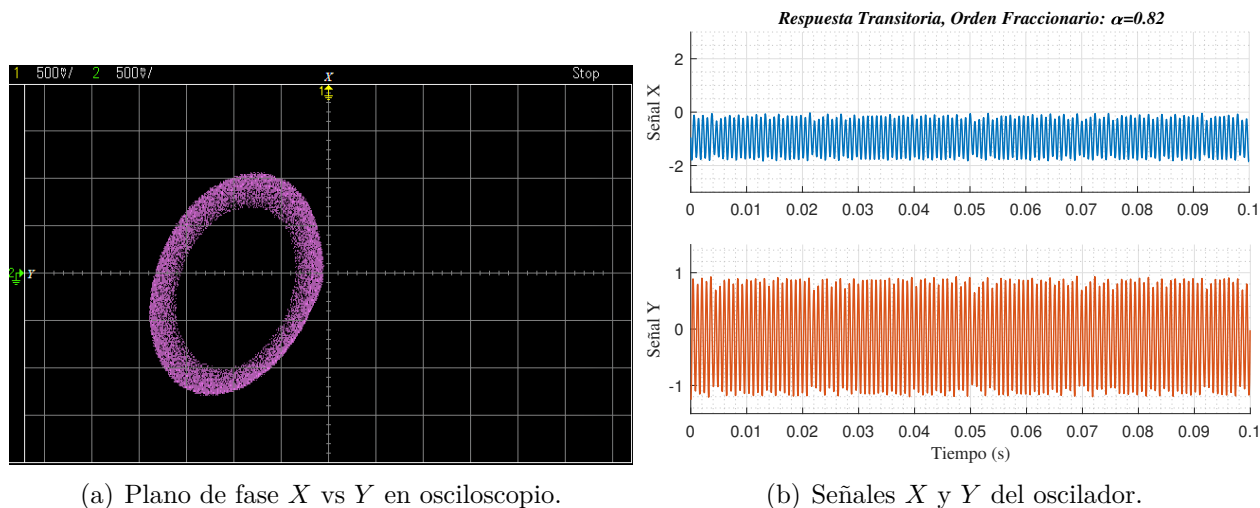
**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.80$ .** En la figura 3.5(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.5(b) se presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa ausencia del comportamiento caótico con integradores de este orden fraccionario.



**Figura 3.5:** Oscilador caótico, dos atractores, integradores de OF:  $\alpha = 0.80$ .

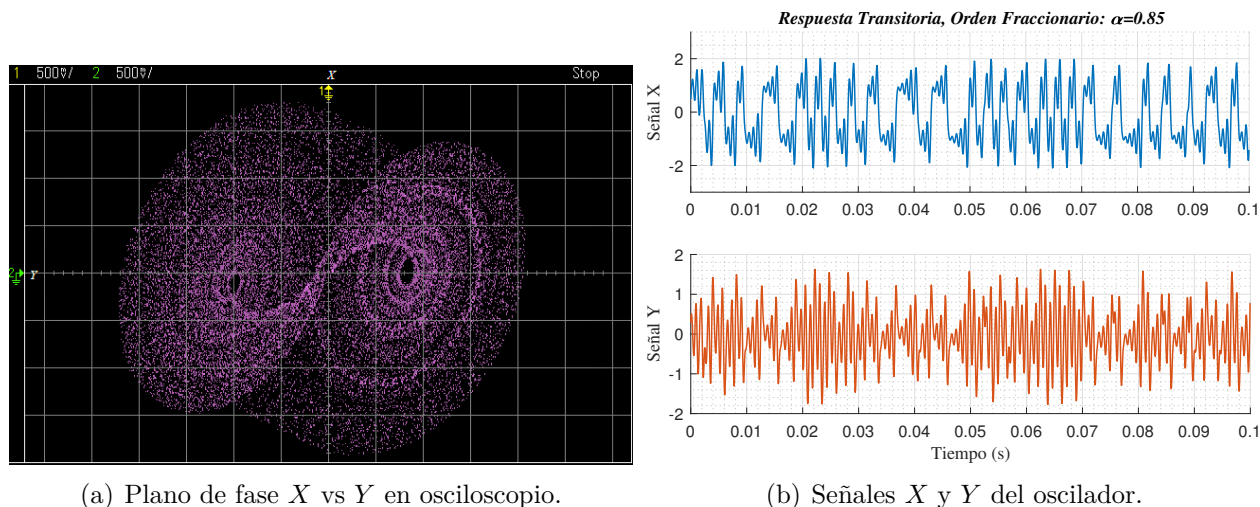
**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.82$ .** En la figura 3.6(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.6(b) se

presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa un comportamiento oscilatorio pero no caótico.



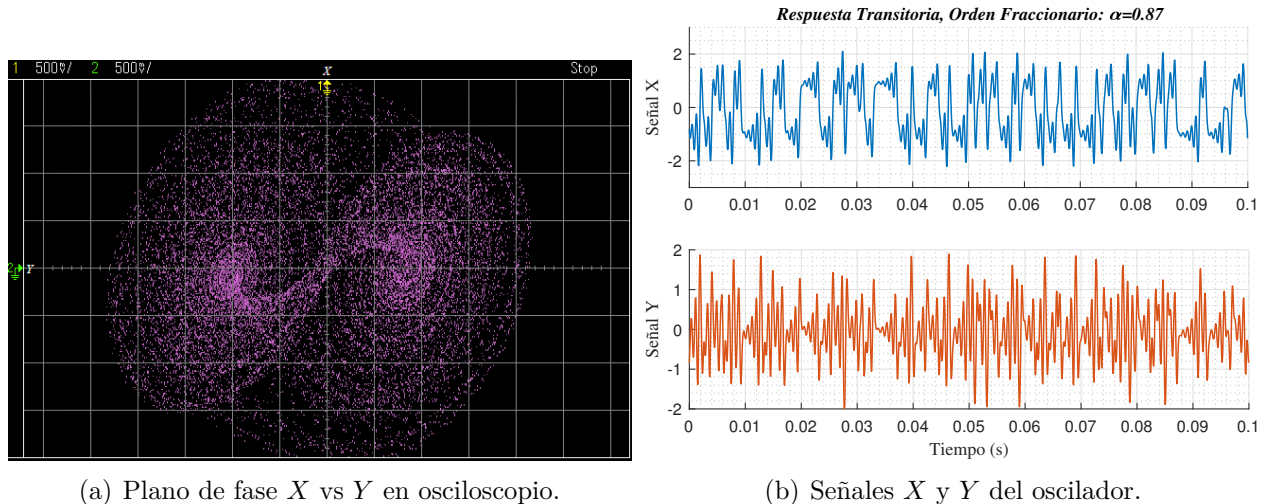
**Figura 3.6:** Oscilador caótico, dos atractores, integradores de OF:  $\alpha = 0.82$ .

**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.85$ .** En la figura 3.7(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.7(b) se presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa comportamiento caótico.



**Figura 3.7:** Oscilador caótico, dos atractores, integradores de OF:  $\alpha = 0.85$ .

**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.87$ .** En la figura 3.8(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.8(b) se presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa comportamiento caótico.

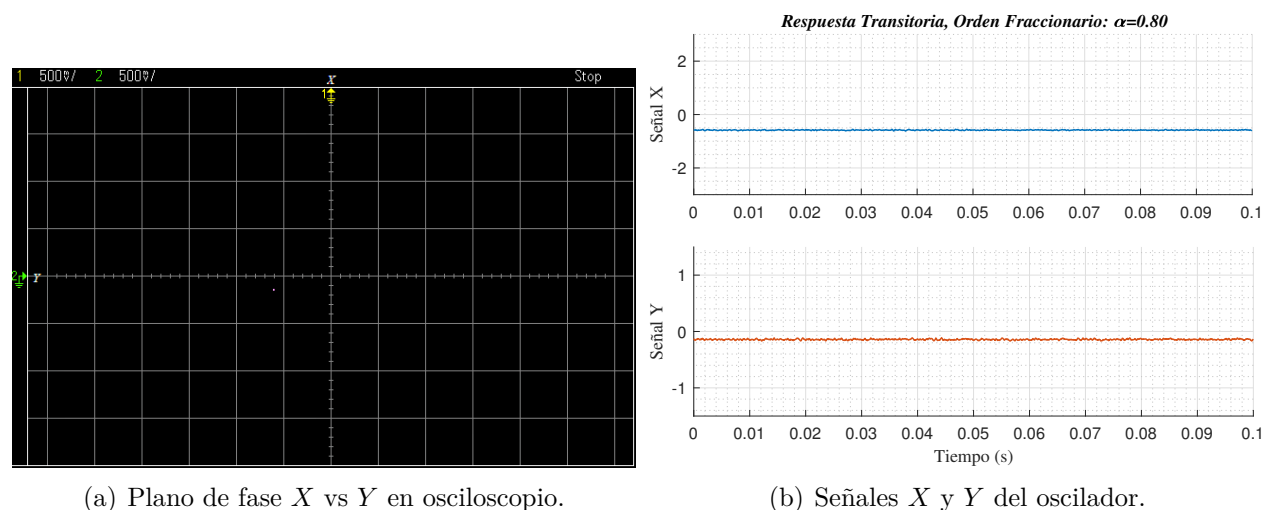


**Figura 3.8:** Oscilador caótico, dos atractores, integradores de OF:  $\alpha = 0.87$ .

### Prueba Experimental de Oscilador Caótico de Cuatro Atractores

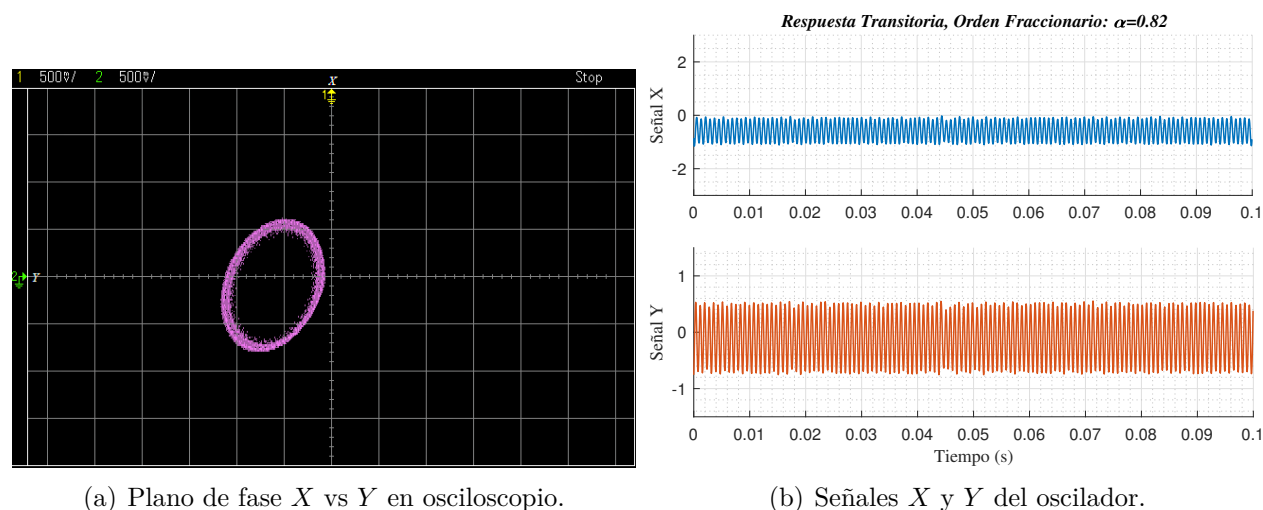
Se procedió a implementar y caracterizar el comportamiento del oscilador caótico configurado con integradores de orden fraccionario  $\alpha = 0.80, 0.82, 0.85$  y  $0.87$ . Esta vez la función saturada se configuró para que el oscilador genere cuatro atractores, a continuación se presenta el comportamiento del oscilador en el plano de fase capturado con el osciloscopio *Keysight TTDSOX2024A*. También se muestra la respuesta transitoria, la cual fue capturada con el mismo osciloscopio y procesada en *Matlab* donde se le aplicó un filtrado Savitzky-Golay de orden 0 y longitud de cuadro 7.

**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.80$ .** En la figura 3.9(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.9(b) se presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa ausencia del comportamiento caótico con integradores de este orden fraccionario.



**Figura 3.9:** Oscilador caótico, cuatro atractores, integradores de OF:  $\alpha = 0.80$ .

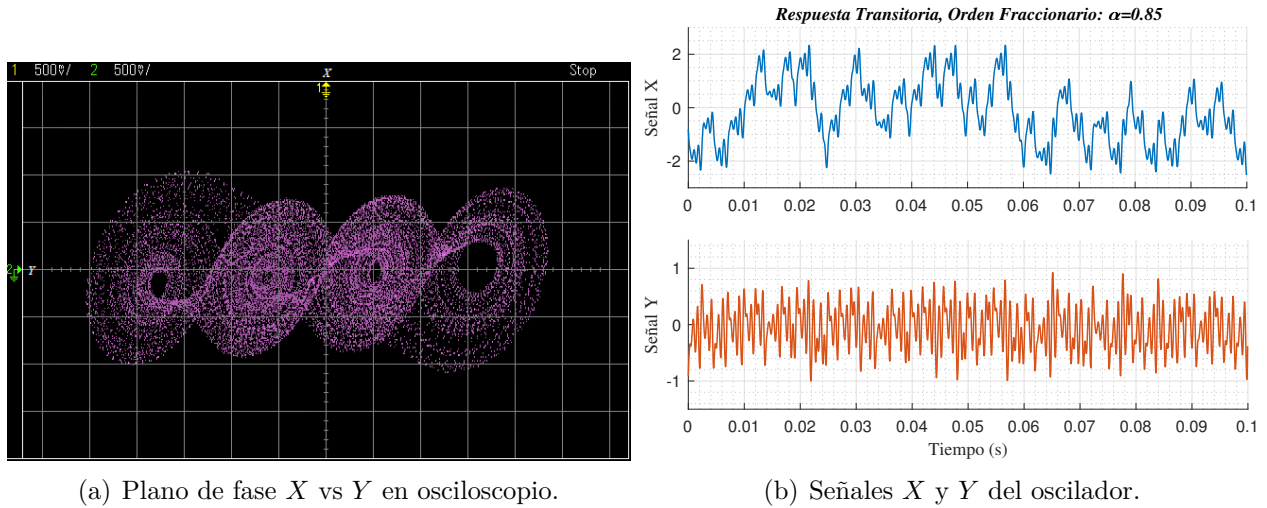
**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.82$ .** En la figura 3.10(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.10(b) se presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa un comportamiento oscilatorio pero no caótico.



**Figura 3.10:** Oscilador caótico, cuatro atractores, integradores de OF:  $\alpha = 0.82$ .

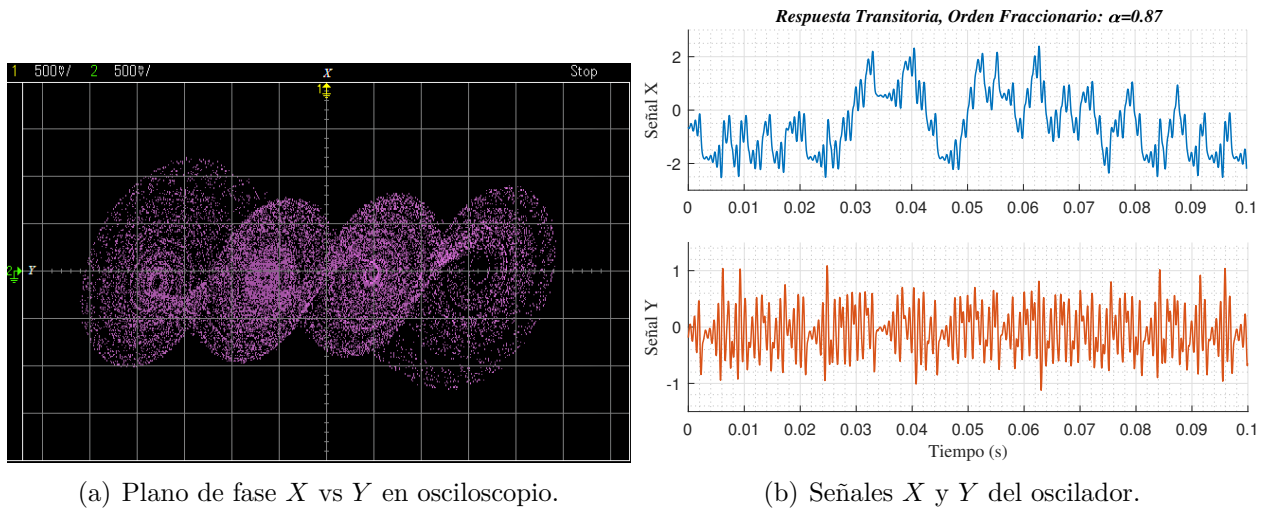
**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.85$ .** En la figura 3.11(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.11(b) se

presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa comportamiento caótico.



**Figura 3.11:** Oscilador caótico, cuatro atractores, integradores de OF:  $\alpha = 0.85$ .

**Comportamiento Caótico con Integradores de Orden Fraccionario  $\alpha = 0.87$ .** En la figura 3.12(a) se muestra el atractor capturado con el osciloscopio, en la figura 3.12(b) se presenta el comportamiento en el tiempo de las señales  $X$  y  $Y$ . Se observa comportamiento caótico.



**Figura 3.12:** Oscilador caótico, cuatro atractores, integradores de OF:  $\alpha = 0.87$ .

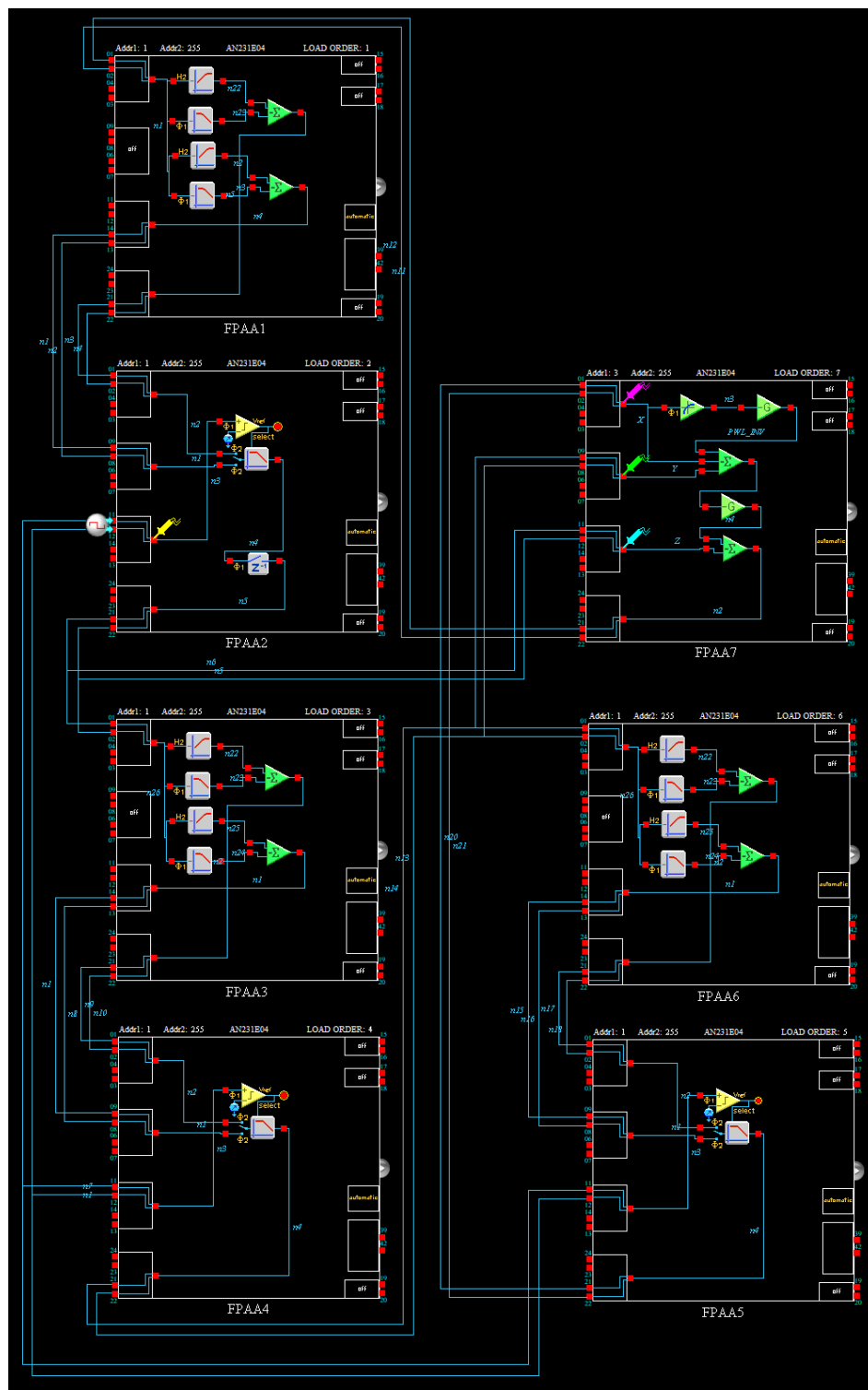


Figura 3.13: Diseño en AD2 de oscilador caótico de Lü con integradores variables entre dos órdenes fraccionarios.

### 3.2.2. Diseño de Oscilador Caótico Lü Con Integradores Variables Entre Dos Órdenes Fraccionarios en AD2

Se procedió a realizar el diseño en el software de AD2 del oscilador caótico de Lü con integradores variables entre dos órdenes fraccionarios, el cual se presenta en la figura 3.13. Este diseño requiere el uso de 7 chips FPAA por lo que se puede implementar utilizando dos tarjetas de desarrollo *QuadApex*. En los chips FPAA 1-6 se encuentra conectados tres integrador variable entres dos órdenes fraccionarios, los cuales se configuraron siguiendo las descripciones del capítulo 2. En el chip FPAA 7 se encuentran conectados el sumador de señales y la función de saturada, la cual mediante fue configurada para obtener atractores caóticos de 2 y 4 enrollamientos. La conexión de los elementos está basada en el diagrama de bloques de la figura 3.1.

En la siguiente subsección se presenta la caracterización de este diseño, en el cual los integradores de OFV del sistema se configuraron para conmutar entre los órdenes fraccionarios:  $\alpha = 0.80$  contra  $\alpha = 0.85$ ,  $\alpha = 0.82$  contra  $\alpha = 0.87$  y  $\alpha = 0.80$  contra  $\alpha = 0.87$ . La señal de control en todos los casos fue una señal cuadrada con las características que se presentan en la tabla 3.3. Se utilizaron dos funciones PWL, una para que el oscilador caótico genere dos atractores y otra para que genere 4 atractores.

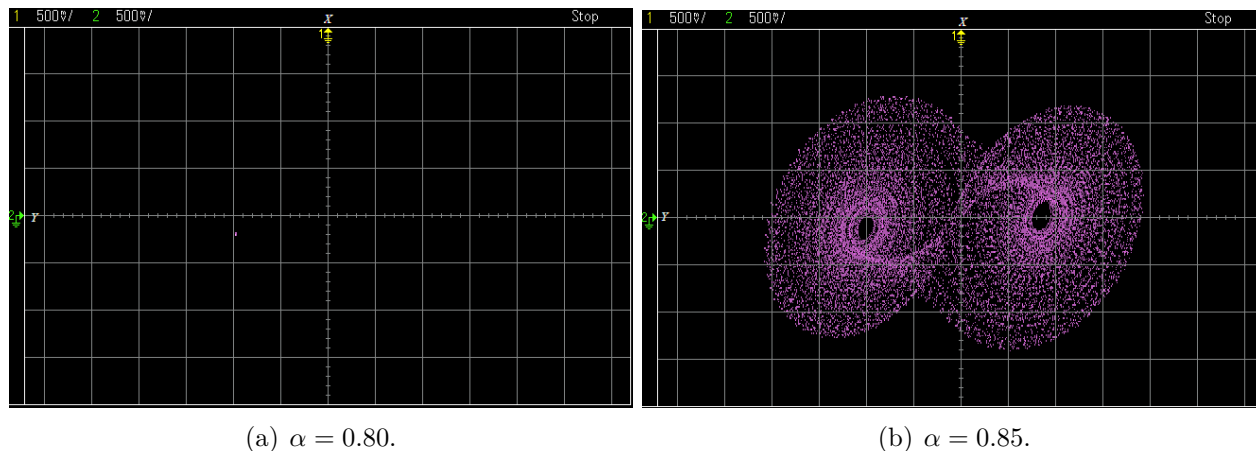
**Tabla 3.3:** Características de las señales utilizadas en la prueba experimental.

Descripción	Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal Cuadrada	1	100Hz	1V

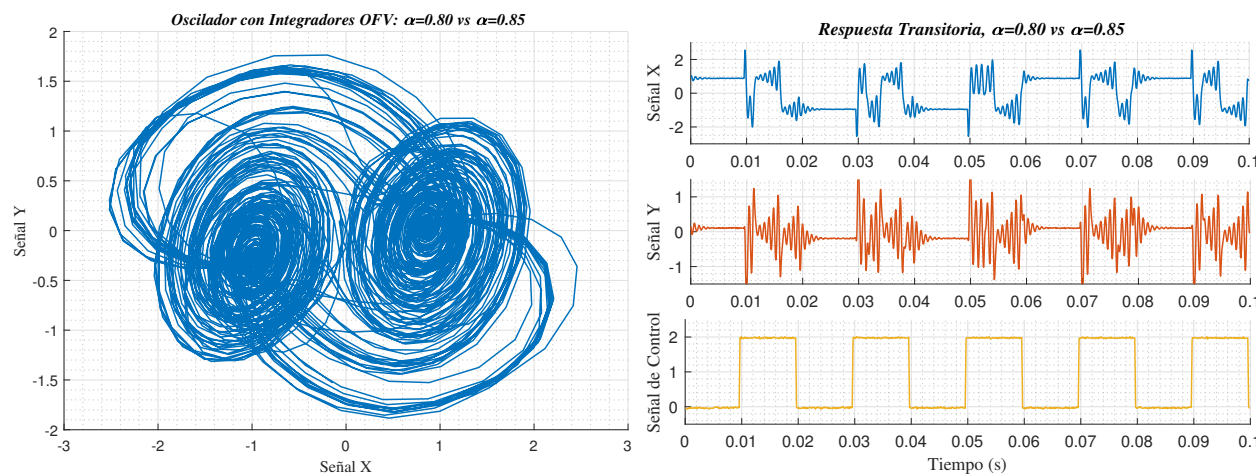
Se presenta el comportamiento observado experimentalmente en el osciloscopio cuando el sistema se encuentra en cada uno de los órdenes fraccionarios. También, se capturó con el osciloscopio la respuesta temporal del integrador por un periodo de 500ms. Los datos generados fueron procesados en el *software* de *Matlab* con el que se les aplicó un filtrado Savitzky-Golay de orden 3 y longitud de cuadro 11, posteriormente estos datos fueron graficados presentando la respuesta transitoria de las señales  $X$  y  $Y$  y el atractor caótico generado.

**Comportamiento Caótico con Integradores Variables Entre los Órdenes Fraccionarios  $\alpha = 0.80$  y  $\alpha = 0.85$ , Dos Atractores.**

En las figuras 3.14(a) y 3.14(b) se muestra el comportamiento del oscilador caótico cuando los integradores variables cambian entre en los órdenes  $\alpha = 0.80$  y  $\alpha = 0.85$ . En la gráfica de la figura ?? se presenta su respuesta transitoria y el atractor caótico generado



**Figura 3.14:** Plano de fase capturado experimentalmente en osciloscopio de las señales  $X$  vs  $Y$ .

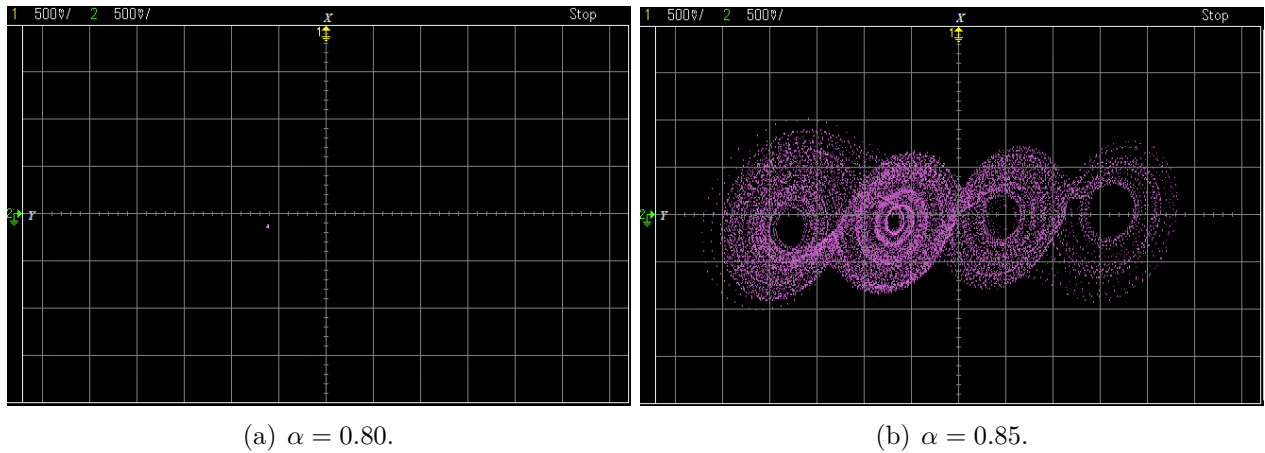


(a) Atractor generado al conmutar entre integradores de orden  $\alpha = 0.80$  y  $\alpha = 0.85$ . (b) Respuesta transitoria de las señales  $X$  y  $Y$ .

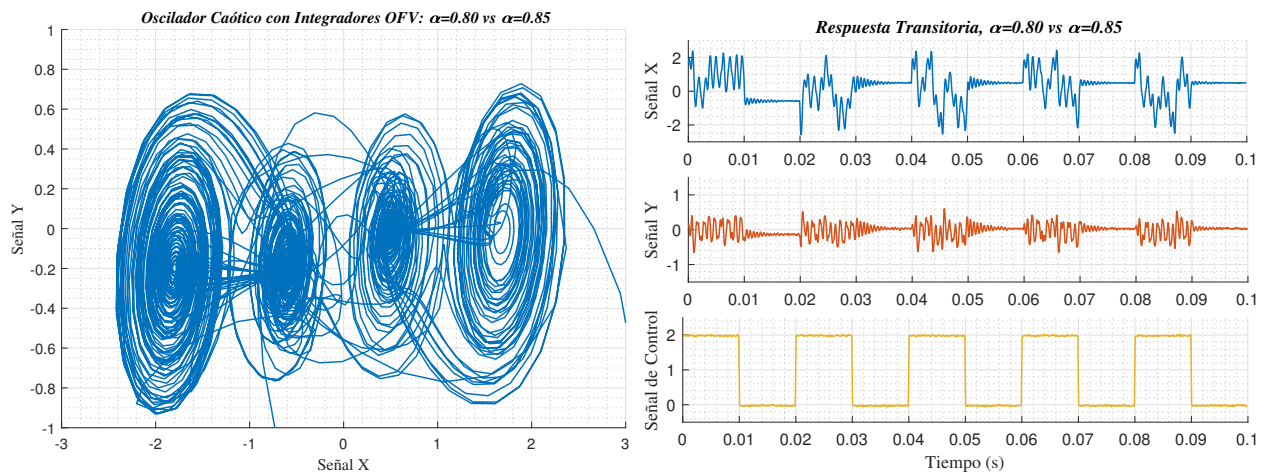
**Figura 3.15:** Atractor caótico obtenido y respuesta transitoria.

**Comportamiento Caótico con Integradores Variables Entre los Órdenes Fraccionarios  $\alpha = 0.80$  y  $\alpha = 0.85$ , Cuatro Atractores.**

En las figuras 3.16(a) y 3.16(b) se muestra el comportamiento del oscilador caótico cuando los integradores variables cambian entre en los órdenes  $\alpha = 0.80$  y  $\alpha = 0.85$ . En la gráfica de la figura 3.17 se presenta su respuesta transitoria y el atractor caótico generado



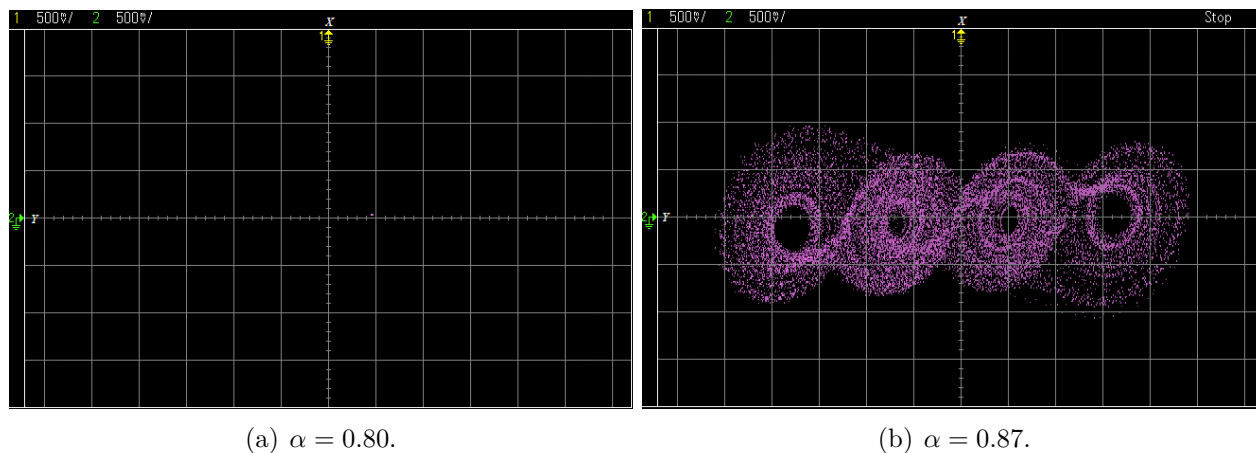
**Figura 3.16:** Plano de fase capturado experimentalmente en osciloscopio de las señales  $X$  vs  $Y$ .



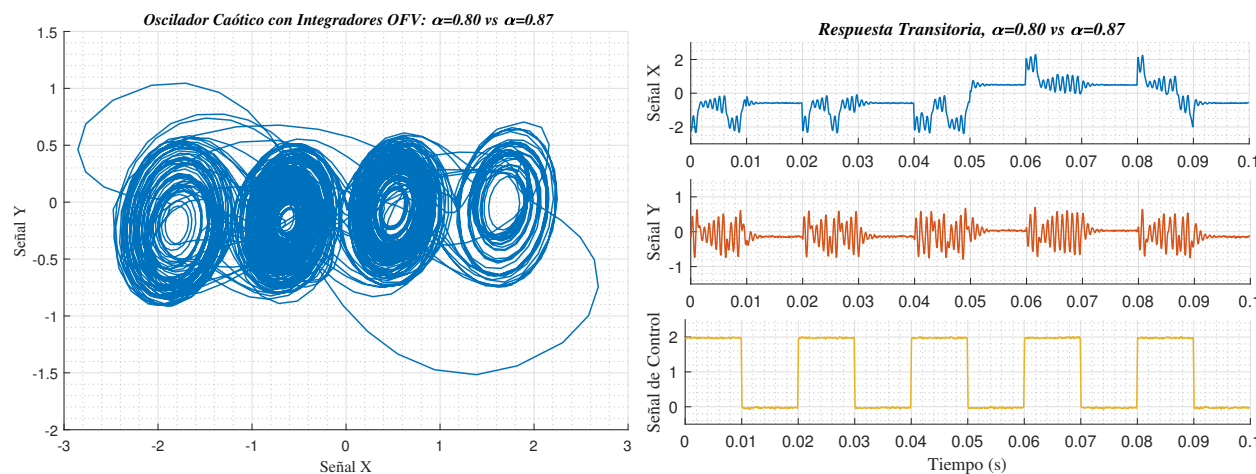
**Figura 3.17:** Atractor caótico obtenido y respuesta transitoria.

**Comportamiento Caótico con Integradores Variables Entre los Órdenes Fraccionarios  $\alpha = 0.80$  y  $\alpha = 0.87$ , Cuatro Atractores.**

En las figuras 3.18(a) y 3.18(b) se muestra el comportamiento del oscilador caótico cuando los integradores variables cambian entre en los órdenes  $\alpha = 0.80$  y  $\alpha = 0.87$ . En la gráfica de la figura 3.19 se presenta su respuesta transitoria y el atractor caótico generado



**Figura 3.18:** Plano de fase capturado experimentalmente en osciloscopio de las señales  $X$  vs  $Y$ .

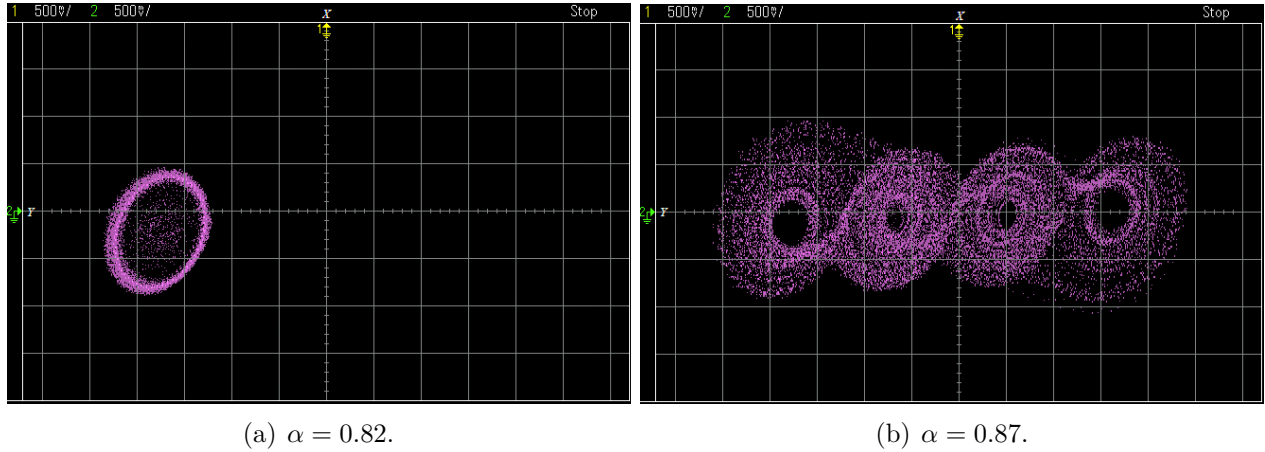


(a) Atractor generado al conmutar entre integradores de orden  $\alpha = 0.80$  y  $\alpha = 0.87$ . (b) Respuesta transitoria de las señales  $X$  y  $Y$ .

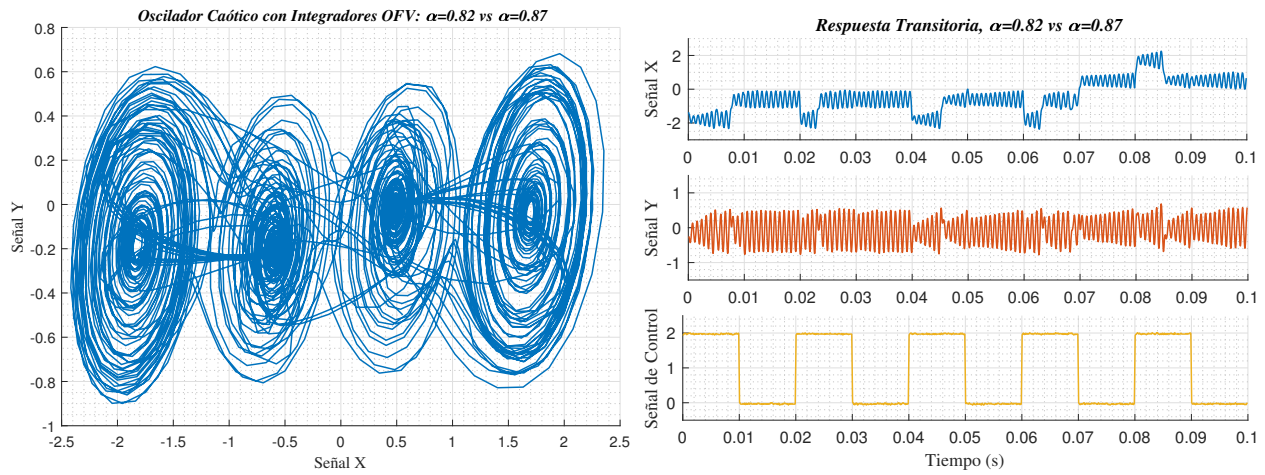
**Figura 3.19:** Atractor caótico obtenido y respuesta transitoria.

**Comportamiento Caótico con Integradores Variables Entre los Órdenes Fraccionarios  $\alpha = 0.82$  y  $\alpha = 0.87$ , Cuatro Atractores.**

En las figuras 3.20(a) y 3.20(b) se muestra el comportamiento del oscilador caótico cuando los integradores variables cambian entre en los órdenes  $\alpha = 0.82$  y  $\alpha = 0.87$ . En la gráfica de la figura 3.21 se presenta su respuesta transitoria y el atractor caótico generado



**Figura 3.20:** Plano de fase capturado experimentalmente en osciloscopio de las señales  $X$  vs  $Y$ .



(a) Atractor generado al conmutar entre integradores de orden  $\alpha = 0.82$  y  $\alpha = 0.87$ . (b) Respuesta transitoria de las señales  $X$  y  $Y$ .

**Figura 3.21:** Atractor caótico obtenido y respuesta transitoria.

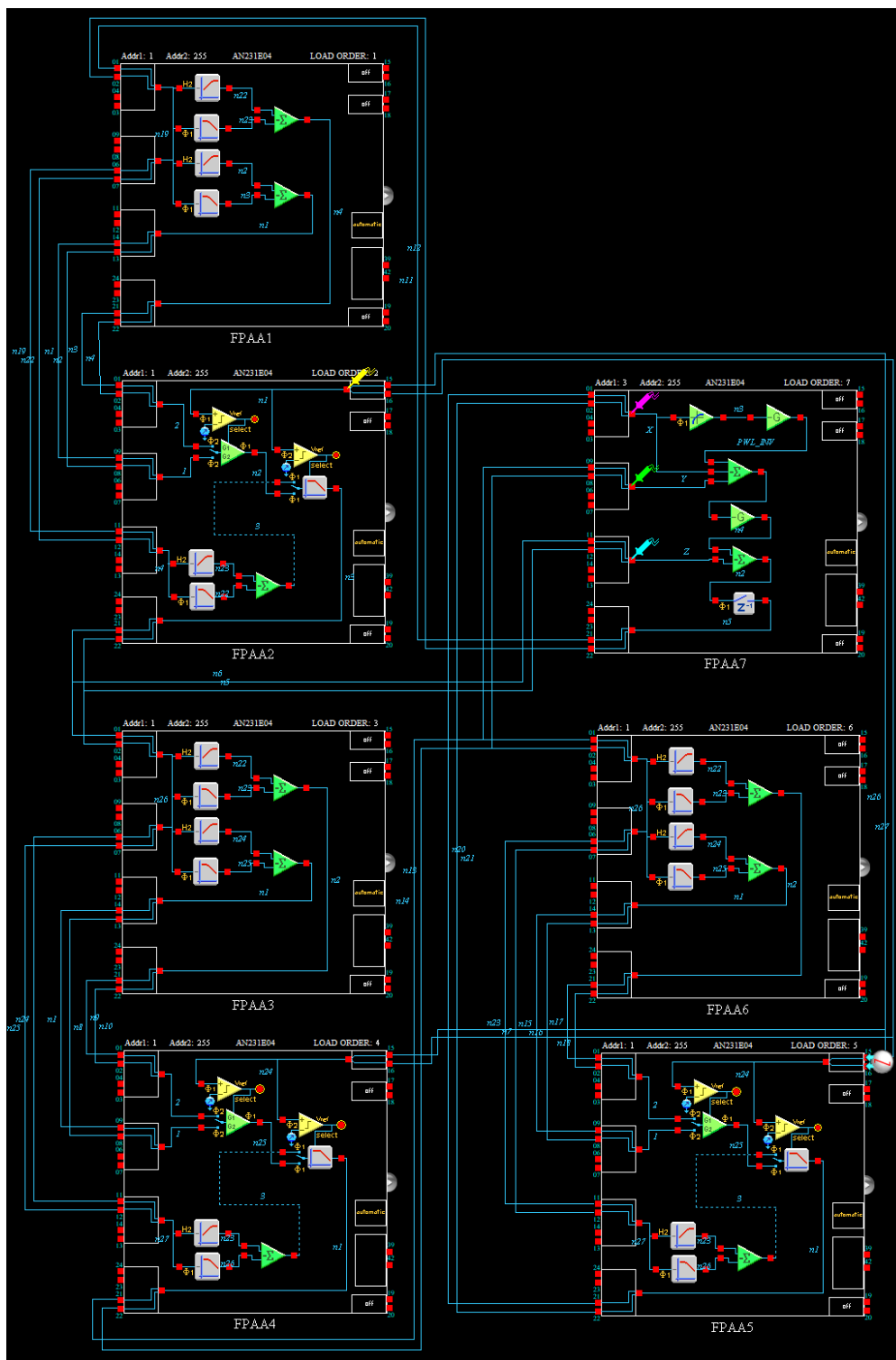


Figura 3.22: Diseño en AD2 de oscilador caótico de Lü con integradores variables entre tres órdenes fraccionarios.

### 3.2.3. Diseño de Oscilador Caótico Lü Con Integradores Variables Entre Tres Órdenes Fraccionarios en AD2

Se procedió a realizar el diseño en el software de AD2 del oscilador caótico de Lü con integradores variables entre tres órdenes fraccionarios, el cual se presenta en la figura 3.22. Este diseño requiere el uso de 7 chips FPAA por lo que se puede implementar utilizando dos tarjetas de desarrollo *QuadApex*. En los chips FPAA 1-6 se encuentra conectados tres integrador variable entres tres órdenes fraccionarios, los cuales se configuraron siguiendo las descripciones del capítulo 2. En el chip FPAA 7 se encuentran conectados el sumador de señales y la función de saturada, la cual mediante fue configurada para obtener atractores caóticos de 2 y 4 enrollamientos. La conexión de los elementos está basada en el diagrama de bloques de la figura 3.1.

En la siguiente subsección se presenta la caracterización de este diseño, en el cual los integradores de OFV del sistema se configuraron para conmutar entre los órdenes fraccionarios:  $\alpha = 0.80$  contra  $\alpha = 0.82$  contra  $\alpha = 0.85$ ,  $\alpha = 0.80$  contra  $\alpha = 0.85$  contra  $\alpha = 0.87$  y  $\alpha = 0.82$  contra  $\alpha = 0.85$  contra  $\alpha = 0.87$ . La señal de control en todos los casos fue una señal tipo diente de sierra con las características que se presentan en la tabla 3.4. Se utilizaron dos funciones PWL, una para que el oscilador caótico genere dos atractores y otra para que genere 4 atractores.

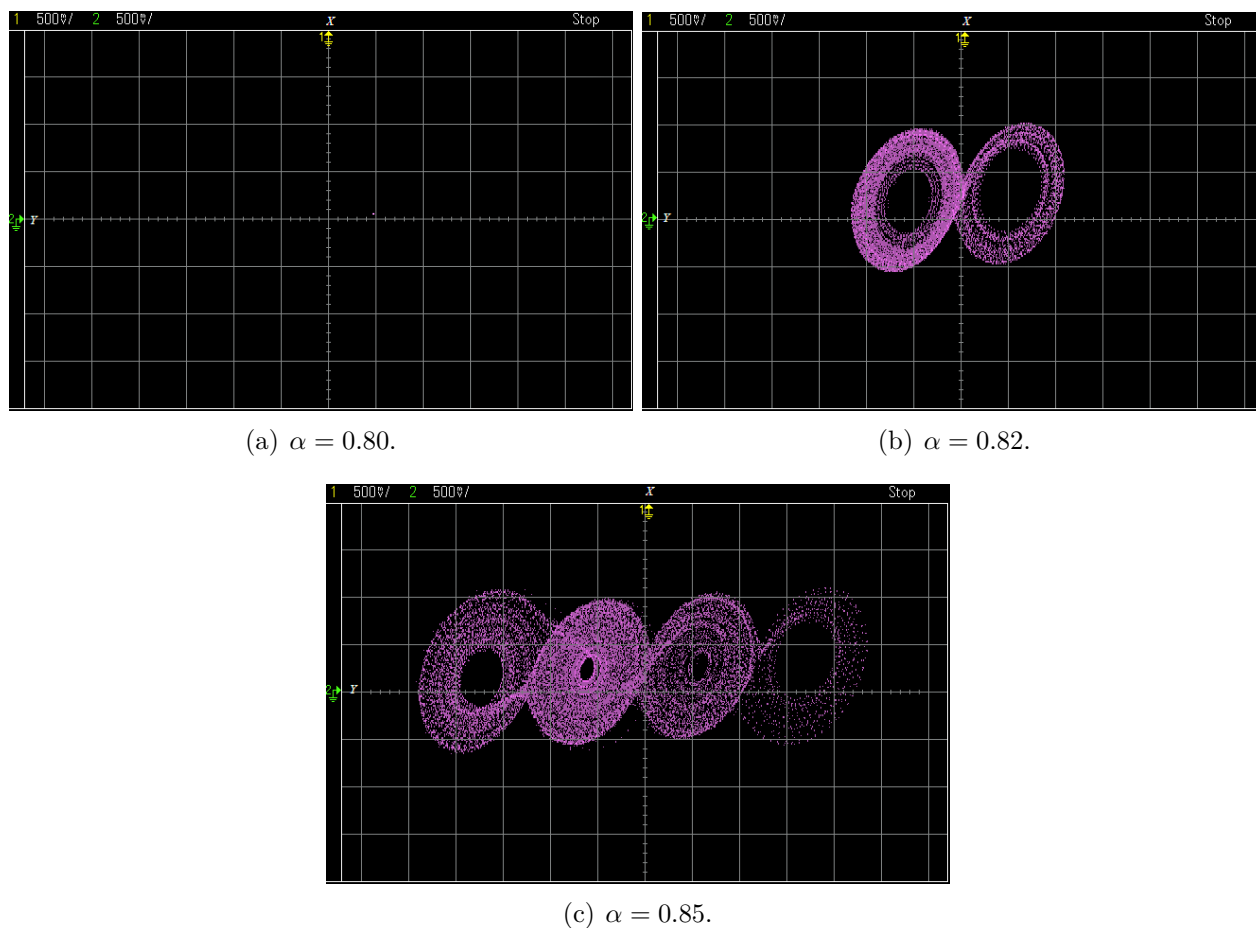
**Tabla 3.4:** Características de las señales utilizadas en la prueba experimental.

Descripción	Tipo de Señal	Amplitud Pico	Frecuencia	Offset
Señal de Control	Señal Diente de Sierra	1.5V	66.666Hz	1.5V

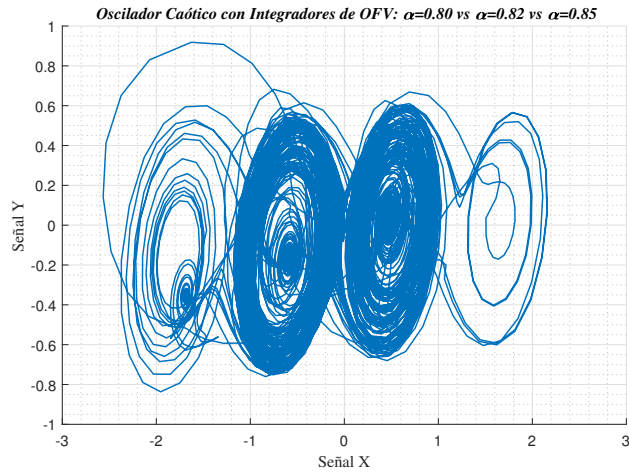
Se presenta el comportamiento observado experimentalmente en el osciloscopio cuando el sistema se encuentra en cada uno de los órdenes fraccionarios. También, se capturó con el osciloscopio la respuesta temporal del integrador por un periodo de 500ms. Los datos generados fueron procesados en el *software* de *Matlab* con el que se les aplicó un filtrado Savitzky-Golay de orden 3 y longitud de cuadro 11, posteriormente estos datos fueron graficados presentando la respuesta transitoria de las señales  $X$  y  $Y$  y el atractor caótico generado.

**Comportamiento Caótico Con Integradores Variables Entre los Órdenes Fraccionarios  $\alpha = 0.80$ ,  $\alpha = 0.82$  y  $\alpha = 0.85$ , Cuatro Atractores.**

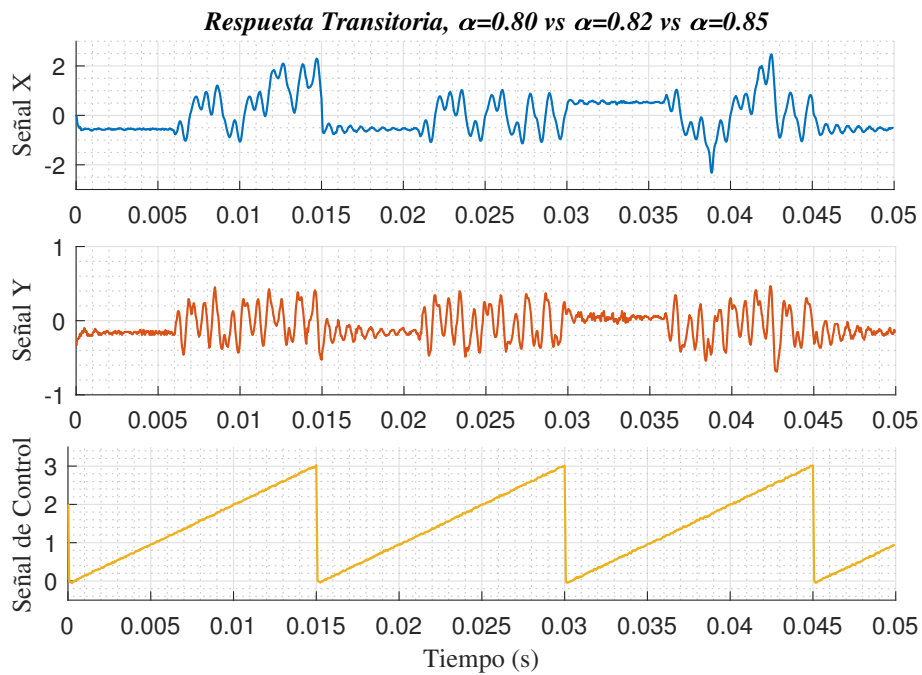
En las figuras 3.23(a), 3.23(b) y 3.23(c) se muestra el comportamiento del oscilador caótico cuando los integradores variables cambian entre en los órdenes  $\alpha = 0.80$ ,  $\alpha = 0.82$  y  $\alpha = 0.85$ . En la gráfica de la figura 3.24 se presenta su respuesta transitoria y el atractor caótico generado



**Figura 3.23:** Plano de fase capturado experimentalmente en osciloscopio de las señales  $X$  vs  $Y$ .



(a) Atractor generado al conmutar entre integradores de orden  $\alpha = 0.80$ ,  $\alpha = 0.82$  y  $\alpha = 0.85$ .

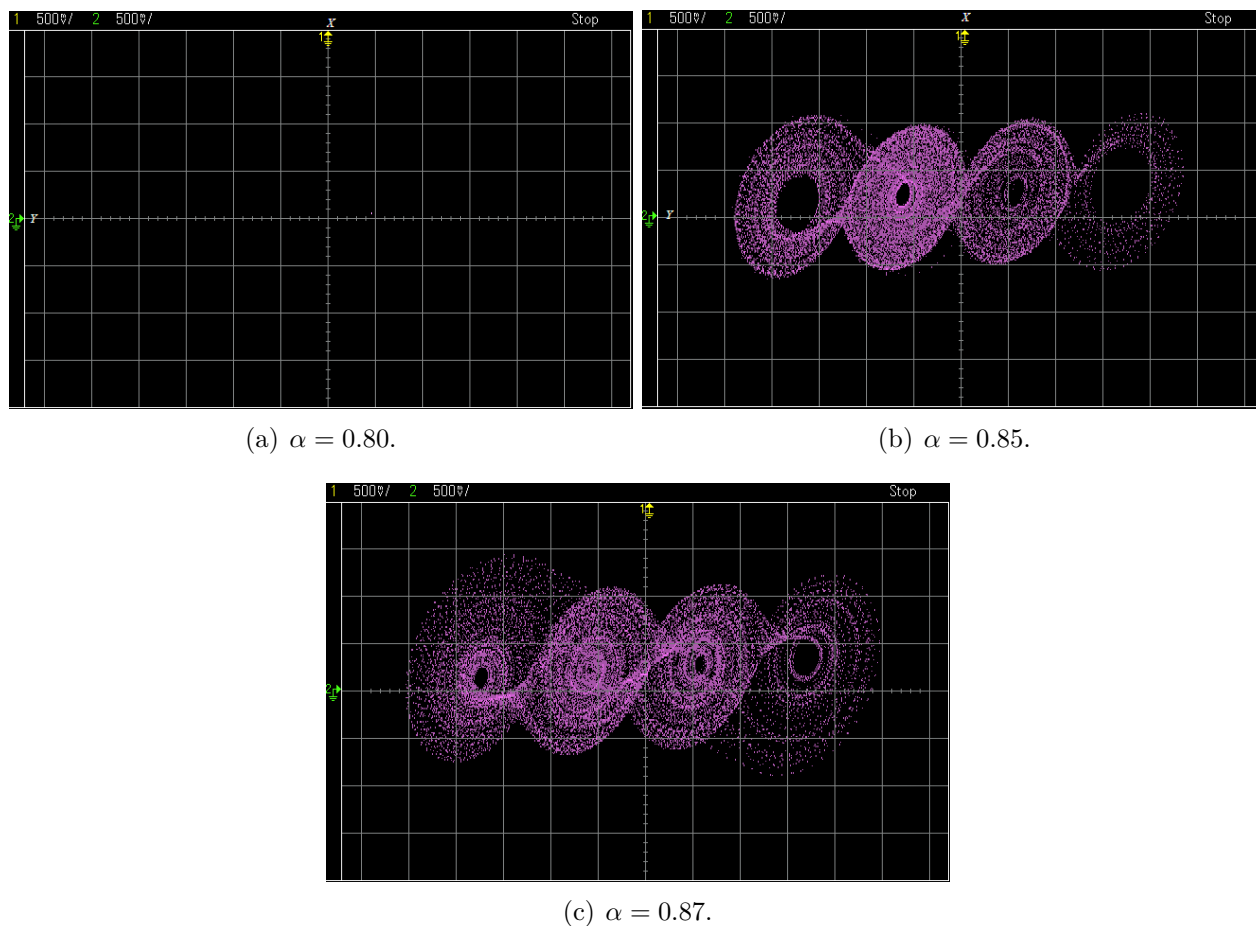


(b) Respuesta transitoria de las señales  $X$  y  $Y$ .

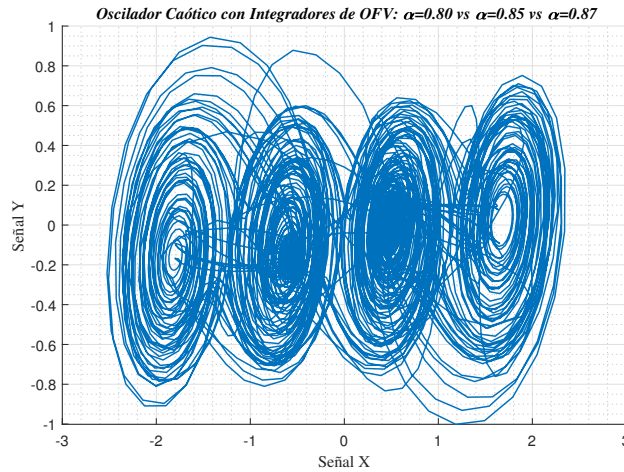
**Figura 3.24:** Atractor caótico obtenido y respuesta transitoria.

**Comportamiento Caótico con Integradores Variables Entre los Órdenes Fraccionarios  $\alpha = 0.80$ ,  $\alpha = 0.85$  y  $\alpha = 0.87$ , Cuatro Atractores.**

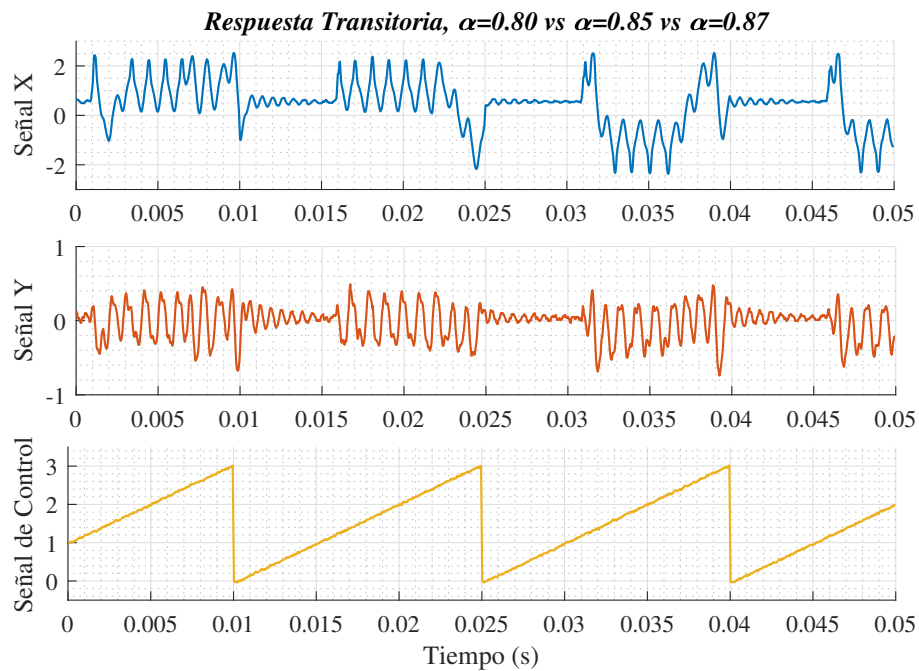
En las figuras 3.25(a), 3.25(b) y 3.25(c) se muestra el comportamiento del oscilador caótico cuando los integradores variables cambian entre en los órdenes  $\alpha = 0.80$ ,  $\alpha = 0.85$  y  $\alpha = 0.87$ . En la gráfica de la figura 3.26 se presenta su respuesta transitoria y el atractor caótico generado



**Figura 3.25:** Plano de fase capturado experimentalmente en osciloscopio de las señales  $X$  vs  $Y$ .



(a) Atractor generado al conmutar entre integradores de orden  $\alpha = 0.80$ ,  $\alpha = 0.85$  y  $\alpha = 0.87$ .

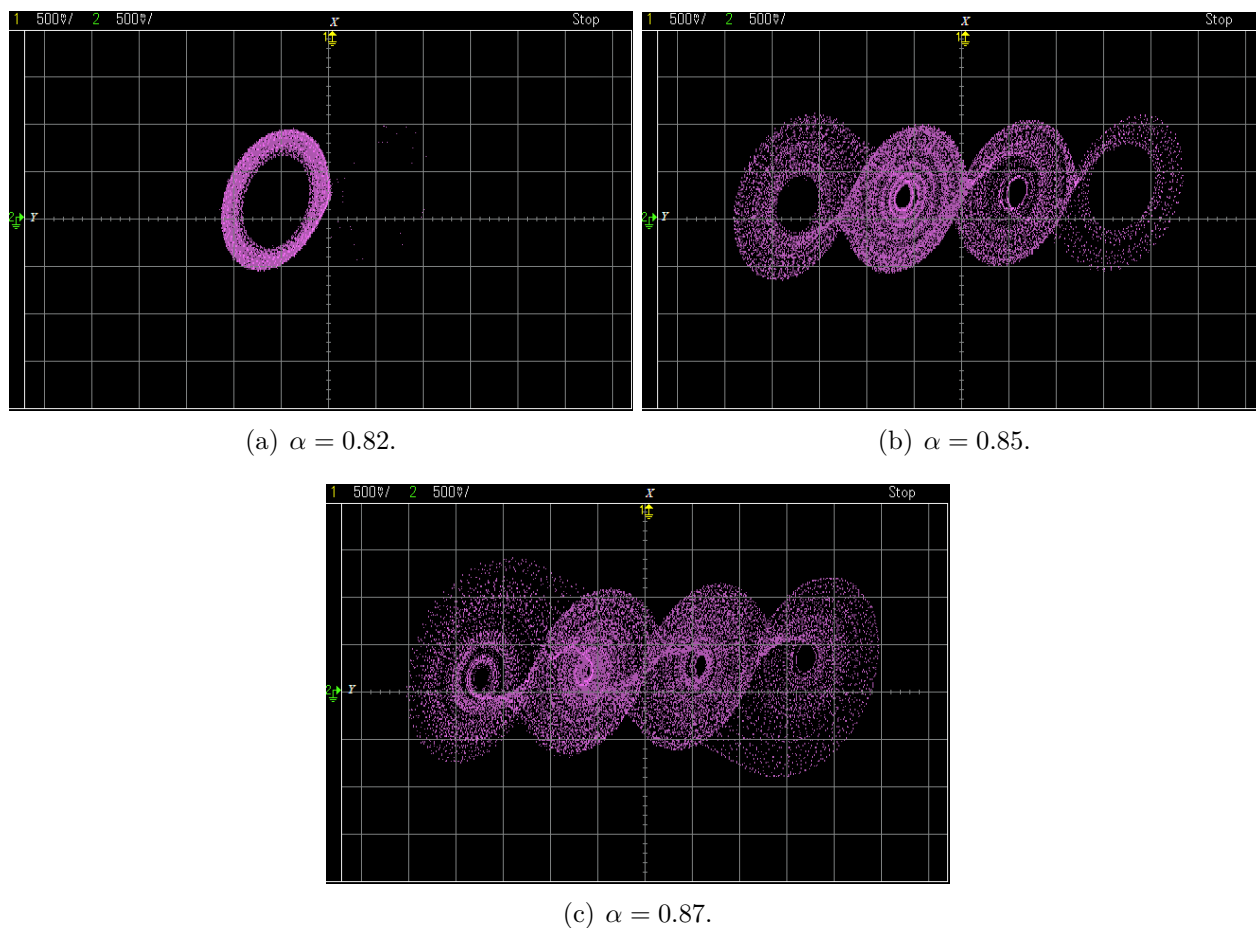


(b) Respuesta transitoria de las señales  $X$  y  $Y$ .

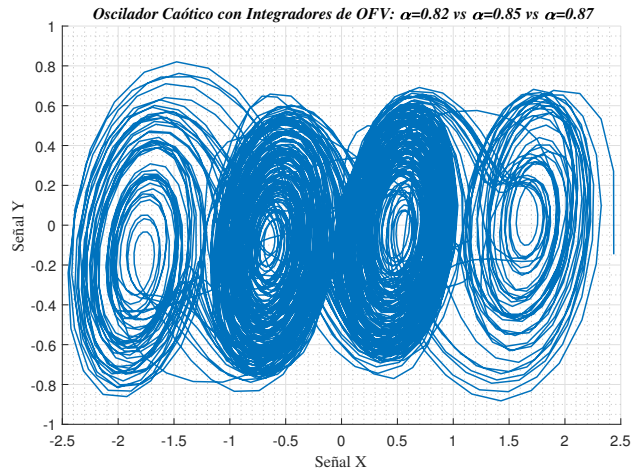
**Figura 3.26:** Atractor caótico obtenido y respuesta transitoria.

**Comportamiento Caótico con Integradores Variables Entre los Órdenes Fraccionarios  $\alpha = 0.82$ ,  $\alpha = 0.85$  y  $\alpha = 0.87$ , Cuatro Atractores.**

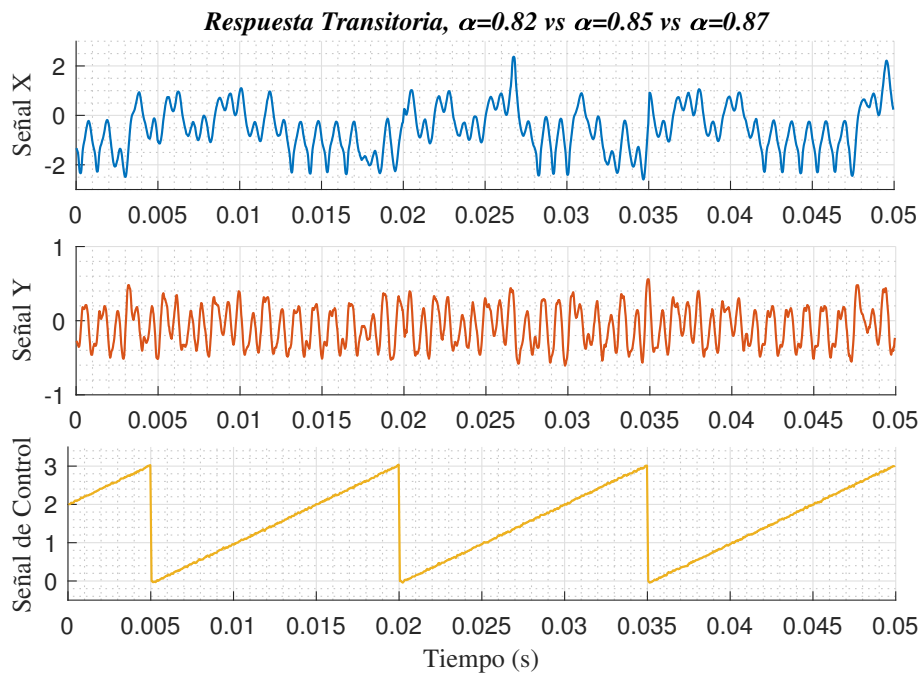
En las figuras 3.27(a), 3.27(b) y 3.27(c) se muestra el comportamiento del oscilador caótico cuando los integradores variables cambian entre en los órdenes  $\alpha = 0.82$ ,  $\alpha = 0.85$  y  $\alpha = 0.87$ . En la gráfica de la figura 3.28 se presenta su respuesta transitoria y el atractor caótico generado



**Figura 3.27:** Plano de fase capturado experimentalmente en osciloscopio de las señales  $X$  vs  $Y$ .



(a) Atractor generado al conmutar entre integradores de orden  $\alpha = 0.82$ ,  $\alpha = 0.85$  y  $\alpha = 0.87$ .

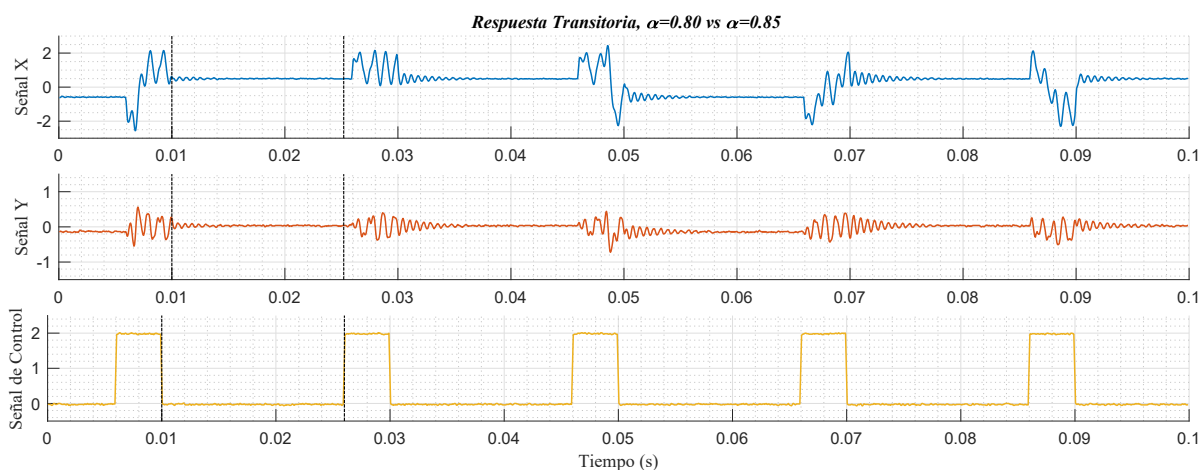


(b) Respuesta transitoria de las señales  $X$  y  $Y$ .

**Figura 3.28:** Atractor caótico obtenido y respuesta transitoria.

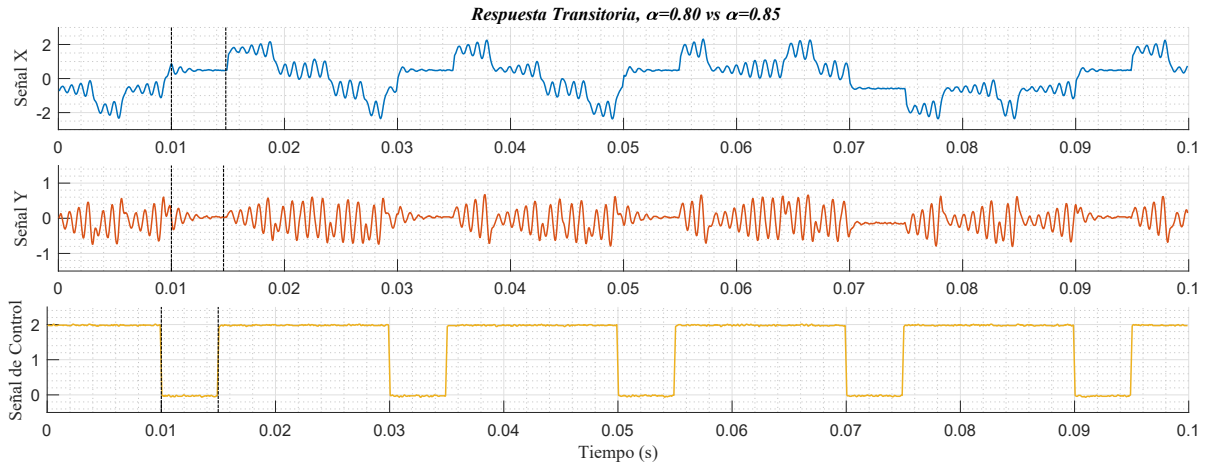
### 3.3. Efecto Producidos en el Comportamiento Caótico Ante el Cambio de Orden Fraccionario

La incorporación al oscilador caótico de Lü de integradores de OFV basados en la definición de Riemann-Liouville cuando el argumento del kernel es  $\alpha(t, \tau) = \alpha(t)$  por definición no debe producir efectos de memoria en el comportamiento del oscilador, pero se puede esperar que la variación de orden afecte el comportamiento en alguna forma. En las gráficas de la figura 3.29 y 3.30 se presenta la respuesta transitoria de las señales de  $X$  y  $Y$  del oscilador caótico, en las cuales se cambió el ciclo de trabajo de la señal de control al 20% y 75%. La frecuencia de la señal de control se fijó en  $50Hz$  y los órdenes fraccionarios a conmutar son  $\alpha = 0.80$  y  $\alpha = 0.85$ . Podemos observar que cuando se cambia el orden fraccionario del sistema a un valor en el cual no hay comportamiento caótico, se produce un efecto de oscilación que desaparece de forma rápida y al cambiar el integrador fraccionario a un valor en el que si hay comportamiento caótico, este vuelve a surgir.



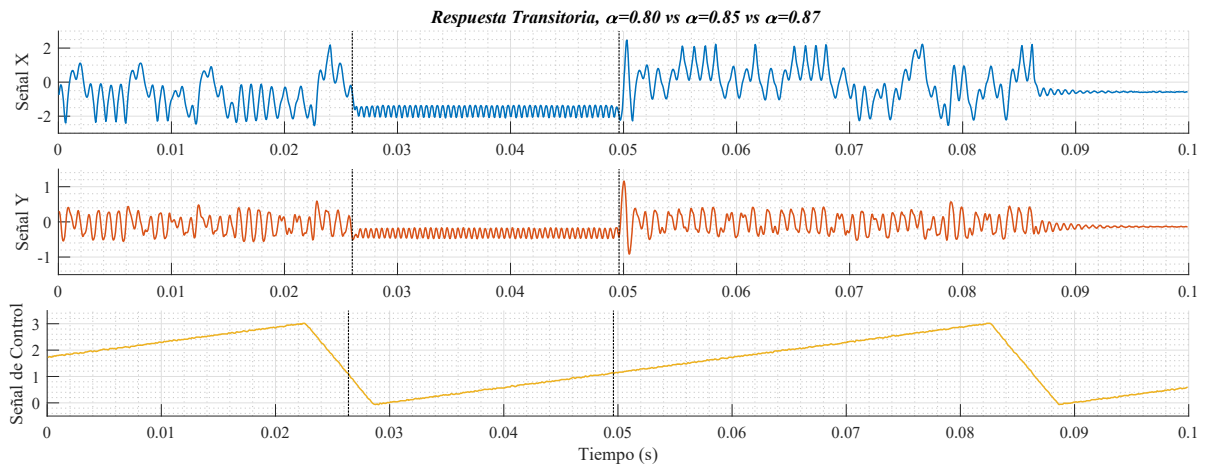
**Figura 3.29:** Integradores orden  $\alpha = 0.80$  vs  $\alpha = 0.85$ , señal de control cuadrada con ciclo de trabajo de 20%

### 3.3. Efecto Producidos en el Comportamiento Caótico Ante el Cambio de Orden Fraccionario



**Figura 3.30:** Integradores orden  $\alpha = 0.80$  vs  $\alpha = 0.85$ , señal de control cuadrada con ciclo de trabajo de 75 %

También se encontró que el cambio del integrador fraccionario a un valor en el que no hay comportamiento caótico puede provocar que el oscilador caótico entre a un estado de oscilación como se observar en la gráfica de la figura 3.31, al cambiar el integrador fraccionario a un valor en el que si hay comportamiento caótico, este vuelve a surgir saliendo del estado oscilatorio. La señal de control utilizada en esta prueba es tipo diente de sierra con una frecuencia de  $66.666Hz$ .



**Figura 3.31:** Integradores orden  $\alpha = 0.80$  vs  $\alpha = 0.85$  vs  $\alpha = 0.87$ , señal de control tipo diente de sierra con simetría de 20 %

### 3.4. Generación de Secuencias de Bits Aleatorias con Señales Caóticas

En las últimas décadas se ha iniciado una era de transformación digital, donde hay una tendencia creciente al intercambio de información entre diferentes organizaciones, ya sean empresas, instituciones bancarias, organismos de gobierno, etc [97]. Día a día se transfieren cantidades inimaginables de información que abarcan datos personales, transacciones financieras, domótica, sistemas de control de seguridad, datos de registro de sensores, entre muchos otros. Esto sitúa a la seguridad de la información como un elemento imprescindible que ante las posibles vulnerabilidades que implican las nuevas tecnologías, ha abierto un campo de investigación en técnicas para su fortalecimiento [97, 98].

En criptografía, hay varios ejemplos conocidos de estas técnicas, como son: el protector de un solo uso (One-Time Pad) el cual requiere el uso de una clave precompartida; la clave secreta en los algoritmos de encriptación estándar, la clave privada en algoritmos de firma digital, los números primos  $p$  y  $q$  en el sistema de encriptación RSA y firma digital, así como protocolos de identificación pregunta-respuesta [99]. En todas estas técnicas se requiere un algoritmo o dispositivo que genere cifras aleatorias de tal manera que la probabilidad de que el adversario genere una cifra similar mediante algún algoritmo sea mínima, razón por la cual muchos investigadores han buscado diseñar dispositivos con la capacidad de generar números impredecibles.

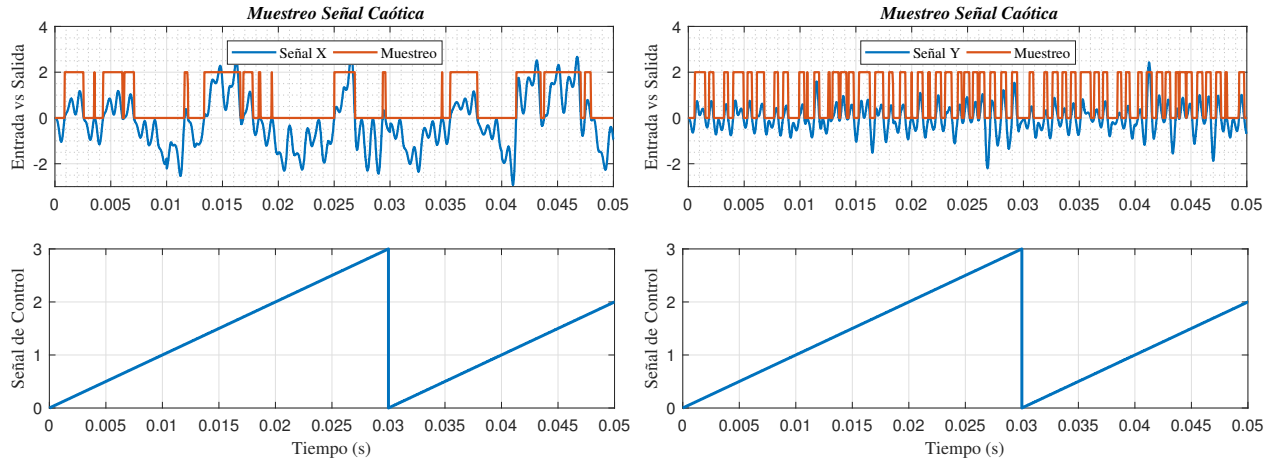
#### Generadores de números aleatorios

Denominados como generadores de números aleatorios o por sus siglas en inglés (RNG), estos dispositivos según su fuente de aleatoriedad se pueden clasificar en tres tipos: Generadores de números aleatorios verdaderos (TRNG), Generadores de números pseudoaleatorios (PRNG) y Generadores de números aleatorios híbridos (HRNG) [100]. Los PRNG son provenientes de algoritmos matemáticos, mientras que los TRNGs se basan en fuentes de entropía física, tales como, ruido atmosférico, clics de un mouse, ruido de conmutación en transistores, etc. Esto hace que su predictibilidad sea muy baja y por ende fortalece cualquier sistema de seguridad que los incorpore [101].

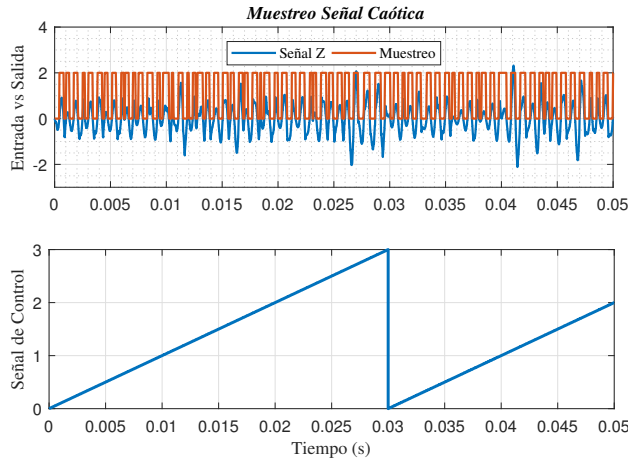
Recientemente se ha descubierto que los sistemas no lineales que muestran un comportamiento caótico tienen una estrecha relación estructural con los sistemas criptográficos y es que una de sus principales propiedades es la alta sensibilidad a la variación de las condiciones iniciales o parámetros del sistema, lo cual favorece de forma significativa la generación de aleatoriedad. Como resultado de esta estrecha relación, se han diseñado diversos criptosistemas caóticos [102]; lo que da origen a un cuarto tipo de generadores de números aleatorios, los generadores de números aleatorios caóticos (CRNG), donde la fuente de entropía ahora es el caos [102]. En esta prueba se tomaron las señales X, Y y Z producidas por el oscilador caótico de Lu

### 3.4. Generación de Secuencias de Bits Aleatorias con Señales Caóticas

con integradores variables entre los órdenes fraccionarios  $\alpha = 0.82, \alpha = 0.85$  y  $\alpha = 0.87$  y utilizando un comparador a tierra se muestrearon las señales caóticas, las cuales se presentan en las gráficas de la figura 3.32



(a) Muestreo de Señal Caótica X con variación de OF (b) Muestreo de Señal Caótica Y con variación de OF



(c) Muestreo de Señal Caótica Z con variación de OF

**Figura 3.32:** Muestreo de señales X,Y y Z producidas por el oscilador caótico de Lu con integradores variables entre los órdenes fraccionarios  $\alpha = 0.82, \alpha = 0.85$  y  $\alpha = 0.87$ .

# Conclusiones

Las conclusiones sobre este trabajo de tesis son las siguientes:

- **Capítulo 1:** En este capítulo se realizó la implementación de integradores de orden fraccionario constante utilizando dispositivos FPAA. En base a la información encontrada en la literatura se sabe que la síntesis analógica de operadores de orden fraccionario puede complicarse o incluso dejar de ser viable si los valores de los elementos requerido no son posibles de obtener. El uso de hardware analógico reconfigurable fue una gran herramienta en la síntesis analógica desarrollada en este trabajo, la tecnología FPAA permitió reducir el tiempo de implementación de los integradores de OFC, así como poder reconfigurar los valores de configuración de cada CAM las veces que fueron necesarios e implementar integradores en un rango amplio de órdenes fraccionarios. Su funcionamiento basado en la tecnología de capacitor conmutado permitió obtener valores precisos en la configuración de los filtros, lo cual no es posible obtener con elementos discretos.

Para implementar los integradores de orden fraccionario se utilizó la aproximación de primer orden obtenida a través del método de expansión de fracciones continuas, se recurrió al uso de esta aproximación ya que ha sido validada en diversos trabajos. Esta aproximación puede ser sintetizada con dispositivos FPAA en diferentes formas, particularmente se eligió implementarla utilizando los filtros paso-bajo y paso-alto ya que de esta forma se puede implementar integradores en el rango de orden fraccionario de  $(0.1, 0.99)$ . Otras formas de implementación se encuentran más limitadas en el rango de órdenes fraccionarios que se pueden implementar.

El ajuste aplicado a los valores de configuración de los elementos del integrador permitió mejorar considerablemente su funcionamiento sin requerir *hardware* adicional. El desarrollo de los integradores de OFC se basó en la definición de integral de Riemann-Liouville, por lo que su solución analítica nos permitió saber el comportamiento esperado al integrar señales de onda tipo cuadradas, triangulares y senoidales.

- **Capítulo 2:** El cálculo de orden fraccionario variable es una rama de las matemáticas aun en estudio y desarrollo. En este capítulo se realizó la implementación de integradores de OFV basándose en la definición de Riemann-Liouville extendida al caso variable, en esta definición surgen interesantes propiedades de memoria cuando se selecciona un

argumento diferente de  $\alpha(t, \tau)$ , una es la memoria de retención de orden y otra es la memoria de desvanecimiento. Este trabajo se centró únicamente en analizar el caso cuando el argumento  $\alpha(t, \tau) = \alpha(t)$ , en el cual se espera que la memoria de retención de orden sea nula y la memoria de desvanecimiento desaparezca rápidamente, lo cual se corroboró en las gráficas obtenidas.

Se recurrió a utilizar una función definida a trozos constantes como función de orden debido a que esta ha sido la única forma propuesta para realizar la implementación de los integradores de OFV y es que en la práctica el cambio entre un orden fraccionario y otro no puede ser continuo sino escalonado, aun en pasos muy pequeños. Para esto se encontró que las estructuras de conmutación tienen un papel importante en la implementación de los integradores de OFV. Las gráficas de respuesta transitoria y en frecuencia obtenidas corroboran la teoría propuesta.

- **Capítulo 3:** En este capítulo se realizó la incorporación de integradores de OFV al oscilador caótico de Lü. Al inicio de este trabajo una de las preguntas más era cual sería el comportamiento caótico ante la variación del orden fraccionario, debido a que estos sistemas tienen extrema sensibilidad a los cambios en condiciones iniciales. Se encontró que la variación del orden fraccionario provoca cambios en el comportamiento caótico, ya que este adopta el comportamiento que debe tener de acuerdo con el integrador que se está utilizando en el sistema, pero no se producen efectos como pérdida de comportamiento caótico. La variación del orden fraccionario a cierta frecuencia o que el integrador cambie de forma asimétrica entre un orden fraccionario y otro provocan comportamientos caóticos con características peculiares.

Las señales caóticas producidas por el oscilador caótico con integradores de OFV fueron muestreadas y analizadas, concluyendo que son una fuente adecuada de entropía para la generación de números aleatorios o aplicaciones de encriptación.

# Apéndice A

## Artículos Publicados y Participaciones en Congresos

En este apéndice se presentan los artículos publicados y los reconocimientos recibidos por la participación en congresos nacionales e internacionales. Se realizó la participación en la 8a Jornada de Ciencia y Tecnología Aplicada organizada de manera virtual por el Tecnológico Nacional de México CENIDET en la fecha 25-27 de mayo de 2022 en Cuernavaca, Morelos, México. En la cual se presentó el artículo: “*Diseño e Implementación en Hardware Embebido de Integradores de Orden Fraccionario*”, este mismo se publicó posteriormente en la revista: JORNADA DE CIENCIA Y TECNOLOGIA APLICADA Vol. 5/Num.1 Enero-Junio 2022. También, se participó en la 2022 Conference in Nonlinear Science and Complexity, la cual se llevó a cabo del 26 al 29 de septiembre del 2022 en Salónica, Grecia. Con la ponencia de título: “*A general variable order integrator circuit based on FPAAAs: Design and experimental implementation*”.



**EDUCACIÓN**  
SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO  
NACIONAL DE MÉXICO

**EL TECNOLÓGICO NACIONAL DE MÉXICO  
A TRAVÉS DEL CENTRO NACIONAL DE INVESTIGACIÓN  
Y DESARROLLO TECNOLÓGICO**

OTORGA EL PRESENTE

**RECONOCIMIENTO**

A

**EDUARDO REYES-COETO, JESÚS MANUEL MUÑOZ-PACHECO AND  
LUZ DEL CARMEN GÓMEZ-PAVÓN**

POR LA PRESENTACIÓN DEL ARTICULO:  
DISEÑO E IMPLEMENTACIÓN EN HARDWARE EMBEBIDO DE INTEGRADORES DE ORDEN  
FRACCIONARIO  
EN EL MARCO DE LA 8ª JORNADA DE CIENCIA Y TECNOLOGÍA APLICADA, CELEBRADA  
DEL 25 AL 27 DE MAYO DE 2022, EN EL TECN/CENIDET.

CUERNAVACA, MORELOS, 27 DE MAYO DE 2022



**DRA. YESICA IMELDA SAAVEDRA BENÍTEZ**  
DIRECTORA DEL CENTRO NACIONAL DE INVESTIGACIÓN  
Y DESARROLLO TECNOLÓGICO

Sello Digital:

*Ipf3V01gEuDTBIeY+gvVFUuyjdxPg6jmVXAqxGF19FqrLwZJiCcYiyyI0BIMxZbLaHVeNBVR+jLupEB3lMxuU8  
ho+Z05ZYtjABL2yDibh3nMMeF3XQ3Jz73uGdF1Rtj1D0cs7hnVqiJv3wqI1gcSV43luHZkGWVb1/QQZXUvjv4U  
UhsVWVBE1g/hy76UevvJ7tymyVoPMscm3yf64CO2csdURVocFJIVmjh6x/mEMgak+GVEvtSGD3vcyRr510q1u0  
DxCR0g7dq/+s1n6EPFrZumV1+SmtQLXm8Xa10s+nzdPKcLyWz0+7XnoEEGWhUp/hf nU6F6HnAbGBt.koLkAk5Q==*

JCYTA045122  
<http://constancias.cenidet.tecnm.mx>

**cenidet**<sup>®</sup>  
Centro Nacional de Investigación  
y Desarrollo Tecnológico



## Diseño e Implementación en Hardware Embebido de Integradores de Orden Fraccionario

Eduardo Reyes-Coeto\* Jesús Manuel Muñoz-Pacheco\*  
Luz del Carmen Gómez-Pavón\*

\* Facultad de Ciencias de la Electrónica, Benemérita Universidad  
Autónoma de Puebla, Puebla, Pue 72570 MX (e-mail:  
eduardo.reyesc@alumno.buap.mx, jesusm.pacheco@correo.buap.mx,  
luz.gomez@correo.buap.mx).

---

**Resumen:** En este documento se describe el diseño e implementación de un integrador de orden fraccionario utilizando matrices analógicas configurables en campo (F.P.A.A.), estos dispositivos son procesadores de señales analógicas basados en la tecnología de capacitor-conmutado y capaces de ser reconfigurados eléctricamente en tiempo real, lo cual reduce significativamente el tiempo de implementación. Debido a que no existe una implementación directa para el operador de integración  $H(s) = \frac{1}{s^\alpha}$  en el dominio de  $s$ , se utiliza una aproximación de primer orden obtenida a través del método de expansión de fracciones continuas (C.F.E.) para implementar el integrador. Finalmente se caracteriza la respuesta en frecuencia del integrador de O.F. y se verifica que la pendiente generada corresponda a  $-20\alpha$  [dB/dec].

*Palabras clave:* cálculo, orden, fraccionario, integrador, F.P.A.A., aproximación, C.F.E.

---

### 1. INTRODUCCIÓN

En el cálculo clásico el símbolo  $(d/dx)^n f(x)$ ,  $n = 0, 1, 2, \dots$  denota derivadas de orden entero. En el cálculo de orden fraccionario los símbolos  $(d/dx)^{-\alpha} f(x)$  y  $(d/dx)^\alpha f(x)$ , con  $(\operatorname{Re})\alpha > 0$ , denotan los operadores fraccionarios de integral y derivada respectivamente, donde  $\alpha$  ahora es extendida al conjunto de números reales y complejos. El cálculo de orden fraccionario constante (C.O.F.C.) es una rama de las matemáticas emergida del cálculo tradicional de orden entero, esta es tan antigua como el mismo cálculo clásico, su origen se remonta al final del siglo XVII donde a través de una serie de cartas escritas entre los matemáticos Leibniz y L'Hôpital se discute el significado y la interpretación del operador de derivada cuando  $\alpha$  es un número fraccionario. Muchos grandes matemáticos contribuyeron después al desarrollo de definiciones para operadores fraccionarios, como Caputo, Abel, Weyl, Riesz, Riemann, Liouville, Grünwald, Letnikov, entre otros, ver Diethelm (2010); Das (2011). Los operadores de orden fraccionario (O.F.) han despertado un gran interés entre la comunidad científica, debido a que sus propiedades permiten modelar sistemas con mayor precisión. Numerosas aplicaciones han sido desarrolladas en diferentes campos como: biología Bodo et al. (2017); Zambrano-Serrano et al. (2018), ingeniería biomédica Magin (2004), economía Tacha et al. (2018), sistemas no lineales Zambrano-Serrano et al. (2017), crip-

tografía Jahanshahi et al. (2020); Montero-Canela et al. (2020), entre muchos otros. Su implementación puede realizarse utilizando dispositivos analógicos o digitales, en el caso digital la exactitud obtenida depende del método numérico o aproximación para resolver la integral o derivada de O.F., lo cual puede requerir potentes sistemas de procesamiento, por ejemplo, Tolba et al. (2019). En el caso analógico, la implementación de operadores fraccionarios se basa en la síntesis de *fractancias*, las cuales son elementos eléctricos con impedancias de O.F., estas pueden ser implementadas con elementos pasivos en redes RC o RL, ver Kartci et al. (2019) y activos, basados en topologías con amplificadores operacionales, ver Muñoz-Pacheco et al. (2021).

Particularmente, en la implementación de los operadores de orden fraccionario con elementos analógicos existen interesantes aplicaciones, por ejemplo, en Podlubny et al. (2002) se implementa un controlador integral de orden fraccionario  $I^\lambda$ , en Bohannon (2008) un controlador proporcional-integral  $PI^\lambda$ , en Charef (2006); Swain et al. (2017); Dastjerdi et al. (2019) se implementan controladores  $PI^\lambda D^\mu$ , donde  $\lambda, \mu \in \mathbb{R}^+$ , en Muresan et al. (2021) se resumen diferentes aplicaciones en sensores y técnicas de filtrado, en Maundy et al. (2010) se implementan capacitores de impedancia fraccionaria para realizar un multivibrador electrónico. A pesar de las ventajas que ofrecen los operadores de orden fraccionario en diversas aplicaciones, su implementación analógica ha sido

limitada por diversos factores, principalmente que los valores de los elementos electrónicos no son los valores estándar producidos comercialmente, las tolerancias son muy grandes además de que estos elementos están susceptibles a alteraciones externas y otros efectos producidos al conectar un número considerable de elementos, lo que produce errores. En este documento se describe la implementación de un integrador de O.F. utilizando matrices analógicas programables en campo (F.P.A.A.), estos dispositivos son procesadores de señales analógicas basados en la tecnología de capacitor-commutado y capaces de ser reconfigurados eléctricamente en tiempo real, sus características permiten realizar una implementación rápida del integrador de O.F., reconfigurar dinámicamente los parámetros de los bloques analógicos y reducir considerablemente los problemas que conllevan los elementos discretos al poder implementar un sistema analógico dentro de un solo chip. El resto de este documento está organizado como se describe a continuación. En la sección 2 se describen los aspectos teóricos más importantes para el integrador de O.F., en la sección 3 se describe el proceso de diseño e implementación, en la sección 4 se presentan los resultados obtenidos y su discusión, y en la sección 5 las conclusiones sobre el trabajo realizado.

## 2. ASPECTOS TEÓRICOS

En esta sección son descritas algunas de las propiedades más importantes para el operador integral de O.F.

*2.1 Definición de Riemann-Liouville Para el Operador Integral de O.F.*

$${}_a D_t^{-\alpha} f(t) = \frac{1}{\Gamma(\alpha)} \int_a^t (t - \tau)^{\alpha-1} f(\tau) d\tau \quad (1)$$

Donde  $0 < \alpha \leq 1$ ,  $\Gamma(\cdot)$  es la función Gama,  $\tau$  es una variable ficticia y  $[a, t]$  es el intervalo de operación, ver Podlubny (1998).

*2.2 Operador de Orden Fraccionario de Laplace y Función de Transferencia*

La transformada de Laplace con condiciones iniciales iguales a cero de la definición de la integral de O.F. de Riemann-Liouville de la ecuación 1 está dada por:

$$\mathcal{L}\{{}_0 D_t^{-\alpha} f(t)\} = s^{-\alpha} F(s) \quad (2)$$

Donde  $F(s)$  denota la transformada de Laplace de  $f(t)$ , y  $s^{-\alpha}$  es el operador de integral de orden fraccionario de Laplace, ver Podlubny (1998). Debido a que la transformada de Laplace es un operador lineal, puede ser aplicada a una ecuación diferencial de orden fraccionario con coeficientes  $a_k$ ,  $b_k$  y señales de entrada  $x(t)$  y salida  $y(t)$  para obtener la función de transferencia:

$$H(s) = \frac{Y(s)}{X(s)} = \frac{b_m s^{\beta_m} + b_{m-1} s^{\beta_{m-1}} + \dots + b_0 s^{\beta_0}}{a_n s^{\alpha_n} + a_{n-1} s^{\alpha_{n-1}} + \dots + a_0 s^{\alpha_0}} \quad (3)$$

## 3. DISEÑO E IMPLEMENTACIÓN

En esta sección se describe el proceso de diseño del integrador de O.F., para el cual se utiliza una aproximación al operador  $\frac{1}{s^\alpha}$  posteriormente esta aproximación es sintetizada analógicamente utilizando F.P.A.A., también su respuesta en frecuencia es caracterizada y se mide que la pendiente corresponda a  $-20\alpha$  [dB/dec].

### 3.1 Aproximación al operador $\frac{1}{s^\alpha}$

El operador de integración fraccionaria constante en el dominio de Laplace se define por la función de transferencia  $H(s) = \frac{1}{s^\alpha}$  con  $\alpha \in (0, 1)$ , este operador no puede ser traducido directamente a una implementación física, por lo que es necesario recurrir a aproximaciones. A lo largo de las últimas décadas diferentes autores han propuesto métodos de aproximación, los cuales mediante funciones racionales de orden entero aproximan su comportamiento al de un operador fraccionario, algunos de ellos son: Oustaloup et al. (2000); Carlson and Halijak (1964); Matsuda and Fujii (1993); Krishna (2011). Particularmente en Krishna (2011) se describe el método de expansión de fracciones continuas (C.F.E), el cual se eligió utilizar en este trabajo para implementarlo físicamente debido a que este método permite una aproximación racional que se ajusta mejor a  $H(s) = 1/s^\alpha$  en el dominio de  $s$ . Para el caso del operador integral, la aproximación de primer orden con  $\alpha \in (0, 1)$  es:

$$\frac{1}{s^\alpha} \approx \frac{(1 - \alpha)s + (1 + \alpha)}{(1 + \alpha)s + (1 - \alpha)} = \frac{As + 1}{s + A}, \quad \text{donde } A = \frac{1 - \alpha}{1 + \alpha} \quad (4)$$

Esta aproximación ha sido validada en diferentes implementaciones analógicas de operadores fraccionarios con dispositivos activos y pasivos, ver Munoz-Pacheco et al. (2021); Podlubny et al. (2002); Tlelo-Cuautle et al. (2020). La aproximación de la ecuación 4 tiene un rango de frecuencia de operación muy bajo, aproximadamente  $10^{-1}$  rads/s a  $10^1$  rads/s. Por este motivo, se le aplicó un escalamiento en frecuencia con un factor  $k_f = 1/2\pi 1000$  como se presenta en la ecuación 5:

$$\frac{1}{k_f s^\alpha} \approx \frac{k_f A s}{k_f s + A} \quad (5)$$

Esta aproximación puede ser reescrita como la suma de dos expresiones racionales, las cuales al analizarlas podemos interpretarlas como las funciones de transferencia de un filtro paso-alto y paso-bajo, las que denominaremos  $T_{HP}(s)$  y  $T_{LP}(s)$  respectivamente. Estas expresiones se muestran en la ecuación 6 y en la figura 1 son representadas en un diagrama de bloques

$$\begin{aligned} \frac{k_f A s + 1}{k_f s + A} &= \underbrace{\frac{k_f A s}{k_f s + A}}_{\text{Filtro PA}} + \underbrace{\frac{1}{k_f s + A}}_{\text{Filtro PB}} \\ &= T_{HP}(s) + T_{LP}(s) \end{aligned} \quad (6)$$

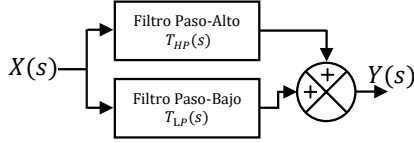


Fig. 1. Diagrama de bloques de integrador de O.F. implementado con filtro paso-alto y paso-bajo

3.2 Síntesis en F.P.A.A. del Operador  $\frac{1}{s^\alpha}$

La síntesis analógica del integrador de O.F. de la figura 1 se realizó utilizando la tarjeta de desarrollo *Anadigm QuadApeX*, fabricada por la empresa *Anadigm*, esta tarjeta incorpora 4 dispositivos F.P.A.A. de matrícula *AN231E04*, ver *Anadigm* (2021b,a). El diseño analógico se realizó en el software *AnadigmDesigner2* (A.D.2) utilizando módulos analógicos configurables (C.A.M). El bloque encargado de realizar la suma de la señal proveniente de los filtros paso-alto y paso-bajo es un C.A.M. de suma invertida, este bloque tiene una etapa de ganancia invertida en cada una de sus entradas, su función de transferencia e icono se presentan en la tabla 1. El C.A.M. filtro bilineal es un bloque que puede ser configurado como filtro paso-bajo o paso-alto, requiriendo en ambos casos el valor de ganancia  $G$  y la frecuencia de corte  $f_0$ . En la tabla 1 se presenta su símbolo en el software *AnadigmDesigner2* tanto para la configuración como filtro paso-alto como paso-bajo, la función de transferencia en cada caso y los valores de configuración de: ganancia  $G_{HP}$  y frecuencia de corte  $f_{0HP}$  para el filtro paso-alto, y ganancia  $G_{LP}$  y frecuencia de corte  $f_{0LP}$  para el filtro paso-bajo. Los valores de configuración, mostrados en la tercera columna de la tabla 1, fueron obtenidos al establecer igualdades entre las funciones de transferencia  $H_{HP}(s)$  y  $H_{LP}(s)$ , presentadas en la segunda columna de tabla 1, con las funciones de transferencia  $T_{HP}(s)$  y  $T_{LP}(s)$  de la ecuación 6

Tabla 1. Configuración de módulos C.A.M.

F. Paso-Alto	F.T.	Valores Configuración
	$H_{HP}(s) = -\frac{Gs}{s+2\pi f_0}$	$G_{HP} = A$ $f_{0HP} = A/k_f 2\pi$
F. Paso-Bajo	F.T.	Valores Configuración
	$H_{LP}(s) = \pm \frac{2\pi f_0 G}{s+2\pi f_0}$	$G_{LP} = 1/k_f 2\pi f_0$ $f_{0LP} = A/k_f 2\pi$
Suma	Función de Transferencia	
	$V_{out} = -G_1 V_{input1} - G_2 V_{input2}$	

Utilizando la ecuación 4 para calcular  $A$  y las ecuaciones de la columna 3 de la tabla 1, se obtuvieron los valores de configuración para implementar el integrador de O.F. con la estructura de filtro paso-bajo y paso-alto en los órdenes fraccionarios  $\alpha = [0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.85, 0.9, 0.95]$ , estos valores obtenidos se presentan en la tabla 2.

Tabla 2. Valores de configuración para filtro bilinear paso-bajo y paso-alto, para implementar un integrador de O.F.

O.F. $\alpha$	Filtro paso-bajo		Filtro paso-alto	
	$f_{0LP}$ [kHz]	$G_{LP}$	$f_{0HP}$ [kHz]	$G_{HP}$
0.1	0.818182	1.22222	0.818182	0.818182
0.2	0.666667	1.5	0.666667	0.666667
0.3	0.538462	1.85714	0.538462	0.538462
0.4	0.428571	2.33333	0.428571	0.428571
0.5	0.333333	3	0.333333	0.333333
0.6	0.25	4	0.25	0.25
0.7	0.176471	5.66667	0.176471	0.176471
0.8	0.111111	9	0.111111	0.111111
0.85	0.0810811	12.3333	0.0810811	0.0810811
0.9	0.0526316	19	0.0526316	0.0526316
0.95	0.025641	39	0.025641	0.025641

*Metodología Utilizada Para la Caracterización:* Utilizando el dispositivo NI Elvis II se capturó el diagrama de Bode del integrador de O.F. configurado en cada orden fraccionario, en el rango de frecuencia de  $100Hz$  a  $10kHz$ . La señal de estímulo a la entrada del integrador se configuró con un valor de  $0.1V$  de amplitud pico. El cálculo de la pendiente en el diagrama de magnitud de Bode se realizó a partir de dos puntos:  $P_1(f_1, G_1)$  y  $P_2(f_2, G_2)$ , en los cuales:  $f_{1,2}$  es la frecuencia y  $G_{1,2}$  la magnitud. De acuerdo con Perdikaris (1991), la pendiente se puede calcular a partir de dos puntos utilizando la formula:

$$Pendiente = \frac{G_2 - G_1}{\Delta dec}, \text{ donde } \Delta dec = \log_{10} \left( \frac{f_2}{f_1} \right) \quad (7)$$

La determinación de los puntos se realizó con el siguiente procedimiento. Tomando como referencia la ganancia máxima, medida en decibelios, se estableció un punto a  $-3dB$  y a partir de ahí se estableció un segundo punto separado una década en frecuencia a la derecha. Posteriormente se procedió a calcular la pendiente entre ambos puntos y su error con respecto al caso ideal, que corresponde a  $-20\alpha$  [dB/dec].

4. RESULTADOS Y DISCUSIÓN

En la tabla 3 se presenta una comparación entre la pendiente ideal y la pendiente obtenida experimentalmente en cada orden fraccionario. En la tercera columna se presenta el valor calculado de  $A$  con la ecuación 4, en la quinta columna se muestra el error absoluto calculado entre ambas pendientes. La aproximación de primer orden al integrador de O.F. utilizada conlleva un error inherente, el cual se ve reflejado en la tabla, este error en la pendiente puede ser reducido utilizando aproximaciones de órdenes superiores; sin embargo, esto implica el uso de mayores recursos de hardware. También se puede observar como la pendiente obtenida experimentalmente para el orden fraccionario  $\alpha = 0.3$  tiene un error de aproximadamente  $2$  [dB/dec] con respecto al valor ideal esperado de  $6$  [dB/dec]; sin embargo, en comparación a la pendiente ideal obtenida para un integrador de orden

Tabla 3. Tabla comparativa de la pendiente ideal vs obtenida experimentalmente.

Integrador ideal		Integrador implementado en F.P.A.A.		
Orden $\alpha$	Pendiente [dB/dec]	A	Pendiente [dB/dec]	Error absoluto [dB/dec]
0.1	-2	0.8182	-2.58187568	0.5818757
0.2	-4	0.6667	-5.449585532	1.4495855
0.3	-6	0.5385	-8.063733095	2.0637331
0.4	-8	0.4286	-10.47566313	2.4756631
0.5	-10	0.3333	-12.48352962	2.4835296
0.6	-12	0.2500	-14.25995935	2.2599594
0.7	-14	0.1765	-15.57897503	1.578975
0.8	-16	0.1111	-16.34209048	0.3420905
0.85	-17	0.0811	-16.62003788	-0.379962
0.9	-18	0.0526	-16.92450617	-1.075494
0.95	-19	0.0256	-18.49468315	-0.505317

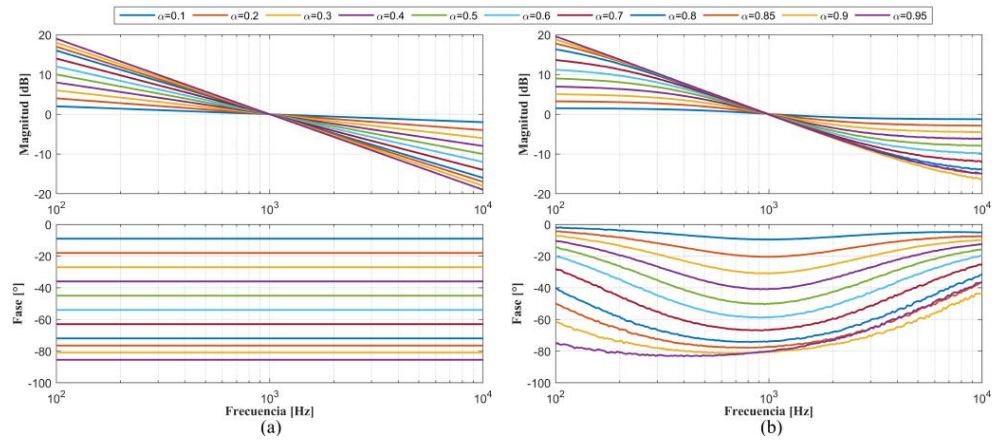


Fig. 2. Diagramas de Bode de la respuesta en frecuencia del integrador de O.F. (a) Caso ideal graficado mediante la función de Matlab FOMCON. (b) Resultado experimental obtenido a través del dispositivo NI Elvis II.

$\alpha = 0.4$  el error es mínimo. Esta peculiaridad se repite en los órdenes fraccionarios posteriores, lo que nos permite suponer que un ajuste en el valor de A y los valores de configuración puede ser una segunda opción para mejorar considerablemente el resultado obtenido.

Los datos de los diagramas de Bode obtenidos con el dispositivo NI Elvis II se exportaron mediante un archivo delimitado por comas (*C.S.V.*) y estos se graficaron utilizando el *software* Matlab, como se muestra en la figura 2(b). Utilizando la función FOMCON, ver Tepljakov (2017), se graficaron los diagramas de Bode ideales del integrador en cada orden fraccionario, estos se presentan en la gráfica de la figura 2(a). En la figura 2(b) se observa como alrededor de  $1kHz$  la pendiente experimental se asemeja a la pendiente ideal en un rango de frecuencia determinado, este rango de frecuencia aumenta en proporción al orden fraccionario. Esto también sucede en la fase, a excepción de los órdenes fraccionarios  $\alpha = 0.9, 0.95$ , donde se observa una variación en el comportamiento en comparación al patrón que llevan las líneas anteriores.

## 5. CONCLUSIONES

En este trabajo se presenta el diseño, implementación y prueba de un integrador de O.F., utilizando dispositivos reconfigurables F.P.A.A., los cuales presentan grandes ventajas en la síntesis analógica, así como la reducción de problemas que conllevan los elementos analógicos. El integrador desarrollado tiene un amplio campo de aplicaciones, por ejemplo, en las áreas de control y procesamiento de señales. Este diseño basado en la aproximación de primer orden del método C.F.E. presenta una gran versatilidad en su implementación, además que cubre el rango de órdenes fraccionarios entre 0 y 1. Como se muestra en la tabla 3, las pendientes medidas presentan errores con respecto al caso ideal por lo que en un trabajo futuro se puede realizar la optimización del diseño para reducir el error presentado en la pendiente y que esta se aproxime al caso ideal  $-20\alpha$  [dB/dec].

REFERENCIAS

- Anadigm, I. (2021a). An231e04 datasheet rev 1.5, 3rd generation dynamically reconfigurable dpassp.
- Anadigm, I. (2021b). Anadigm fpa. <https://www.anadigm.com/index.asp>.
- Bodo, B., Mvogo, A., and Morfu, S. (2017). Fractional dynamical behavior of electrical activity in a model of pancreatic  $\beta$ -cells. *Chaos, Solitons & Fractals*, 102, 426–432.
- Bohannan, G.W. (2008). Analog fractional order controller in temperature and motor control applications. *Journal of Vibration and Control*, 14(9-10), 1487–1498.
- Carlson, G. and Halijak, C. (1964). Approximation of fractional capacitors  $(1/s)^n$  by a regular newton process. *IEEE Transactions on Circuit Theory*, 11(2), 210–213.
- Charef, A. (2006). Analogue realisation of fractional-order integrator, differentiator and fractional  $\pi\lambda\mu$  controller. *IEE Proceedings-Control Theory and Applications*, 153(6), 714–720.
- Das, S. (2011). *Functional fractional calculus*, volume 1. Springer.
- Dastjerdi, A.A., Vinagre, B.M., Chen, Y., and Hosseini-Nia, S.H. (2019). Linear fractional order controllers; a survey in the frequency domain. *Annual Reviews in Control*, 47, 51–70.
- Diethelm, K. (2010). *The analysis of fractional differential equations: An application-oriented exposition using differential operators of Caputo type*. Springer Science & Business Media.
- Jahanshahi, H., Yousefpour, A., Munoz-Pacheco, J.M., Kacar, S., Pham, V.T., and Alsaadi, F.E. (2020). A new fractional-order hyperchaotic memristor oscillator: Dynamic analysis, robust adaptive synchronization, and its application to voice encryption. *Applied Mathematics and Computation*, 383, 125310.
- Kartci, A., Agambayev, A., Farhat, M., Herencsar, N., Brancik, L., Bagci, H., and Salama, K.N. (2019). Synthesis and optimization of fractional-order elements using a genetic algorithm. *IEEE Access*, 7, 80233–80246.
- Krishna, B.T. (2011). Studies on fractional order differentiators and integrators: A survey. *Signal processing*, 91(3), 386–426.
- Magin, R. (2004). Fractional calculus in bioengineering, part 1. *Critical Reviews™ in Biomedical Engineering*, 32(1).
- Matsuda, K. and Fujii, H. (1993). H (infinity) optimized wave-absorbing control-analytical and experimental results. *Journal of Guidance, Control, and Dynamics*, 16(6), 1146–1153.
- Maundy, B., Elwakil, A., and Gift, S. (2010). On a multivibrator that employs a fractional capacitor. *Analog Integrated Circuits and Signal Processing*, 62(1), 99–103.
- Montero-Canela, R., Zambrano-Serrano, E., Tamariz-Flores, E.I., Muñoz-Pacheco, J.M., and Torrealba-Meléndez, R. (2020). Fractional chaos based-cryptosystem for generating encryption keys in ad hoc networks. *Ad Hoc Networks*, 97, 102005.
- Munoz-Pacheco, J.M., Lujano-Hernández, L.C., Muñoz-Montero, C., Akgül, A., Sánchez-Gaspariano, L.A., Li, C.B., and Çağrı Kutlu, M. (2021). Active realization of fractional-order integrators and their application in multiscroll chaotic systems. *Complexity*, 2021.
- Muresan, C.I., Birs, I.R., Dulf, E.H., Copot, D., and Miclea, L. (2021). A review of recent advances in fractional-order sensing and filtering techniques. *Sensors*, 21(17), 5920.
- Oustaloup, A., Levron, F., Mathieu, B., and Nanot, F.M. (2000). Frequency-band complex noninteger differentiator: characterization and synthesis. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 47(1), 25–39.
- Perdikaris, G.A. (1991). Computer controlled systems. In *Computer Controlled Systems*, 322–391. Springer.
- Podlubny, I. (1998). *Fractional differential equations: an introduction to fractional derivatives, fractional differential equations, to methods of their solution and some of their applications*. Elsevier.
- Podlubny, I., Petráš, I., Vinagre, B.M., O’leary, P., and Dorčák, L. (2002). Analogue realizations of fractional-order controllers. *Nonlinear dynamics*, 29(1), 281–296.
- Swain, S.K., Sain, D., Mishra, S.K., and Ghosh, S. (2017). Real time implementation of fractional order pid controllers for a magnetic levitation plant. *AEU-International Journal of Electronics and Communications*, 78, 141–156.
- Tacha, O., Munoz-Pacheco, J., Zambrano-Serrano, E., Stouboulos, I., and Pham, V.T. (2018). Determining the chaotic behavior in a fractional-order finance system with negative parameters. *Nonlinear Dynamics*, 94(2), 1303–1317.
- Tepljakov, A. (2017). Fomcon: fractional-order modeling and control toolbox. In *Fractional-order modeling and control of dynamic systems*, 107–129. Springer.
- Tlelo-Cuautle, E., Pano-Azucena, A.D., Guillén-Fernández, O., and Silva-Juárez, A. (2020). *Analog/digital implementation of fractional order chaotic circuits and applications*. Springer.
- Tolba, M.F., AboAlNaga, B.M., Said, L.A., Madian, A.H., and Radwan, A.G. (2019). Fractional order integrator/differentiator: Fpga implementation and fopid controller application. *AEU-International Journal of Electronics and Communications*, 98, 220–229.
- Zambrano-Serrano, E., Muñoz-Pacheco, J., and Campos-Cantón, E. (2017). Chaos generation in fractional-order switched systems and its digital implementation. *AEU-International Journal of Electronics and Communications*, 79, 43–52.
- Zambrano-Serrano, E., Muñoz-Pacheco, J., Gómez-Pavón, L., Luis-Ramos, A., and Chen, G. (2018). Synchronization in a fractional-order model of pancreatic  $\beta$ -cells. *The European Physical Journal Special Topics*, 227(7), 907–919.

---

Online Conference on Nonlinear Science and  
Complexity  
September 26-29, 2022, Thessaloniki, Greece

Photo by N. Karapapadakis

**CERTIFICATE**

WE CERTIFY THAT

**Eduardo Reyes Coeto**

Has given a talk entitled

**A general variable order integrator circuit based on FPAAs: Design and experimental implementation**

at the Online Conference on Nonlinear Science and Complexity, which took place during September 26-29, in Thessaloniki, Greece.



Christos Volos  
Conference Chair



Jamal- Odyseas Maaita  
Organizing Committee Chair



Efthymia Meletlidou  
Associate Professor



A general variable order integrator circuit based on FPAA: Design and experimental implementation.

Eduardo Reyes-Coeto<sup>†</sup>, Jesús Manuel Muñoz-Pacheco<sup>‡</sup>, Luz del Carmen Gómez-Pavón<sup>§</sup>

Faculty of Electronics Sciences, Benemerita Universidad Autonoma de Puebla, Puebla, 72570, MX.

<p><b>Submission Info</b></p> <p>Communicated by Fractional calculus Received Accepted Available online</p>	<p><b>Abstract</b></p> <p>The variable order fractional calculus (VO-FC) is an emergent branch of mathematics based on the concept that the order of the operators of integration and differentiation can vary continuously as a function of dependent or independent variables. In recent years, mathematical definitions for variable order operators have been formalized. However, in the area of analog circuits, the implementations of variable order integrators are quite scarce. In this manner, this paper describes the analog design and implementation of an integrator circuit whose order varies between two fractional orders. Its design is based on the Riemann-Liouville definition for the fractional integral extended to the variable case and in which its kernel represents the fading memory. The field-programmable analog array (FPAA) technology is used to implement the variable integrator circuit. Thus, one of the advantages of the proposed circuit is that it can be reconfigured electrically in real-time. Additionally, the resulting FPAA-based design allow to synthesize different variable integrators from fractional orders <math>0 &lt; q &lt; 1</math>. Associated with the chosen FPAA technology, the integrator circuit does not suffer from tolerances effects than a discrete analog element does. Numerical simulations as well as physical circuit implementations valid the proposed variable order integrator circuit.</p>
<p><b>Keywords</b></p> <p>Variable-order, Fractional calculus, Analog, Implementation , Integrator, FPAA.</p>	<p>©2022 L&amp;H Scientific Publishing, LLC. All rights reserved.</p>

1 **1 Introduction**

- 2 In the classical calculus the symbol  $(d/dx)^n f(x)$ ,  $n = 0, 1, 2, \dots$  denotes derivatives of integer order ( $n \in \mathbb{N}$ ).
- 3 In the fractional calculus the symbols  $(d/dx)^{-\alpha} f(x)$  and  $(d/dx)^{\alpha} f(x)$ ,  $Re \alpha > 0$ , denote respectively the
- 4 integration and differentiation operators, where the constant number  $\alpha$  is now extended to the set of

<sup>†</sup>Corresponding author.  
Email address: eduardo.reyesc@alumno.buap.mx

<sup>‡</sup>Corresponding author.  
Email address: jesusm.pacheco@correo.buap.mx

<sup>§</sup>Corresponding author.  
Email address: luz.gomez@correo.buap.mx

---

JAMAL-ODYSSEAS MAAITA <jmaaymaita@emt.ihu.gr>

May 01, 2022, 8:58

Para: jmaay@physics.auth.gr <jmaay@physics.auth.gr>

The Organizing Committee asked the symposium organizers to select the best paper/presentation of their symposium.

The Symposium Organizers decided the following presentations:

<b>Name of Presenter</b>	<b>Title</b>	<b>Symposium</b>
<b>Gianluca Fabiani, Scuola Superiore Meridionale, Università degli studi di Napoli Federico II</b>	<b>Identifying the emergent dynamics of Agent Based Models: Coarse scale integro-PDEs from fine scale simulations</b>	<b>Multiscale Modelling and Numerical analysis of Complex and Large scale Dynamical Systems</b>
<b>Malcolm Hillebrand, University of Cape Town, South Africa</b>	<b>Nonlinearity and bubbles in DNA molecules</b>	<b>Nonlinear Models and Control of Biological Systems</b>
<b>Eduardo Reyes Coeto, Benemérita Universidad Autónoma de Puebla, México</b>	<b>A general variable order integrator circuit based on FPAA: Design and experimental implementation</b>	<b>Chaos behavior and Synchronization in fractional and integer-order chaotic systems</b>
<b>Juliette Courson CYU Cergy-Paris Université, France</b>	<b>The role of epileptogenicity strength and onset location in epileptic seizure propagation in mice brain: a computational study</b>	<b>Nonlinear dynamics in neural and high dimensional systems</b>
<b>Gabriel Marghoti, Universidade Federal do Paraná, Mexico</b>	<b>Dependence on Initial Conditions and Couplings for the Chaos Synchronization in Networks of Rulkov Neurons</b>	<b>Control and Synchronisation in Nonlinear Circuits and Systems</b>
<b>Reetika Chawla, Pilani University, India</b>	<b>Numerical simulation for generalized time-fractional Burgers' equation with three distinct linearization schemes</b>	<b>Fractional Calculus in Complex and Nonlinear Systems</b>
<b>Rahul Goyal</b>	<b>Extended Type Hypergeometric Functions of Two or Three Variables and its Applications in Fractional Calculus</b>	<b>Fractional Calculus in Complex and Nonlinear Systems</b>
<b>Xu Sun,</b>	<b>Vortex-Induced Rotational Vibration of an Eccentric Circular</b>	<b>Nonlinear Dynamics of Continuum Systems</b>

## Apéndice A. Artículos Publicados y Participaciones en Congresos

---

<b>China University of Petroleum-Beijing, China</b>	<b>Cylinder at Low Reynolds Number</b>	
<b>Rahil Valani, The University of Adelaide, Australia</b>	<b>Anomalous transport in a Lorenz-like system modelling the dynamics of a classical wave-particle entity</b>	<b>Dynamical systems methods in Natural Sciences</b>
<b>Lucas Giovanni Nardo, Federal University of Minas Gerais, Brazil</b>	<b>Dual Authentication on a Secure Communication Channel to Image Transmission</b>	<b>Chaos Based Encryption</b>

We want to note that all the presentations were high quality. The decision wasn't easy for the Organizing Committee.

The Organizing Committee made its final decision taking in account the following Criteria:

1. Presentation parameters: time, preparation, presentation.
2. The subject of presentation: the novelty, the combination of theory and application, interdisciplinarity.

Based on the above criteria the Organizing Committee selected

<b>Malcolm Hillebrand, University of Cape Town, South Africa</b>	<b>Nonlinearity and bubbles in DNA molecules</b>	<b>Nonlinear Models and Control of Biological Systems</b>
--	--	---

As the winner of the NSC2022 best paper/presentation award.

For the OC  
Jamal-Odyseas Maaita

<https://transparencia.buap.mx>

# Bibliografía

- [1] S. K. Castleberry, “Understanding fractional integrals and their applications,” Ph.D. dissertation, Georgia College and State University, 2018.
- [2] R. Garrappa, E. Kaslik, and M. Popolizio, “Evaluation of fractional integrals and derivatives of elementary functions: Overview and tutorial,” *Mathematics*, vol. 7, no. 5, p. 407, 2019.
- [3] C. F. Lorenzo and T. T. Hartley, “Variable order and distributed order fractional operators,” *Nonlinear dynamics*, vol. 29, no. 1, pp. 57–98, 2002.
- [4] S. Patnaik, J. P. Hollkamp, and F. Semperlotti, “Applications of variable-order fractional operators: a review,” *Proceedings of the Royal Society A*, vol. 476, no. 2234, p. 20190498, 2020.
- [5] S. G. Samko and B. Ross, “Integration and differentiation to a variable fractional order,” *Integral transforms and special functions*, vol. 1, no. 4, pp. 277–300, 1993.
- [6] S. G. Samko, “Fractional integration and differentiation of variable order,” *Analysis Mathematica*, vol. 21, no. 3, pp. 213–236, 1995.
- [7] C. F. Lorenzo and T. T. Hartley, “Initialization, conceptualization, and application in the generalized fractional calculus,” 1998.
- [8] C. F. Coimbra, “Mechanics with variable-order differential operators,” *Annalen der Physik*, vol. 12, no. 11-12, pp. 692–703, 2003.
- [9] L. E. Ramirez and C. F. Coimbra, “On the selection and meaning of variable order operators for dynamic modeling,” *International Journal of Differential Equations*, vol. 2010, 2010.
- [10] T. Odziejewicz, A. B. Malinowska, and D. F. Torres, “Fractional variational calculus of variable order,” in *Advances in harmonic analysis and operator theory*. Springer, 2013, pp. 291–301.

- [11] D. Ingman, J. Suzdalnitsky, and M. Zeifman, “Constitutive dynamic-order model for nonlinear contact phenomena,” *J. Appl. Mech.*, vol. 67, no. 2, pp. 383–390, 2000.
- [12] D. Ingman and J. Suzdalnitsky, “Control of damping oscillations by fractional differential operator with time-dependent order,” *Computer Methods in Applied Mechanics and Engineering*, vol. 193, no. 52, pp. 5585–5595, 2004.
- [13] —, “Application of differential operator with servo-order function in model of viscoelastic deformation process,” *Journal of Engineering Mechanics*, vol. 131, no. 7, pp. 763–767, 2005.
- [14] L. E. Ramirez and C. F. Coimbra, “A variable order constitutive relation for viscoelasticity,” *Annalen der Physik*, vol. 519, no. 7-8, pp. 543–552, 2007.
- [15] D. Ingman and J. Suzdalnitsky, “Response of viscoelastic plate to impact,” *Journal of Vibration and Acoustics*, vol. 130, no. 1, 2008.
- [16] C. M. Soon, C. F. Coimbra, and M. H. Kobayashi, “The variable viscoelasticity oscillator,” *Annalen der Physik*, vol. 14, no. 6, pp. 378–389, 2005.
- [17] G. Diaz and C. Coimbra, “Nonlinear dynamics and control of a variable order oscillator with application to the van der pol equation,” *Nonlinear Dynamics*, vol. 56, no. 1, pp. 145–157, 2009.
- [18] R. L. Bagley, “The thermorheologically complex material,” *International journal of engineering science*, vol. 29, no. 7, pp. 797–806, 1991.
- [19] Z. Li, H. Wang, R. Xiao, and S. Yang, “A variable-order fractional differential equation model of shape memory polymers,” *Chaos, Solitons & Fractals*, vol. 102, pp. 473–485, 2017.
- [20] W. G. Glöckle and T. F. Nonnenmacher, “A fractional calculus approach to self-similar protein dynamics,” *Biophysical Journal*, vol. 68, no. 1, pp. 46–53, 1995.
- [21] D. L. Klass and T. W. Martinek, “Electroviscous fluids. i. rheological properties,” *Journal of Applied physics*, vol. 38, no. 1, pp. 67–74, 1967.
- [22] T. Shiga, “Deformation and viscoelastic behavior of polymer gels in electric fields,” *Proceedings of the Japan Academy, Series B*, vol. 74, no. 1, pp. 6–11, 1998.
- [23] H. Sheng, H. Sun, C. Coopmans, Y. Chen, and G. Bohannon, “A physical experimental study of variable-order fractional integrator and differentiator,” *The European Physical Journal Special Topics*, vol. 193, no. 1, pp. 93–104, 2011.

- 
- [24] L. Liu, F. Pan, and D. Xue, “Variable-order fuzzy fractional pid controller,” *ISA transactions*, vol. 55, pp. 227–233, 2015.
- [25] A. Charef and D. Idiou, “Design of analog variable fractional order differentiator and integrator,” *Nonlinear Dynamics*, vol. 69, no. 4, pp. 1577–1588, 2012.
- [26] D. Sierociuk, W. Malesza, and M. Macias, “Equivalent switching strategy and analog validation of the fractional variable order derivative definition,” in *2013 European Control Conference (ECC)*. IEEE, 2013, pp. 3464–3469.
- [27] —, “Switching scheme, equivalence, and analog validation of the alternative fractional variable-order derivative definition,” in *52nd IEEE conference on decision and control*. IEEE, 2013, pp. 3876–3881.
- [28] M. Macias and D. Sierociuk, “An alternative recursive fractional variable-order derivative definition and its analog validation,” in *ICFDA’14 International Conference on Fractional Differentiation and Its Applications 2014*. IEEE, 2014, pp. 1–6.
- [29] D. Sierociuk, W. Malesza, and M. Macias, “On the recursive fractional variable-order derivative: equivalent switching strategy, duality, and analog modeling,” *Circuits, Systems, and Signal Processing*, vol. 34, no. 4, pp. 1077–1113, 2015.
- [30] —, “Derivation, interpretation, and analog modelling of fractional variable order derivative definition,” *Applied Mathematical Modelling*, vol. 39, no. 13, pp. 3876–3888, 2015.
- [31] W. Malesza, D. Sierociuk, and M. Macias, “Solution of fractional variable order differential equation,” in *2015 American Control Conference (ACC)*. IEEE, 2015, pp. 1537–1542.
- [32] M. F. Tolba, H. Saleh, B. Mohammad, M. Al-Qutayri, A. S. Elwakil, and A. G. Radwan, “Enhanced fpga realization of the fractional-order derivative and application to a variable-order chaotic system,” *Nonlinear Dynamics*, vol. 99, no. 4, pp. 3143–3154, 2020.
- [33] L. Ávalos-Ruiz, C. Zúñiga-Aguilar, J. Gómez-Aguilar, R. Escobar-Jiménez, and H. Romero-Ugalde, “Fpga implementation and control of chaotic systems involving the variable-order fractional operator with mittag-leffler law,” *Chaos, Solitons & Fractals*, vol. 115, pp. 177–189, 2018.
- [34] C. Zhou, Z. Li, and F. Xie, “Coexisting attractors, crisis route to chaos in a novel 4d fractional-order system and variable-order circuit implementation,” *The European Physical Journal Plus*, vol. 134, no. 2, pp. 1–16, 2019.
-

- [35] I. Dimeas, G. Tsirimokou, C. Psychalinos, and A. S. Elwakil, “Experimental verification of fractional-order filters using a reconfigurable fractional-order impedance emulator,” *Journal of Circuits, Systems and Computers*, vol. 26, no. 09, p. 1750142, 2017.
- [36] J. Jerabek, R. Sotner, J. Dvorak, J. Polak, D. Kubanek, N. Herencsar, and J. Koton, “Reconfigurable fractional-order filter with electronically controllable slope of attenuation, pole frequency and type of approximation,” *Journal of Circuits, Systems and Computers*, vol. 26, no. 10, p. 1750157, 2017.
- [37] J. Dvorak, J. Jerabek, Z. Polesakova, D. Kubanek, and P. Blazek, “Multifunctional electronically reconfigurable and tunable fractional-order filter,” *Elektronika ir Elektrotechnika*, vol. 25, no. 1, pp. 26–30, 2019.
- [38] L. Langhammer, R. Sotner, J. Dvorak, J. Jerabek, and D. Andriukaitis, “Reconnection-less reconfigurable fractional-order current-mode integrator design with simple control,” *IEEE Access*, vol. 9, pp. 136 395–136 405, 2021.
- [39] S. Das, *Functional fractional calculus*. Springer, 2011, vol. 1.
- [40] B. Bodo, A. Mvogo, and S. Morfu, “Fractional dynamical behavior of electrical activity in a model of pancreatic  $\beta$ -cells,” *Chaos, Solitons & Fractals*, vol. 102, pp. 426–432, 2017.
- [41] E. Zambrano-Serrano, J. Muñoz-Pacheco, L. Gómez-Pavón, A. Luis-Ramos, and G. Chen, “Synchronization in a fractional-order model of pancreatic  $\beta$ -cells,” *The European Physical Journal Special Topics*, vol. 227, no. 7, pp. 907–919, 2018.
- [42] R. Magin, “Fractional calculus in bioengineering, part 1,” *Critical Reviews™ in Biomedical Engineering*, vol. 32, no. 1, 2004.
- [43] O. Tacha, J. Munoz-Pacheco, E. Zambrano-Serrano, I. Stouboulos, and V.-T. Pham, “Determining the chaotic behavior in a fractional-order finance system with negative parameters,” *Nonlinear Dynamics*, vol. 94, no. 2, pp. 1303–1317, 2018.
- [44] E. Zambrano-Serrano, J. Muñoz-Pacheco, and E. Campos-Cantón, “Chaos generation in fractional-order switched systems and its digital implementation,” *AEU-International Journal of Electronics and Communications*, vol. 79, pp. 43–52, 2017.
- [45] H. Jahanshahi, A. Yousefpour, J. M. Munoz-Pacheco, S. Kacar, V.-T. Pham, and F. E. Alsaadi, “A new fractional-order hyperchaotic memristor oscillator: Dynamic analysis, robust adaptive synchronization, and its application to voice encryption,” *Applied Mathematics and Computation*, vol. 383, p. 125310, 2020.

- 
- [46] R. Montero-Canela, E. Zambrano-Serrano, E. I. Tamariz-Flores, J. M. Muñoz-Pacheco, and R. Torrealba-Meléndez, “Fractional chaos based-cryptosystem for generating encryption keys in ad hoc networks,” *Ad Hoc Networks*, vol. 97, p. 102005, 2020.
- [47] M. F. Tolba, B. M. AboAlNaga, L. A. Said, A. H. Madian, and A. G. Radwan, “Fractional order integrator/differentiator: Fpga implementation and fopid controller application,” *AEU-International Journal of Electronics and Communications*, vol. 98, pp. 220–229, 2019.
- [48] A. Kartci, A. Agambayev, M. Farhat, N. Herencsar, L. Brancik, H. Bagci, and K. N. Salama, “Synthesis and optimization of fractional-order elements using a genetic algorithm,” *IEEE Access*, vol. 7, pp. 80 233–80 246, 2019.
- [49] J. M. Munoz-Pacheco, L. C. Lujano-Hernández, C. Muñiz-Montero, A. Akgül, L. A. Sánchez-Gaspariano, C.-B. Li, and M. Çağrı Kutlu, “Active realization of fractional-order integrators and their application in multiscroll chaotic systems,” *Complexity*, vol. 2021, 2021.
- [50] I. Podlubny, I. Petráš, B. M. Vinagre, P. O’leary, and L. Dorčák, “Analogue realizations of fractional-order controllers,” *Nonlinear dynamics*, vol. 29, no. 1, pp. 281–296, 2002.
- [51] G. W. Bohannan, “Analog fractional order controller in temperature and motor control applications,” *Journal of Vibration and Control*, vol. 14, no. 9-10, pp. 1487–1498, 2008.
- [52] A. Charef, “Analogue realisation of fractional-order integrator, differentiator and fractional  $\pi\lambda d\mu$  controller,” *IEE Proceedings-Control Theory and Applications*, vol. 153, no. 6, pp. 714–720, 2006.
- [53] S. K. Swain, D. Sain, S. K. Mishra, and S. Ghosh, “Real time implementation of fractional order pid controllers for a magnetic levitation plant,” *AEU-International Journal of Electronics and Communications*, vol. 78, pp. 141–156, 2017.
- [54] A. A. Dastjerdi, B. M. Vinagre, Y. Chen, and S. H. HosseinNia, “Linear fractional order controllers; a survey in the frequency domain,” *Annual Reviews in Control*, vol. 47, pp. 51–70, 2019.
- [55] C. I. Muresan, I. R. Birs, E. H. Dulf, D. Copot, and L. Miclea, “A review of recent advances in fractional-order sensing and filtering techniques,” *Sensors*, vol. 21, no. 17, p. 5920, 2021.
- [56] B. Maundy, A. Elwakil, and S. Gift, “On a multivibrator that employs a fractional capacitor,” *Analog Integrated Circuits and Signal Processing*, vol. 62, no. 1, pp. 99–103, 2010.

- [57] K. Diethelm, *The analysis of fractional differential equations: An application-oriented exposition using differential operators of Caputo type*. Springer Science & Business Media, 2010.
- [58] R. Herrmann, *Fractional calculus: an introduction for physicists*. World Scientific, 2011.
- [59] I. Podlubny, “Fractional differential equations,” *Mathematics in science and engineering*, vol. 198, pp. 41–119, 1999.
- [60] I. Petráš, *Fractional-order nonlinear systems: modeling, analysis and simulation*. Springer Science & Business Media, 2011.
- [61] C. Milici, G. Drăgănescu, and J. T. Machado, *Introduction to fractional differential equations*. Springer, 2018, vol. 25.
- [62] C. A. Monje, Y. Chen, B. M. Vinagre, D. Xue, and V. Feliu-Batlle, *Fractional-order systems and controls: fundamentals and applications*. Springer Science & Business Media, 2010.
- [63] S. G. Samko, A. A. Kilbas, O. I. Marichev *et al.*, *Fractional integrals and derivatives*. Gordon and Breach Science Publishers, Yverdon Yverdon-les-Bains, Switzerland, 1993, vol. 1.
- [64] H. M. Srivastava, A. Kumar, S. Das, and K. Mehrez, “Geometric properties of a certain class of Mittag-Leffler-type functions,” *Fractal and Fractional*, vol. 6, no. 2, p. 54, 2022.
- [65] R. Gorenflo, F. Mainardi, and S. Rogosin, “Mittag-Leffler function: Properties and applications,” *Handbook of fractional calculus with applications*, vol. 1, pp. 269–296, 2019.
- [66] E. C. De Oliveira and J. A. Tenreiro Machado, “A review of definitions for fractional derivatives and integral,” *Mathematical Problems in Engineering*, vol. 2014, 2014.
- [67] G. S. Teodoro, J. T. Machado, and E. C. De Oliveira, “A review of definitions of fractional derivatives and other operators,” *Journal of Computational Physics*, vol. 388, pp. 195–208, 2019.
- [68] B. Zhang and X. Shu, *Fractional-Order Electrical Circuit Theory*. Springer, 2021.
- [69] D. Valério, J. J. Trujillo, M. Rivero, J. T. Machado, and D. Baleanu, “Fractional calculus: A survey of useful formulas,” *The European Physical Journal Special Topics*, vol. 222, no. 8, pp. 1827–1846, 2013.

- 
- [70] A. Atangana and A. Secer, “A note on fractional order derivatives and table of fractional derivatives of some special functions,” in *Abstract and applied analysis*, vol. 2013. Hindawi, 2013.
- [71] K. S. Miller and B. Ross, *An introduction to the fractional calculus and fractional differential equations*. Wiley, 1993.
- [72] K. Oldham and J. Spanier, *The fractional calculus theory and applications of differentiation and integration to arbitrary order*. Elsevier, 1974.
- [73] A. Oustaloup, F. Levron, B. Mathieu, and F. M. Nanot, “Frequency-band complex noninteger differentiator: characterization and synthesis,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 47, no. 1, pp. 25–39, 2000.
- [74] G. Carlson and C. Halijak, “Approximation of fractional capacitors  $(1/s)^{1/n}$  by a regular newton process,” *IEEE Transactions on Circuit Theory*, vol. 11, no. 2, pp. 210–213, 1964.
- [75] K. Matsuda and H. Fujii, “H (infinity) optimized wave-absorbing control-analytical and experimental results,” *Journal of Guidance, Control, and Dynamics*, vol. 16, no. 6, pp. 1146–1153, 1993.
- [76] B. T. Krishna, “Studies on fractional order differentiators and integrators: A survey,” *Signal processing*, vol. 91, no. 3, pp. 386–426, 2011.
- [77] E. Tlelo-Cuautle, A. D. Pano-Azucena, O. Guillén-Fernández, and A. Silva-Juárez, *Analog/digital implementation of fractional order chaotic circuits and applications*. Springer, 2020.
- [78] I. Anadigm, “Anadigm fpaa,” <https://www.anadigm.com/index.asp>, 2021.
- [79] I. ANADIGM, “Anadigmapex dpasp family user manual,” 2011.
- [80] I. Anadigm, “An231e04 datasheet rev 1.5, 3rd generation dynamically reconfigurable dpasp.” 2021.
- [81] A. Inc., “Anadigm quadapex development board,” Oct 2016. [En línea]. Disponible: [https://www.anadigm.com/\\_doc/UM231004-K002.pdf](https://www.anadigm.com/_doc/UM231004-K002.pdf)
- [82] —, “Anadigmdesigner2 user manual - anadigm®, the dpasp company.” [En línea]. Disponible: [https://www.anadigm.com/\\_doc/UM020800-U001.pdf](https://www.anadigm.com/_doc/UM020800-U001.pdf)
- [83] A. Savitzky and M. J. Golay, “Smoothing and differentiation of data by simplified least squares procedures.” *Analytical chemistry*, vol. 36, no. 8, pp. 1627–1639, 1964.
-

- [84] R. W. Schafer, “What is a savitzky-golay filter?[lecture notes],” *IEEE Signal processing magazine*, vol. 28, no. 4, pp. 111–117, 2011.
- [85] W. H. Press and S. A. Teukolsky, “Savitzky-golay smoothing filters,” *Computers in Physics*, vol. 4, no. 6, pp. 669–672, 1990.
- [86] G. A. Perdikaris, “Computer controlled systems,” in *Computer Controlled Systems*. Springer, 1991, pp. 322–391.
- [87] E. Reyes, “SINCRONIZACIÓN DE DOS SISTEMAS CAÓTICOS DE ORDEN FRACCIONARIO EN HARDWARE EMBEBIDO ANALÓGICO,” June 2019.
- [88] A. Tepljakov, “Fomcon: fractional-order modeling and control toolbox,” in *Fractional-order modeling and control of dynamic systems*. Springer, 2017, pp. 107–129.
- [89] B. Ross and S. Samko, “Fractional integration operator of variable order in the holder spaces  $h\lambda(x)$ ,” *International Journal of Mathematics and Mathematical Sciences*, vol. 18, no. 4, pp. 777–788, 1995.
- [90] D. Valério and J. S. Da Costa, “Variable-order fractional derivatives and their numerical approximations,” *Signal processing*, vol. 91, no. 3, pp. 470–483, 2011.
- [91] D. Valério and J. Sá da Costa, “Variable order fractional controllers,” *Asian Journal of Control*, vol. 15, no. 3, pp. 648–657, 2013.
- [92] B. P. Moghaddam and J. A. T. Machado, “Extended algorithms for approximating variable order fractional derivatives with applications,” *Journal of Scientific Computing*, vol. 71, no. 3, pp. 1351–1374, 2017.
- [93] M. D. Ortigueira, D. Valério, and J. T. Machado, “Variable order fractional systems,” *Communications in Nonlinear Science and Numerical Simulation*, vol. 71, pp. 231–243, 2019.
- [94] J. M. Muñoz-Pacheco, E. Zambrano-Serrano, O. Félix-Beltrán, L. C. Gómez-Pavón, and A. Luis-Ramos, “Synchronization of pwl function-based 2d and 3d multi-scroll chaotic systems,” *Nonlinear Dynamics*, vol. 70, no. 2, pp. 1633–1643, 2012.
- [95] J. Lü and G. Chen, “Generating multiscroll chaotic attractors: theories, methods and applications,” *International Journal of Bifurcation and Chaos*, vol. 16, no. 04, pp. 775–858, 2006.
- [96] R. Trejo-Guerra, E. Tlelo-Cuautle, V. H. Carbajal-Gómez, and G. Rodriguez-Gomez, “A survey on the integrated design of chaotic oscillators,” *Applied Mathematics and Computation*, vol. 219, no. 10, pp. 5113–5122, 2013.

- [97] F. Morales, S. Toapanta, and R. M. Toasa, “Implementación de un sistema de seguridad perimetral como estrategia de seguridad de la información,” *Revista Iberica de sistemas e tecnologías de informacao*, no. E27, pp. 553–565, 2020.
- [98] J. Areitio Bertolín, *Seguridad de la información. Redes, informática y sistemas de información*. Editorial Paraninfo, 2008.
- [99] K. M. Martin, “Public-key encryption,” in *Everyday Cryptography*. Oxford University Press, 2017.
- [100] S. Tezuka, “Uniform random numbers,” *Theory and Practice*, 1995.
- [101] J. E. Gentle, *Random number generation and Monte Carlo methods*. Springer Science & Business Media, 2006.
- [102] A. Giakoumis, C. K. Volos, J. M. Munoz-Pacheco, L. del Carmen Gomez-Pavon, I. N. Stouboulos, and I. M. Kyprianidis, “Text encryption device based on a chaotic random bit generator,” in *2018 IEEE 9th Latin American Symposium on Circuits Systems (LASCAS)*, 2018, pp. 1–5.