



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

FACULTAD DE CIENCIAS FÍSICO MATEMÁTICAS

CONVERSIÓN CARGA A TIEMPO PARA LA
CARACTERIZACIÓN DE DETECTORES RPC

T E S I S

QUE PARA OPTAR POR EL GRADO DE:
Maestría en Ciencias (Física Aplicada)

PRESENTA:

Beymar Mamani Mamani

DIRECTOR:

Dr. Guillermo Tejeda Muñoz

Dr. Arturo Fernandez Tellez



(Puebla, Pue), Agosto de 2025

Título: Conversión carga a tiempo para la caracterización de detectores RPC
Estudiante: Beymar Mamani Mamani

COMITÉ

Dr. Mario Rodríguez Cahuantzi
Presidente

Dr. Mario Iván Martínez Hernández
Secretario

Msc. Emigdio Jiménez Domínguez
Vocal

Dr. German Ardul Muñoz Hernandez
Suplente

Dr. Guillermo Tejeda Muñoz
Dr. Arturo Fernandez Tellez
Asesor

A mi madre, y todas aquellas personas que me han brindado una mano amiga.

Reconocimientos

A mi madre, que a pesar de todo siempre ha estado apoyando mis emprendimientos.

Expreso mi mas profundo agradecimiento a la Benemérita Universidad Autónoma de Puebla BUAP por brindarme la oportunidad de acceder al programa de maestría concluyendo en la producción de presente trabajo, a mis tutores de tesis el Dr. Guillermo y al Dr. Arturo que durante todo el trabajo me han brindado su guía, paciencia y valiosas sugerencias.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) y al gobierno federal de México por las políticas que tienen en el ámbito de la ciencia y el programa de becas para los estudiantes de posgrado.

Gracias a todos.

Resumen

Los detectores de cámaras de placas resistivas (RPC) son detectores de tipo gaseoso formados por placas paralelas que consisten de dos o mas capas de vidrio, cuya resistividad característica es del orden de los $10^8 - 10^{13}\Omega m$. Entre cada placa hay una separación para la circulación de una mezcla de gases, esta separación es un factor determinante al momento de la velocidad de respuesta y la precisión en la medición de la energía y posición de las partículas que interactúan con las placas.

En el presente trabajo se mide la conversión de carga a tiempo de estos detectores empleando una front-end Board, el ASIC Petiroc2A montada en la Weeroc TestBorad, placa que fue caracterizada y configurada en sus distintos modos de adquisición de datos (COINCIDENCIA, TIME TRIGGER Y CHARGE TRIGGER). Midiendo la linealidad de Carga y tiempo junto con sus modos de trigger tanto interno como externo.

Con un arreglo experimental de 4 detectores, dos plásticos centelladores acoplados a sus respectivos PMTs (Arreglo que comple la funcin de Trigger externo) y dos RPCS de $0.1mm$, se logro medir con exito la carga y la resolución temporal de cada detector con respecto al trigger externo.

Índice general

Índice de figuras	IX
Índice de tablas	XI
1. Introducción	1
2. Detectores RPC	3
2.1. Revisión histórica	3
2.2. Principio básico de funcionamiento de los detectores RPC	3
2.3. Uso en experimentos	5
2.3.1. Experimento Babar	7
2.3.2. ALICE	7
2.3.3. ATLAS	8
2.3.4. CMS	10
2.3.5. BESIII	12
3. ADC (Analog to Digital Converter)	15
3.1. Conversor Analógico Digital (ADC)	15
3.1.1. ADC de aproximación sucesiva SAR	16
3.1.2. ADC basado en contadores	16
3.1.3. Flash ADC	18
3.1.4. ADC de doble pendiente	19
3.1.5. ADC tipo Wilkinson	20
3.2. TAC Time to Amplitud Converter	21
4. Petiroc 2A Front-End Board y Arreglo Experimental	23
4.1. Petiroc2A	23
4.2. Caracterización de la Petiroc2A	25
4.2.1. Medición de Carga	26
4.2.2. Medición de Tiempo	27
4.2.3. Adquisición de datos de la Petiroc2A	27
4.3. Software del sistema de adquisición de datos (DAQ)	30
4.3.1. Conect	31

ÍNDICE GENERAL

4.3.2. Slow Control	31
4.3.3. Data Acquisition	33
4.3.4. Firmware	33
4.3.4.1. Internal ASIC configuration	34
4.3.4.2. Power pulsing management y ASIC special test	34
4.3.4.3. FPGA/ASIC configuration	34
4.3.5. Debbuging	35
4.4. Arreglo Experimental	36
4.4.1. Caracterización Petiroc2A	36
4.4.2. Estudio de la respuesta con detectores	36
5. Resultados	41
5.1. Caracterización de la Petiroc2A	41
5.1.1. Linealidad de Carga	42
5.1.2. Linealidad de Tiempo	42
5.1.3. Configuración del Hold Scan	48
5.1.4. Adquisicion de datos con detectores	49
6. Conclusiones	57
Bibliografía	59

Índice de figuras

2.1.	Diagrama de las partes de un detector RPC	4
2.2.	Imágenes esquemáticas del desarrollo de la avalancha en un RPC	6
2.3.	Imágenes esquemáticas del desarrollo del modo streamer en un RPC	6
2.4.	Señal de respuesta característica de una RPC seguida por streaming.	6
2.5.	Detector de BABAR.	8
2.6.	Disposición del espectrómetro de muones en ALICE.	9
2.7.	Izquierda: vista de las dos estaciones de disparo situadas detrás del filtro de muones. Derecha-abajo: un módulo individual de la RPC equipado con el Front-End Electronics.	9
2.8.	Esquema del detector.	10
2.9.	(a): Vista transversa del Espectrómetro de Muones. (b): Vista de ATLAS para un pequeño sector azimutal que contiene las bobinas del toroide de barril. Abajo: Esquema de un detector RPC empleado en ATLAS.	11
2.10.	Los tres subdetectores de muones del CMS suelen tener cuatro estaciones: DT en amarillo, etiquetada MB; CSC en verde, etiquetada ME; y RPC en azul, etiquetada RB o RE.	12
2.11.	Esquema 3D de la estructura de BESIII MUC.	13
3.1.	Este ADC utiliza un DAC y un comparador. Incrementando bit a bit hasta igualar al voltaje de entrada, completando la conversión y almacenando lo en un registro	17
3.2.	Los convertidores de voltaje a frecuencia rechazan bien el ruido y suelen utilizarse para medir señales lentas o en entornos ruidosos.	18
3.3.	Los ADC flash varios comparadores son usados en paralelo, lo cual produce un alto consumo y un alto costo.	19
3.4.	Los ADC integradores de doble pendiente proporcionan mediciones de alta resolución con un excelente rechazo del ruido. Integran hacia arriba a partir de un voltaje desconocido y luego integran hacia abajo con un voltaje de referencia.	20
3.5.	Esquemático general de un ADC tipo Wilkinson con bloques fundamentales.	21
3.6.	Esquema de funcionamiento de un TAC. El pulso de salida es proporcional al intervalo entre eventos.	22

ÍNDICE DE FIGURAS

4.1. Diagrama de bloques lógicos.	24
4.2. Placa Weeroc TestBoard Modificada.	26
4.3. Izquierda: Esquema del Shaper CR-RC para la medición de carga. Derecha: Ilustración del mecanismo del Shaper CRRC y el SCA Track/Hold	27
4.4. Ilustración de la medición del Fine-Time en la Petiroc2A.	28
4.5. Diagrama temporal de la secuencia de adquisición de la Petiroc2A.	29
4.6. Esquema de Triggers de la Petiroc2A.	30
4.7. Primera pestaña de la UI de la Petiroc2A	31
4.8. C1 y C2 para los distintos valores del Shaper CR-RC.	32
4.9. Parámetros de control del SC.	33
4.10. Pestaña de las opciones para la toma de datos.	34
4.11. Ventana de configuración del FIRMWARE	35
4.12. Arreglo experimental para la calibración y configuración de la Petiroc2A.	37
4.13. Arreglo experimental en las figuras se puede observar la base metálica junto con la alineación utilizando un láser.	37
4.14. Petiroc2A con la base de aluminio y la instalación de los ventiladores.	39
4.15. Módulos NIMs empleados en el arreglo experimental.	40
5.1. Linealidad de Carga para un rango de 0 a 400 mV, para las primeras 4 combinaciones de capacitores de 1.25pF 100fF-400fF.	43
5.2. Linealidad de Carga para un rango de 0 a 400 mV, para las 4 combinaciones de capacitores de 2.5pF 100fF-400fF.	44
5.3. Linealidad de Carga para un rango de 0 a 400 mV, para las 4 combinaciones de capacitores de 3.75pF 100fF-400fF.	45
5.4. Linealidad de Carga para un rango de 0 a 400 mV, para las 4 combinaciones de capacitores de 5pF 100fF-400fF.	46
5.5. Linealidad de Tiempo, para las 16 combinaciones de capacitores, en la figura se observa el comportamiento lineal para los canales 6 y 7.	47
5.6. Comportamiento de la carga en presencia de un delay, se observa que para valores después de los 25 ns la carga pasa a ser considerado ruido o directamente presenta un ADC de 0.	47
5.7. Shaper monitoreado por la salida analógica y digital de la placa. En una se puede observar la captura de la carga al dispararse un evento, en la otra se puede observar el acumulado para distintas amplitudes.	48
5.8. Comportamiento del Track/Hold de la carga en el Shaper CR-RC de la Petiroc2A, para las distintas combinaciones de capacitores.	49
5.9. Gráfico del comportamiento de la eficiencia de las dos RPC con respecto a los centelleadores de trigger.	50
5.10. Gráficas de los datos adquiridos por la Petiroc2A de los detectores de centelleo. Se aprecia la diferencia en el comportamiento de todos los datos tanto en la carga como en tiempo para una diferencia de 50 [cm].	51
5.11. Arriba sin compensación temporal. Abajo: señales con compensación temporal	53
5.12. Analisis de carga para los PMTs y las RPCs y de diferencias temporales.	54

5.13. Análisis de Carga Vs Tiempo para ver el comportamiento del detector. . 55

Índice de tablas

2.1. Resumen del uso de detectores RPC en experimentos de física de altas energías, (4).	14
5.1. Valores de resolución temporal en función de la separación entre detectores de centelleo.	52
5.2. Tabla de medidas de carga y resolución temporal para cada detector. . .	54

Capítulo 1

Introducción

Los detectores de cámaras de placas resistivas (RPC) son detectores de tipo gaseoso formados por placas paralelas compuestas de dos o más capas de vidrio, cuya resistividad característica es del orden de los $10^8 - 10^{13} \Omega m$. Entre cada placa hay una separación para la circulación de una mezcla de gases, esta separación es un factor determinante al momento de la velocidad de respuesta y la precisión en la medición de la energía y posición de las partículas que interactúan con las placas. Al tratarse de un detector gaseoso el proceso físico bajo el cual ocurre la interacción de las partículas con el detector es por ionización, generándose pares ion-electrón. Cuando se aplica un campo eléctrico lo suficientemente grande al volumen del gas (motivo por el cual los extremos de las placas exteriores son sometidas a una diferencia de potencial del orden de los $10kV$) se obtiene una distribución de carga libre conocida como avalancha.

Una de las principales características de los detectores tipo RPC es la buena resolución temporal y espacial, producto de la gran cantidad de señales que pueden generar por unidad de área. Esta capacidad convierte a los RPC en una opción valiosa para aplicaciones donde la alta resolución temporal es esencial.

Sin embargo, la gran cantidad de datos generados por los RPC plantea la necesidad de sistemas avanzados de adquisición de datos que sean capaces de realizar la conversión de carga a tiempo y de transmitir estos datos eficientemente mediante protocolos de comunicación adecuados, sin comprometer la resolución temporal del sistema.

En este contexto, el empleo de los TDCs (Time-to-digital converters) ha crecido en los últimos años, esto debido al gran beneficio que representa, en especial al momento de precisar una gran resolución temporal (por debajo de los $100ps$), acoplado al uso de ADC (Analog to Digital Converter) representan una gran oportunidad para la adquisición de datos de rápida respuesta, esto último de interés para grandes áreas de la ciencia como la Física de altas energías.

Las ASIC (Circuitos Integrados Específicos de Aplicación) que en los últimos años a integrado ventajas como la eficiencia energética, reducción de costos, rendimiento y sobre todo integración de funciones, esto ultimo de gran interés para nuestro campo de estudio ya que al poder integrar varios ADCs y TACs (Time to Amplitud Converter) reduce considerablemente el proceso de señales, ya que al estar integradas en un dispo-

1. INTRODUCCIÓN

sitivo se pueden acoplar varias en una sola tarjeta permitiendo compactar los sistemas de adquisición de datos (DAQS)

Las FPGAs (Field Programmable Gate Arrays) también han cobrado gran relevancia en el diseño de estos sistemas gracias a su flexibilidad y tiempos de desarrollo además de la capacidad para realizar procesamiento en paralelo el cual lo hace excelente al momento de aplicarlos en arreglos experimentales que requieren el uso de multicanales.

La implementación de una placa que pueda reunir todas estas características se hace necesaria para el campo de física de partículas. Es de esta forma que el presente trabajo se centra en el estudio de la conversión de carga a tiempo de las RPCs empleando uno de estos ASICs acoplados a una FPGA que trabaja como Firmware para el control y comunicación de esta nueva FRONT-END BOARD.

Capítulo 2

Detectores RPC

2.1. Revisión histórica

El primer detector de partículas gaseoso de placas paralelas fue inventado en 1949 por J. W. Keuffel, a este detector lo llamo PPC (Parallel Plate Chamber) (10). Este detector consistía en dos electrodos metálicos paralelos separados por un espacio lleno de un gas alimentado con alto voltaje. Debido a la naturaleza conductora de los electrodos era preciso contar con un sistema externo para desconectarlos tras cada evento detectado, un proceso tomaba aproximadamente 1s, por lo que tener eventos consecutivos por debajo de 1s era imposible.

En 1978 N. Pesto realizó una innovación significativa al introducir electrodos resistivos al modelo de Keuffel, a este nuevo detector se lo llamo PSC (Planar Spark Chamber) (7). Con este cambio se logro un auto control para el proceso de multiplicación de carga. Al utilizar vidrio como material para los electrodos, Pesto logró una notable mejora en la resolución temporal, alcanzando 25ps en detectores con un espaciamiento de 0.1mm entre placas.

Finalmente en 1981 que R. Satonico y R. Cardarelli desarrollaron lo que hoy en día conocemos como RPC (Resistive Plate Chambers)(10) reemplazando el vidrio por materiales en base a resinas. Esta innovación no solo permitió aumentar el área de detección de los RPC, sino que también mejoró su capacidad para manejar altas tasas de eventos, posicionando los como una tecnología clave en la detección de partículas con alta resolución temporal y espacial.

2.2. Principio básico de funcionamiento de los detectores RPC

Como se puede ver en la figura 2.3, un detector RPC como lo conocemos hoy en día está formado por dos placas resistivas, ya sea de vidrio o baquelita (2), que encierran

2. DETECTORES RPC



Figura 2.1: Diagrama de las partes de un detector RPC

a un gas a presión atmosférica. El contenido de este gas puede variar según sean las necesidades de observación. Por lo general, este gas es una mezcla gaseosa compuesta por argón, isobutano y un gas electronegativo como el freón, donde el argón actúa como blanco de las partículas ionizantes, mientras que el isobutano, al ser un gas orgánico, ayuda a absorber los fotones resultantes de los procesos de recombinación limitando la formación de avalanchas secundarias y el gas electronegativo se utiliza para limitar la cantidad de carga libre en el gas. Las RPCs son capaces de detectar partículas cargadas, que al pasar por la mezcla de gases dan inicio a una avalancha de multiplicación de carga que es provocada por el campo eléctrico uniformemente generado entre las placas (alrededor de $5kV/mm$).

El principio básico detrás de la detección de partículas a través de un gap es el de ionización, con la producción de un par electrón-ion. Al tener una diferencia de potencial entre dos electrodos, podemos describir al campo eléctrico generado

$$E = \frac{\Delta V}{d} \quad (2.1)$$

con d la distancia del gap. Si el campo eléctrico es lo suficientemente fuerte para acelerar al electrón primario este puede ionizar a las moléculas del gas, generando electrones secundarios, que al ser estos acelerados por el campo eléctrico producen una tercera generación de pares electrón-ion, y así sucesivamente. De este proceso de multiplicación se genera una avalancha de electrones.

Esta avalancha puede ser descrita por la probabilidad de producción de que un electrón genere un par electrón-ion, sea λ el camino libre medio del electrón, entre dos diferentes producciones de pares. Así podemos decir que después de viajar una distancia $x = n\lambda$ en el gap, el electrón produce 2^n electrones secundarios, por lo tanto podemos expresar a la producción de electrones como

$$N(x) = 2^{\frac{x}{\lambda}} = (e^{\log 2})^{x/\lambda} = e^{\frac{\log 2}{\lambda}x} = e^{\alpha x} \quad (2.2)$$

donde α es el coeficiente de Townsend. El proceso de multiplicación y por lo tanto el coeficiente de Townsend están ligados a las propiedades del gas y del campo eléctrico.

Dicha relación esta expresada por la formula de Korff

$$\frac{\alpha}{p} = Ae^{-\frac{Bp}{E}} \quad (2.3)$$

con A y B constantes que dependen de la mezcla del gas.

Durante el proceso de drift, los electrones pueden ser capturados por átomos electronegativos del gas. Junto con el coeficiente de multiplicación, se define la probabilidad de enganche. Sea $N(x)$ el número de electrones a una distancia x del ánodo, la variación del número de electrones tras una distancia de recorrido dx viene dada por

$$\frac{dN(x)}{dx} = -\beta n(x) \quad (2.4)$$

Asi juntando los dos procesos tenemos que

$$\begin{aligned} \frac{dN(x)}{dx} &= (\alpha - \beta)N(x) = \alpha^*N(x) \\ N(x) &= e^{\alpha^*x} \end{aligned}$$

siendo α^* el coeficiente efectivo de Townsend.

Los detectores RPCs tienen dos modos de operación (7):

- Modo avalancha también llamado proporcional limitado, donde la amplificación de la señal es pequeña y esta se comporta tal y como describe la ley de Townsend. Como se puede ver en la figura algunos átomos del gas son ionizados por el paso de una partícula cargada entre el gap. Posteriormente se inicia una avalancha y su tamaño es suficientemente grande para influenciar el campo eléctrico. Los electrones alcanzan la placa del ánodo y los iones se desplazan más lentamente debido a que sus velocidades de deriva son sustancialmente menores. Finalmente los iones alcanzan el cátodo y las cargas de las capas resistivas influyen en el campo en una pequeña área alrededor de la posición donde la avalancha se desarrolla.
- Modo Streamer, este modo se produce debido a procesos no lineales que son generados al momento en que el campo eléctrico producto de la carga espacial es igualada con el campo eléctrico extremo. Generando procesos de fotoionización, esto derivado de un fenómeno de recombinación y extinción de las moléculas del gas en las proximidades de donde se produjo la avalancha inicial.

2.3. Uso en experimentos

Después de las modificaciones al diseño original de Keuffel, los detectores RPC han sido utilizadas en diversos experimentos de física de altas energías, a continuación mencionamos los más relevantes.

2. DETECTORES RPC

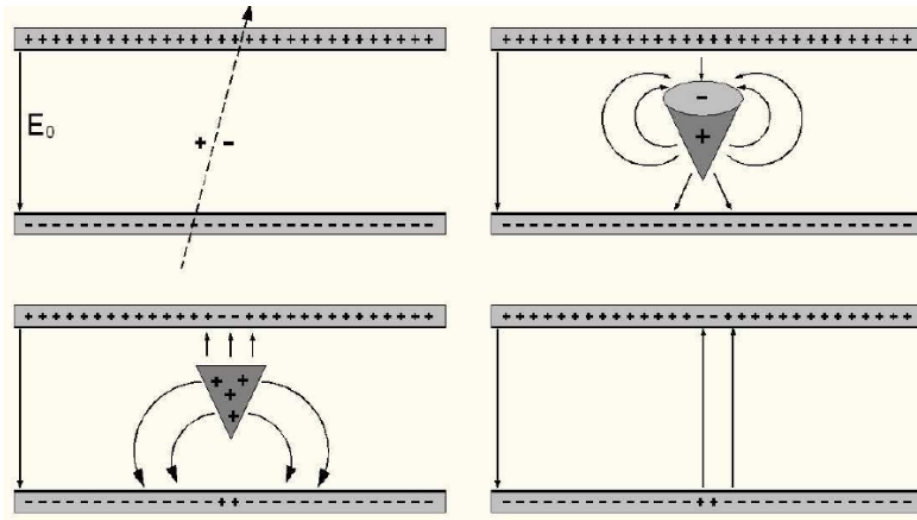


Figura 2.2: Imágenes esquemáticas del desarrollo de la avalancha en un RPC

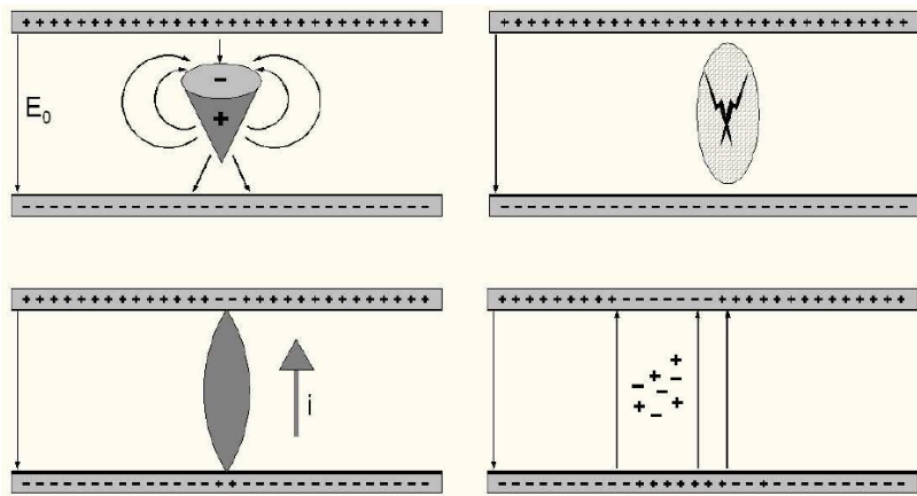


Figura 2.3: Imágenes esquemáticas del desarrollo del modo streamer en un RPC

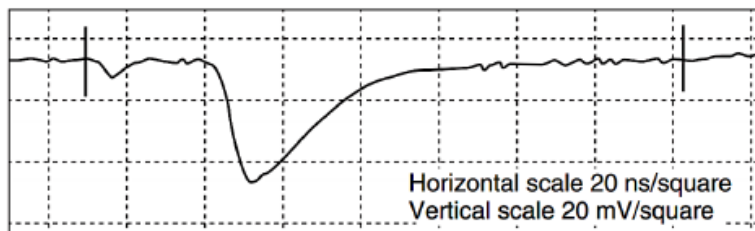


Figura 2.4: Señal de respuesta característica de una RPC seguida por streamming.

2.3.1. Experimento Babar

La fábrica B del SLAC es una instalación aprobada de haces colisionantes dedicada a la física de alta energía, comprometida con la observación de la violación CP en el sistema de mesones B neutros (6).

Para observar las asimetrías en la violación de CP, uno de los dos mesones B primarios debe estar completamente reconstruido, mientras que el otro debe ser identificado mediante sus productos de desintegración débiles y el vértice primario. Este consiste en un detector de microvértices de banda de silicio, una cámara de deriva de seguimiento central, un sistema de identificación de partículas basado en luz Cherenkov, un calorímetro de cristal electromagnético, una bobina magnética y un retorno de flujo de hierro instrumentado.

El Retorno de Flujo Instrumentado (IFR) está diseñado para la identificación eficiente de muones y la detección de hadrones neutros. En este sistema, las RPCs se emplean como detectores principales ubicados entre las capas de acero segmentadas que conforman el imán de retorno de flujo del barril y las puertas de los extremos. El grosor de estas capas aumenta progresivamente desde 2 cm en la parte interna hasta 10 cm en la externa, optimizando la absorción de partículas y la separación espacial de las señales detectadas.

La disposición estratégica de las RPCs, con 19 capas en los sectores del barril y 18 en las puertas de los extremos, garantiza una cobertura completa y redundante, mejorando la eficiencia de detección y la resolución espacial del sistema. Además, dos capas cilíndricas adicionales, con cuatro planos de lectura cada una, se encuentran ubicadas justo dentro del criostato magnético para detectar partículas emergentes del calorímetro electromagnético (EMC) (3).

Esta configuración permite a las RPCs desempeñar un papel fundamental en la discriminación de muones frente a otros tipos de partículas, apoyando así los análisis detallados necesarios para la caracterización precisa de las interacciones de mesones B neutros y la observación de fenómenos como la violación de CP. .

2.3.2. ALICE

ALICE (A Large Ion Collider Experiment) estudia la materia nuclear bajo condiciones extremas de temperatura y densidad energética, así como la transición hacia una fase partónica confinada conocida como Plasma de Quarks y Gluones (QGP). Este estado se investiga a través del análisis de colisiones ultra-relativistas de iones pesados en el Gran Colisionador de Hadrones (LHC).

El espectrómetro de muones delantero de ALICE incorpora un sistema de disparo basado en RPCs (Resistive Plate Chambers), compuesto por cuatro planos distribuidos en dos estaciones. Cada estación consta de dos planos con 18 módulos de RPCs por plano, abarcando un área efectiva aproximada de $140m$. En total, el sistema cuenta con alrededor de 21,000 canales electrónicos, lo que permite una alta granularidad y resolución en la detección. (5).

2. DETECTORES RPC

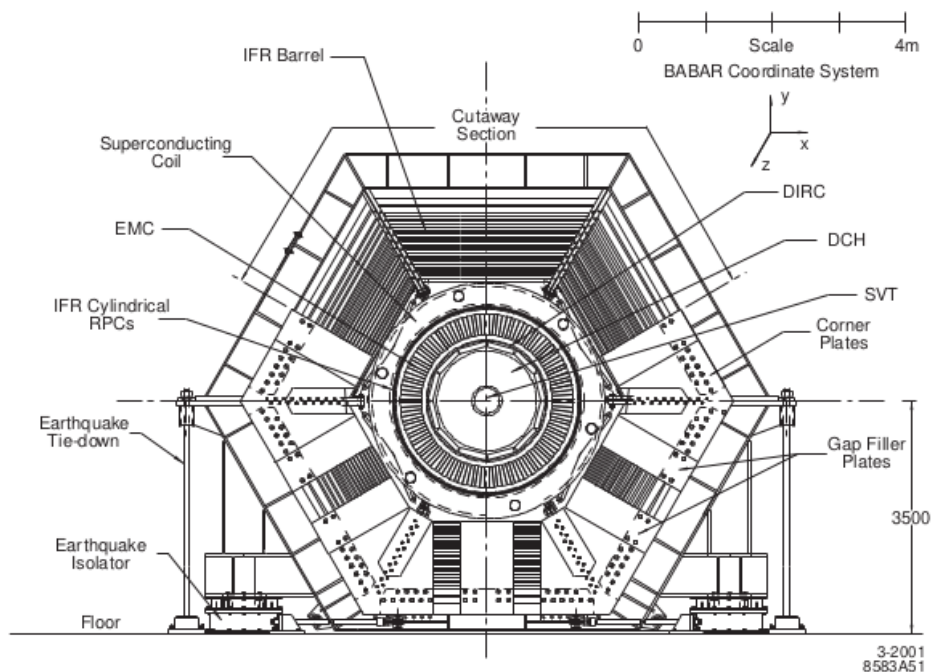


Figura 2.5: Detector de BABAR.

La información espacial proporcionada por las RPCs es fundamental para realizar una selección eficiente basada en el momento transversal de los muones. Esto se logra mediante la detección de la desviación de la trayectoria observada respecto a la esperada para partículas con momento infinito originadas en el punto de interacción.

El sistema de disparo está diseñado para activar eventos con uno o dos muones, aplicando una selección optimizada del momento transversal que responde a las necesidades específicas del estudio de la quarkonia y del sabor pesado abierto. Durante los dos primeros años de operación del LHC (2010 y 2011), las 72 RPCs operaron en modo avalancha en colisiones tanto pp como Pb-Pb, demostrando estabilidad y eficiencia en condiciones experimentales variadas.

2.3.3. ATLAS

ATLAS es un detector diseñado para registrar colisiones de alta energía entre protones e iones pesados generados por el Gran Colisionador de Hadrones (LHC). En operación desde su construcción en 2008, se prevé que continúe tomando datos hasta 2040, tras sucesivas actualizaciones tanto del acelerador como del propio detector. Los datos recopilados han permitido a la Colaboración ATLAS publicar resultados relevantes, incluyendo el descubrimiento del bosón de Higgs, estudios detallados de sus propiedades, búsquedas de fenómenos más allá del Modelo Estándar (SM) y diversos

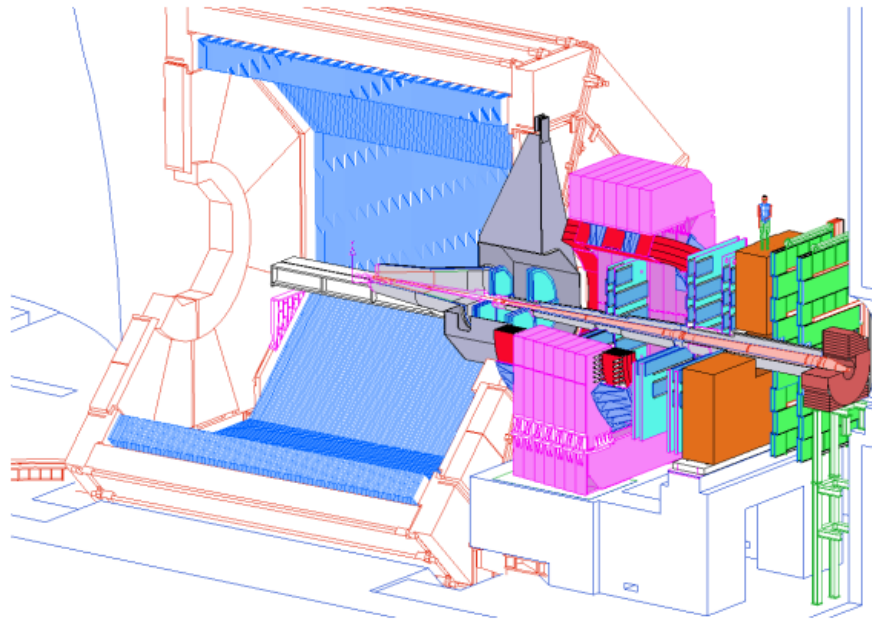


Figura 2.6: Disposición del espectrómetro de muones en ALICE.

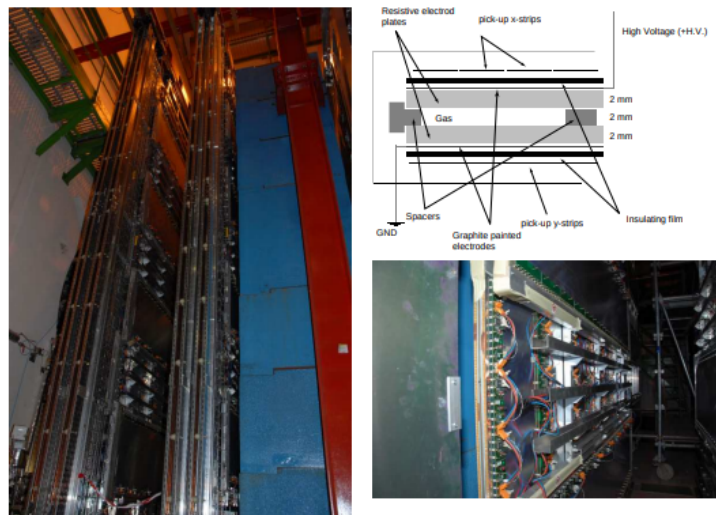


Figura 2.7: Izquierda: vista de las dos estaciones de disparo situadas detrás del filtro de muones. Derecha-abajo: un módulo individual de la RPC equipado con el Front-End Electronics.

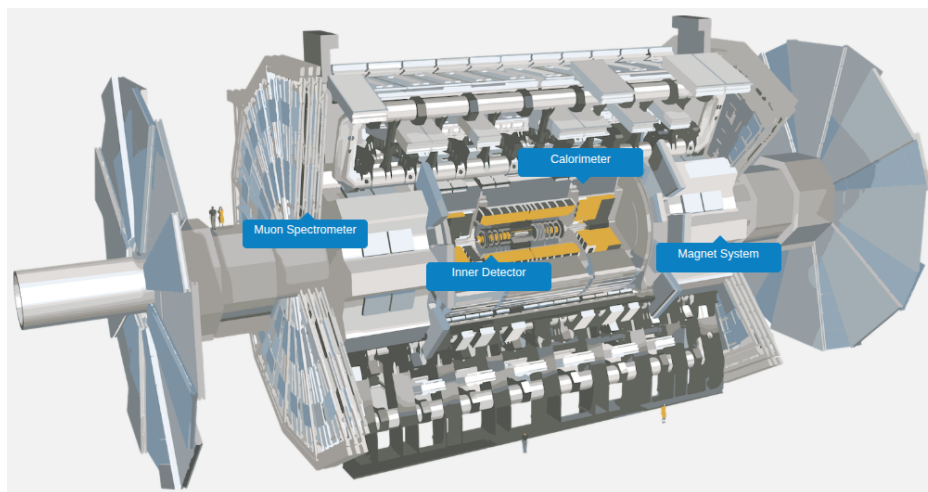


Figura 2.8: Esquema del detector.

análisis de las características fundamentales del mismo.

El sistema de disparo del experimento ATLAS en el LHC está constituido por un trigger de primer nivel (L1) basado en hardware, complementado por un trigger de alto nivel basado en software. El sistema de activación de muones L1 es responsable de seleccionar candidatos a muones, asignarlos al cruce de grupo correspondiente del LHC y clasificarlos en seis categorías definidas por umbrales de momento transversal.

Para la generación de señales de activación en la región central —o barril— del detector, el sistema L1 emplea cámaras de placas resistivas (RPC). Estas RPCs están organizadas en seis capas concéntricas que operan dentro de un campo magnético toroidal con un poder de flexión que varía entre 1.5 y $5.5Tm$. El detector RPC está compuesto por aproximadamente 3.700 volúmenes de gas, distribuidos en una superficie total superior a $4.000m$, lo que garantiza una alta cobertura y sensibilidad.

Geoméricamente, las cámaras de muones se disponen en seis capas cilíndricas concéntricas alrededor del eje del haz, con radios aproximados de $5m$, $7.5m$ y $10m$. En las regiones de los extremos, las cámaras forman ruedas colocadas perpendicularmente al eje del haz a distancias aproximadas de $7.4m$, $10.8m$, $14m$ y $21.5m$ desde el punto de interacción. Esta configuración permite una detección precisa y eficiente de los muones generados en las colisiones, contribuyendo de manera esencial a los procesos de selección y análisis de eventos en el experimento ATLAS ??.

2.3.4. CMS

El Compact Muon Solenoid (CMS) es un detector de propósito general ubicado en el Gran Colisionador de Hadrones (LHC). Su programa de física abarca desde el estudio detallado del Modelo Estándar —incluyendo el bosón de Higgs— hasta la búsqueda de dimensiones adicionales y partículas candidatas a constituir la materia oscura.

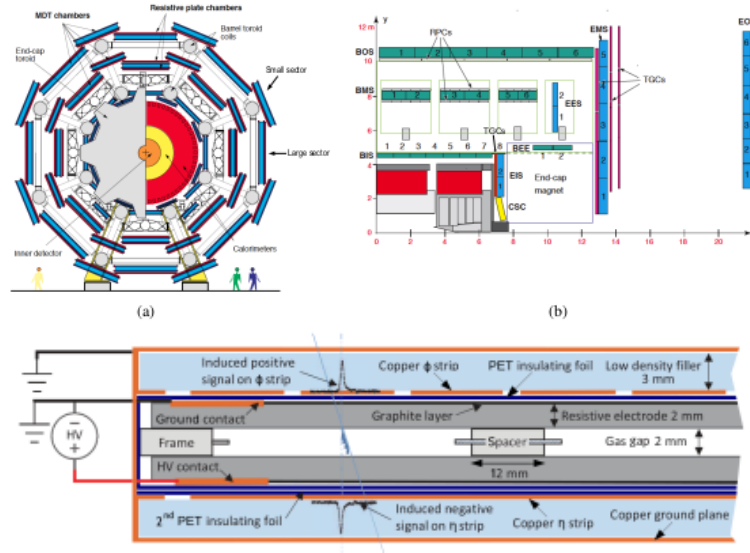


Figura 2.9: (a): Vista transversa del Espectrómetro de Muones. (b): Vista de ATLAS para un pequeño sector azimutal que contiene las bobinas del toroide de barril. Abajo: Esquema de un detector RPC empleado en ATLAS.

El sistema de disparo de muones de CMS es uno de los más grandes y complejos construidos hasta la fecha, compuesto por un sistema redundante que integra tres tecnologías diferentes de detectores gaseosos: Cathode Strip Chambers (en las regiones delanteras), Drift Tubes (en la región central) y Resistive Plate Chambers (tanto en la región central como en la delantera). La combinación de estas tecnologías proporciona una resolución espacial y temporal óptima, fundamental para los sistemas de rastreo (tracking) y disparo (trigger) orientados a la identificación eficiente de muones (9).

El sistema de disparo opera en dos niveles: el disparo de nivel 1 (L1), que utiliza procesadores de hardware personalizados para recibir y procesar datos de los calorímetros y detectores de muones, reduciendo la tasa de eventos desde 40MHz hasta aproximadamente 100kHz ; y el disparo de alto nivel (HLT), basado en software y ejecutado en una granja de cómputo con hasta 30,000 núcleos de CPU (al final del Run 2), que realiza una ulterior reducción de la tasa de eventos hasta cerca de 1kHz .

La reconstrucción de muones en el HLT se divide en dos etapas: la reconstrucción de Nivel 2 (L2), que se basa en la información proveniente exclusivamente de los detectores de muones, y la reconstrucción de Nivel 3 (L3), que incorpora adicionalmente datos de los detectores de seguimiento interno. Estos pasos se ejecutan secuencialmente, seguidos por criterios específicos de identificación y aislamiento de muones que definen los triggers individuales; cuando un evento cumple con los requisitos establecidos, es aceptado por el sistema de disparo ??.

El sistema RPC del CMS está conformado por 480 cámaras ubicadas en el barril y

2. DETECTORES RPC

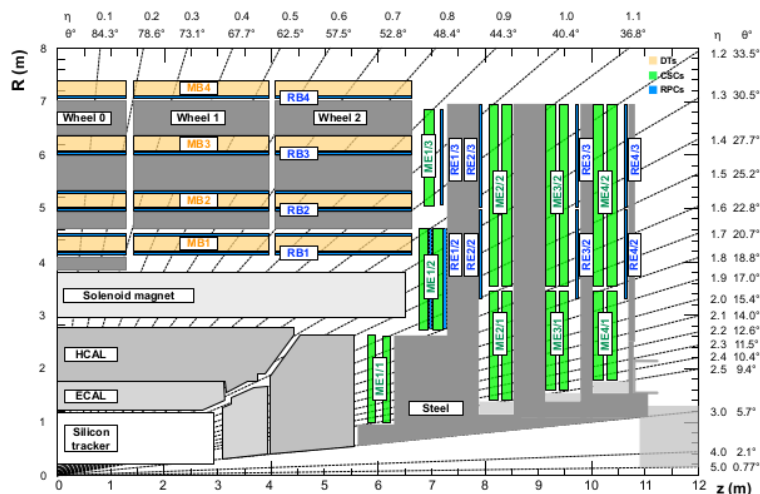


Figura 2.10: Los tres subdetectores de muones del CMS suelen tener cuatro estaciones: DT en amarillo, etiquetada MB; CSC en verde, etiquetada ME; y RPC en azul, etiquetada RB o RE.

756 cámaras en la región frontal, abarcando una superficie total aproximada de 3,500m. Esta infraestructura es esencial para complementar la detección y el disparo de muones, garantizando una cobertura extensa y redundante, además de contribuir significativamente a la resolución temporal y espacial necesaria para la eficiente identificación de muones en el experimento.

2.3.5. BESIII

El experimento BESIII (Beijing Spectrometer III), ubicado en el Colisionador Electrón-Positrón de Beijing II (BEPC II), está diseñado para el estudio detallado de la física del charm, el charmonium y las desintegraciones de hadrones ligeros. Asimismo, permite realizar investigaciones en torno al leptón tau, pruebas de la Cromodinámica Cuántica (QCD) y exploraciones de posibles extensiones del Modelo Estándar.

Con el fin de alcanzar sus objetivos científicos, el detector BESIII está conformado por una cámara de deriva de celda pequeña llena con una mezcla gaseosa basada en helio, un calorímetro electromagnético construido con cristales de CsI(Tl), un sistema de contadores de tiempo de vuelo (TOF) para identificación de partículas, compuesto por arreglos de centelleadores plásticos, un imán superconductor que proporciona un campo magnético de 1T, y un sistema de detección de muones basado en cámaras de placas resistivas (RPC).

El sistema discriminador de muones de BESIII está compuesto por nueve capas alternadas de acero, con un espesor total de 41cm, y nueve capas de RPCs fabricadas con

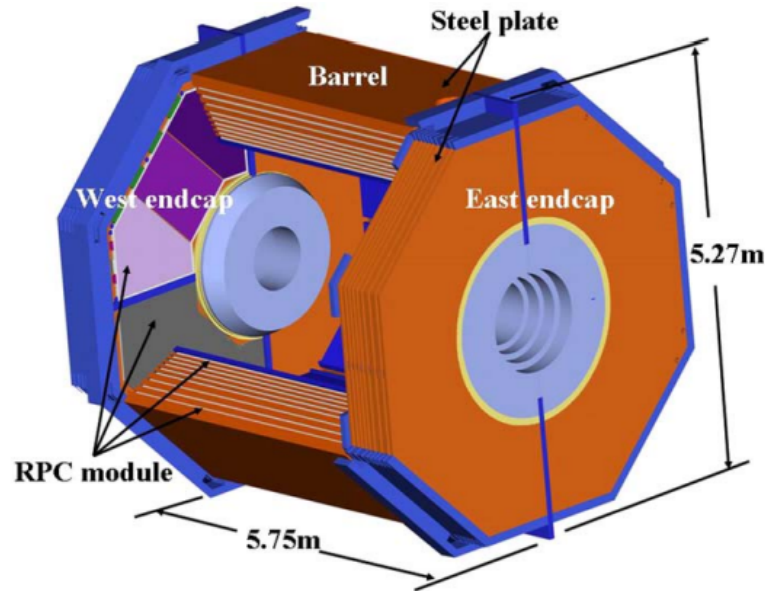


Figura 2.11: Esquema 3D de la estructura de BESIII MUC.

placas de bakelita, ensambladas dentro de una estructura de soporte de aluminio. Estas cámaras se integran directamente en el volumen del detector, ofreciendo una solución robusta y eficiente para la identificación de muones. La cobertura total del sistema alcanza aproximadamente $700m$, lo que garantiza una alta eficiencia de detección sobre un amplio ángulo sólido.

La implementación de RPCs en el sistema de muones proporciona una combinación adecuada de resolución temporal, estabilidad operativa y segmentación espacial, factores esenciales para la identificación confiable de muones dentro del entorno de colisiones electrón-positrón de BEPC II. Su diseño modular, junto con la redundancia estructural y la resistencia al ruido de fondo, convierten a las RPCs en un componente clave del sistema de muones de BESIII. (1).

A partir de esta breve reseña de algunos de los experimentos más representativos en física de altas energías, es posible apreciar la notable versatilidad de las cámaras de placas resistivas (RPCs). Su flexibilidad en términos de diseño, construcción y adaptabilidad a distintos entornos experimentales las ha consolidado como una de las tecnologías preferidas para sistemas de detección en grandes aceleradores. Las RPCs no solo ofrecen una excelente resolución temporal y eficiencia de detección, sino que también permiten configuraciones modulares y escalables, adaptándose tanto a regiones centrales como frontales de los detectores.

En la Tabla 2.1 se presenta un resumen comparativo del empleo, modo de operación y otras características técnicas relevantes de las RPCs en distintos experimentos de física de altas energías.

2. DETECTORES RPC

Tabla 2.1: Resumen del uso de detectores RPC en experimentos de física de altas energías, (4).

Experimento	Aplicación	Area [m2]	Electrodos	Gaps [mm]	Gaps	Modo
Babar	Trigger	2000	Bakelite	2	1	Streamer
Belle	Trigger	2200	Vidrio	2	2	Streamer
Alice	Trigger	140	Bakelita	2	1	Streamer
Atlas	Trigger	6550	Bakelita	2	1	Avalancha
CMS	Trigger	2953	Bakelita	2	2	Avalancha
STAR	Timing	50	Vidrio	0.22	6	Avalancha
ALICE-TOF	Timing	150	Vidrio	0.25	10	Avalancha
OPERA	Trigger	3200	Bakelita	2	1	Streamer
YBJ-ARGO	Trigger	5630	Bakelita	2	1	Streamer
BESIII	Trigger	1200	Bakelita	2	2	Streamer
HARP	Timing	10	Vidrio	0.3	4	Avalancha
COVER-PLASTEK	Timing	16	Bakelita	2	1	Streamer
EAS-TOP	Timing	40	Bakelita	2	1	Streamer
L3	Trigger	300	Bakelita	2	2	Streamer
HADES	Timing	8	Vidrio	0.3	4	Avalancha
FOPI	Timing	6	Vidrio	0.3	4	Avalancha
PHENIX	Trigger		Bakelita	2	2	Avalancha
CMB TOF	Timing	120	Vidrio	0.25	10	Avalancha
NeuLAND	Timing	4	Vidrio	0.6	8	Avalancha

Capítulo 3

ADC (Analog to Digital Converter)

En la investigación en física de partículas y de altas energías, es fundamental contar con un sistema de adquisición de datos (DAQ, por sus siglas en inglés) que sea capaz de transformar las señales generadas por los detectores en un formato digital adecuado para su posterior procesamiento y análisis. Para lograr este objetivo, el sistema de adquisición debe estar compuesto por diversos módulos especializados, diseñados específicamente para medir, almacenar, visualizar y analizar la información derivada de los fenómenos físicos observados.

De forma general, un sistema de adquisición de datos puede dividirse en cinco bloques funcionales: el front-end, donde la señal es generada a partir de sensores específicos; el transporte de la señal; el acondicionamiento de la señal; el proceso de digitalización; y, finalmente, la etapa de lectura y recolección digital.

En primer lugar, los sensores recogen información del fenómeno físico de interés, convirtiendo normalmente la energía depositada en el detector en una señal eléctrica analógica. A continuación, esta señal bruta es procesada mediante etapas de amplificación y filtrado con el fin de obtener una forma de onda más limpia y estable. Solo entonces la señal se encuentra en condiciones óptimas para ser digitalizada.

La digitalización es realizada por dispositivos conocidos como convertidores analógico-digitales (ADC, por sus siglas en inglés), los cuales transforman la señal eléctrica analógica en datos digitales que pueden ser registrados, interpretados y analizados posteriormente (8).

3.1. Conversor Analógico Digital (ADC)

Los convertidores analógico-digitales (ADC, por sus siglas en inglés) son bloques fundamentales en sistemas de adquisición de datos, ya que permiten transformar señales analógicas continuas en representaciones digitales discretas.

Un convertidor analógico-digital puede conceptualizarse como un sistema de cuantificación que, a partir de una señal de entrada analógica, genera un valor digital proporcional, en función de un voltaje de referencia V_{ref} . En términos generales, la salida

3. ADC (ANALOG TO DIGITAL CONVERTER)

digital del ADC puede expresarse como:

$$Salida = \frac{2^n * G * A_{IN}}{V_{ref}}, \quad (3.1)$$

donde n es el numero de bits de la señal de salida, determinando la resolución, G es el factor de ganancia, que típicamente es por 1, y A_{IN} es el voltaje de entrada.

Alternativamente, dado que el ADC utiliza un voltaje de entrada y un voltaje de referencia, puede considerarse como un comparador. El número de bits en la salida determina la resolución del convertidor, de modo que un mayor número de bits dará como resultado pasos de salida más pequeños y una mayor resolución. Para conseguir pasos más pequeños, también es posible disminuir el V_{REF} , pero esto provocará una reducción de la dinámica y una mayor exposición al ruido.

3.1.1. ADC de aproximación sucesiva SAR

Un convertidor ADC de tipo SAR (Successive Approximation Register) está compuesto por un convertidor digital-analógico (DAC), un comparador, lógica de control y registros de almacenamiento, como se ilustra en la Figura 3.1. El funcionamiento de este tipo de ADC puede describirse mediante los siguientes pasos:

- La señal analógica de entrada es muestreada y mantenida constante durante el proceso de conversión.
- Para cada bit, la lógica SAR genera un código binario que se aplica al ADC. Este código depende tanto del bit actualmente evaluado como de los bits ya determinados en iteraciones anteriores. El comparador se utiliza en cada paso para verificar si la salida del ADC es mayor o menor que la señal de entrada, lo cual permite fijar el valor del bit correspondiente.
- Una vez completada la aproximación de todos los bits, el resultado digital se presenta como salida final del proceso de conversión.

Este tipo de ADC es relativamente lento (las velocidades de conversión pueden alcanzar algunas decenas de MS/s , 106 muestras por segundo en función de la resolución), su diseño balancea adecuadamente complejidad, consumo de energía y costo. Por estas razones, los convertidores SAR se emplean ampliamente en sistemas de adquisición de datos donde se requiere una resolución moderada con alta eficiencia y bajo consumo.

3.1.2. ADC basado en contadores

También conocido como convertidor de voltaje a frecuencia (Voltage-to-Frequency Converter, VFC), este tipo de ADC transforma una señal analógica de entrada en un tren de impulsos cuya frecuencia es proporcional a la amplitud del voltaje de entrada.

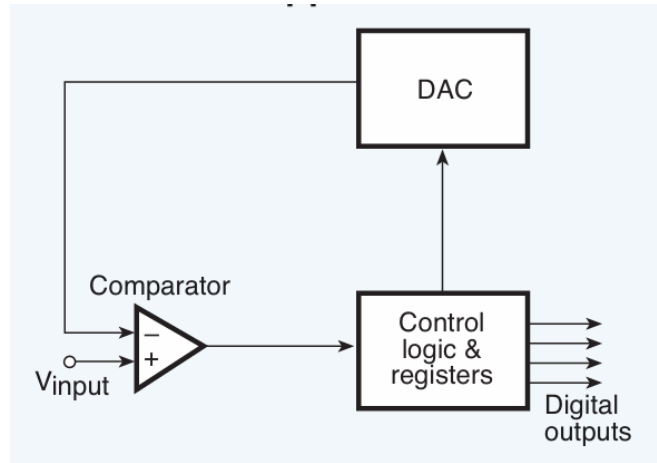


Figura 3.1: Este ADC utiliza un DAC y un comparador. Incrementando bit a bit hasta igualar al voltaje de entrada, completando la conversión y almacenando lo en un registro

La frecuencia de estos pulsos es medida mediante un contador digital, que los acumula durante un intervalo de tiempo fijo. El número de pulsos registrados en dicho intervalo permite determinar la amplitud de la señal de entrada, generando así una representación digital de la misma.

Una de las principales ventajas de esta arquitectura es su alta inmunidad al ruido, derivada del proceso de integración inherente a la medición de frecuencia. Dado que el valor de salida depende de la frecuencia promedio durante un intervalo definido, las variaciones rápidas e irregulares del ruido de entrada tienden a cancelarse, mejorando la estabilidad de la conversión.

Por esta razón, los convertidores de voltaje a frecuencia son especialmente adecuados para el procesamiento de señales lentas y con alto contenido de ruido. Además, pueden operar de manera efectiva en entornos distribuidos, permitiendo la transmisión de señales a larga distancia sin degradación significativa causada por interferencias electromagnéticas.

3. ADC (ANALOG TO DIGITAL CONVERTER)

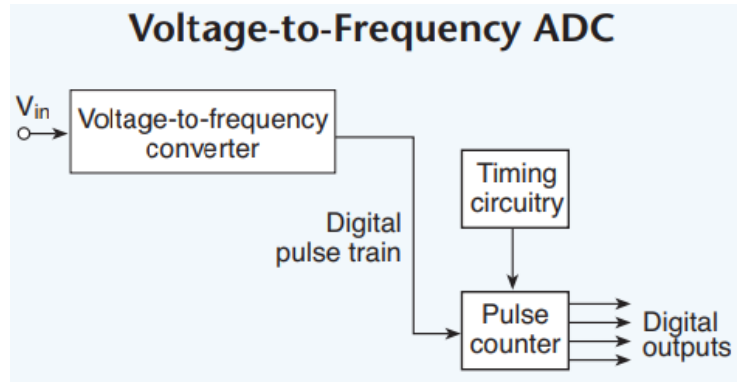


Figura 3.2: Los conversores de voltaje a frecuencia rechazan bien el ruido y suelen utilizarse para medir señales lentas o en entornos ruidosos.

3.1.3. Flash ADC

El flash ADC es un convertidor que maximiza la velocidad de conversión. El voltaje de entrada analógico se compara con N voltajes de referencia diferentes. Llega a comparadores conectados en paralelo y se compara con una V_{REF} decreciente mediante el uso de resistencias conectadas en serie. Los valores binarios de salida de los comparadores se procesan a través de un codificador, que devuelve el voltaje inicial en formato binario.

El flash ADC tiene la ventaja de ser muy rápido, pero también presenta varios inconvenientes. Requiere un gran número de componentes, incluyendo $2N - 1$ comparadores y $2N$ resistencias, donde N representa el número de bits de salida. Por tanto, es difícil alcanzar una alta resolución en una gran dinámica de tensión de entrada.

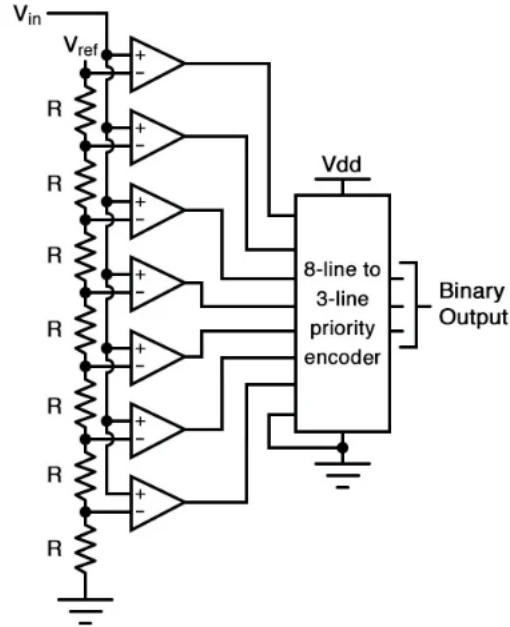


Figura 3.3: Los ADC flash varios comparadores son usados en paralelo, lo cual produce un alto consumo y un alto costo.

3.1.4. ADC de doble pendiente

El convertidor Flash ADC es una arquitectura orientada a maximizar la velocidad de conversión, siendo una de las más rápidas disponibles. Su principio de funcionamiento se basa en la comparación simultánea del voltaje analógico de entrada con múltiples niveles de referencia predeterminados.

Para ello, la señal de entrada se conecta en paralelo a una red de $2^N - 1$ comparadores, donde N representa el número de bits de resolución del convertidor. Cada comparador evalúa si el voltaje de entrada es mayor o menor que un valor específico de referencia, generado por una red resistiva de 2^N divisiones igualmente espaciadas a partir de un voltaje de referencia V_{ref} decreciente. La salida digital de los comparadores se transmite a un codificador, el cual genera como resultado final el valor binario correspondiente a la amplitud de la señal de entrada.

La principal ventaja del Flash ADC es su alta velocidad de conversión, lo que lo hace especialmente útil en aplicaciones donde se requiere una latencia mínima, como en osciloscopios digitales de alta velocidad o sistemas de comunicaciones. Sin embargo, esta arquitectura presenta limitaciones importantes: su implementación requiere un elevado número de componentes (comparadores y resistencias), lo que implica un alto consumo de energía, mayor complejidad de diseño y mayores costos.

Además, debido a esta escalabilidad poco eficiente, la resolución alcanzable está

3. ADC (ANALOG TO DIGITAL CONVERTER)

limitada, lo que restringe su uso en sistemas donde se requiere tanto alta velocidad como gran rango dinámico.

Debido a esta cualidad, se utiliza a menudo en multímetros digitales de precisión y medidores de panel. Sin embargo, tiene un inconveniente importante: aunque es habitual encontrarlo con alta precisión, su velocidad de conversión es muy lenta (hasta un máximo de 60 Hz para 20 bits).

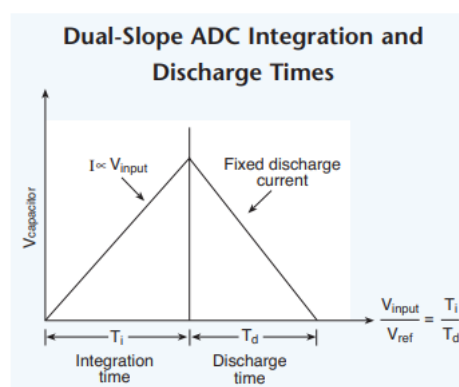


Figura 3.4: Los ADC integradores de doble pendiente proporcionan mediciones de alta resolución con un excelente rechazo del ruido. Integran hacia arriba a partir de un voltaje desconocido y luego integran hacia abajo con un voltaje de referencia.

3.1.5. ADC tipo Wilkinson

El ADC tipo Wilkinson se basa en el principio de conversión voltaje-tiempo, donde el valor de una señal analógica se transforma en un intervalo de tiempo proporcional, el cual es cuantificado mediante un contador digital. Esta arquitectura se distingue por su alta linealidad, simplicidad de implementación y bajo consumo, lo que la hace especialmente atractiva para sistemas multicanal con bajas tasas de muestreo, o en entornos donde puede tolerarse un retardo moderado en el tiempo de conversión.

El proceso de conversión comienza con el almacenamiento de la señal analógica de entrada V_{in} en un circuito de retención (sample and hold). Posteriormente, se genera una rampa de voltaje V_{Ramp} creciente o decreciente mediante la carga (o descarga) de un condensador a través de una fuente de corriente constante I , de acuerdo con la relación:

$$V_{Ramp}(t) = \frac{I}{C}t, \quad (3.2)$$

donde C es la capacitancia del condensador. Esta rampa proporciona un incremento lineal de voltaje en el tiempo. Simultáneamente, un contador digital se activa y comienza a contar a partir de cero.

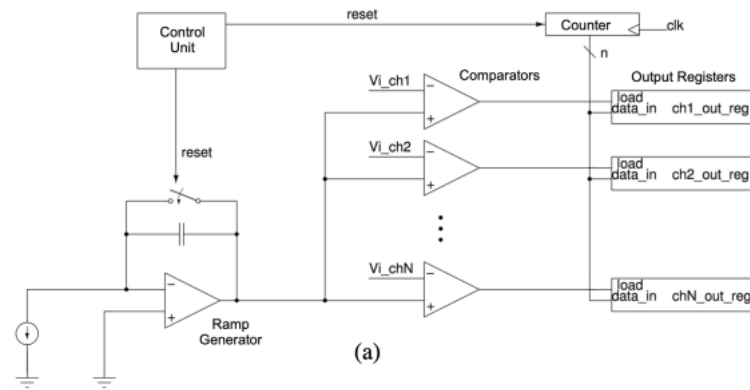


Figura 3.5: Esquemático general de un ADC tipo Wilkinson con bloques fundamentales.

Cuando el voltaje de la rampa $V_{Ramp}(t)$ alcanza el nivel de V_{in} , un comparador analógico detecta la coincidencia y envía una señal para detener el contador. El valor del contador en ese instante es directamente proporcional al tiempo transcurrido desde el inicio de la rampa, y por ende proporcional al voltaje de entrada original. De esta manera, la señal analógica queda digitalizada en forma de un número entero que representa su amplitud.

Este método es particularmente robusto frente a no linealidades en otros bloques del sistema, ya que la relación entre tiempo y voltaje se mantiene lineal si la corriente de carga es constante y el condensador estable. Además, la resolución del convertidor depende únicamente de la frecuencia del reloj del contador y del rango temporal máximo, lo que permite alcanzar resoluciones elevadas sin necesidad de componentes altamente precisos.

3.2. TAC Time to Amplitud Converter

Cuando una aplicación de medición de tiempos requiere una precisión en el orden de los picosegundos, el conversor de tiempo a amplitud (Time-to-Amplitude Converter, TAC) se presenta como una opción ideal. Este tipo de conversor logra una resolución temporal extremadamente fina gracias al uso de técnicas analógicas para transformar pequeños intervalos de tiempo en pulsos cuya amplitud es directamente proporcional al tiempo transcurrido entre dos eventos ??.

El principio de funcionamiento puede entenderse a partir del esquema representado en la Figura 3.6. Antes de que inicie una medición, todos los interruptores del circuito se encuentran en estado cerrado, lo que mantiene el condensador descargado. La medición comienza con la llegada del flanco de subida de la señal de inicio (start), que activa el primer interruptor y permite que el condensador comience a cargarse a una velocidad constante, determinada por una fuente de corriente constante I

3. ADC (ANALOG TO DIGITAL CONVERTER)

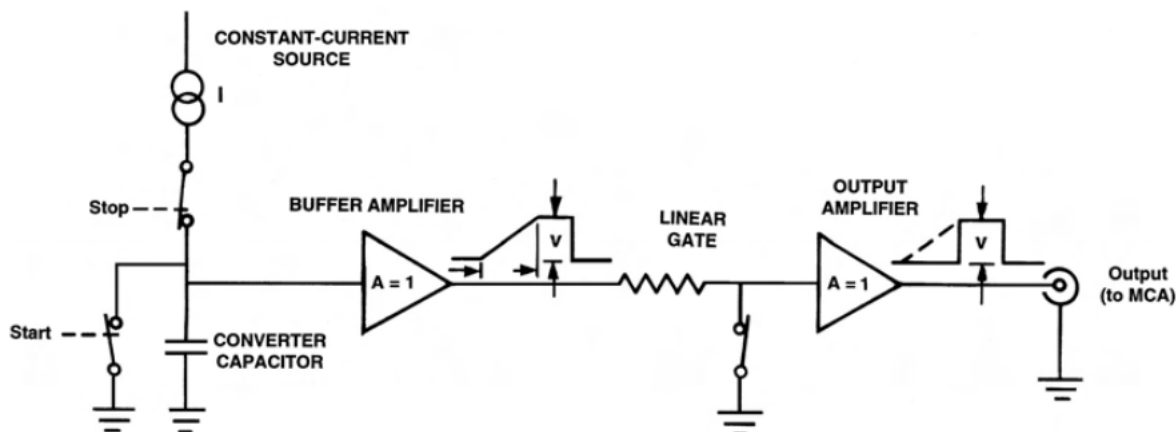


Figura 3.6: Esquema de funcionamiento de un TAC. El pulso de salida es proporcional al intervalo entre eventos.

Cuando llega el flanco de subida de la señal de detención (stop), el segundo interruptor se abre, deteniendo el proceso de carga del condensador. Debido a que la corriente de carga es constante, la tensión acumulada en el condensador en ese instante es directamente proporcional al tiempo transcurrido entre los pulsos de start y stop, según la expresión:

$$V = \frac{It}{C}, \quad (3.3)$$

donde t es el intervalo de tiempo entre los pulsos de start y stop y C es el capacitor del conversor.

El voltaje almacenado se transfiere, a través de un buffer de amplificación, a una puerta lineal. Inmediatamente después de la señal de stop, esta puerta se abre durante un intervalo breve, permitiendo que la tensión se propague hacia el amplificador de salida, generando así un pulso rectangular cuya amplitud es proporcional al intervalo de tiempo medido.

Tras algunos microsegundos, el sistema regresa a su estado inicial: todos los interruptores se cierran nuevamente y el condensador se descarga a potencial de tierra, quedando listo para una nueva medición.

El pulso de salida del TAC, que típicamente tiene una duración de unos pocos microsegundos, es dirigido hacia un convertidor analógico-digital (ADC) o un analizador multicanal (MCA), donde se mide la altura del pulso para obtener el valor digital correspondiente al intervalo de tiempo.

Petiroc 2A Front-End Board y Arreglo Experimental

Para un sistema de adquisición de datos de alta frecuencia y que pueda abarcar el registro tanto de carga como de tiempo, es necesario tener un sistema centralizado que facilite la captura de datos, en especial en el área de física de partículas y de altas energías es necesario tener un sistema que pueda manejar gran cantidad de canales y de datos al mismo tiempo. Como se vio en el primer capítulo las RPCs son detectores que cuentan con dos características fundamentales una buena resolución temporal y espacial. Se eligió el ASIC PETIROC2A por la disponibilidad de líneas de disparo para todos los canales, así como de información digital integrada sobre carga y tiempo.

4.1. Petiroc2A

Petiroc 2A es un ASIC de 32 canales diseñado en tecnología AMS 0,35 μ m SiGe, disponible en encapsulados LFP208 y TFBGA353. Cada canal incorpora un ADC de bajo consumo para ajustar el alto voltaje de los SiPM en el rango de 1V.

La línea de disparo rápido de cada canal consta de un preamplificador de ancho de banda de 1 GHz, con una ganancia nominal de 40, seguido de un discriminador rápido, cuyo resultado puede almacenarse. Además, cada canal incorpora un conversor de tiempo a amplitud (TAC) que permite medir el tiempo con una resolución de 37 ps y un periodo de 25 ns (40 MHz). La medición del tiempo se digitaliza con un ADC Wilkinson de 10 bits.

La medida de carga se realiza mediante un Shaper (un capacitor) de tiempo ajustable (de 25 ns a 100 ns) que permite medir cargas de hasta 2500 pe- (o 400 pC para una ganancia SiPM de 10^6). La señal se almacena en una memoria analógica y se digitaliza con un ADC Wilkinson de 10 bits. Un discriminador adicional proporciona información de disparo de segundo nivel para rechazar el ruido y los eventos por debajo de un umbral de energía determinado.

4. PETIROC 2A FRONT-END BOARD Y ARREGLO EXPERIMENTAL

En la Fig. 4.1 se muestra un diagrama de bloques del PETIROC2A. La señal de entrada de cada canal está acoplada en CC (Corriente Continua) y se divide en dos caminos, uno para el disparo rápido y la medición del tiempo, y el otro para la medición de la carga.

El ASIC incluye un sensor de temperatura para medir la temperatura del sistema y referencias de voltajes constantes proporcionadas por un bandgap. Además, cuenta con un mecanismo de retardo de 8 bits para ajustar el tiempo de retención interno y un ADC común de 10 bits seguido de un ADC individual de 6 bits para ajustar el nivel de disparo en un rango de 0,5 a varias décimas de fotoelectrón.

La Petiroc2A puede ser usado en dos modos de configuración:

- Modo totalmente analógico sin ningún reloj interno, ya sea como dispositivo de recuento de fotones o para mediciones de carga disparadas, utilizando disparadores de salida o salida analógica multiplexada;
- modo totalmente digital, que proporciona datos de salida totalmente digitalizados, utilizando ADC y TDC internos.

Cuando funciona en modo totalmente digital, el ASIC proporciona el tiempo y la carga de todos los canales. En este modo de funcionamiento, la velocidad está limitada a 40 kHz debido a la conversión analógico-digital ($12,8\mu s$ máximo) y a la salida de datos serie ($12\mu s$).

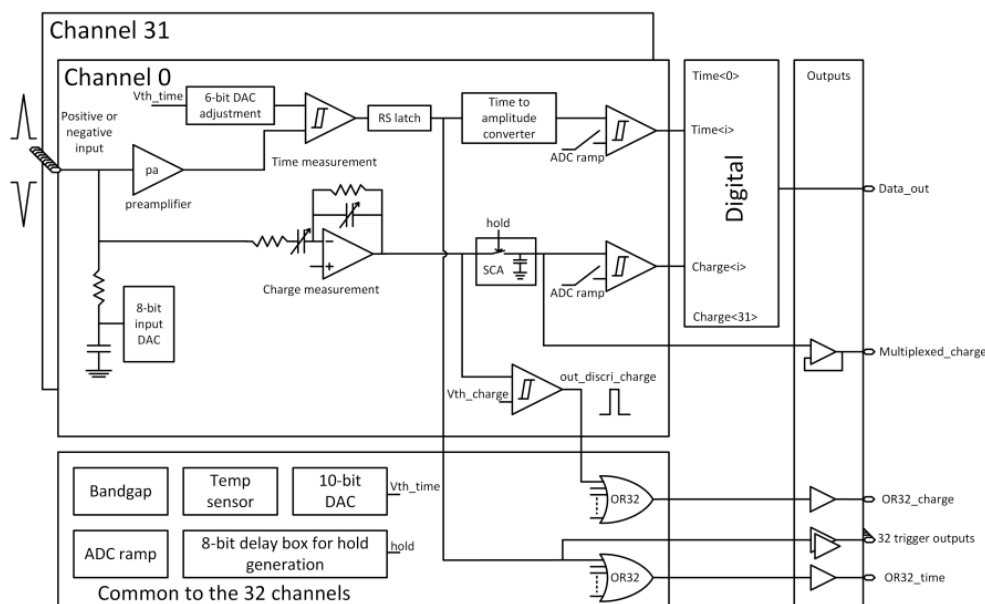


Figura 4.1: Diagrama de bloques lógicos.

Cuando la PETIROC2A está configurada, funciona en modo de funcionamiento libre, suministrando las señales del discriminador digital a la FPGA. Los triggers de

canal pueden estar fijados o no. En modo latch, el ASIC puede reiniciarse para estar listo para una nueva adquisición.

La placa cuenta con un registro de monitoreo para que el usuario vea los puntos de prueba internos del ASIC. Se dispone de dos salidas de monitoreo principales: una para señal digital (monitoreo digital) y otra para señal analógica (monitoreo analógico). Sólo se puede sondear una señal analógica y una digital al mismo tiempo. La finalidad del sistema de monitoreo es el desarrollo y la depuración. El monitoreo analógico puede configurarse para emitir la señal del preamplificador o el umbral de voltaje del discriminador, incluido el ajuste fino de 6 bits. El monitoreo digital se puede utilizar para dar salida a la señal del shaper.

El control de los modos de funcionamiento y el de configuración de los parámetros de la Periroc2A se realizan a través del SLOW CONTROL, el cual es un `shift/register` de 640 flip-flop (el primer bit es B0 = `maskb_discri_charge_ch0` y el último es B639 = `EN_transmit`) a través de estos 640 bits se logra programar la ASIC de la Petiroc2A.

Estudiando los manuales y la UI de la Petiroc2A podemos clasificar a los bits mas importantes del Slow Control (SC) de la siguiente manera:

- Charge Threshold bits del 554-563
- Time Threshold bits del 564-573
- Hold Delay bits del 582-589
- Charge Shaping C_{in} bits del 609-610, C_f bits del 607-608
- Polaridad bit 598
- Latch trigger bit 599
- Maks Discr Charge bits 0-31
- Mask Discr Time bits 328-369

Con respecto a los modos de funcionamiento es recomendable leer el manual y revisar a detalle la configuración para cada modo ya que la configuración de la Petiroc2A cuenta con su propia lógica acerca de la asignación de cada bit para cada modo.

4.2. Caracterización de la Petiroc2A

Se estudió el comportamiento de la Petiroc2A en especial de la placa Weeroc test-board, con ligeras modificaciones para ser usada como fuente de alimentación de alto voltaje para SiPMs; esto último no será estudiado en el trabajo ya que depende de parámetros externos al estudio.

En la Figura 4.2 podemos ver en detalle todos los componentes de la placa, junto con sus entradas y salidas de señal. La placa cuenta con varias salidas de reloj, esto con

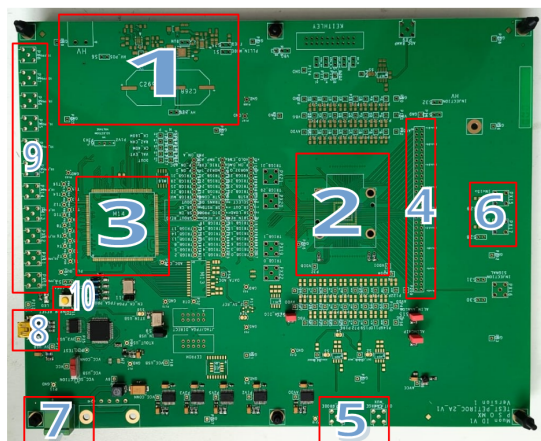


Figura 4.2: Placa Weeroc TestBoard Modificada.

el fin de poder sincronizar la toma de datos y generar un reloj externo o un generador de pulso para tener una sincronización con el sistema de adquisición de datos. (1) Fuente de alimentación para los SiPM, (2) ASIC Petiroc2A, (3) FPGA ALTERA Clicon III, (4) pines de entrada de señales, (5) salidas de señales de monitoreo (Analogi y Digital), (6) Canales 14 y 15 de prueba para testeo de la placa, (7) Conector de alimentación, (8) Conector USB de Comunicación, (9) salidas y entradas de relojes y demás parámetros externos de la placa, (10) botón de sincronización interno.

Como se mencionó más arriba la Petiroc2A cuenta con varios ajustes globales como finos para cada canal, esto hace que comprender a detalle cada parámetro resulta crucial para poner el equipo en optimo funcionamiento.

4.2.1. Medición de Carga

Como se puede ver en la figura 4.1 la señal se divide en dos líneas independientes, en este caso la línea de la carga pasa directamente a un Shaper CR-RC (ver figura 4.3) basado en un amplificador operacional. El shaper cuenta con dos capacitores C_1 y C_2 los cuales pueden ser programados por el Slow Control (SC) de la ASIC. De estos dos capacitores se pueden hacer 16 combinaciones posibles, dando lugar a un mejor modelado de la carga producto del amplio rango que maneja la Petiroc2A.

La salida del Shaper se envía a un SCA (Switch Capacitor Array) con una etapa de track/hold esta señal puede ser monitoreada a través de la salida del Digital Prob. La señal de hold se genera internamente a partir de la hold signal del discriminador de disparo por tiempo NOR32_time. El retardo se puede programar con un DAC de 8 bits en el rango de 27 a $115ns$ con $0,34ns/ADCu$.

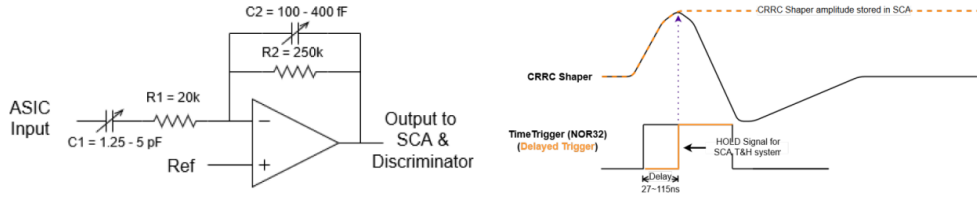


Figura 4.3: Izquierda: Esquema del Shaper CR-RC para la medición de carga. Derecha: Ilustración del mecanismo del Shaper CRRC y el SCA Track/Hold

4.2.2. Medición de Tiempo

La línea de tiempo independiente de la carga realiza su medición en dos pasos en la Petiroc 2A. Un contador CoarseTime se sincroniza a 40 MHz. Se utiliza un TAC (Time to Amplitud Converter) basado en rampa para interpolar el Fine-Time entre dos flancos de tiempo grueso, ver figura 4.4.

El inicio de la rampa TAC es disparado por el discriminador (señal asíncrona) Time Trigger. El TAC se detiene por el reloj contador grueso (señal síncrona) funcionando a 40 MHz. Un sistema de metaestabilidad permite esperar el siguiente tick de reloj si la señal del discriminador está demasiado cerca del contador del CoarseTime para eliminar la metaestabilidad. Finalmente la rampa del TAC es convertido por el ADC Wilkinson (ADC de rampa) durante la fase de conversión analógica a digital en paralelo con la medición de la carga en la otra línea.

Una vez la lectura esta realizada, los datos adquiridos pueden ser convertidos a la medicion de tiempo con la siguiente formula:

$$AbsoluteTime = (CoarseTime + 1)(ck_40periodo) - (FimeTime) \quad (4.1)$$

4.2.3. Adquisición de datos de la Petiroc2A

Una vez comprendido el funcionamiento de como la Petiroc2A guarda los valores de carga y tiempo podemos ver el panorama completo y ver el funcionamiento de la misma. En la figura 4.5 se puede ver que cuando una de las 32 señales del preamplificador supera el threshold del discriminador de tiempo, se dispara el trigger y se inicia el hold delay programable. También se inicia el TAC el cual se termina cuando llega el siguiente flanco de reloj de referencia de 40MHz, dentro de 25ns que es el tiempo que corresponde al Val-Event, la validación de un evento, que viene programado en la Petiroc2A.

En paralelo, en la línea de carga, la señal pasa por el Shaper CR-RC, que mantiene la amplitud de carga en el SCA en el tiempo definido por el hold delay. El ASIC espera una señal de inicio para la conversión ADC de la FPGA que controla el DAQ para iniciar la conversión digital de la información ADC (carga) y TDC (tiempo). El tiempo

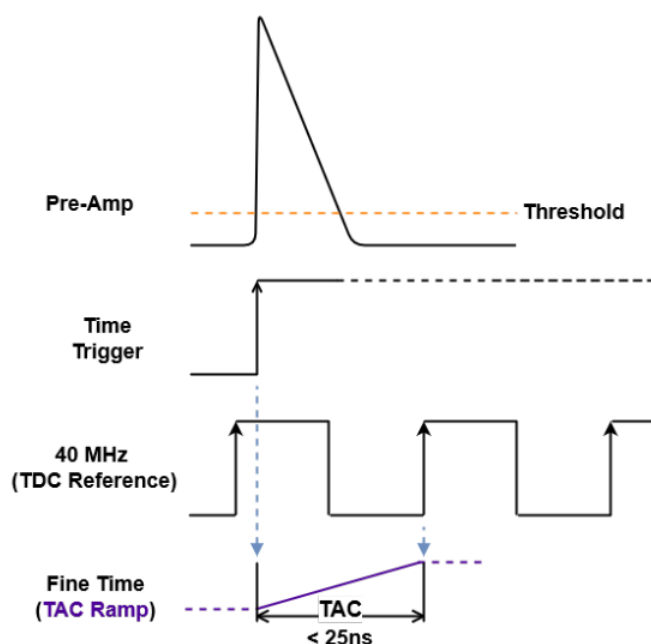


Figura 4.4: Ilustración de la medición del Fine-Time en la Petiroc2A.

de conversión es de 12s . Este valor define la ventana temporal de retención para cada evento.

La Petiroc2A cuenta con 4 triggers de adquisición para la captura de datos: COINCIDENCIA, COINCIDENCIA & TRIGGER DE CARGA, TRIGGER DE CARGA Y TRIGGER DE TIEMPO.

El trigger de Coincidencia y Coincidencia & Trigger de Carga funcionan bajo las mismas condiciones. En ambos casos se debe tener en cuenta que la coincidencia solo trabaja con la división en dos grupos de 32 canales, el primero del canal 0 al 15 y el segundo del canal 16 al 31.

El trigger de coincidencia se dispara entre canales en una ventana temporal de 10ns , y para coincidencia con trigger de carga de 200ns . En cuando a los demás modos de trigger, la configuración se basa unicamente en los threshold internos tanto de carga como de tiempo sin importar el grupo al cual pertenezca el canal.

Otro modo de toma de datos que no viene explicado en los manuales es el de adquisición con Trigger Externo. Este modo permite la toma de datos con una etapa de confirmación extra, ya que con el empleo de un trigger externo se puede controlar la activación de los trigger internos.

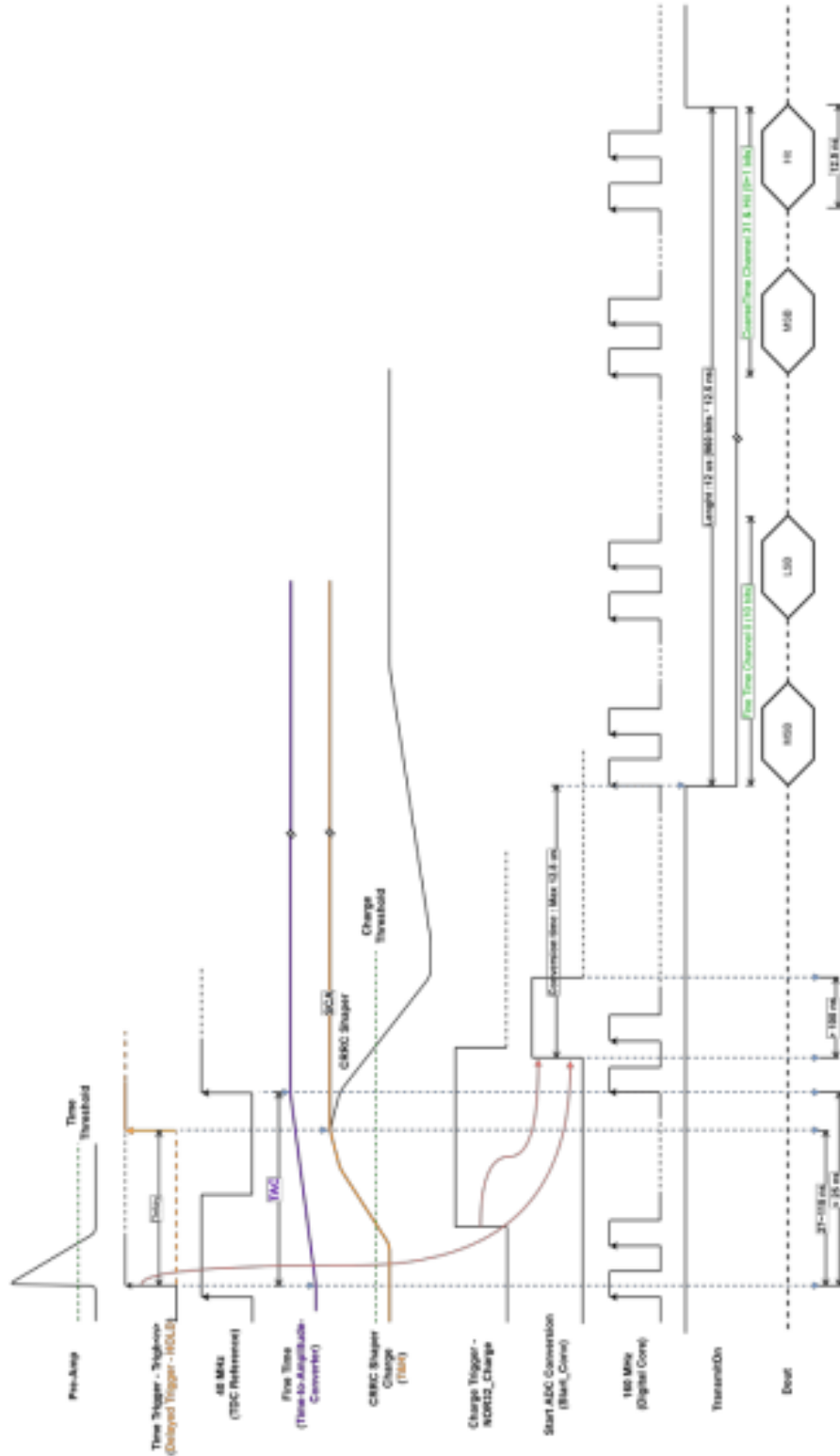


Figura 4.5: Diagrama temporal de la secuencia de adquisición de la Petiroc2A.

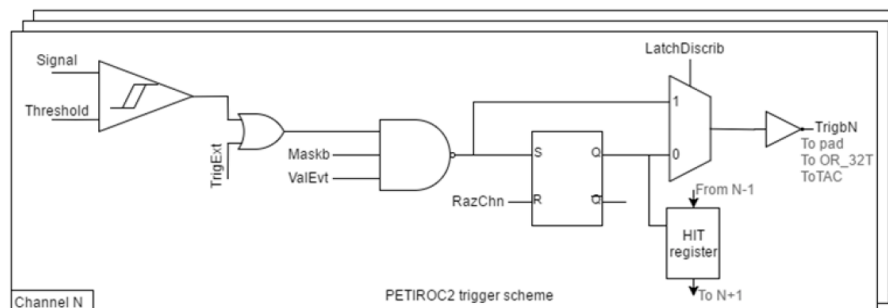


Figura 4.6: Esquema de Triggers de la Petiroc2A.

Con la activación del trigger externo se puede trabajar en otros dos submodos. Como se puede ver en la figura 4.6, el bloque lógico nos indica que la activación se produce con un OR por lo que basta con que una señal active el bloque, por lo que es aquí donde se puede distinguir los dos submodos de adquisición de datos, al poner los discriminadores tanto de carga como de tiempo muy altos, haciendo que estos nunca se disparen, el único que dispara, es el trigger externo, pero al desactivar los discriminadores internos también se desactivan sus funciones, en este submodo la Petiroc2A se comporta como un QDC (Charge to Digital COnverter), perdiendo el valor de tiempo.

Al tener activados los trigger internos de tiempo y carga, se produce una doble confirmación, donde si las señales logran pasar la ventana temporal que habilita el trigger externo se disparan los triggers internos trabajando en un modo mixto.

4.3. Software del sistema de adquisición de datos (DAQ)

El software para el DAQ está basado en un código en C++, en el presente trabajo se utilizó el software que la propia Weeroc proporciona.

Durante el estudio del funcionamiento y la calibración de Petiroc2A, se descubrió un error en la programación de la UI (Interfaz de usuario), esto será discutido más adelante con más detalle.

La Petiroc2A al ser una placa tan versátil en cuanto a la medición de carga y tiempo, en especial con la resolución con la que cuenta se hace preciso tener control de cada parámetro. La placa cuenta con 640 parámetros reunidos en un archivo de configuración llamado Slow Control (SC) que se carga en el ASIC. La UI nos permite modificar cada parámetro por separado, además de la activación de los distintos modos de configuración.

Con la opción de modificar el SC a través de la UI a continuación se detalla todas las opciones y partes importantes de la UI.

4.3.1. Conect

En la primera pestaña se encuentra la información relevante en cuanto a datos técnicos de la versión del software, el manual recalca que es importante antes de conectar todo que las versiones del FIRMWARE coincidan con el de la UI, ya que las actualizaciones al software suelen modificar parámetros importantes de la Petiroc2A. Como se muestra en la figura 4.7 la información relevante consta de la versión del software, los parámetros de los LSB y en especial el valor de la temperatura de la placa, esto ultimo indica que la conexión entre la placa y el ordenador fue exitosa.

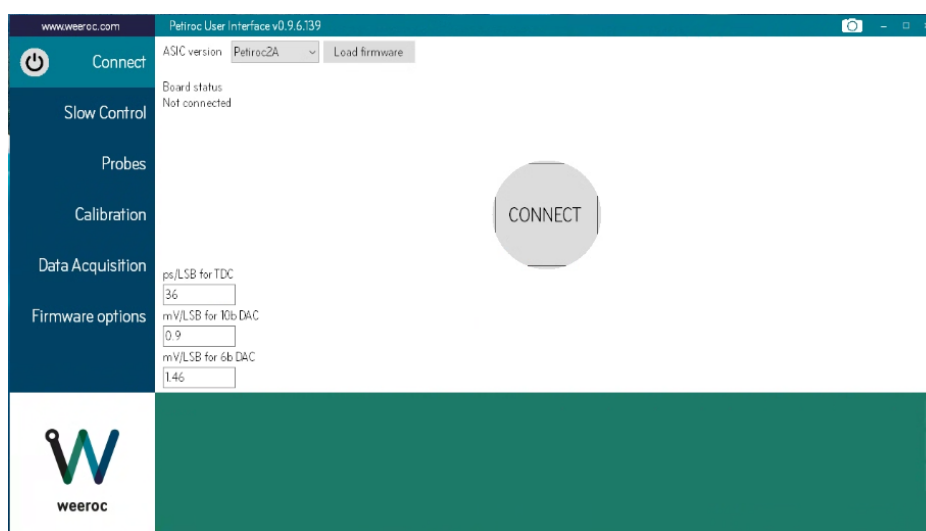


Figura 4.7: Primera pestaña de la UI de la Petiroc2A

4.3.2. Slow Control

En la segunda pestaña se encuentra el Slow Control que es una de las partes más importantes a tomar en cuenta, ya que es a través de este panel es que se puede configurar los thresholds de carga y tiempo, ambos al ser pertenecer a un ADC de 10 bits, se pueden modificar en un rango de 1023 valores. El parámetro de Hold Delay al ser un ADC de 8 bits solo se puede modificar en un rango de 255 valores, esto descrito con más detalle en la sección de arriba.

Al mismo tiempo se puede ver la configuración de las 16 posibles combinaciones de los capacitores.

4. PETIROC 2A FRONT-END BOARD Y ARREGLO EXPERIMENTAL

Slow Control Bit #609 - cf<1> 2.5 pf	Slow Control Bit #610 - cf<0> 1.25 pf	C1	R1	Tau: R1*C1
0	0	1.25 pF	20 kOhm	25 ns
0	1	2.5 pF	20 kOhm	50 ns
1	0	3.75 pF	20 kOhm	75 ns
1	1	5 pF	20 kOhm	100 ns

Slow Control Bit #607 - cf<3> 100 fF	Slow Control Bit #608 - cf<2> 200 fF	C2	R2	Tau: R2*C2
0	0	100 fF	250 kOhm	25 ns
0	1	300 pF	250 kOhm	75 ns
1	0	200 pF	250 kOhm	50 ns
1	1	400 pF	250 kOhm	100 ns

Figura 4.8: C1 y C2 para los distintos valores del Shaper CR-RC.

En la misma pestaña se puede observar unas casillas que nos permiten habilitar el trigger ya sea de carga o tiempo. Para que un canal este habilitado la casilla debe estar en blanco mientras que las que no se van a utilizar deben estar marcadas a esto ultimo se le conoce como enmascarar los canales para evitar la adquisición de datos.

En la misma ventana se encuentra el Input-ADC y el el ADC de 6 bits, el primero controla el offset de cada canal con respecto al cero de la fuente de alimentación de los SiPMs, ya que para el presente trabajo no se empleo el uso de estos detectores todos los valores son puestos a 50 ADC esto para evitar el ruido electrónico. El ADC de 6 bits controla el threshold de tiempo fino de cada canal variando con sus 63 valores $1mV$.

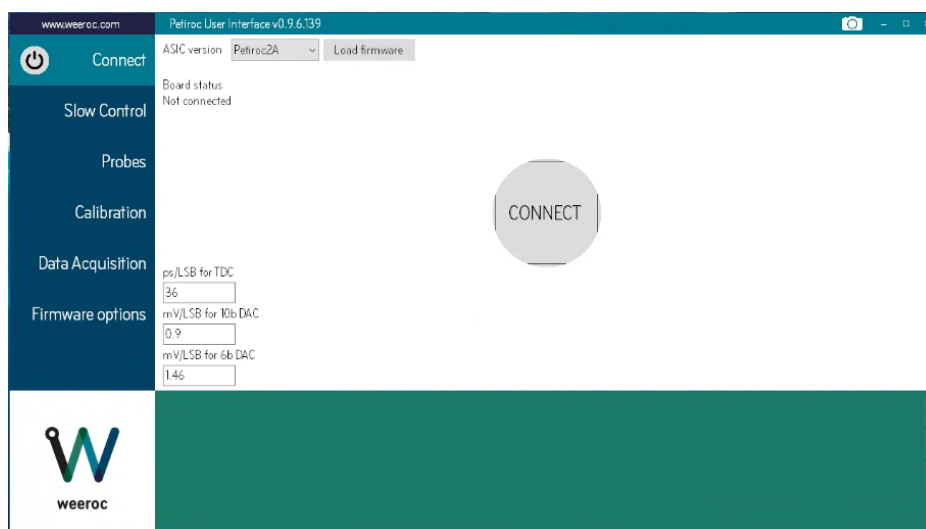


Figura 4.9: Parámetros de control del SC.

4.3.3. Data Acquisition

En la pestaña de Data Acquisition, se encuentra las opciones de modos de adquisición de datos, uno puede escoger con que trigger se desea capturar los datos, con Coincidence, Coincidence and Charge Thirgger, Time Trigger o Charge trigger. También se controla si se desea adquirir datos por un tiempo en formato HH:MM:SS o por numero de eventos registrados. Justo debajo se encuentra la opción de configurar el archivo de salida que genera la Petiroc2A, al contemplar la posibilidad de que el usuario no cambie el nombre del archivo de salida el programa agrega por defecto una secuencia de numeros para diferenciar los archivos de salida. En las gráficas uno puede observar el comportamiento de la carga acumulada y del comportamiento del Fine-Time.

Esta misma ventana se nos ofrecen mas comodidades al momento de observar los valores adquiridos: En *Per Channel* se puede observar el comportamiento de la carga y el tiempo en ADCu, en *Per Acquisition* se puede observar cada adquisición por separado, *Coincidence* acá es donde se pude visualizar la diferencia temporal entre dos canales el programa nos permite filtrar los datos a través de los niveles de carga.

4.3.4. Firmware

En esta ultima pestaña se nos muestra las opciones de configuración de la Firmware de comunicación con la FPGA, la transmisión de los parámetros se realiza a través de 7 WORDS (del 0 al 6), en los manuales no encontramos información acerca de como programar los parámetros que nos presenta la pestaña por lo que, todo lo que se muestra a continuación es producto de la caracterización de la placa.

4. PETIROC 2A FRONT-END BOARD Y ARREGLO EXPERIMENTAL

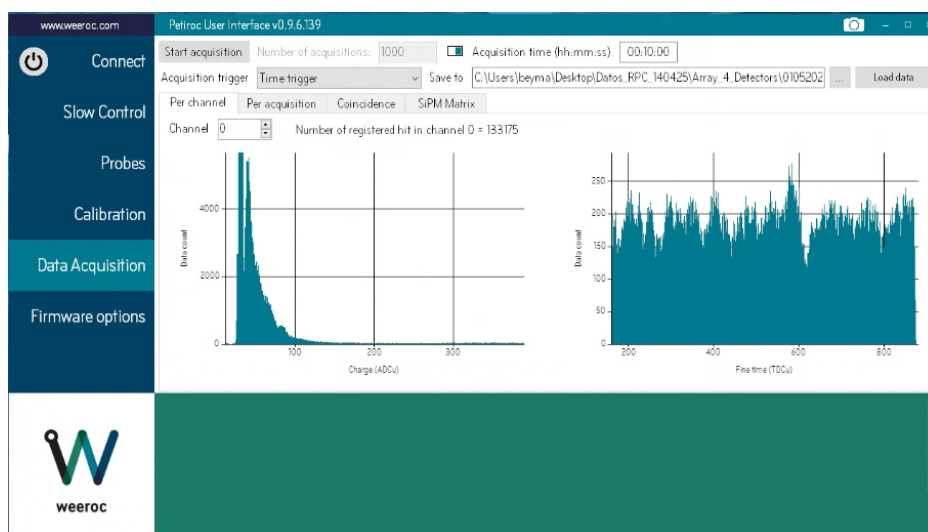


Figura 4.10: Pestaña de las opciones para la toma de datos.

Como se puede ver en la figura 4.11, la configuración se divide en cuatro grupos a continuación detallamos la configuración de cada uno de ellos.

4.3.4.1. Internal ASIC configuration

En este grupo, se muestran las opciones de configuración de CLOCK los cuales vienen por defecto activados, no es necesario deshabilitar estas casillas, al lado se presentan las opciones de liberación confirmación y reseteo de memoria, cada una de estas opciones cuenta con su lógica de funcionamiento, a su vez cada una de estas opciones puede ser disparado tanto de forma interna (por el FPGA) como externa, tal es el caso del trigger externo, cuya lógica se establece en alto o en bajo dependiendo del modo de trabajo, lo mismo se aplica para activar una ventana de confirmacion con Val_Event y el reseteo de la memoria con Raz.Chan.

4.3.4.2. Power pulsing management y ASIC special test

Ya que el manual no proporciona información acerca de muchos parámetros del Firmware se deja por defecto todas activas.

4.3.4.3. FPGA/ASIC configuration

En este grupo se encuentran los parámetros que configuración para que la Petiroc2A, trabaje de forma optima, al iniciar la UI por defecto se marca solo la casilla Trigger active high, para que la la memoria interna sea liberada después de cada adquisición es necesario activar las casillas de *use OR32Q* y *OR23 delay as hold*.



Figura 4.11: Ventana de configuración del FIRMWARE

Es en estas configuraciones que se descubrió el error en la programación de la UI del que se hablo al inicio del capitulo, a continuación se detalla como corregir el error.

4.3.5. Debugging

Durante la calibración y configuración de la placa una de las conclusiones a las que se llego fue el de tener que descartar posibilidades para encontrar el error en la configuración de la placa. Entre todos los posibles candidatos el programa de la UI parecía ser el mas probable es de esta forma que se decide revisar el código fuente. Ya que el programa es una aplicación se decide utilizar un software de código libre para poder acceder al código y explorar posibles errores de programación, es así como se observo la inconsistencia en el código

Lamentablemente por un error en la programación de las 7 WORDS de configuración hay un error en los bit de inicio de la WORD 2, esta palabra debería comenzar por “10” pero debido al error de programación esta comienza por “00”.

Para poder cambiar este error es necesario seguir una secuencia de pasos, que se describen a continuación:

- Se deshabilita la casilla NO RAZ del Internal ASIC consfiguration.
- Se manda a tomar datos sin importar el modo de adquisición.
- Regresando a la pestaña de Firmware de habilita la casilla de NO RAZ.

realizando estos pasos se deberían corregir los bit de la WORD 2 pasando de “00” a “10”. Tras esta secuencia de pasos la placa esta lista para adquirir datos en los diferente modo de funcionamiento.

Es muy probable que debido al cambio en los modos de adquisición de datos con trigger externo (en especial el cambio de su lógica) que el cambio del WORD 2 vuelva a ocurrir por lo que es necesario estar pendiente.

4.4. Arreglo Experimental

Como se vio en los primeros capítulos las bondades y características con las que cuenta las RPCs, hacen que sea necesario implementar una nueva forma de adquisición de datos, es la Petiroc2A la que presenta características que puedan cubrir esas necesidades que requieren las RPCs. Este estudio se realizara mediante un pequeño arreglo experimental.

Aprovechando el flujo de muones atmosféricos, producto de los rayos cósmicos, estos serán empleados para medir las diferencias temporales entre distintos detectores y ver la carga depositada en cada detector.

4.4.1. Caracterización Petiroc2A

Para el estudio de la Petiroc2A se utilizo un generador de funciones de la marca Tektronix modelo AFG3052C, para monitorear las señales se utilizo un osciloscopio de la marca Tektronix TDS2024C de cuatro canales, para el control de todos los canales se utilizo una primera versión de un Patch Panel de 12 canales, el mismo funciona como un pasa bajo para evitar el ruido electrónico producto del acople entre los conectores y los pines de la Petiroc2A, en la figura se pude observar la conexión del equipo.

4.4.2. Estudio de la respuesta con detectores

Bajo la base de una estructura metálica se montaron 4 detectores, dos de tipo centellador acoplados a sus respectivos PMTs y dos RPCs de 0.1mm. Como se muestra en la figura 4.14 los centelladores a los extremos cumplen la función de trigger externo. La base metálica permite modificar la distancia entre los detectores, esto nos permitirá observar cambios en las diferencias temporales entre detectores.

Debido a la construcción de las RPCs estas cuentan con 4 paneles, para el estudio solo se utilizo un panel, esto resultado de las dimensiones de los detectores de centelleo, cada uno es de $10 \times 10 \times 4 \text{ cm}$, área justa para cubrir un solo panel de la RPC. Como se ve en la figura, se utilizo un láser para la alineación de los cuatro detectores.

Para la Petiroc2A, se fabrico una base de aluminio junto con un protector de acrílico transparente para proteger los componentes de posibles golpes o descargas por mala manipulación. La placa debe ser alimentada con $6V$ y $350mA$, esto se logra a través de una fuente de alimentación de la marca RIGOL modelo DP832, debido al alto rendimiento de la Petiroc2A es necesario la instalación de ventiladores para mantener la temperatura de la placa a niveles bajos, para este propósito se instalo un ventilador pequeño justo encima del ASIC Petiroc2A y uno grande dirigido a refrigerar toda la

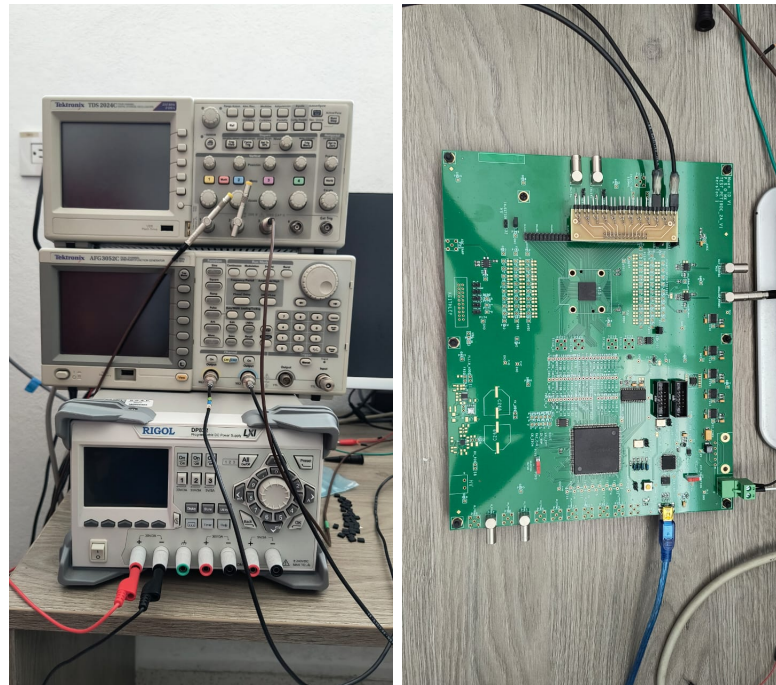


Figura 4.12: Arreglo experimental para la calibración y configuración de la Petiroc2A.



Figura 4.13: Arreglo experimental en las figuras se puede observar la base metálica junto con la alineación utilizando un láser.

4. PETIROC 2A FRONT-END BOARD Y ARREGLO EXPERIMENTAL

placa. La alimentación de alto voltaje para los PMTs se suministra con la fuente de la marca CAEN DT1471ET, y para las RPCS se emplea un modulo MIN de la marca CAEN Mod. 471.

Se habilito una computadora específicamente para la toma de datos de la Petiroc2A. Con sistema operativo Windows y con la UI versión 0.9.6.139 al igual que la versión de Firmware.

Adicionalmente al Patch Panel que se incorporo en los pines de la Petiroc2A se fabrico otro para facilitar la conexión de las señales de los detectores incorporando una entrada de señal tipo LEMO, fabricado en la base de una barra en L de aluminio se añadió en principio 8 entradas tipo LEMO para probar diversos detectores.

Para los modos de trigger externo y modo libre se utilizaron varios modulos NIM, entre ellos un discriminador de 4 canales MODEL 621 L, un modulo de coincidencia LRS Mod. 622C, un amplificador de la marca CAEN Mod. V974 y para la salida de la señal TTL un modulo de coincidencia Fanin-Fanout traslator también de CAEN Mod v976.

Como las señales de los PMTs cumplen la función de trigger estos son amplificados en principio por 1 solo se utiliza el modulo para sacar una copias de las señales, una copia va directo a la Petiroc2A. la otra copia va al discriminador programado a $300mV$, una salida de este se dirige al modulo de coincidencias lógico ajustado en AND para que la señal de salida sea unicamente cuando se detecte una señal en los PMTs de arriba y abajo confirmando que una partícula atravesó todo el arreglo experimental, la salida de este se dirige hacia el modulo de traslator para convertir la señal NIM en TTL, esto debido a requerimientos de la FPGA de la Petiroc2A.

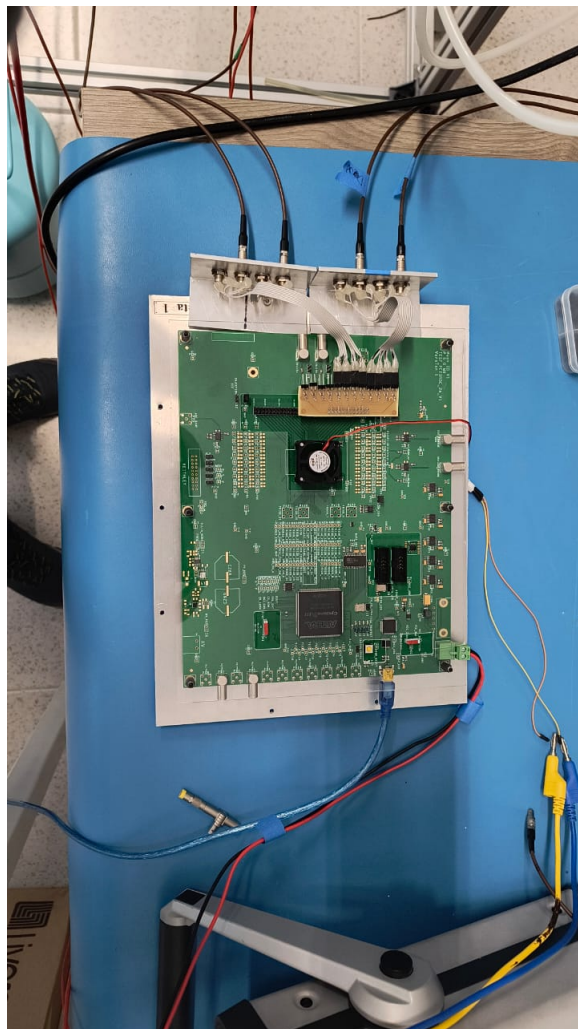


Figura 4.14: Petiroc2A con la base de aluminio y la instalación de los ventiladores.

4. PETIROC 2A FRONT-END BOARD Y ARREGLO EXPERIMENTAL

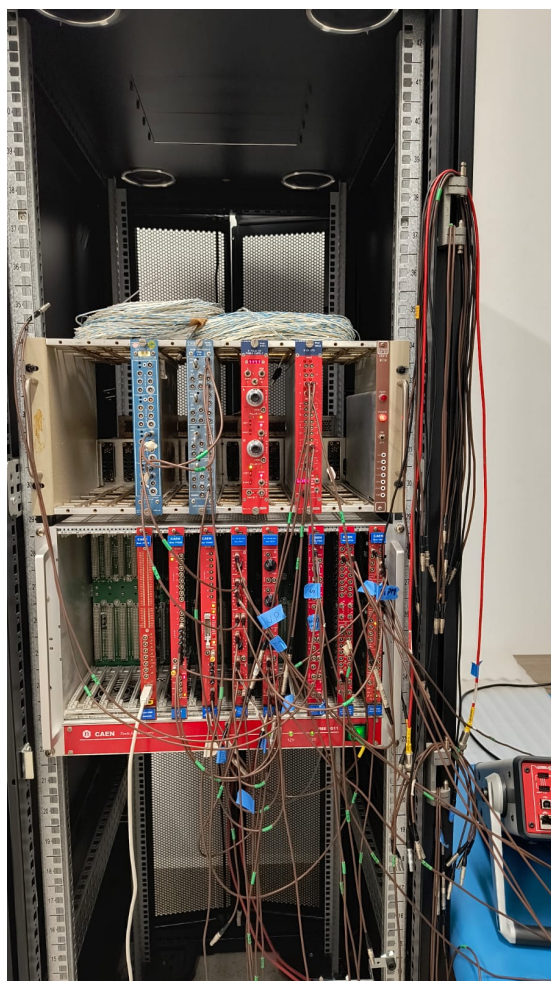


Figura 4.15: Módulos NIMs empleados en el arreglo experimental.

Capítulo 5

Resultados

En este capítulo se presentan los resultados obtenidos durante la caracterización del Petiroc2A, destacando el comportamiento de los parámetros más relevantes que deben configurarse en la placa para garantizar su correcto funcionamiento.

Asimismo, se incluyen los resultados del estudio de la resolución temporal entre los distintos detectores utilizados, con énfasis en los detectores tipo RPC (Resistive Plate Chambers). Paralelamente, se reporta la caracterización de la carga asociada a cada par de detectores, considerando los diferentes modos de adquisición implementados en la placa: Sin Trigger (ST), Con Trigger Externo (CTE) y Con Coincidencia en el Trigger de Tiempo (CCT).

5.1. Caracterización de la Petiroc2A

Como se mencionó en el capítulo anterior, para asegurar el correcto funcionamiento del ASIC Petiroc2A es fundamental tener un control preciso y una comprensión clara de todos los parámetros configurables del Slow Control (SC). En esta sección se presentan en primer lugar los resultados del estudio de la linealidad de carga, el cual constituye un paso esencial en la caracterización del sistema.

Para ello, se programó un generador de funciones con el fin de replicar el comportamiento típico de la señal generada por un fotomultiplicador (PMT), caracterizada por un flanco de subida rápido y una caída lenta. Las señales se aplicaron en incrementos de 20 mV, abarcando un rango total de 400 mV. Simultáneamente, la interfaz de usuario (UI) fue configurada para que la adquisición de datos se realizara durante 1 minuto por punto.

En cuanto a la arquitectura interna de la Petiroc2A, para la medición de carga se utiliza un shaper de tipo CR-RC (Shaper), que incorpora dos capacitores configurables, C1 y C2. La combinación de estos dos elementos permite obtener un total de 16 configuraciones posibles. Considerando además la caracterización de los 32 canales disponibles, se realizaron en total 10,240 mediciones.

A continuación, se presentan los resultados correspondientes a estas 16 combina-

ciones de parámetros de conformado, los cuales son clave para evaluar la respuesta en carga del sistema.

5.1.1. Linealidad de Carga

A continuación, se presentan los resultados correspondientes a las 16 combinaciones de capacitores configuradas en el conformador CR-RC del Petiroc2A, aplicadas a los 32 canales disponibles del ASIC. Cada combinación representa una configuración distinta de los capacitores C1 y C2, cuya variación influye directamente en la forma de la señal moldeada y, por ende, en la medición de carga.

En todas las gráficas obtenidas, se observa un comportamiento lineal consistente en cada canal, lo cual valida la adecuada respuesta del sistema frente a señales de respuesta de detectores. Esta linealidad es fundamental para garantizar la fidelidad de la conversión carga-tiempo y, por extensión, para la reconstrucción precisa de los eventos detectados.

5.1.2. Linealidad de Tiempo

A continuación, se presenta el estudio de linealidad temporal, resultado de introducir un delay controlado del orden de $10ps$ entre dos señales. Este valor corresponde a la mínima resolución de desplazamiento temporal que permite el generador de funciones empleado.

El experimento consistió en aplicar este retardo a una señal con respecto a otra y observar la respuesta de la Petiroc2A, evaluando su capacidad para resolver diferencias temporales en el régimen de los picosegundos. Este análisis permite verificar la sensibilidad y estabilidad del sistema frente a variaciones extremadamente pequeñas en el tiempo de llegada de los pulsos.

Paralelamente al estudio de la linealidad temporal, se analizó también el comportamiento de la carga registrada en función del retardo temporal entre señales (véase la Figura 5.6).

Dado que el shaper tipo CR-RC es el encargado de moldear y almacenar la carga mediante el Switch Capacitor Array (SCA), se espera observar una disminución progresiva en el valor de la carga (expresada en unidades ADC) a medida que se incrementa el retardo entre las señales. Este fenómeno ocurre porque el pulso que llega con mayor retardo comienza a quedar fuera de la ventana de validación de evento (Val-Event), configurada en la Petiroc2A con una duración de $25ns$.

Cuando el retardo excede dicha ventana temporal, la señal retardada ya no es considerada válida para la adquisición, resultando en una carga registrada nula o significativamente reducida. Este análisis permite comprender mejor la relación entre sincronización de señales y eficiencia de adquisición, y resulta crucial para el ajuste fino del sistema en aplicaciones con detectores tipo RPC u otros con requisitos temporales estrictos.

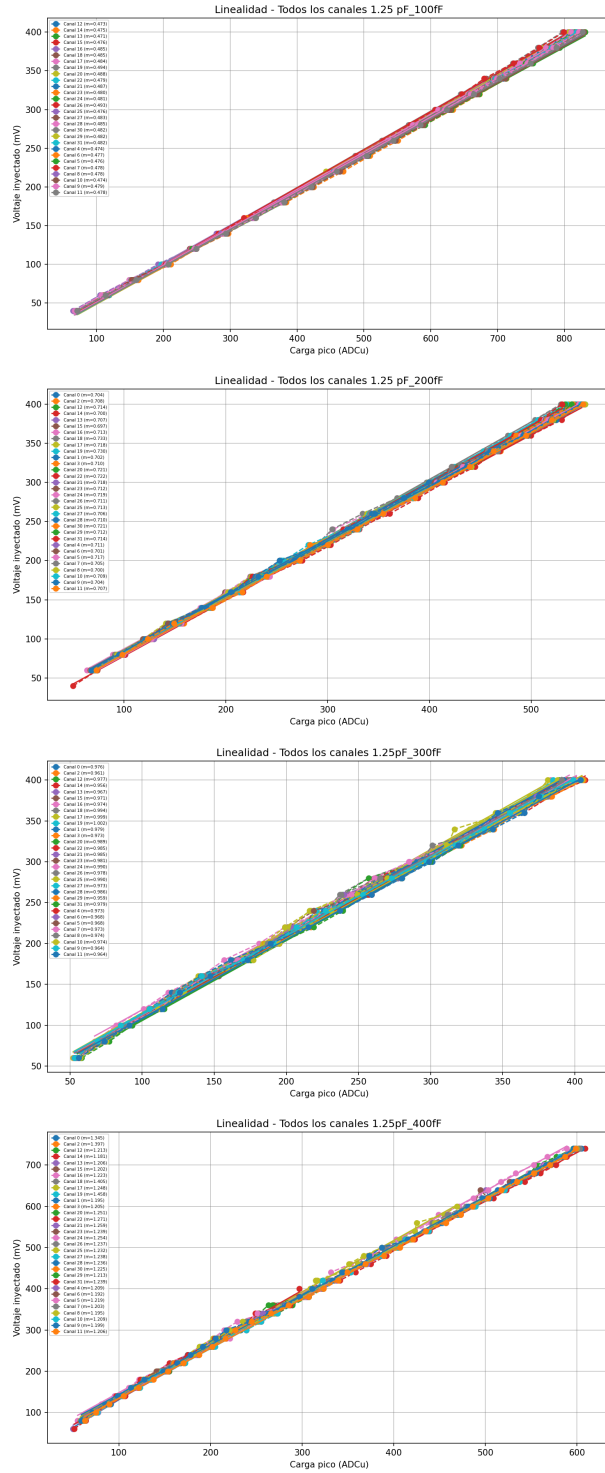


Figura 5.1: Linealidad de Carga para un rango de 0 a 400 mV, para las primeras 4 combinaciones de capacitores de 1.25pF 100fF-400fF.

5. RESULTADOS

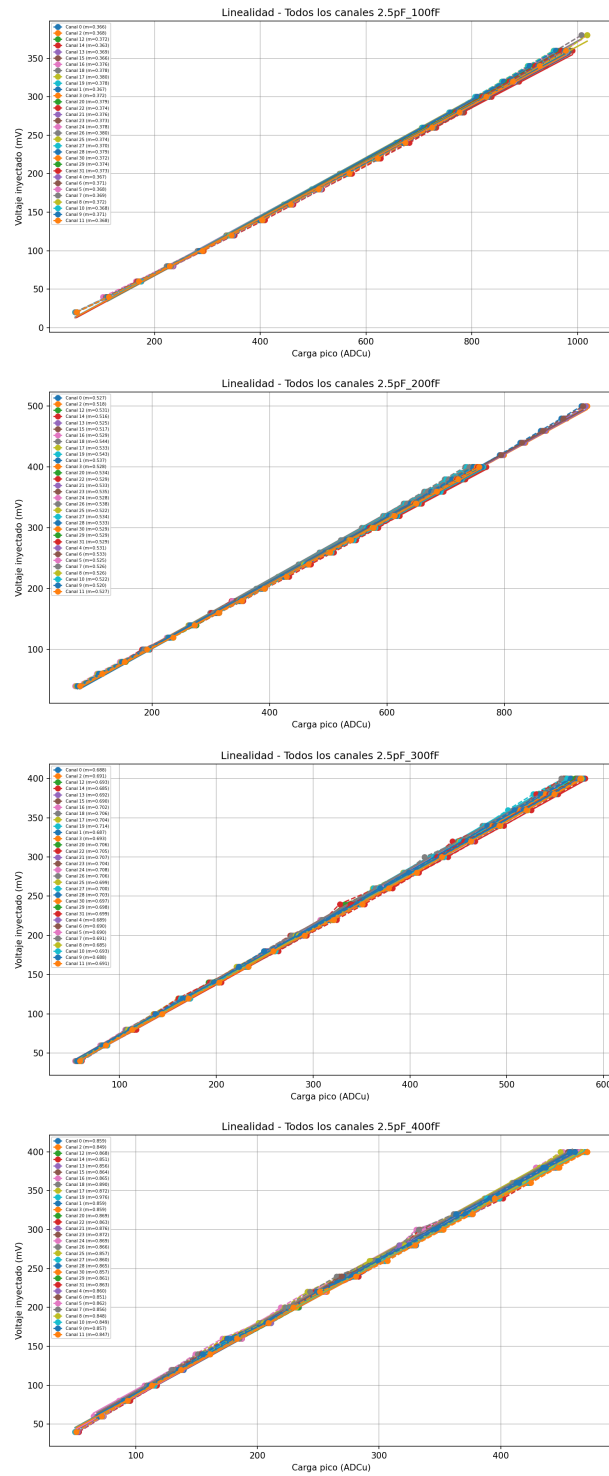


Figura 5.2: Linealidad de Carga para un rango de 0 a 400 mV, para las 4 combinaciones de capacitores de 2.5pF 100fF-400fF.

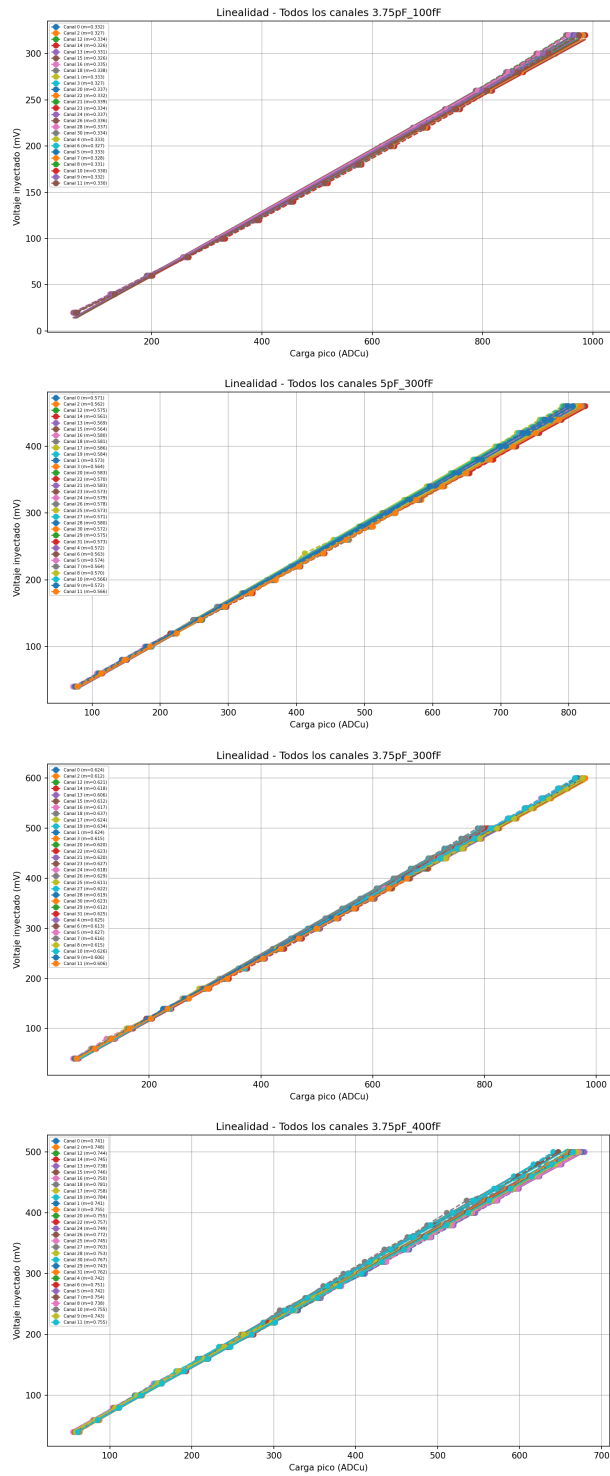


Figura 5.3: Linealidad de Carga para un rango de 0 a 400 mV, para las 4 combinaciones de capacitores de 3.75pF 100fF-400fF.

5. RESULTADOS

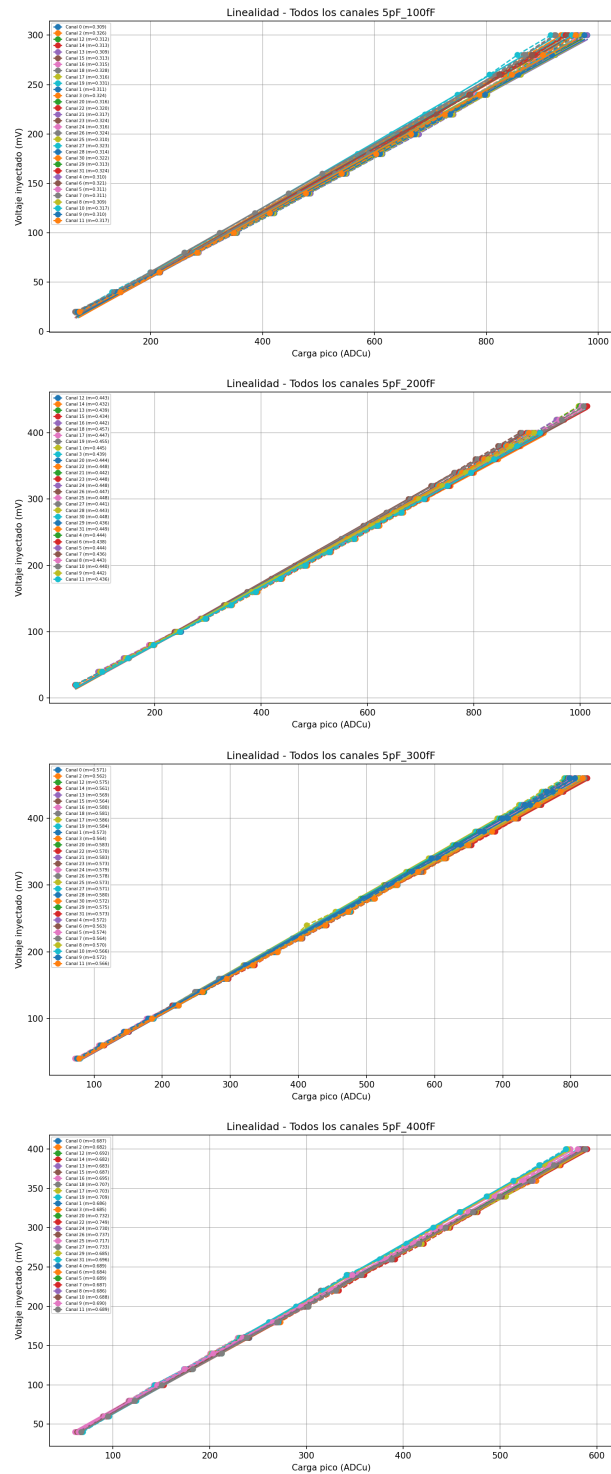


Figura 5.4: Linealidad de Carga para un rango de 0 a 400 mV, para las 4 combinaciones de capacitores de 5pF 100fF-400fF.

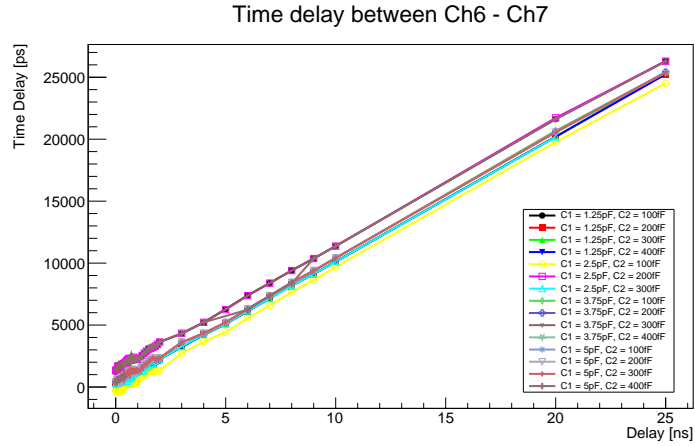


Figura 5.5: Linealidad de Tiempo, para las 16 combinaciones de capacitores, en la figura se observa el comportamiento lineal para los canales 6 y 7.

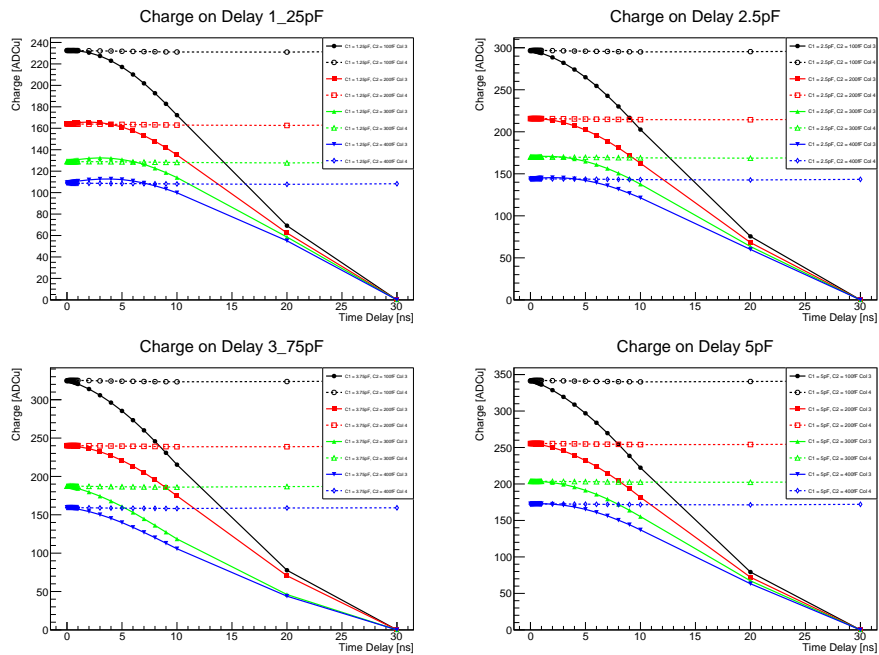


Figura 5.6: Comportamiento de la carga en presencia de un delay, se observa que para valores después de los 25 ns la carga pasa a ser considerado ruido o directamente presenta un ADC de 0.

5. RESULTADOS

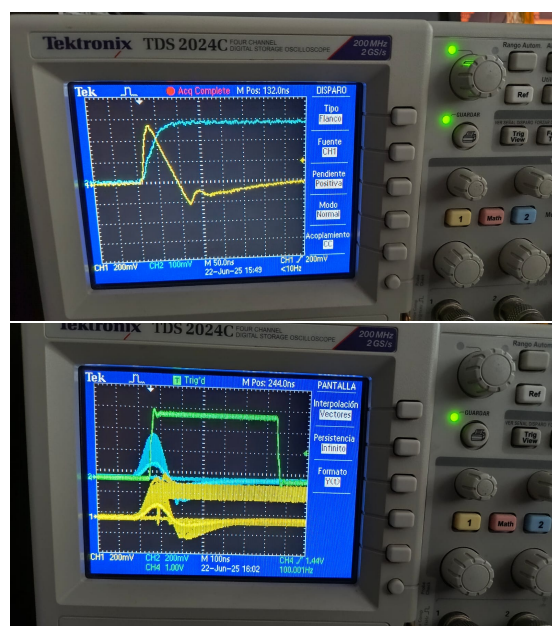


Figura 5.7: Shaper monitoreado por la salida analógica y digital de la placa. En una se puede observar la captura de la carga al dispararse un evento, en la otra se puede observar el acumulado para distintas amplitudes.

5.1.3. Configuración del Hold Scan

Como se mencionó en el capítulo anterior, uno de los parámetros fundamentales para la caracterización del sistema es el denominado Track/Hold, responsable de controlar el instante en que la señal moldeada por el Shaper CR-RC es retenida para su posterior digitalización.

Este parámetro define el Hold Delay y está asociado a un valor programable mediante un registro de 8 bits. A medida que se incrementa el valor de este registro, el sistema introduce un mayor retardo entre el momento en que la señal es moldeada y el instante en que se almacena la carga, afectando directamente el valor final leído por el convertidor ADC.

El ajuste óptimo del parámetro Track/Hold resulta esencial para garantizar una adquisición precisa y minimizar pérdidas de información, especialmente en señales rápidas o de bajo nivel.

La Petiroc2A ofrece la opción de realizar un ajuste del parámetro Hold Scan, utilizando para ello un reloj interno de sincronización. Sin embargo, en el contexto del presente trabajo, esta opción no resulta viable, ya que al conectarse al generador de funciones, dicho reloj incrementa el ancho del pulso hasta aproximadamente $1\mu s$, lo cual resulta perjudicial para el Shaper, debido a la aparición de fenómenos de undershooting que afectan la forma de la señal.

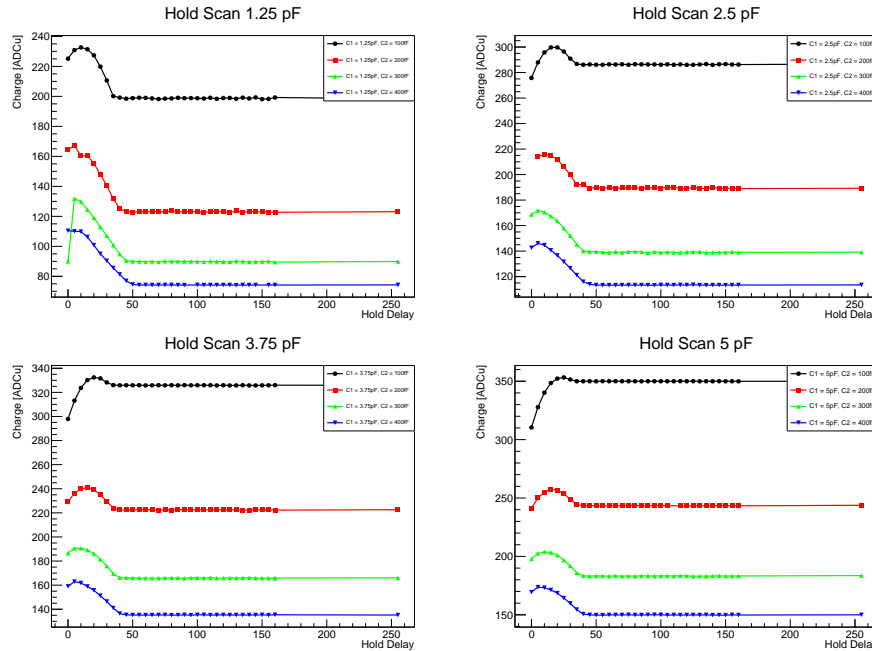


Figura 5.8: Comportamiento del Track/Hold de la carga en el Shaper CR-RC de la Petiroc2A, para las distintas combinaciones de capacitores.

Por esta razón, se optó por utilizar el generador de funciones para simular una señal típica de un PMT con un voltaje constante de 100mV , y se realizó un barrido manual de los 255 valores posibles del registro de 8 bits correspondiente al Hold Scan. A partir de estos datos, se obtuvieron las gráficas que permiten analizar el comportamiento del sistema frente a diferentes configuraciones del tiempo de retención de carga.

5.1.4. Adquisición de datos con detectores

Tras la caracterización completa del ASIC Petiroc2A, se procedió a la adquisición de datos utilizando el arreglo experimental descrito en el capítulo anterior.

Como primer paso, se realizó la medición de la eficiencia de detección de los dispositivos empleados, enfocándose particularmente en los detectores tipo RPC (Resistive Plate Chambers). Para ello, se varió el voltaje de operación entre 9kV y 11.4kV para ambas cámaras RPC.

Con el objetivo de acumular una estadística suficientemente representativa y facilitar el análisis del comportamiento típico de eficiencia, se programó una ventana de adquisición de una hora por voltaje.

A continuación, se presentan las gráficas correspondientes a los datos recopilados a partir del archivo de salida generado por la interfaz de usuario (UI) del Petiroc2A, operando en modo libre y utilizando exclusivamente el sistema de trigger y umbrales

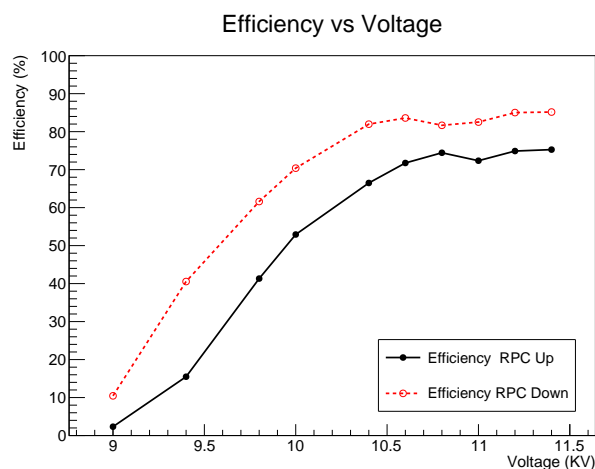


Figura 5.9: Gráfico del comportamiento de la eficiencia de las dos RPC con respecto a los centelladores de trigger.

internos del ASIC.

En los gráficos se analiza el comportamiento de los principales parámetros registrados: la carga, el FineTime, el CoarseTime y, finalmente, la diferencia temporal entre los dos detectores. Este análisis permite evaluar el desempeño del sistema en condiciones autónomas de adquisición, sin señales externas de sincronización, proporcionando una primera validación de la estabilidad temporal y de la integridad de los datos recolectados.

Tras realizar un barrido en la separación entre los detectores de centelleo, desde 20cm hasta 90cm , se observa un desplazamiento progresivo en la diferencia temporal registrada, atribuible directamente al incremento en la distancia entre los detectores.

En la Figura 5.5, se aprecia cómo la distribución temporal se recorre hacia la derecha, evidenciando el aumento en el tiempo de vuelo necesario para que una partícula alcance el segundo detector. Para resaltar este efecto con mayor precisión, en la Tabla 5.1 se presentan los valores correspondientes al tiempo medio registrado y a la resolución temporal para cada distancia.

Se observa una disminución progresiva en la diferencia de tiempos registrada entre eventos, así como un deterioro en la resolución temporal, lo cual se refleja en el aumento del valor del FWHM (Full Width at Half Maximum) de las distribuciones.

En el caso particular de los detectores tipo RPC, el comportamiento en modo libre presenta diferencias significativas con respecto a otros dispositivos, como los PMT. Debido a que las señales de las RPCs son mucho menores en amplitud (típicamente en el orden de decenas de milivoltios), y considerando que el sistema se encuentra operando con una ganancia de 40, cualquier evento que supere el umbral de tiempo (threshold) interno activa la adquisición de datos. Esto ocasiona que los datos obtenidos en este modo estén fuertemente contaminados por ruido, especialmente en condiciones en las

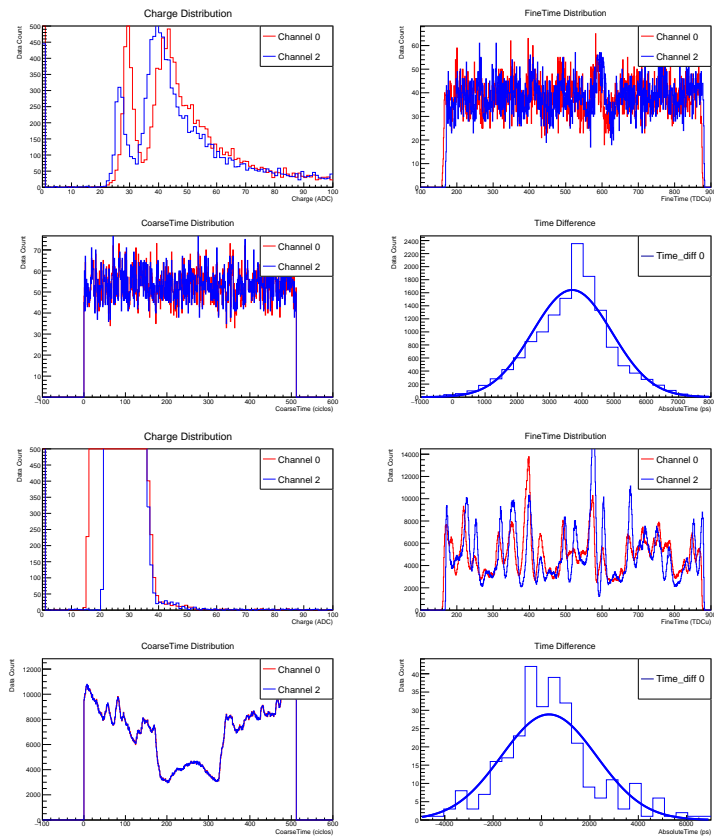


Figura 5.10: Gráficas de los datos adquiridos por la Petiroc2A de los detectores de centelleo. Se aprecia la diferencia en el comportamiento de todos los datos tanto en la carga como en tiempo para una diferencia de 50 [cm].

5. RESULTADOS

Separación [cm]	Mean [ps]	Sigma [ps]	FWHM
0	3707.63 \pm 10.42	1235.43 \pm 7.43	2.909
10	3073.64 \pm 56.05	1428.69 \pm 40.06	3.364
20	2685.21 \pm 70.95	1344.51 \pm 50.33	3.166
30	2322.50 \pm 70.90	1417.43 \pm 30.57	3.338
40	1933.73 \pm 55.88	1479.90 \pm 40.09	3.485
50	1729.71 \pm 71.74	1629.48 \pm 52.63	3.837
60	1207.04 \pm 79.71	1563.62 \pm 59.23	3.682
90	318.93 \pm 170.39	1966.85 \pm 111.34	4.631

Tabla 5.1: Valores de resolución temporal en función de la separación entre detectores de centelleo.

que no se impone una coincidencia o una lógica de validación externa.

La diferencia en la amplitud de señal entre los detectores empleados constituye una fuente clave de esta problemática: mientras que los PMT generan pulsos de gran amplitud, las RPCs producen señales significativamente más pequeñas, lo que aumenta la probabilidad de activaciones espurias debidas al ruido electrónico o de base.

No obstante, la arquitectura flexible del Petiroc2A permite invertir los roles de los detectores conectados. En este contexto, se decidió aplicar una etapa de amplificación adicional a las señales de las RPCs, con el objetivo de reducir la diferencia de ganancia entre los detectores de centelleo y las RPC.

Durante esta fase experimental, se identificó que la coincidencia temporal exacta entre señales no es estrictamente necesaria, ya que el análisis de la diferencia de tiempos de llegada permite compensar las discrepancias introducidas por factores como la distancia física entre detectores, diferencias electrónicas o longitud de los cables. De este modo, es posible reconstruir con precisión la información temporal relevante sin necesidad de una sincronización perfecta en hardware.

Para evidenciar este fenómeno, se llevó a cabo una adquisición continua de una hora, utilizando señales sin aplicar retardos adicionales entre salidas de detectores. En este caso, se permitió que la diferencia temporal registrada fuera atribuible únicamente a la separación física entre detectores y a las diferencias introducidas por el sistema de amplificación aplicado a las señales de las RPCs, compensadas parcialmente mediante cables de igual longitud en la etapa de adquisición.

Aunque los datos fueron adquiridos durante una hora, se puede observar claramente el desplazamiento de los picos en las distribuciones de las diferencias temporales.

Con esta nueva configuración, se procedió a una adquisición de datos durante un período extendido de *12 horas*, con el fin de medir con mayor precisión la resolución temporal de las cámaras RPC. A continuación, se presentan las gráficas correspondientes

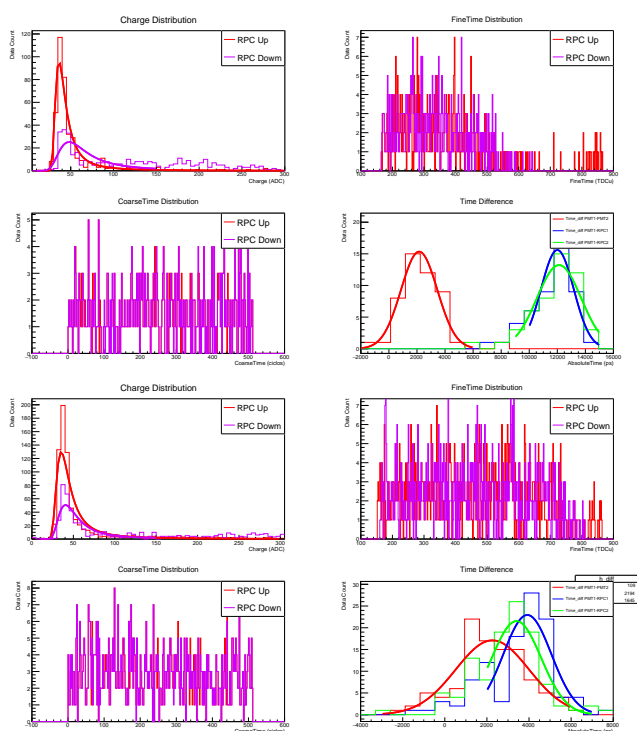


Figura 5.11: Arriba sin compensación temporal. Abajo: señales con compensación temporal

5. RESULTADOS

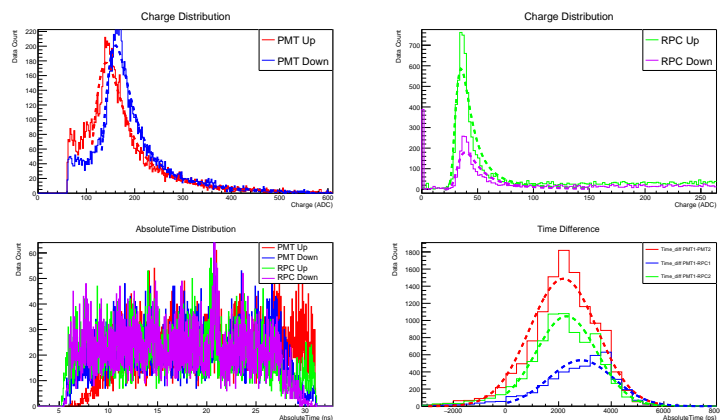


Figura 5.12: Analisis de carga para los PMTs y las RPCs y de diferencias temporales.

	Carga [ADCu]	Resolución Temporal [ns]
PMT Up	144.96 ± 0.48	
PMT Down	163.76 ± 0.41	3.01 ± 0.08
RPC Up	36.16 ± 0.11	2.91 ± 0.01
RPC Down	40.23 ± 0.24	2.71 ± 0.01

Tabla 5.2: Tabla de medidas de carga y resolución temporal para cada detector.

a la distribución de carga y tiempo para cada detector.

De este análisis los resultados para la carga y la resolución temporal se resumen en la tabla.

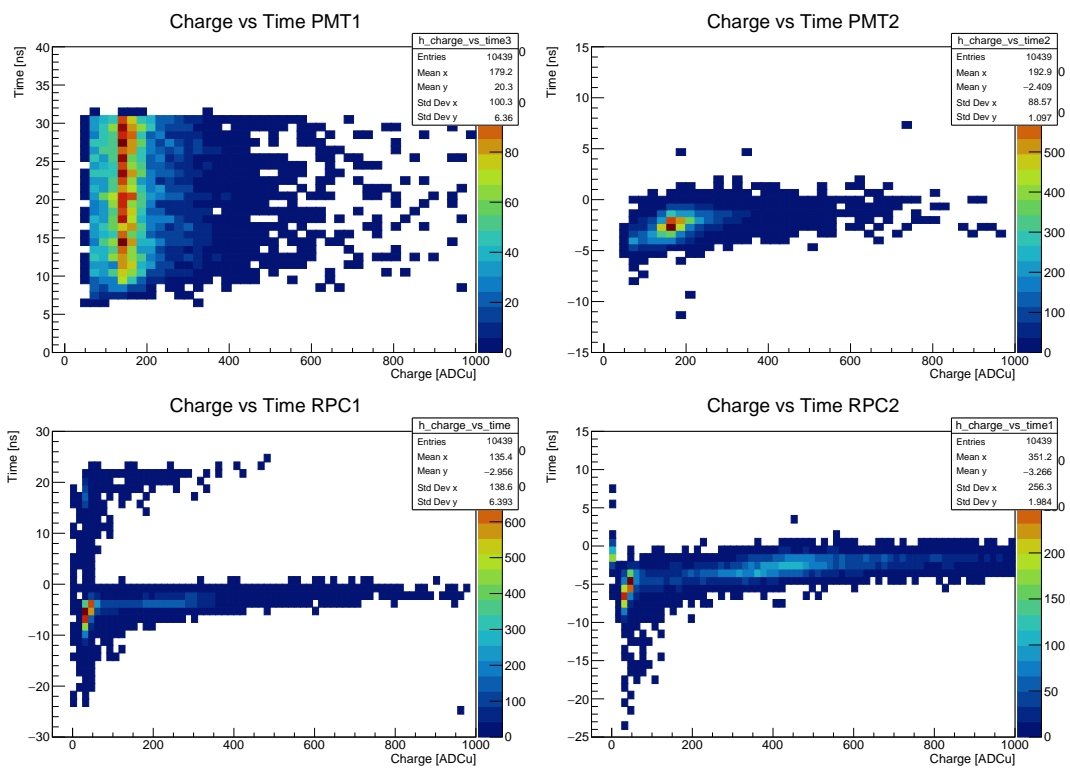


Figura 5.13: Análisis de Carga Vs Tiempo para ver el comportamiento del detector.

Capítulo 6

Conclusiones

Este trabajo ha logrado obtener datos relevantes sobre la caracterización del Petiroc2A para garantizar su correcto funcionamiento, comprendiendo cada uno de sus modos de operación de forma individual. Además, se ha comprobado que los resultados obtenidos con distintos modos de trigger son consistentes entre sí. A través del estudio de la caracterización del equipo, se han identificado tanto aciertos como falencias, lo que ha permitido corregir varios aspectos en los manuales, tesis y artículos relacionados con el uso del ASIC Petiroc2A.

Se ha caracterizado con éxito la respuesta y la configuración de control de la placa Petiroc2A (Weeroctest board). Se entendió cómo la placa convierte carga en tiempo mediante un TAC, logrando distinguir diferencias temporales del orden de los $36ps$, en un entorno controlado con un generador de funciones.

Se evaluó la eficiencia de dos RPCs conectadas simultáneamente al sistema, obteniéndose valores de 75.27% para la primera y 85.16% para la segunda. Además, se logró caracterizar la carga en unidades ADC, logrando diferenciar claramente el pedestal del pico de carga, tanto para las RPCs como para los PMT. A partir del estudio de la respuesta del sistema de adquisición, se identificaron modificaciones necesarias para que la placa pueda trabajar con más de un tipo de detector.

Se observó la respuesta ante cambios temporales causados por la electrónica de amplificación, discriminación y otros factores externos comunes en un laboratorio de física de partículas, como el uso de módulos NIM. La respuesta de la Petiroc2A demostró que es posible evitar la adición de cables de retardo a las salidas de las señales, ya que la placa, al contar con ventanas temporales de coincidencia de 10 ns para el trigger de tiempo y $200ns$ para el trigger de carga, reduce significativamente el ruido electrónico causado por malas conexiones o reflexiones.

Gracias a la ganancia de $40x$ de la Petiroc2A, para detectores de alta ganancia no es necesaria una etapa adicional de amplificación. Sin embargo, en el caso de los RPCs, se debe optar por una de dos soluciones: reducir la ganancia de la placa o añadir una etapa de amplificación. Para este estudio, se optó por agregar una etapa de amplificación a las RPCs.

Como perspectivas futuras, se tiene previsto reducir la ganancia de la Petiroc2A a

6. CONCLUSIONES

un valor de 5x, con el objetivo de evitar problemas de sobre-amplificación, los cuales ya han sido identificados y abordados mediante el uso de los distintos modos de adquisición de la propia placa. Además, se contempla la modificación de la placa para permitir la incorporación de hasta 4 chips.

El estudio de la respuesta de los detectores ha permitido explorar las limitaciones que presenta la placa con la configuración actual. Por lo tanto, será necesario realizar ajustes en la programación de la FPGA, lo que brindará mayor flexibilidad y permitirá optimizar el rendimiento del sistema en el futuro.

Bibliografía

- [1] Ablikim, M., An, Z., Bai, J., Berger, N., Bian, J., Cai, X., Cao, G., Cao, X., Chang, J., Chen, C., et al. (2010). Design and construction of the besiii detector. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 614(3):345–399. [13](#)
- [2] Aielli, G. (2001). *Advanced studies on RPCs*. PhD thesis, Rome U., Tor Vergata. [3](#)
- [3] Aubert, B., Bazan, A., Boucham, A., Boutigny, D., De Bonis, I., Favier, J., Gaillard, J.-M., Jeremie, A., Karyotakis, Y., Le Flour, T., et al. (2002). The babar detector. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, 479(1):1–116. [7](#)
- [4] Bheesette, S. (2009). Design and characterisation studies of resistive plate chambers. *PhD thesis, Indian Inst. Tech.* [14](#)
- [5] Bossu, F., Gagliardi, M., Marchisone, M., Collaboration, A., et al. (2012). Performance of the rpc-based alice muon trigger system at the lhc. *Journal of Instrumentation*, 7(12):T12002.
- [6] Judd, D. and Wright, D. (1997). Final report for the 1996 doe grant supporting research at the slac/lbnl/llnl b factory. Technical report, Prairie View A and M Univ., TX (United States). Dept. of Physics.
- [7] Magatti, D. (2021). *Characterization of RPC detectors operated with new eco friendly gas mixtures*. PhD thesis, Universita & INFN, Milano-Bicocca (IT).
- [8] Measurement Computing Corporation (2001). *Data Acquisition Handbook*. Measurement Computing Corporation. Accessed: 2025-07-03.
- [9] Pugliese, G. (2006). The rpc system for the cms experiment. In *2006 IEEE Nuclear Science Symposium Conference Record*, volume 2, pages 822–826. IEEE.
- [10] Santonico, R. (1996). Topics in resistive plate chambers. In *Proceeding of the International Workshop on Resistive Plate Chambers and Related Detectors, Sci. Acta XI (1)*, volume 1.