



**BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA**  
**FACULTAD DE CIENCIAS DE LA ELECTRÓNICA**  
**MAESTRÍA EN INGENIERÍA ELECTRÓNICA, OPCIÓN**  
**INSTRUMENTACIÓN ELECTRÓNICA**

Tesis para obtener el grado de

**MAESTRO EN INGENIERÍA ELECTRÓNICA**

---

**"CONVERTIDOR ADC DE BAJO CONSUMO DE  
POTENCIA PARA SISTEMAS DE COMUNICACIONES  
MÓVILES 4G"**

---

Presenta:

**Lic. Vicente Yair Ponce Hinestroza\***

*Directores*

*Dr. Víctor Rodolfo González Díaz*

*Dra. Josefina Castañeda Camacho*

\*Becario CONACYT

Puebla, Pue., Noviembre 2018



---

# Tabla de Contenido

Abreviaciones, siglas y acrónimos	X
<b>Introducción</b>	<b>XII</b>
Objetivos . . . . .	XIII
Objetivo general . . . . .	XIII
Objetivos específicos . . . . .	XIII
Justificación . . . . .	XIV
Organización de la tesis . . . . .	XIV
<b>1. El convertidor A/D en el sistema de comunicaciones 4G</b>	<b>1</b>
1.1. El receptor digital 4G . . . . .	1
1.2. El convertidor A/D ideal . . . . .	2
1.2.1. Muestreo . . . . .	4
1.2.1.1. Teorema de Nyquist . . . . .	5
1.2.2. Cuantificación . . . . .	5
1.2.3. Codificación . . . . .	5
1.3. Especificaciones de los convertidores A/D . . . . .	6
1.3.1. Tipos . . . . .	6
1.3.1.1. Convertidores de tasa de Nyquist . . . . .	6
1.3.1.1.1. Convertidor flash: . . . . .	6
1.3.1.1.2. Convertidor pipeline: . . . . .	7
1.3.1.2. Convertidores de sobremuestreo . . . . .	7
1.3.1.2.1. Convertidor sigma-delta: . . . . .	7
1.3.2. Especificaciones estáticas . . . . .	8
1.3.2.1. Monotonicidad . . . . .	8
1.3.2.2. Offset . . . . .	8
1.3.2.3. Error de ganancia . . . . .	9
1.3.2.4. No linealidad diferencial (DNL) . . . . .	9
1.3.2.5. No linealidad integral (INL) . . . . .	10
1.3.3. Especificaciones dinámicas . . . . .	11
1.3.3.1. Relación señal a ruido . . . . .	11

1.3.3.2.	Relación señal a ruido y distorsión . . . . .	11
1.3.3.3.	Rango dinámico . . . . .	12
1.3.3.4.	Número efectivo de bits . . . . .	12
<b>2.</b>	<b>Especificaciones del ADC para 4G</b>	<b>13</b>
2.1.	Estándares de comunicación 4G . . . . .	13
2.1.1.	Estándar IEEE 802.16 . . . . .	13
2.1.2.	Estándar IEEE 802.11 . . . . .	14
2.1.3.	3GPP Evolución a largo plazo (LTE) . . . . .	14
2.1.4.	5G: primeras especificaciones . . . . .	14
2.2.	Parámetros de desempeño del sistema de comunicaciones . . . . .	15
2.2.1.	Capacidad de canal . . . . .	15
2.2.2.	Probabilidad de error (SER) . . . . .	16
2.3.	Definición de parámetros de diseño del convertidor A/D . . . . .	17
2.3.1.	Parámetros de diseño del convertidor A/D . . . . .	17
2.3.1.1.	Resolución . . . . .	17
2.3.1.2.	Frecuencia de muestreo . . . . .	17
2.3.1.3.	Tiempo de adquisición . . . . .	17
2.3.1.4.	Tiempo de conversión . . . . .	17
2.3.1.5.	Parámetros de diseño . . . . .	18
2.3.2.	Arquitecturas de convertidores A/D en comunicaciones 4G . . . . .	19
2.3.2.1.	Convertidor A/D Sigma-Delta: ventajas y desventajas . . . . .	19
2.3.2.2.	Convertidor A/D Pipeline: ventajas y desventajas . . . . .	20
<b>3.</b>	<b>Arquitectura pipeline</b>	<b>22</b>
3.1.	Convertidor A/D pipeline . . . . .	22
3.2.	MDAC de 1.5 bits . . . . .	24
3.3.	SubADC de 1.5 bits . . . . .	25
3.4.	Conformación de palabra digital . . . . .	25
3.5.	Reloj sin traslape . . . . .	26
3.6.	Ejemplo de funcionamiento con un ADC Pipeline de 4 bits . . . . .	27
<b>4.</b>	<b>Modelado comportamental del convertidor A/D pipeline</b>	<b>29</b>
4.1.	Modelo en MATLAB/Simulink . . . . .	29
4.1.1.	Plataforma de evaluación OFDM . . . . .	33
4.1.2.	Resultados . . . . .	34
4.2.	Modelo en Verilog-AMS . . . . .	38
4.2.1.	Bloques básicos . . . . .	40
4.2.1.1.	Switch . . . . .	40
4.2.1.2.	Comparador . . . . .	40

4.2.1.3.	Multiplexor analógico . . . . .	40
4.2.1.4.	Compuertas lógicas: NAND, NOT, XOR . . . . .	41
4.2.1.5.	Conformación de palabra digital . . . . .	41
4.2.1.6.	Codificador binario-decimal . . . . .	41
4.2.2.	Etapa de 1.5 bits . . . . .	42
4.2.2.1.	subADC de 1.5 bits . . . . .	42
4.2.2.2.	MDAC de 1.5 bits . . . . .	43
4.2.3.	Reloj del sistema . . . . .	45
4.2.4.	Resultados . . . . .	45
<b>5.</b>	<b>Diseño a nivel transistor</b>	<b>48</b>
5.1.	Tecnología CMOS de 180nm . . . . .	48
5.2.	Diseño electrónico CMOS . . . . .	49
5.3.	Elementos básicos . . . . .	50
5.3.1.	Compuertas digitales . . . . .	50
5.3.1.1.	NOT . . . . .	51
5.3.1.2.	NAND . . . . .	52
5.3.1.3.	XOR . . . . .	52
5.3.2.	Comparador dinámico . . . . .	53
5.3.3.	Multiplexor analógico . . . . .	54
5.3.4.	Switch analógico . . . . .	56
5.3.5.	Generador de fases complementarias . . . . .	57
5.3.6.	Amplificador Operacional . . . . .	57
5.4.	Etapa de 1.5 bits . . . . .	60
5.5.	Resultados . . . . .	62
	<b>Conclusiones y trabajo a futuro</b>	<b>66</b>
	<b>Bibliografía</b>	<b>68</b>
	<b>Apéndices</b>	<b>72</b>
A.	Modelos en Verilog-AMS . . . . .	72
A.1.	Modelos analógicos . . . . .	72
A.1.1.	Switch . . . . .	72
A.1.2.	Comparador . . . . .	72
A.1.3.	Multiplexor analógico . . . . .	73
A.1.4.	Compuerta NOT . . . . .	73
A.1.5.	Compuerta NAND . . . . .	74
A.1.6.	Compuerta XOR . . . . .	74
A.2.	Modelos digitales . . . . .	75

---

A.2.1. Conformación digital . . . . .	75
A.3. Modelos auxiliares . . . . .	78
A.3.1. Convertidor binario-decimal . . . . .	78
B. Formula de SNR para convertidores: deducción . . . . .	79
C. Dimensiones y/o valores . . . . .	81
<b>Anexos</b>	<b>83</b>
A. Estancia de investigación en el extranjero . . . . .	83
B. Publicaciones . . . . .	83

---

# Índice de Figuras

1.1.	Diagrama de bloques de un receptor OFDM. . . . .	2
1.2.	Diagrama de bloques de un ADC. . . . .	3
1.3.	Función de transferencia del ADC ideal. . . . .	3
1.4.	Diagrama de bloques de las funciones básicas de un ADC. . . . .	4
1.5.	Respuesta en tiempo de un circuito S/H. . . . .	4
1.6.	Muestreo impulsional de una señal. . . . .	5
1.7.	Convertidor flash. . . . .	7
1.8.	Convertidor pipeline. . . . .	7
1.9.	Convertidor sigma-delta de segundo orden. . . . .	8
1.10.	Función de transferencia con offset. . . . .	9
1.11.	Función de transferencia con error de ganancia. . . . .	9
1.12.	Función de transferencia con no linealidad diferencial. . . . .	10
1.13.	Función de transferencia con no linealidad integral. . . . .	10
2.1.	Capacidad de canal contra SNR. . . . .	16
2.2.	Aplicaciones de los convertidores; resolución contra ancho de banda. . . . .	19
2.3.	Arquitecturas: resolución contra frecuencia de muestreo. . . . .	20
2.4.	Arquitecturas: FoM contra frecuencia de muestreo. . . . .	21
3.1.	Diagrama de bloques de la arquitectura pipeline. . . . .	23
3.2.	Escalamiento de las etapas. . . . .	23
3.3.	Circuito MDAC genérico de 1.5 bits. . . . .	24
3.4.	Residuo del MDAC de 1.5 bits. . . . .	25
3.5.	Fases de reloj sin traslape. . . . .	27
3.6.	Diagrama de bloques de ADC pipeline de 4-bits. . . . .	27
4.1.	Diagrama de bloques de la arquitectura pipeline. . . . .	30
4.2.	Contenido de una etapa. . . . .	30
4.3.	Modelo del bloque S/H. . . . .	30
4.4.	Modelo del bloque ADC de 1.5 bits. . . . .	31
4.5.	Modelo del bloque de conformación de palabra digital. . . . .	31

4.6.	Respuesta del convertidor a una entrada senoidal. . . . .	32
4.7.	Densidad espectral de potencia. . . . .	32
4.8.	Efecto del canal en sistema mono y multiportadora. . . . .	33
4.9.	Transmisor OFDM. . . . .	34
4.10.	Plataforma de evaluación OFDM. . . . .	35
4.11.	Señal OFDMA en el dominio del tiempo. . . . .	36
4.12.	Señal OFDM discreta transmitida y recibida en banda base. . . . .	37
4.13.	Constelación de la señal OFDM recibida con modelo ideal de ADC. . . . .	37
4.14.	Constelación de la señal OFDM recibida con modelo no ideal de ADC. . . . .	38
4.15.	Circuito esquemático del ADC de 12 bits. . . . .	39
4.16.	Símbolo y comportamiento del módulo switch. . . . .	40
4.17.	Símbolo y comportamiento del módulo comparador. . . . .	40
4.18.	Símbolo y comportamiento del módulo multiplexor. . . . .	41
4.19.	Símbolo del módulo de conformación digital. . . . .	41
4.20.	Símbolo del módulo de conversión binaria a decimal. . . . .	42
4.21.	Circuito esquemático de una etapa de 1.5 bits. . . . .	42
4.22.	Circuito esquemático del ADC de 1.5 bits. . . . .	43
4.23.	Circuito esquemático del MDAC de 1.5 bits. . . . .	44
4.24.	Circuito esquemático del generador de reloj. . . . .	45
4.25.	Fases sin solapamiento del generador de reloj. . . . .	45
4.26.	Residuo de las dos primeras etapas a una entrada triangular. . . . .	46
4.27.	Respuesta en tiempo a entrada senoidal. . . . .	46
4.28.	Respuestas en frecuencia del ADC. . . . .	47
5.1.	Proceso de diseño. . . . .	50
5.2.	Lógica MOS complementaria. . . . .	51
5.3.	Esquemático, símbolo y respuesta de la compuerta NOT. . . . .	51
5.4.	Esquemático, símbolo y respuesta de la compuerta NAND. . . . .	52
5.5.	Esquemático, símbolo y respuesta de la compuerta XOR. . . . .	53
5.6.	Esquemático, símbolo y respuesta del comparador dinámico . . . . .	54
5.7.	Esquemático, símbolo y respuesta del multiplexor analógico . . . . .	55
5.8.	Esquemático y respuesta del switch analógico . . . . .	56
5.9.	Generador de fases complementarias. . . . .	57
5.10.	Esquemático del amplificador de dos etapas. . . . .	58
5.11.	Respuesta en frecuencia del amplificador de dos etapas. . . . .	59
5.12.	Esquemático del amplificador con compensación. . . . .	59
5.13.	Respuesta en frecuencia del amplificador con compensación. . . . .	59
5.14.	Esquemático de una etapa de 1.5 bits. . . . .	60
5.15.	Modo S/H de la etapa. . . . .	61

---

5.16. Señales internas de la etapa. . . . .	61
5.17. Respuesta en tiempo del convertidor A/D. . . . .	62
5.18. Densidad espectral de potencia del convertidor A/D. . . . .	62
5.19. Consumo de corriente y potencia. . . . .	63
5.20. Posición global del ADC diseñado. . . . .	64
B.1. Error de cuantificación ideal de un ADC. . . . .	79
B.2. Función aproximada del error de cuantificación. . . . .	79

---

# Índice de tablas

2.1. Anchos de banda permitidos de la norma IEEE 802.16. . . . .	13
2.2. SNR según la modulación de la señal transmitida en IEEE 802.16. . . . .	14
2.3. Anchos de banda permitidos de la norma 3GPP LTE. . . . .	14
2.4. Trabajos similares. . . . .	18
2.5. Parámetros mínimos de diseño. . . . .	18
2.6. Comparación de arquitecturas. . . . .	20
3.1. Cálculo del residuo. . . . .	24
3.2. Respuesta del ADC de 1.5 bits. . . . .	25
3.3. Algoritmo de conformación de palabra digital. . . . .	26
3.4. Ejemplo del algoritmo de conformación de palabra digital. . . . .	26
4.1. Respuesta del DAC. . . . .	31
4.2. Corrección de error burbuja. . . . .	43
4.3. Respuesta del multiplexor del MDAC. . . . .	43
5.1. Parámetros físicos del proceso CMOS de 180nm. . . . .	49
5.2. Parámetros del ADC diseñado. . . . .	64
5.3. Comparación con convertidores para sistemas de comunicaciones. . . . .	65

---

# Abreviaciones, siglas y acrónimos

$\Sigma\Delta$ : Sigma-Delta

3GPP: 3rd Generation Partnership Project

A/D: Analog to Digital

ADC: Analog to Digital Converter

CMOS: Complementary Metal Oxide Semiconductor

DNL: Differential Nonlinearity

DR: Dynamic Range

ENoB: Effective number Of Bits

FPB: Filtro Pasa Bajas

FS: Full Scale

FoM: Figure of Merit

GBW: Gain-Bandwidth Product

IEEE: Institute of Electrical and Electronics Engineers

INL: Integral Nonlinearity

LSB: Least Significant Bit

LTE: Long Term Evolution

OFDMA: Orthogonal Frequency-Division Multiple Access

Op-Amp: Operational Amplifier

PAM: Pulse Amplitude Modulation

QAM: Quadrature Amplitude Modulation

S/H: Sample and Hold

SAR: Successive Approximation Register

SHA: Sample and Hold and Amplifier

SNDR: Signal to Noise and Distortion Ratio

SNR: Signal to Noise Ratio

ppm: Partes Por MillÅşn

---

# Introducción

La creciente adopción de los procesos CMOS en la producción de convertidores de datos de alto desempeño para sistemas inalámbricos ha impulsado las comunicaciones digitales. La alta escalabilidad de los procesos CMOS han permitido dramáticas mejoras en términos de costo y consumo de potencia en el procesamiento digital.

Además, la creciente demanda de una mayor velocidad de transmisión de los datos, combinada con el incremento de procesadores digitales de señales de alto desempeño han conducido el hecho de que los fabricantes de sistemas de comunicaciones diseñen soluciones con amplios anchos de banda. Sin lugar a dudas, esto ha provocado que los convertidores de datos se vuelvan el cuello de botella de estos sistemas.

De hecho, uno de los principales desafíos de esta búsqueda radica en el hecho de que el movimiento de la frontera entre el medio analógico y el digital hacia frecuencias más altas o anchos de banda más amplios producen aumentos dramáticos en el consumo de energía para realizar la conversión. Por tanto, hay un gran reto para los diseñadores de transceptores, hacer circuitos digitales y analógicos eficientes en potencia [1][2].

En el lado del transmisor es necesario un convertidor digital-analógico mientras que en el lado del receptor es necesario uno analógico-digital. Lo más crítico en la elección de estos convertidores es que la relación señal a ruido no debe degradarse y que el convertidor no debe introducir señales espurias o distorsión. Dependiendo del sistema de comunicaciones, los requerimientos del convertidor varían drásticamente [3].

El convertidor de datos es una pieza clave en un receptor digital para sistemas de comunicaciones, el diseño adecuado del ADC es crítico para optimizar el desempeño del sistema. Es importante conocer que factores de diseño llevan a la mejor elección del convertidor [4].

Este trabajo de tesis está motivado en la problemática expuesta anteriormente y tiene como propósito explorar la arquitectura del convertidor ADC pipeline que se ha utilizado de forma reciente en sistemas de alta velocidad.

## **Objetivos**

### **Objetivo general**

Diseñar un convertidor analógico digital ADC que cumpla con las especificaciones de los sistemas de comunicaciones móviles 4G en alta frecuencia.

### **Objetivos específicos**

- Estudiar las especificaciones relativas a los requerimientos de los ADC en los sistemas de comunicaciones 4G con base en la norma IEEE 802.11 y 802.16.
- Definir los parámetros de diseño fundamentales del sistema de comunicaciones 4G en función de los cuales se fijarán algunos de los requerimientos del ADC.
- Elegir la arquitectura ADC apropiada tomando en cuenta los parámetros de diseño fundamentales del sistema de comunicaciones.
- Diseñar el ADC en un proceso CMOS de 180nm y caracterizar su resolución efectiva.
- Validar el correcto funcionamiento del ADC en un sistema de comunicaciones 4G.

## Justificación

La llegada del cómputo digital junto con el continuo escalamiento de los dispositivos CMOS, han llevado a un rápido crecimiento de la teoría y aplicaciones del procesamiento digital de señales. Con el fin de aprovechar el incremento en velocidad, complejidad e integración de los dispositivos, los convertidores de datos son necesarios para asegurar la máxima fidelidad cuando hay un cambio entre el dominio analógico y digital. Producto de este crecimiento tecnológico son los sistemas de comunicaciones modernos [5].

Según el Instituto Federal de Telecomunicaciones, las comunicaciones actuales atienden a 110 millones de usuarios solo en México y en su mayoría manejan altas tasas de transmisión de datos [6]. Se prevé un incremento considerable en el número de suscriptores a la red de comunicaciones en los próximos años, lo que provocará un aumento del uso del espectro de radio frecuencia para lograr darle servicio a todos. En consecuencia, resulta importante el desarrollo y optimización de estos sistemas. De hecho, un requerimiento fundamental para lograr tal objetivo consiste en el diseño de convertidores de alta velocidad, alta precisión, bajo consumo de potencia y amplio ancho de banda debido a que los convertidores existentes no cumplen con las características requeridas, son muy costosos o consumen una gran cantidad de potencia [7].

En esta tesis se plantea el diseño de un convertidor analógico-digital para sistemas de comunicaciones de cuarta generación (4G) basado en las normas IEEE 802.11 y 802.16 que cumpla con las características mínimas requeridas y mejore el uso de energía ya que está pensado para dispositivos que trabajen con baterías donde el bajo consumo de potencia es crucial.

## Organización de la tesis

En el Capítulo 1 se presentan fundamentos teóricos necesarios para la gestión de las especificaciones de un ADC en un transmisor.

En el Capítulo 2 se presenta el análisis realizado para determinar las especificaciones de diseño y la topología del convertidor, se estudian las normas y el estado del arte.

En el Capítulo 3 y 4 se presenta una descripción detallada de la arquitectura pipeline, su principio de funcionamiento, así como parámetros clave de diseño, también se presentan los modelos desarrollados para la evaluación y comprensión del ADC a diseñar en este trabajo.

En el Capítulo 5 se presenta el diseño CMOS del convertidor y cada una de sus partes a nivel transistor y se evalúa su desempeño.

Por último en el Capítulo 6 se presentan las conclusiones y el trabajo a futuro.

---

# Capítulo 1

## El convertidor A/D en el sistema de comunicaciones 4G

En este Capítulo se presenta la importancia y el papel que juega el convertidor analógico-digital en un sistema de comunicaciones, posteriormente, se describe el convertidor de datos ideal, los tipos de convertidores y los métodos de caracterización más utilizados.

### 1.1. El receptor digital 4G

La multiplexación por división de frecuencia ortogonal (OFDM, por sus siglas en inglés) ha sido uno de los esquemas de radio más utilizados en todo tipo de comunicaciones fue adoptado por múltiples estándares para sistemas de comunicaciones, desde sistemas cableados como DSL hasta sistemas inalámbricos como WiFi y LTE. Se considera la mejor opción para comunicaciones punto a punto y downlink (enlace de estación base a usuario). Ofrece una complejidad pequeña y tiene una buena eficiencia de ancho de banda. La baja complejidad de OFDM es una consecuencia del hecho de que cada símbolo OFDM es sintetizado como la sumatoria de diferentes tonos puros modulados [8].

El diagrama de bloques de un receptor digital OFDM o 4G simple se muestra en la Figura 1.1, después de la traslación en frecuencia de la señal de entrada y el filtro pasa bajas, la señal se encuentra en banda base, pero sigue siendo continua en tiempo. El convertidor analógico-digital (ADC por sus siglas en inglés) convierte la señal analógica en símbolos de tiempo discreto, ambos en banda base. El convertidor serial a paralelo ensambla los símbolos entrantes en grupos de símbolos OFDM, cada símbolo OFDM consiste de  $K$  símbolos y  $G$  símbolos de prefijo cíclico. Después de quitar los  $G$  símbolos de prefijo cíclico, los  $K$  símbolos restantes entran al bloque de transformada de Fourier, el cual transforma los  $K$  símbolos en el dominio del tiempo a  $K$  símbolos en el dominio de la frecuencia. El ecualizador corrige el símbolo de datos correspondiente en cada

subportadora y reduce los efectos de canal, el detector en cada ruta recupera el símbolo de datos transmitido por la subportadora. Finalmente, el convertidor paralelo a serial reordena los  $K$  símbolos paralelos de datos en una sola cadena de datos siendo estos la información recuperada [9].

Todos los bloques del sistema son de gran importancia, sin embargo, el convertidor A/D es crucial debido a que representa un cuello de botella en el desempeño global del sistema. Su importancia radica en el hecho de que es uno de los primeros bloques del receptor, que interactúa directamente con la señal recibida extrayendo información. De hecho, es la interfaz entre el dominio analógico y digital en los sistemas de comunicaciones 4G. Un mal diseño o características insuficientes implicarían la recuperación errónea de la información transmitida.

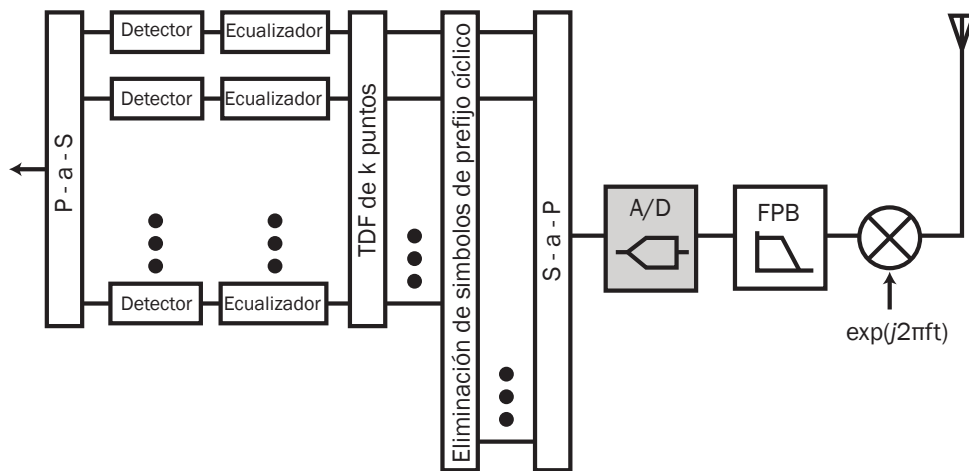


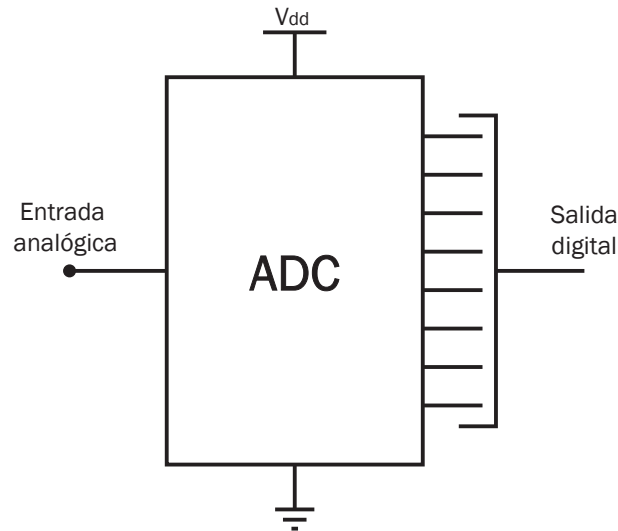
Figura 1.1: Diagrama de bloques de un receptor OFDM.

## 1.2. El convertidor A/D ideal

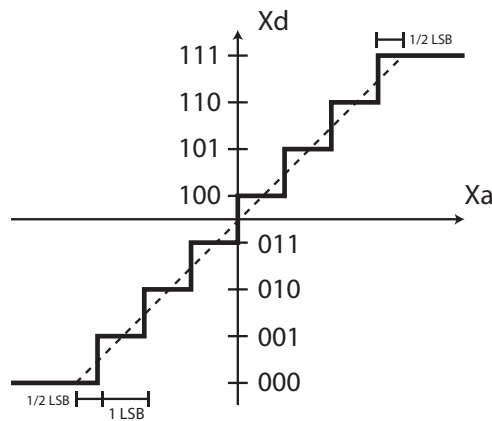
El convertidor A/D visto como una caja negra, como se muestra en la Figura 1.2, toma una señal de entrada usualmente de voltaje o corriente y la convierte en una señal de salida digital. La señal digital es una representación codificada de la señal analógica usando  $N$  bits [3].

El mapeo de entrada-salida para un convertidor A/D ideal es una escalera uniforme como se muestra en la Figura 1.3. El ancho del paso está definido como  $1LSB$  (Least Significant Bit, bit menos significativo) el cual es usado a menudo como la unidad de medida en las especificaciones estáticas del convertidor. También, es una medida de la resolución del convertidor ya que define el número de divisiones o unidades del rango analógico completo. Por tanto,  $\frac{1}{2}LSB$  representa una cantidad analógica igual a la mitad de la resolución analógica [10].

La resolución de un convertidor A/D es expresada como el número de bits en su salida



**Figura 1.2:** Diagrama de bloques de un ADC.

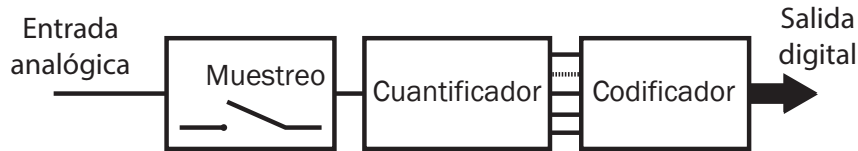


**Figura 1.3:** Función de transferencia del ADC ideal.

digital. Por ejemplo, un convertidor A/D con  $N$  bits de salida tiene  $2^N$  códigos digitales posibles. Sin embargo, como el primer y el último paso solo son de la mitad del ancho, el rango de escala completa (FSR, Full-Scale Range) es dividido entre  $2^N - 1$  segmentos, por lo que [10]:

$$1LSB = \frac{FSR}{2^N - 1} \quad (1.1)$$

Un convertidor transforma una señal continua en el tiempo y en amplitud en otra señal discreta en tiempo y cuya amplitud está cuantificada y codificada, generalmente como un código binario [11]; la operación básica de un convertidor A/D puede ser separada entonces como la cascada de las 3 funciones de la Figura 1.4 [12].



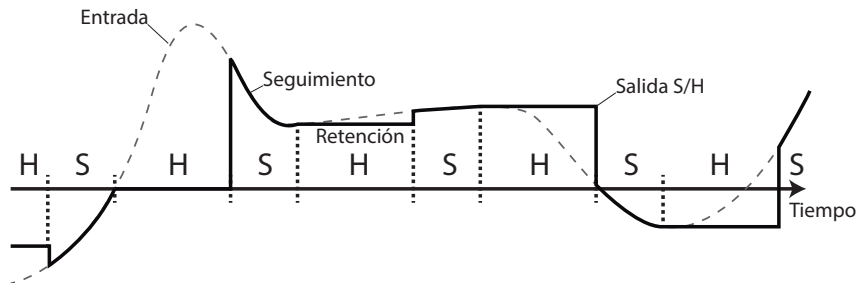
**Figura 1.4:** Diagrama de bloques de las funciones básicas de un ADC.

### 1.2.1. Muestreo

El muestreo de una señal analógica se realiza mediante un circuito de muestreo y retención (S/H, sample-and-hold) consiste básicamente en un interruptor y un elemento de almacenamiento de voltaje o corriente.

El circuito S/H es un circuito analógico controlado digitalmente, que sigue a la señal de entrada analógica durante el muestreo, y luego mantiene fijo el valor instantáneo de la señal, durante la retención, hasta el instante en que el sistema vuelve a entrar a modo de muestreo, la Figura 1.5 ilustra la respuesta en el dominio del tiempo de un circuito S/H ideal.

Matemáticamente se puede ver como la multiplicación de la señal de entrada por un tren de pulsos rectangulares unitarios.



**Figura 1.5:** Respuesta en tiempo de un circuito S/H.

Un convertidor A/D ideal hace un muestreo impulsional o ideal, el cual, a diferencia del muestreo con retención solo toma el valor de la señal de entrada en un impulso. Matemáticamente se puede ver como la multiplicación de la señal de entrada por un tren de impulsos unitarios como se muestra en la ecuación 1.1 [13].

$$y(n) = x(t) \cdot \delta(t - nTs) \quad (1.1)$$

donde  $Ts$  es el periodo de muestreo. En la Figura 1.6 se muestra la respuesta del muestreador ideal en el dominio del tiempo. Para prevenir aliasing o traslape frecuencial, después de muestrear una señal analógica, es necesario cumplir con el teorema de Nyquist.

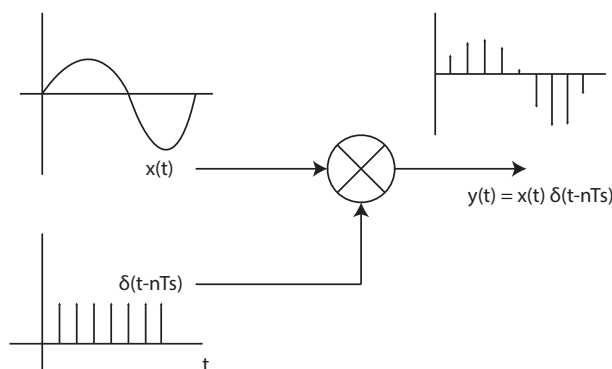


Figura 1.6: Muestreo impulsional de una señal.

### 1.2.1.1. Teorema de Nyquist

Si  $f_m$  es la componente de mayor frecuencia de  $f(t)$ ; la señal  $f(t)$  podrá ser reconstruida sin un alias a partir de sus muestras tomadas a una frecuencia  $f_s$ , siempre y cuando  $2f_m < f_s$ .

A la frecuencia  $f_N = 2f_m$  se le denomina Tasa o frecuencia de Nyquist. Si la frecuencia de muestreo  $f_s$  es menor que la frecuencia de Nyquist  $f_N$  se produce un traslape del espectro de la señal (aliasing) que impide hacer una reconstrucción fiel de la señal [14].

### 1.2.2. Cuantificación

La cuantificación es un proceso no lineal y no reversible que consiste en cambiar una señal de entrada muestreada de niveles continuos a niveles discretos. El rango dinámico del cuantificador es dividido en un número de intervalos de cuantificación iguales, donde cada uno representa una amplitud analógica.

El cuantificador cambia la amplitud de la entrada en un valor que representa en que intervalo de cuantificación entra. Comúnmente el valor que representa un intervalo de cuantificación es el punto medio del intervalo. En algunos casos puede ser el límite superior o inferior el que represente el intervalo.

Suponiendo que  $X_{FS} = X_{max} - X_{min}$  es el rango del cuantificador y  $M$  es el número de intervalos de cuantificación, el tamaño del escalón del cuantificador,  $\Delta$ , se muestra en la ecuación 1.1, entre más pequeño sea el escalón de cuantificación, mayor será la precisión y menor el error de cuantificación [12].

$$\Delta = \frac{X_{FS}}{M - 1} \quad (1.1)$$

### 1.2.3. Codificación

La codificación consiste en asignar un número binario unívoco a cada nivel de cuantificación. Si se tienen  $L$  niveles, se necesitan al menos  $L$  números binarios

diferentes. Con una longitud de palabra de  $b + 1$  bits podemos representar  $2^{b+1}$  números binarios distintos. Existen diversos esquemas de codificación binarios, con sus ventajas y desventajas cada uno de ellos. Los más utilizados son:

- Signo + Módulo.
- Complemento a dos.
- Offset binario.
- Complemento a uno.
- Termométrico.

Aunque el código binario empleado para la representación de los niveles de cuantificación es importante para el diseño del convertidor A/D y los cálculos numéricos, no tiene efecto alguno en el funcionamiento del proceso de cuantificación [15].

### 1.3. Especificaciones de los convertidores A/D

El diseño o uso de un convertidor de datos requiere que el diseñador o usuario conozca sus especificaciones, sus características estáticas y dinámicas, y sus fuentes de error.

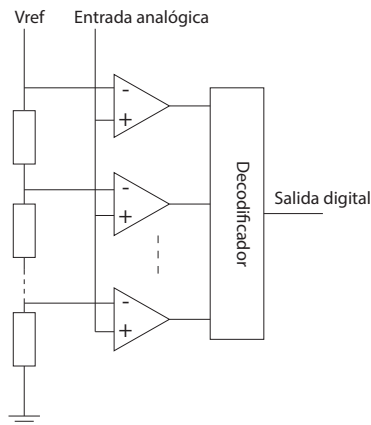
#### 1.3.1. Tipos

Los convertidores de datos se dividen en dos grupos. Convertidores de tasa de Nyquist y de sobremuestreo, se describen brevemente las arquitecturas que ofrecen el mejor desempeño para los sistemas de comunicaciones en alta frecuencia según el grupo al que pertenecen.

##### 1.3.1.1. Convertidores de tasa de Nyquist

**1.3.1.1.1. Convertidor flash:** es uno de los convertidores A/D más rápidos y adecuado para aplicaciones que requieran un amplio ancho de banda. Sin embargo, el convertidor flash consume mucha área de silicio, mucha potencia, tiene una resolución limitada y es caro. Esto los limita para operar en aplicaciones de alta frecuencia como adquisición de datos, radares y comunicaciones por satélite.

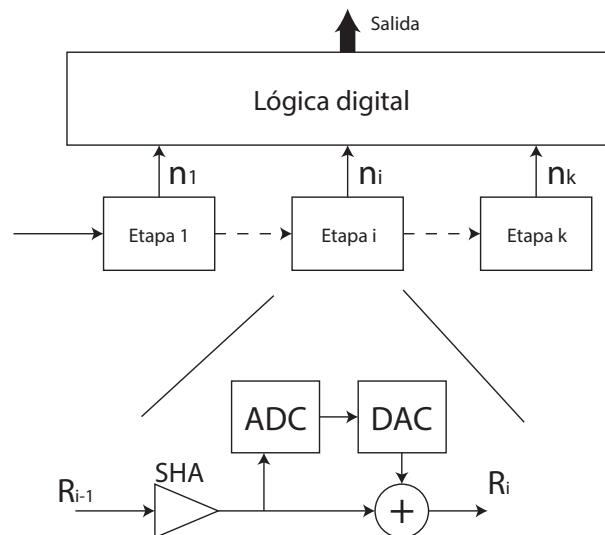
El convertidor flash usa un gran número de comparadores. La señal de entrada es aplicada a todos los comparadores, por lo tanto la salida termométrica es retrasada solo durante un ciclo de comparación desde la entrada, y la salida del decodificador de  $N$  bits solo es retrasada por unas cuantas compuertas por lo cual el proceso es muy rápido. Un convertidor flash de  $N$  bits consiste de  $2^N$  resistores y  $2^N - 1$  comparadores conectados



**Figura 1.7:** Convertidor flash.

como se muestra en la Figura 1.7 [16]. Como se puede apreciar el problema principal de esta arquitectura es que el número de comparadores incrementa exponencialmente con el número de bits [3].

**1.3.1.1.2. Convertidor pipeline:** es una de las arquitecturas más populares para aplicaciones de alta velocidad. Consiste de varias etapas en cascada, cada una con un convertidor A/D de baja resolución, un S/H amplificador y un convertidor D/A como se muestra en la Figura 1.8 [3].



**Figura 1.8:** Convertidor pipeline.

### 1.3.1.2. Convertidores de sobremuestreo

**1.3.1.2.1. Convertidor sigma-delta:** está basado en el principio de que el error de conversión puede ser pasado por un filtro pasa-altas y después removido por filtros digitales. Los requerimientos para las partes analógicas se relajan y se pueden obtener altas

resoluciones. El inconveniente de este tipo de convertidores es que para altas resoluciones el ancho de banda se reduce debido al sobre-muestreo. Un modulador sigma-delta de segundo orden se muestra en la Figura 1.9. Consiste de dos integradores, dos convertidores D/A y un cuantificador [3].

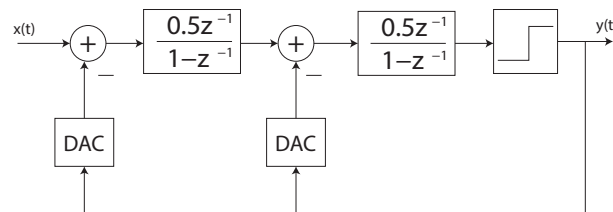


Figura 1.9: Convertidor sigma-delta de segundo orden.

### 1.3.2. Especificaciones estáticas

Debido a las características no ideales de los elementos que componen un convertidor A/D en la realidad, se llegan a presentar varios problemas que pueden ser medidos y minimizados si se tienen en cuenta al diseñar el convertidor. En estado estático, las características a evaluar del convertidor son: monotonicidad, offset, error de ganancia y no linealidad diferencial e integral. A continuación se describen más a detalle cada una de ellas.

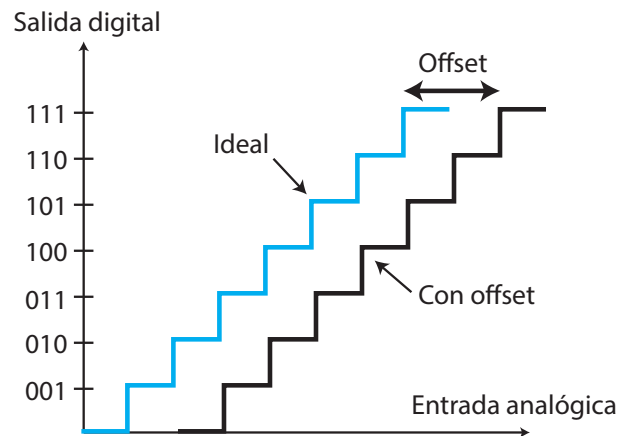
#### 1.3.2.1. Monotonicidad

Es la característica del ADC que produce códigos de salida que están constantemente creciendo con señales de entrada crecientes y decrecen con señales de entrada que decrecen. Por lo tanto, el código de salida siempre permanecerá constante o cambiará en la misma dirección que la entrada [10]. Cuando la señal de entrada crece y la señal de salida decrece se dice que el convertidor es no monotónico.

#### 1.3.2.2. Offset

El offset describe una variación para una entrada cero, es un error que afecta también a los convertidores D/A. En la Figura 1.10 se muestra una comparación entre la función de transferencia ideal y la real afectada por un offset. El offset cambia la función de transferencia de manera que todos los escalones son movidos en el valor del offset [12].

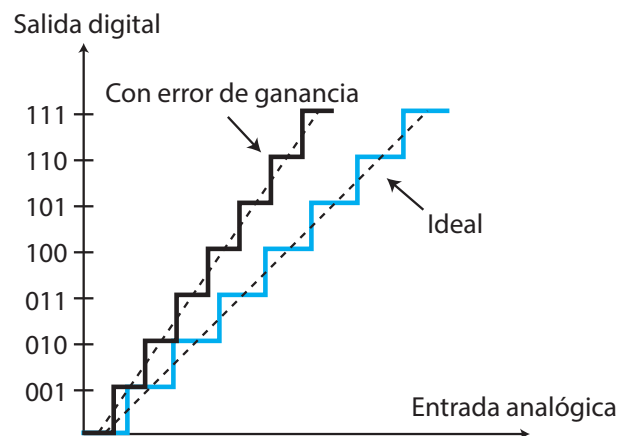
El offset puede ser medido en *LSB*, valores absolutos (voltaje o corriente), como porcentaje o como partes por millón (ppm) de la escala completa.



**Figura 1.10:** Función de transferencia con offset.

### 1.3.2.3. Error de ganancia

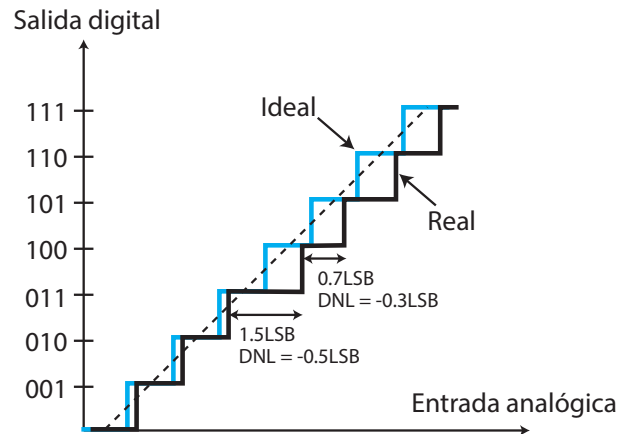
Es el error en la pendiente de la línea que interpola los escalones de la función de transferencia. La pendiente ideal es 1, sin embargo, cuando el error de ganancia se presenta (Figura 1.11) la pendiente se mueve y se define el error de ganancia como la desviación entre la pendiente obtenida y la deseada [12].



**Figura 1.11:** Función de transferencia con error de ganancia.

### 1.3.2.4. No linealidad diferencial (DNL)

El error de no linealidad diferencial (DNL por sus siglas en inglés) mostrado en la Figura 1.12, es la diferencia entre el ancho de paso real y el valor ideal de 1 LSB. De tal forma que si el ancho del paso es exactamente 1 LSB, hay una posibilidad de que el convertidor se vuelva no monótonico, lo que significa que la magnitud de la salida decrece para un incremento en la magnitud de la entrada; también existe la posibilidad de que haya códigos perdidos, esto es, uno o más de los  $2^N$  códigos binarios nunca son salida [10].



**Figura 1.12:** Función de transferencia con no linealidad diferencial.

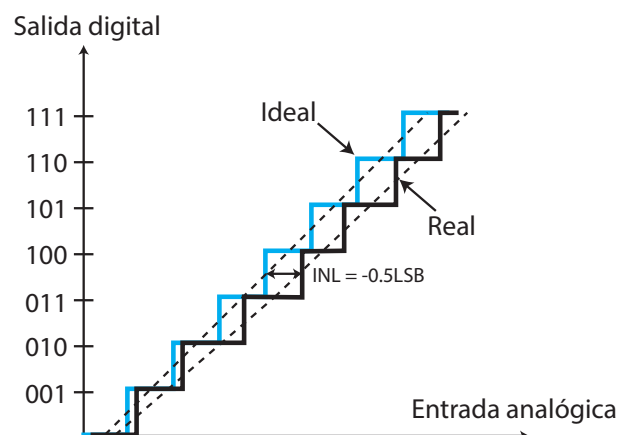
Si  $X_k$  es el punto de transición entre los códigos sucesivos  $k - 1$  y  $k$ , entonces el ancho de paso real es  $\Delta_r(k) = (X_{k+1} - X_k)$ ; la no linealidad diferencial entonces se puede expresar como en la ecuación 1.1 [3][12].

$$DNL_k = \frac{\Delta_r(k) - \Delta}{\Delta} \quad (1.1)$$

donde  $\Delta$  es el ancho de paso ideal o  $1LSB$ .

### 1.3.2.5. No linealidad integral (INL)

El error de no linealidad integral mostrado en la Figura 1.13 es la desviación de los valores en la función de transferencia real de la línea recta de la ideal. Las desviaciones son medidas en las transiciones de un paso a otro. El nombre de no linealidad integral



**Figura 1.13:** Función de transferencia con no linealidad integral.

se deriva del hecho de que la suma de las no linealidades diferenciales desde la parte inferior hasta un escalón en particular, determina el valor de la no linealidad integral en

ese escalón [10]. Matemáticamente tenemos [12]:

$$INL_k = \sum_{l=1}^k DNL_l \quad (1.2)$$

Cabe mencionar que los errores de no linealidad son comúnmente medidos usando frecuencias bajas para excluir errores dinámicos que aparecen a altas frecuencias.

### 1.3.3. Especificaciones dinámicas

Todas las siguientes mediciones dependen de la frecuencia y la amplitud de la señal de entrada, las especificaciones dinámicas más importantes son: la relación señal a ruido, relación señal a ruido y distorsión, rango dinámico y número efectivo de bits. A continuación se describen más a detalle cada una de ellas.

#### 1.3.3.1. Relación señal a ruido

Se define la relación señal a ruido (SNR del inglés “Signal to Noise Ratio”) como el cociente entre la potencia de salida a la frecuencia de la entrada y la potencia en banda del ruido total [11].

$$SNR_{dB} = 10 \cdot \log_{10}\left(\frac{P_s}{P_r}\right) \quad (1.1)$$

donde  $P_s$  es la potencia de la señal y  $P_r$  es la potencia del ruido total.

Considerando sólo la potencia del ruido de cuantificación y la potencia de una señal senoidal, la SNR para convertidores de datos queda [3]

$$SNR_{dB} = N \cdot 6.02 + 1.76dB \quad (1.2)$$

donde  $N$  es el número de bits de resolución del convertidor. En el apéndice B se presenta en extenso la deducción de esta formula.

#### 1.3.3.2. Relación señal a ruido y distorsión

La relación señal a ruido y distorsión (SNDR del inglés “Signal to Noise and Distortion Ratio”) es la razón de la potencia de la señal fundamental y la potencia de todo el ruido y distorsión en una banda de frecuencia dada, esto es [3]

$$SNDR_{dB} = 10 \cdot \log_{10} \left( \frac{\text{Potencia de la señal}}{\text{Potencia del ruido y distorsión}} \right) \quad (1.3)$$

### 1.3.3.3. Rango dinámico

Se define el rango dinámico (DR del inglés “Dynamic Range”) como el cociente entre la potencia de la salida para una senoide con amplitud igual al rango completo del cuantizador y la potencia de la salida para una senoide de amplitud tal que no se distinga del ruido de fondo, esto es SNDR=0. Matemáticamente se expresa de la siguiente forma [11]

$$DR_{dB} = 10 \cdot \log_{10} \left( \frac{\text{Potencia de señal de amplitud máxima}}{\text{Potencia de señal de amplitud mínima}} \right) \quad (1.4)$$

### 1.3.3.4. Número efectivo de bits

El número efectivo de bits (ENoB del inglés “Effective Number of Bits”) es medido basado en la SNDR del convertidor A/D con una señal senoidal de entrada, refleja el desempeño dinámico de un convertidor en presencia de ruido y distorsión, este concepto compara el desempeño de un convertidor a prueba contra el desempeño de uno ideal y especifica a que resolución de un convertidor ideal corresponde el desempeño del convertidor a prueba. El ENOB se calcula mediante la siguiente ecuación

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (1.5)$$

---

# Capítulo 2

## Especificaciones del ADC para 4G

En este Capítulo se discuten los parámetros relacionados a los sistemas de comunicaciones que tienen un gran impacto en los requerimientos del convertidor de datos, además, se presenta el estudio de las normas que rigen a los sistemas de comunicaciones con el objetivo de extraer los requerimientos que debe cumplir el convertidor A/D.

### 2.1. Estándares de comunicación 4G

#### 2.1.1. Estándar IEEE 802.16

El estándar 802.16, creado por la sociedad IEEE de computación y la sociedad IEEE de teoría y técnicas en microondas, especifica la interfaz de aire, incluyendo la capa de acceso al medio y la capa física, de los sistemas de comunicaciones fijos y móviles.

Su principal propósito es permitir un despliegue rápido a nivel mundial de productos de acceso inalámbrico innovadores, rentables e interoperables, así como, fomentar la asignación mundial de espectro y acelerar la comercialización de sistemas de acceso inalámbrico de banda ancha [17].

Este estándar es muy estricto con los parámetros de diseño de los transmisores OFDMA, sin embargo, el diseño de los receptores es abierto ya que da libertad creativa a los diseñadores de receptores de competir optimizando el desempeño de sus productos.

El único parámetro que pudo ser extraído del estudio de este estándar son los anchos de banda que la señal transmitida puede tener, los cuales se presentan en la tabla 2.1.

**Tabla 2.1:** Anchos de banda permitidos de la norma IEEE 802.16.

Parámetro	Valor
Ancho de banda	1.25, 3.5, 7, 8.75, 10, 14, 17.5, 20 y 28 MHz

La relación señal a ruido es muy importante para la sensibilidad del receptor debido a

que entre más pequeña sea la señal detectada y recuperada mayor es su sensibilidad. Por esto, este estándar define la SNR de acuerdo con la técnica de modulación utilizada como se muestra en la tabla 2.2.

**Tabla 2.2:** SNR según la modulación de la señal transmitida en IEEE 802.16.

Modulación	SNR (dB)
QPSK	8.5
16QAM	15.0
64QAM	21.0

### 2.1.2. Estándar IEEE 802.11

Este estándar define las especificaciones de un control de acceso al medio y las capas físicas para conectividad inalámbrica para estaciones fijas, portables y móviles dentro de un área local [18].

Básicamente propone los mismos parámetros que la 802.16, pero de manera más general para cualquier dispositivo inalámbrico que se comunique en el canal de los 2.4 GHz, lo que abarca a todos los dispositivos que cuenten con la certificación WiFi. Pueden ser: teléfonos inteligentes, computadoras portátiles, computadoras de escritorio, modems, ruteadores, relojes inteligentes, etc.

Su estudio permitió encontrar otro estándar que guarda una estrecha relación con esta para los sistemas LTE. A continuación se aborda dicho estándar.

### 2.1.3. 3GPP Evolución a largo plazo (LTE)

LTE (del inglés “Long Term Evolution”) es un estándar desarrollado por varias organizaciones alrededor del mundo que representa un gran avance en la tecnología celular. La tecnología LTE está diseñada para manejar grandes cantidades de datos en alta velocidad y voz [19][20]. Dentro de este estándar se encuentran los anchos de banda que alcanzan las subportadoras, en la tabla 2.3 se presentan los que este estándar enuncia, las portadoras de esta tecnología se centran en 1700, 1900 y 2100 MHz.

**Tabla 2.3:** Anchos de banda permitidos de la norma 3GPP LTE.

Parámetro	Valor
Ancho de banda	1.25, 2.5, 5, 10, 15 y 20 MHz

### 2.1.4. 5G: primeras especificaciones

A la fecha de redacción este trabajo, la quinta generación (5G) de los sistemas de comunicaciones han sido planteados, aunque existen grupos trabajando en sus

especificaciones, aun no se ha logrado llegar a un consenso sobre el estándar que regirá a estos nuevos sistemas. Sin embargo, es conveniente revisar las primeras especificaciones con miras de que el diseño propuesto en esta tesis no quede obsoleto cuando los nuevos sistemas sean implementados. En [21] se presenta un estudio comparativo de las capas físicas candidatas a soportar 5G discutidas en el taller RAN 5G (del inglés, Radio Access Network) del año pasado en donde llegaron al consenso de diseñar nuevas arquitecturas basadas en OFDM que permitan reducir las interferencias y optimicen el uso del espectro manteniendo las especificaciones de 10 MHz como ancho de banda y frecuencias de muestreo de 15.4 MHz aproximadamente.

## 2.2. Parámetros de desempeño del sistema de comunicaciones

Para definir claramente las especificaciones de diseño del convertidor A/D es importante conocer los principales parámetros del sistema de comunicaciones que influyen en el funcionamiento del convertidor, por eso, a continuación se presentan esos problemas o parámetros de desempeño del sistema de comunicaciones.

### 2.2.1. Capacidad de canal

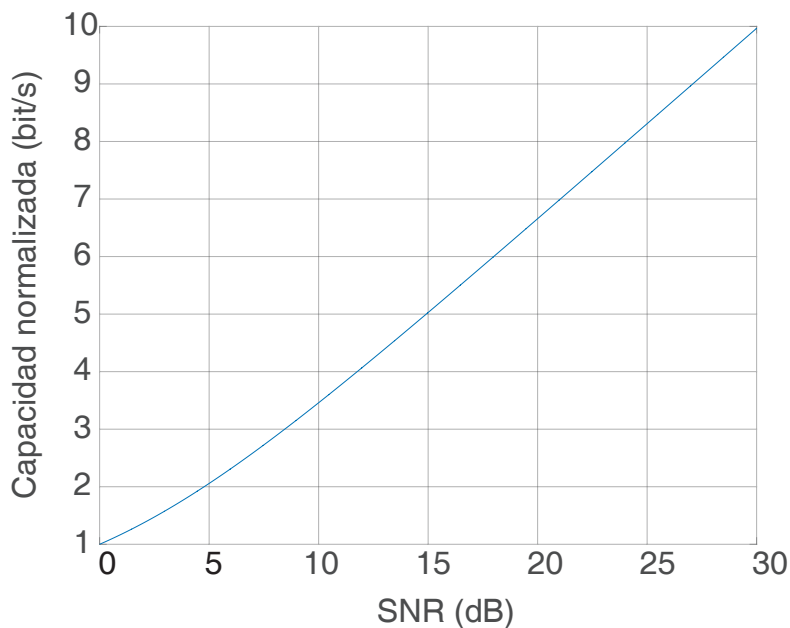
En comunicaciones, el termino capacidad de canal es utilizado para medir el máximo rendimiento de transmisión. Si el canal tiene un ancho de banda (BW por sus siglas en inglés), el número máximo de bits por segundo que el canal puede soportar, o la capacidad del canal, está dada por [3]

$$C = BW \cdot \log_2(1 + SNR) \quad (2.1)$$

donde  $SNR$  is la relación señal recibida a ruido. Si se normaliza en términos del ancho de banda ahora tenemos la capacidad de canal en bits por segundo por Hz como se muestra en la ecuación 2.2.

$$c = \log_2(1 + SNR) \quad (2.2)$$

En la Figura 2.1 se muestra que la capacidad de canal incrementa en 1 bit cuando la SNR incrementa en  $3dB$ . Por esto es muy importante que la SNR sea de valor óptimo para no perder bits en la recepción.



**Figura 2.1:** Capacidad de canal contra SNR.

### 2.2.2. Probabilidad de error (SER)

Cuando se recibe una señal es necesario reconstruir la constelación de símbolos. Entre menor sea la distancia entre símbolos más fácil es reconstruir la constelación, sin embargo, cuando se presenta ruido algunos símbolos no pueden ser reconstruidos correctamente. Por tanto, la probabilidad de error o la tasa de error de símbolo es determinada por la distancia mínima entre símbolos y el ruido [3]. Dependiendo de la estrategia de modulación la probabilidad de error disminuye o incrementa, por ejemplo, una modulación de amplitud en cuadratura (QAM por sus siglas en inglés) tiene menor probabilidad de error que una modulación por amplitud de pulsos (PAM por sus siglas en inglés) en especial 16 y 64 QAM.

La probabilidad de error de símbolo para un esquema de modulación QAM está dada por [3]:

$$P_{QAM} \leq 4 \cdot \left(1 - \frac{1}{\sqrt{M}}\right) \cdot Q\left(\sqrt{SNR} \cdot \sqrt{\frac{3}{M-1}}\right) \quad (2.1)$$

donde

$M$  es el orden de la modulación; 4, 16, 64, 256...

$Q(x)$  es la probabilidad de que una variable aleatoria Gaussiana de varianza unitaria y media cero exceda el valor del argumento, se calcula de la siguiente forma:

$$Q(x) = \int_x^{\infty} \frac{1}{\sqrt{2\pi}} \cdot \exp\left(-\frac{u^2}{2}\right) du \quad (2.2)$$

## 2.3. Definición de parámetros de diseño del convertidor A/D

Estudiadas las normas y los principales parámetros de un sistema de comunicaciones que afectan el desempeño del convertidor A/D, resta por definir los parámetros de diseño del convertidor A/D.

Primeramente, se hace una revisión de los trabajos más recientes en el área, posteriormente, se definen los parámetros de diseño del convertidor A/D objetivo, finalmente, se vuelven a abordar las arquitecturas ahora desde un punto de vista comparativo para definir la que mejor se ajuste a las necesidades de un sistema de comunicaciones.

### 2.3.1. Parámetros de diseño del convertidor A/D

Los parámetros de los convertidores A/D se deben fijar por el diseñador para asegurar que el convertidor tenga el desempeño necesario para la aplicación que se requiere. Estas características son la resolución, frecuencia de muestreo, tiempo de adquisición y tiempo de conversión.

#### 2.3.1.1. Resolución

La resolución es el número de posibles bits de salida que un convertidor A/D puede producir en una conversión. La resolución también es el incremento analógico más pequeño que corresponde a  $1LSB$ . Esta especificación determina la señal analógica más pequeña que el convertidor puede manejar [22].

#### 2.3.1.2. Frecuencia de muestreo

Es la velocidad a la que el convertidor puede convertir continuamente varias muestras. Esta especificación determina el ancho de banda permitido en la señal de entrada. Se especifica en muestras por segundo o Hertz (Hz) [22].

#### 2.3.1.3. Tiempo de adquisición

Es el tiempo requerido para que el circuito de adquisición tome una muestra de la señal de entrada con cierta precisión [22].

#### 2.3.1.4. Tiempo de conversión

Después de tomar la muestra de la señal, el tiempo de conversión es el tiempo requerido por el convertidor para terminar la conversión. Este tiempo no incluye el tiempo de adquisición [22].

### 2.3.1.5. Parámetros de diseño

Como se mencionó en la sección 2.1 las normas no son específicas en las características que debe cumplir el convertidor, por tanto, es necesario recurrir a las publicaciones del área para estudiar que se está haciendo y de estos extraer información sobre parámetros de diseño.

En la tabla 2.4 se presenta un resumen de los artículos revisados, de los cuales se extraen los parámetros que nos interesan para esta tesis. Se observan valores repetidos en relación al tipo de convertidor, resolución y frecuencia de muestreo, que hacen posible deducir la hipótesis de que son las mejores configuraciones para los sistemas de comunicaciones.

**Tabla 2.4:** Trabajos similares.

Referencia	Tipo	Resolución	Ancho de banda	Frecuencia de muestreo	Potencia	Alimentación
[23]	pipeline	7 bits	3 MHz	16 MS/s	3.7 mW	1.8 V
[24]	pipeline	12 bits	4.93 MHz	50 MS/s	55 mW	2.5 V
[25]	pipeline	12 bits	251 MHz	800 MS/s	720 mW	–
[26]	pipeline	10 bits	1 MHz	40 MS/s	3.9 mW	1 V
[27]	pipeline	12 bits	–	25 MS/s	76 mW	3 V
[28]	pipeline	10 bits	–	40 MS/s	6.36 mW	1.2 V
[29]	pipeline	10 bits	–	60 MS/s	30.6mW	1.5 V
[30]	pipeline	12 bits	10 MHz	40 MS/s	–	–
[31]	$\Sigma\Delta$	–	60 MHz	–	20 mW	–
[32]	$\Sigma\Delta$	10 bits	5 MHz	320 MHz	24.5 mW	1.8 V
[33]	$\Sigma\Delta$	–	18.5 MHz	576 MS/s	7.9 mW	1.2 V
[34]	SAR	6 bits	–	–	–	1.2 V

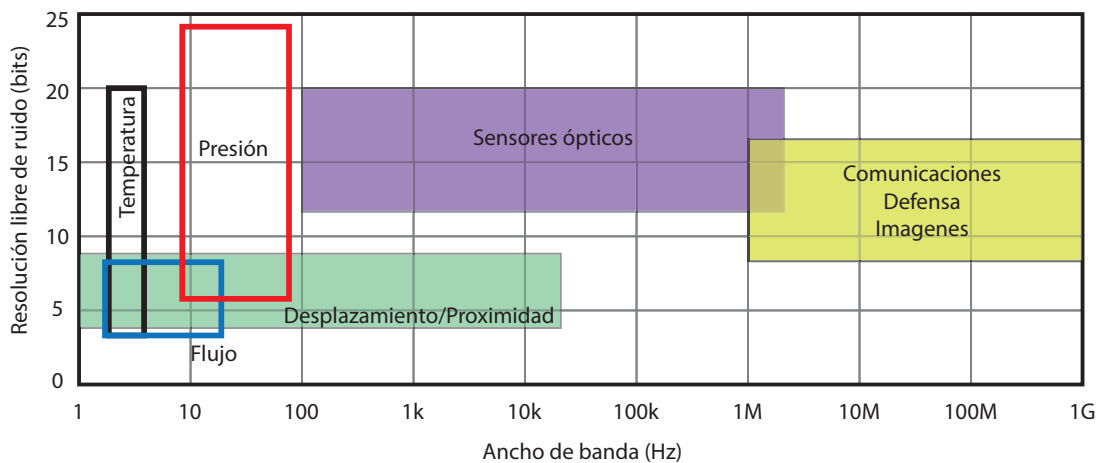
Por tanto, en la tabla 2.5 se muestran los parámetros mínimos de diseño que debe cumplir el convertidor de esta tesis; la elección de la arquitectura se justifica en la siguiente sección.

**Tabla 2.5:** Parámetros mínimos de diseño.

Parámetro	Valor
Arquitectura	Pipeline
Resolución	>10 bits
Ancho de banda	>10 MHz
Frecuencia de muestreo	>40 MHz
Potencia	<50 mW
Alimentación	Dada por la tecnología CMOS
SNR	>21 dB

### 2.3.2. Arquitecturas de convertidores A/D en comunicaciones 4G

Es indiscutible que el ancho de banda es uno de los parámetros más importantes a la hora de especificar un convertidor A/D, por tanto en la Figura 2.2 se presentan los anchos de banda típicos contra la resolución libre de ruido en bits para diferentes aplicaciones de los convertidores.



**Figura 2.2:** Aplicaciones de los convertidores; resolución contra ancho de banda [35].

Como se puede observar las comunicaciones se encuentran entre las áreas más demandantes en ancho de banda aunque su resolución es más relajada. Sabiendo esto y que el ancho de banda está directamente relacionado con la velocidad de muestreo es factible estudiar las arquitecturas desde el punto de vista de la velocidad de muestreo que son capaces de manejar.

En las publicaciones sobresalen tres arquitecturas: pipeline, SAR y  $\Sigma\Delta$ , sin embargo, las que mayor presencia tienen en las comunicaciones solo son la pipeline y  $\Sigma\Delta$ . Cada una tiene características únicas, así como, ventajas y desventajas.

#### 2.3.2.1. Convertidor A/D Sigma-Delta: ventajas y desventajas

Ventajas:

- Alta resolución.
- Alta estabilidad.
- Baja potencia.
- Bajo costo.

Desventajas:

- Baja velocidad.
- Alta latencia.

### 2.3.2.2. Convertidor A/D Pipeline: ventajas y desventajas

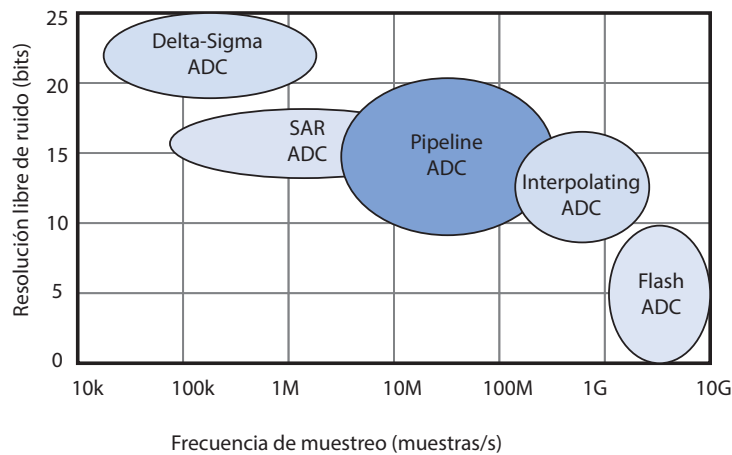
Ventajas:

- Alta velocidad.
- Alto ancho de banda.

Desventajas:

- Baja resolución.
- Alta latencia.
- Consumo de potencia mayor.

En la Figura 2.3 se muestran las resoluciones y frecuencias de muestreo que logra cada arquitectura.



**Figura 2.3:** Arquitecturas: resolución contra frecuencia de muestreo [36].

El convertidor  $\Sigma\Delta$  no tiene el ancho de banda suficiente para los sistemas de comunicaciones, pero los diseñadores han logrado convertidores que cumplen sin problemas con estos requisitos [31]-[33].

En la tabla 2.6 se muestran de manera resumida las frecuencias y resoluciones que cada arquitectura puede alcanzar, la arquitectura pipeline sobresale al soportar frecuencias de muestreo del orden necesario para los sistemas de comunicaciones 4G.

**Tabla 2.6:** Comparación de arquitecturas [35].

Arquitectura	Frecuencia de muestreo	Resolución
$\Sigma\Delta$	$\leq 4$ MS/s	$\leq 24$ bits
	$\leq 10$ MS/s	$\leq 16$ bits
Pipeline	$\leq 200$ MS/s	$\leq 16$ bits
	$\leq 250$ MS/s	$\leq 14$ bits
	$\leq 550$ MS/s	$\leq 12$ bits

Debido a que una parte importante de este trabajo de tesis es mantener el consumo de potencia del convertidor bajo, es factible también analizar las arquitecturas desde este punto de vista, la manera de evaluar la eficiencia energética del convertidor de datos es mediante su figura de mérito (FoM del inglés “Figure of Merit”). Una figura de mérito es una cantidad numérica que combina diferentes métricas de desempeño en un solo número. La figura de mérito más popular usada para comparar diferentes ADCs es la Waldem y

se presenta en la ecuación 2.1.

$$FoM = \frac{P}{f_s \times 2^{ENoB}} \quad (2.1)$$

donde  $P$  es la potencia,  $f_s$  es la frecuencia de muestreo y ENoB es la resolución del ADC. Esta figura de mérito está basada en cantidades fáciles de medir y calcula la energía requerida por paso de conversión, lo que significa que entre más pequeña la FoM mejor es el ADC [36].

En la Figura 2.4 se presentan las figuras de mérito de los convertidores  $\Sigma\Delta$  y pipeline publicados en la ISSCC (International Solid-State Circuits Conference) y el VLSI Symposium desde 1997 a 2017 contra su velocidad de muestreo; el banco de información se encuentra en [37]. De la gráfica se puede observar que los convertidores de arquitectura pipeline presentan la FoM más pequeña aún en frecuencias de muestreo altas (>40MHz), sin embargo, los convertidores de arquitectura  $\Sigma\Delta$  se mantienen a una frecuencia de muestreo baja para sus mejores valores de FoM. En otras palabras, la arquitectura pipeline presenta mayor eficiencia energética a frecuencias altas que la arquitectura  $\Sigma\Delta$ , por esto, aunque la arquitectura  $\Sigma\Delta$  puede llegar a frecuencias de muestreo altas su consumo energético es mayor. El bajo consumo energético en alta frecuencia sumado a las altas frecuencias de muestreo soportadas por la arquitectura pipeline han propiciado el dominio de esta arquitectura sobre las otras para sistemas de comunicaciones 4G.

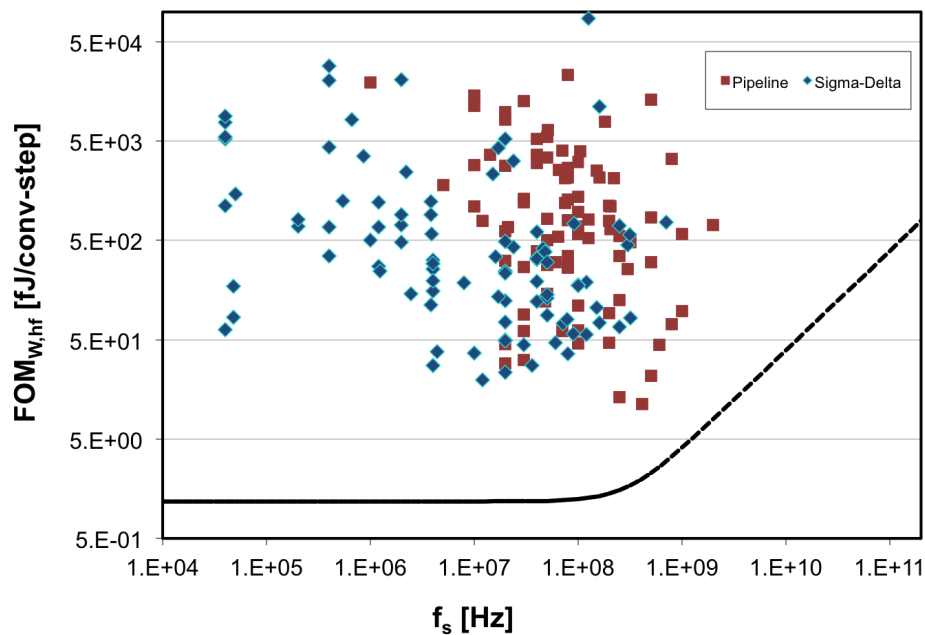


Figura 2.4: Arquitecturas: FoM contra frecuencia de muestreo [37].

---

# Capítulo 3

## Arquitectura pipeline

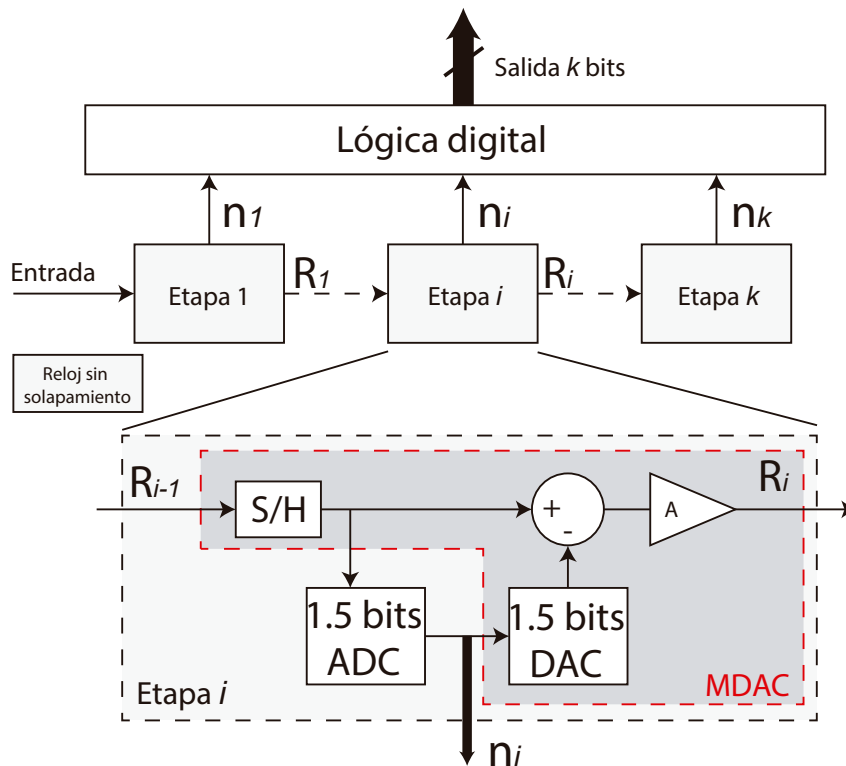
En este Capítulo se presenta la descripción de la arquitectura pipeline a detalle, sus parámetros clave de diseño, sus componentes y los retos de diseño. Al final, un ejemplo de funcionamiento es desarrollado para una mejor comprensión del algoritmo de conversión que implementa esta arquitectura.

### 3.1. Convertidor A/D pipeline

En la Figura 3.1 se muestra el diagrama de bloques de la arquitectura pipeline, como se puede apreciar, consiste de múltiples etapas básicas conectadas en cadena o “pipeline”, una mejor forma de verlo es como una línea de producción, donde cada etapa depende del resultado de la etapa anterior, así la primera etapa opera con la muestra más reciente, mientras que las siguientes etapas operan con los residuos de las etapas previas. A su vez, cada etapa básica consiste de un convertidor A/D de baja resolución, un convertidor D/A de baja resolución, un muestreador retenedor (S/H, del inglés “Sample and Hold”), un punto de suma y un amplificador. Los bloques S/H, DAC, suma y amplificación se integran en un solo circuito llamado convertidor D/A multiplicador (MDAC, del inglés “Multiplicative Digital to Analog Converter”). Cada etapa muestrea y retiene la salida de la etapa previa, el ADC de baja resolución convierte esta señal retenida en códigos digitales de baja resolución y los regresa al DAC. La salida del DAC es restada de la señal retenida y la diferencia es amplificada para producir el residuo.

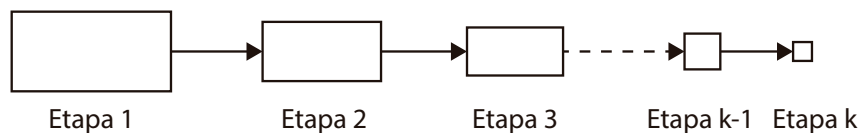
Una de las principales desventajas de esta arquitectura es la latencia o el tiempo que tarda en hacer la conversión del primer dato analógico a digital, las muestras consecuentes están listas cada ciclo de reloj, una vez que el tiempo de latencia transcurre la salida digital puede procesarse sin interrupciones. Esta arquitectura es útil en sistemas donde la latencia no es crítica como en sistemas en lazo abierto o con retroalimentación positiva [36].

Los requisitos de precisión de cada etapa disminuyen a lo largo de la pipeline, la primera etapa debe ser más precisa, las etapas posteriores solo necesitan ser tan precisas



**Figura 3.1:** Diagrama de bloques de la arquitectura pipeline.

como la etapa anterior menos la cantidad de bits resueltos previamente. Por lo tanto, la complejidad del diseño analógico puede reducirse a lo largo de la pipeline como se muestra en la Figura 3.2; es decir, menor ganancia y ancho de banda del Op-Amp para etapas posteriores. Como las últimas etapas de la pipeline tienen requisitos de precisión relajados, se pueden diseñar con un área más pequeña y un menor consumo de energía. Por lo tanto, es posible reducir significativamente el consumo total de energía y el área teniendo muchas etapas, donde cada etapa posterior en la pipeline es más pequeña que la etapa anterior.



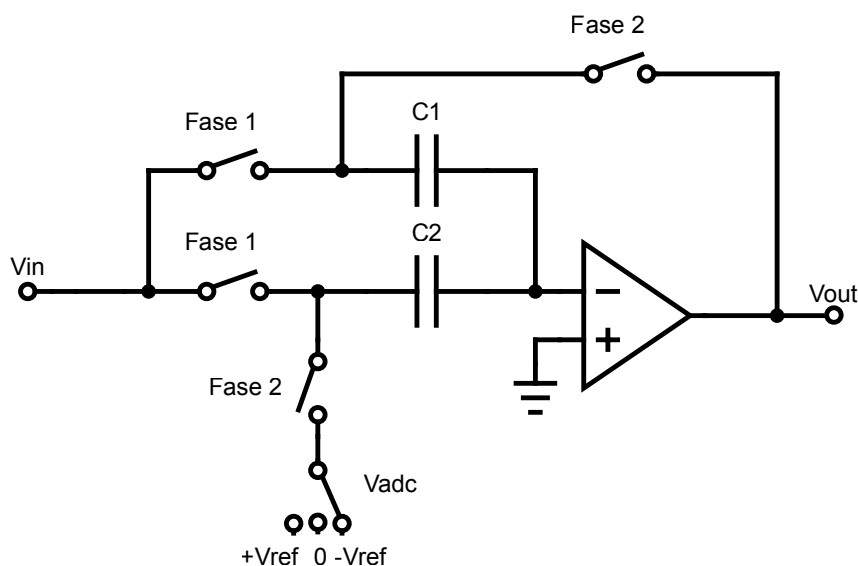
**Figura 3.2:** Escalamiento de las etapas.

En esta tesis las etapas se definieron de 1.5 bits por lo que la descripciones siguientes se enfocarán en diseños de MDAC y subADC de 1.5 bit. Es recomendable en el diseño de convertidores pipeline hacer las etapas de la menor resolución posible para mantener la ganancia del Op-Amp baja e incrementar el ancho de banda, esto si se está diseñando un ADC de alta velocidad como en este trabajo. Lo ideal son etapas de 1 bit, sin embargo, en el subADC la entrada solo se compararía contra una referencia lo que implicaría un comparador muy preciso. Al utilizar etapas de 1.5 bits el diseño del comparador se relaja

debido a que se agregan más niveles de comparación que permiten un offset mayor, una etapa de 1.5 bits tiene una resolución verdadera de 1 bit y 0.5 bit de redundancia, esto significa que tiene 2 salidas digitales, que pueden tomar los valores: 00,10 y 01. La salida 00 indica que la entrada muestreada es con certeza negativa, la 10 indica que es con certeza positiva, mientras que 01 indica indecisión o que no sabe con certeza si es positiva o negativa y la decisión se pospone para las siguientes etapas, al final, el algoritmo de conformación de palabra digital corrige la indecisión [38].

## 3.2. MDAC de 1.5 bits

En la Figura 3.1 se puede ver que las funciones S/H, resta, DAC y ganancia son combinadas en un solo circuito con capacitores conmutados como el ejemplo que se muestra en la Figura 3.3, estos circuitos con capacitores conmutados son por mucho los más utilizados para implementar el MDAC.

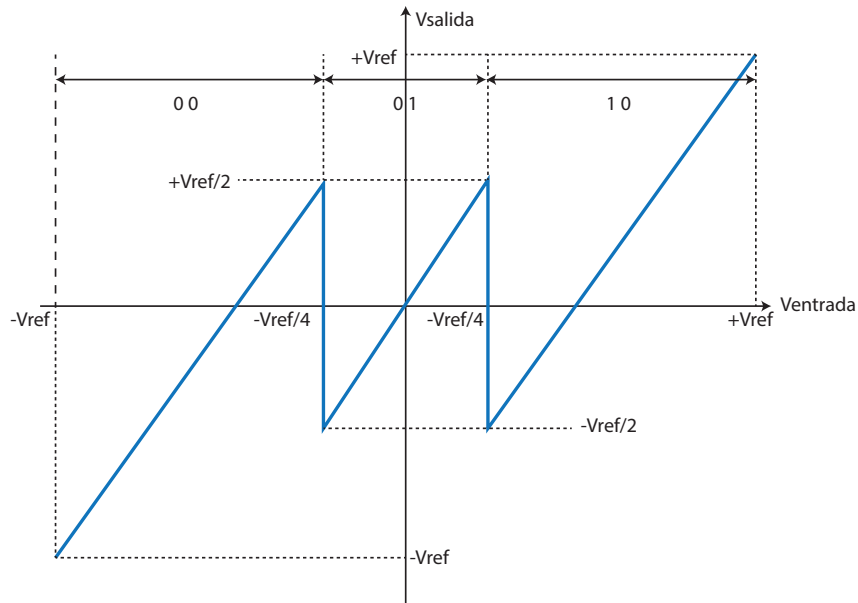


**Figura 3.3:** Circuito MDAC genérico de 1.5 bits.

El bloque MDAC es el encargado de generar el residuo para la etapa siguiente. En la Figura 3.4 se muestra la forma que debe tener el residuo de un MDAC de 1.5 bits, el cálculo del residuo depende de la salida del subADC. En la tabla 3.1 se muestra como debe ser calculado el residuo según la salida del ADC para etapas de 1.5 bits.

**Tabla 3.1:** Cálculo del residuo.

Salida del ADC de 1.5 bits	Residuo
00	$2V_{in} + V_{REF}$
01	$2V_{in}$
10	$2V_{in} - V_{REF}$



**Figura 3.4:** Residuo del MDAC de 1.5 bits.

### 3.3. SubADC de 1.5 bits

El ADC de 1.5 bits consiste de 2 bloques comparadores que cotejan la señal de entrada de la etapa con dos voltajes de comparación  $V_H = \frac{1}{4}V_{REF}$  y  $V_L = -\frac{1}{4}V_{REF}$ . La salida del ADC en términos de estos voltajes de comparación se muestran en la tabla 3.2.

**Tabla 3.2:** Respuesta del ADC de 1.5 bits.

Salida	Rango
00	$-V_{REF} \leq V_{in} \leq V_L$
01	$V_L \leq V_{in} \leq V_H$
10	$V_H \leq V_{in} \leq V_{REF}$

Debido a que la codificación del ADC es binaria es necesario agregar un bloque de codificación para obtener la salida digital binaria correcta y no la termométrica que dan los 2 comparadores. En virtud de la redundancia de las etapas de 1.5 bits no hay problemas en el diseño de los comparadores ya que no importa su precisión. Usualmente se implementan comparadores dinámicos que presentan voltajes de offset grandes pero un bajo consumo de potencia.

### 3.4. Conformación de palabra digital

Esta etapa se encarga de eliminar la redundancia aplicando un algoritmo digital simple de retardos y sumas como se muestra en la tabla 3.3. La salida de cada etapa es retrasada cierta cantidad de tiempo según su posición, en espera de que todas las etapas generen su

salida digital, cuando esto se cumple las salidas de las etapas son sumadas para generar el dato válido.

**Tabla 3.3:** Algoritmo de conformación de palabra digital.

Etapa	1	2	3	4	...	n-1	n
k	x	x					
k+1		x	x				
k+2			x	x			
...							
k+n-2						x	x
k+n-1							x
suma binaria							

Para una mejor comprensión del algoritmo, en la tabla 3.4 se muestra un ejemplo numérico para seis etapas.

**Tabla 3.4:** Ejemplo del algoritmo de conformación de palabra digital.

Etapa	1	2	3	4	5	6
k	0	0				
k+1		1	0			
k+2			0	1		
k+3				0	1	
k+5					1	0
k+6						1
suma binaria	0	1	1	0	0	1

Donde cabe resaltar que el LSB de la última etapa es descartado y los MSB de cada etapa se suman con el LSB de la etapa previa de derecha a izquierda para obtener el código binario correcto.

### 3.5. Reloj sin traslape

Debido a que esta arquitectura implica procesamiento secuencial, el tiempo se vuelve parte importante del diseño para que todo funcione correctamente, un error en el tiempo de trabajo de una etapa produciría errores para las etapas consecuentes. Por esto, fases múltiples sin solapamiento son requeridas para asegurar que las etapas trabajan con su muestra en el momento que deben hacerlo. La forma de las fases para los relojes sin traslape se presenta en la Figura 3.5.

Durante la fase 1 las etapas impares se activan y durante la fase 2 las pares, la generación de las fases sin solapamiento depende del diseñador, aunque regularmente se generan mediante circuitos puramente digitales aprovechando los retardos de las compuertas lógicas.



Figura 3.5: Fases de reloj sin solapamiento.

## 3.6. Ejemplo de funcionamiento con un ADC Pipeline de 4 bits

Usando la Figura 3.6 como base del ejemplo; si consideramos una entrada estable,  $V_{in} = 0.65$  y  $V_{REF} = 1V$  entonces  $V_H = 0.25V$  y  $V_L = -0.25V$ .

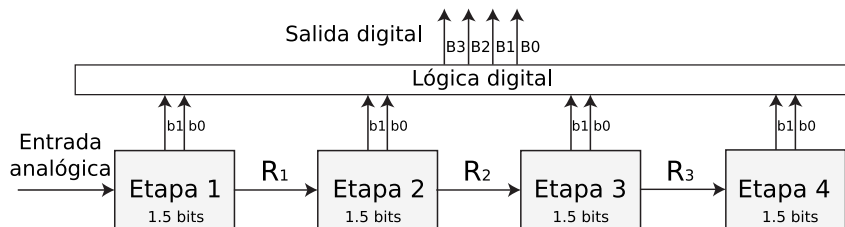


Figura 3.6: Diagrama de bloques de ADC pipeline de 4-bits.

### ■ ETAPA 1:

SubADC: compara  $V_{in}$  contra los voltajes de referencia  $V_H$  y  $V_L$ , como  $+0.25V \leq 0.65V \leq V_{REF}$  las salidas b1b0 son “10” respectivamente.

MDAC: calcula el residuo para la salida “10” del subADC,  $R_1 = 2V_{in} - V_{REF} = 2 \cdot (0.65) - 1 = 0.3V$ , entonces  $R_1 = 0.3V$  es alimentado a la siguiente etapa.

### ■ ETAPA 2:

SubADC: compara  $R_1 = 0.3V$  contra los voltajes de referencia, como  $+0.25V \leq 0.3V \leq V_{REF}$  las salidas b1b0 son “10” respectivamente.

MDAC: calcula el residuo para la salida “10” del subADC,  $R_2 = 2V_{in} - V_{REF} = 2 \cdot (0.3) - 1 = -0.4V$ , entonces  $R_2 = -0.4V$  es alimentado a la siguiente etapa.

### ■ ETAPA 3:

SubADC: compara  $R_2 = -0.4V$  contra los voltajes de referencia, como  $-V_{REF} \leq -0.4V \leq -0.25V$  las salidas b1b0 son “00” respectivamente.

MDAC: calcula el residuo para la salida “00” del subADC,  $R_3 = 2V_{in} + V_{REF} = 2 \cdot (-0.4) + 1 = 0.2V$ , entonces  $R_3 = 0.2V$  es alimentado a la siguiente etapa.

■ **ETAPA 4:**

SubADC: compara  $R_3 = 0.2V$  contra los voltajes de referencia, como  $-0.25V \leq 0.2V \leq +0.25V$  las salidas b1b0 son “01” respectivamente.

MDAC: como es la ultima etapa el cálculo del residuo ya no es necesario.

■ **CONFORMACIÓN DE PALABRA DIGITAL:**

Una vez que todas las salidas de las etapas están listas, el algoritmo de conformación digital es ejecutado de la siguiente forma:

Etapa					Descartado
1	b1='1'	b0='0'			
2		b1='1'	b0='0'		
3			b1='0'	b0='0'	
4				b1='0'	b0='1'
suma binaria	1	1	0	0	En decimal es 12

Dado que la resolución es 4, habrán 16 niveles de cuantificación con incrementos de 133.33 mV cada uno, el nivel 12 equivale a 0.6 V y el nivel 13 a 0.7333 V, el convertidor arrojó 12 debido a que es el nivel más cercano a la entrada dada  $V_{in} = 0.65$ .

---

## Capítulo 4

# Modelado comportamental del convertidor A/D pipeline

En este Capítulo se presentan dos modelos comportamentales del convertidor A/D pipeline, el primero desarrollado sobre MATLAB/Simulink® con el objetivo de evaluar la arquitectura elegida y su desempeño en un sistema de comunicaciones OFDM, el segundo con Verilog-AMS que busca aproximarse más a una descripción a nivel dispositivo como base para el diseño a transistor; en ambos, algunos bloques se mantienen ideales cuando el desempeño a nivel dispositivo no es crítico. Lo anterior se hace con el propósito de reducir el tiempo de simulación del convertidor.

### 4.1. Modelo en MATLAB/Simulink

Además del creciente número de restricciones de diseño, el tiempo de comercialización también es un parámetro importante para los ingenieros. Un convertidor de datos es un sistema de señal mixta con una gran cantidad de bloques, si se incluye en otros sistemas, el tiempo de simulación es preocupante. La simulación a nivel dispositivo es necesaria pero el tiempo de simulación y la complejidad del circuito aumentan [39]. Por lo tanto, una descripción del comportamiento ayuda a reducir la simulación y el tiempo de diseño. Los modelos de comportamiento del ADC son útiles para evaluar rápidamente las mejoras en su diseño, sin la complejidad y el consumo de tiempo de las simulaciones a nivel de dispositivo. Considerando que un modelo de comportamiento consiste en expresiones matemáticas que emulan el ADC, la principal ventaja de usarlos es que se pueden considerar tantas no idealidades como sea necesario alcanzando un equilibrio entre el número de no idealidades y la velocidad de simulación.

En el Capítulo anterior se definieron los parámetros de diseño por lo que esta simulación es de un convertidor de 12 bits con etapas de 1.5 bits.

En la Figura 4.1 se muestra el modelo completo desarrollado en Simulink, consiste

de 12 etapas, cada etapa se modeló mediante su descripción comportamental como se muestra en la Figura 4.2.

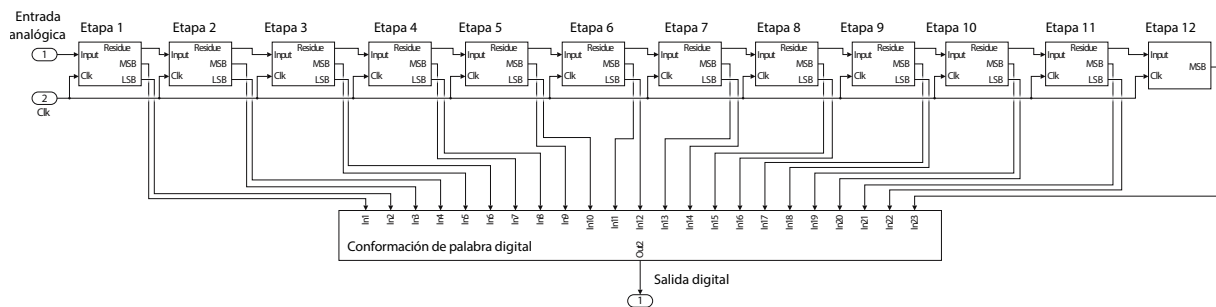


Figura 4.1: Diagrama de bloques de la arquitectura pipeline.

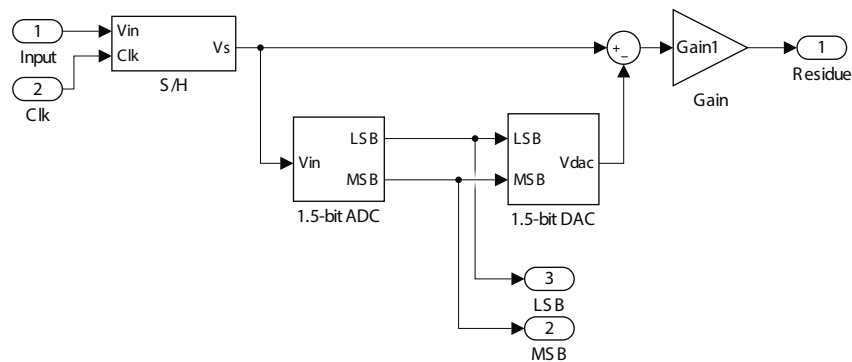


Figura 4.2: Contenido de una etapa.

El S/H a su vez se modeló usando un bloque básico de Simulink (Sample and Hold) más elementos de offset y saturación con el propósito de limitar los niveles de voltaje dentro de las referencias definidas, como se ilustra en la Figura 4.3.

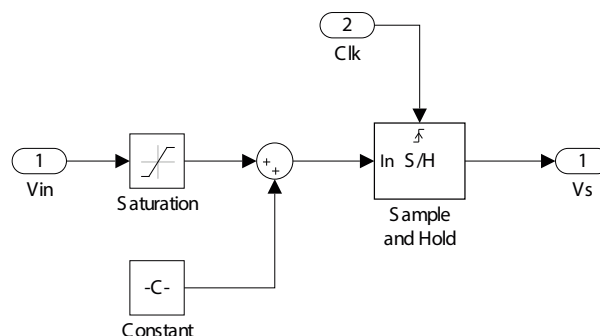


Figura 4.3: Modelo del bloque S/H.

El ADC de 1.5 bits se modeló mediante dos relés de Simulink y un comparador, como se muestra en la Figura 4.4. Los relés se comportan como comparadores. Si la entrada supera los voltajes de umbral especificados, la salida toma el valor verdadero. Permanece en falso de otra forma y el bloque XOR trabaja como codificador de salida.

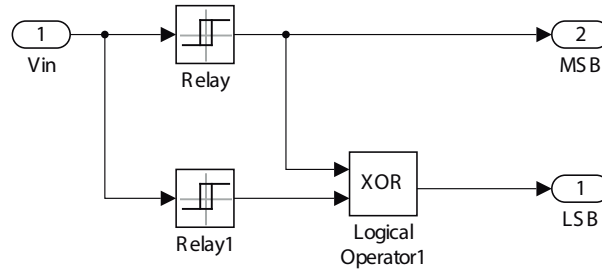


Figura 4.4: Modelo del bloque ADC de 1.5 bits.

El bloque DAC de 1.5 bits se modeló con código debido a que su salida depende de la salida del ADC de 1.5 bits, mediante sentencias “if”. Definiéndose la salida como se muestra en la Tabla 4.1.

Tabla 4.1: Respuesta del DAC.

Entrada DAC	Salida DAC
00	$-V_{REF}$
01	0 o $GND$
10	$+V_{REF}$

El modelo del conformador de palabra digital se muestra en la Figura 4.5 y se implementó mediante bloques de sumadores completos y medios sumadores. En el la latencia de la arquitectura es ignorada, de lo contrario se requerirían algunos bloques de retardo para sincronizar las salidas de las etapas.

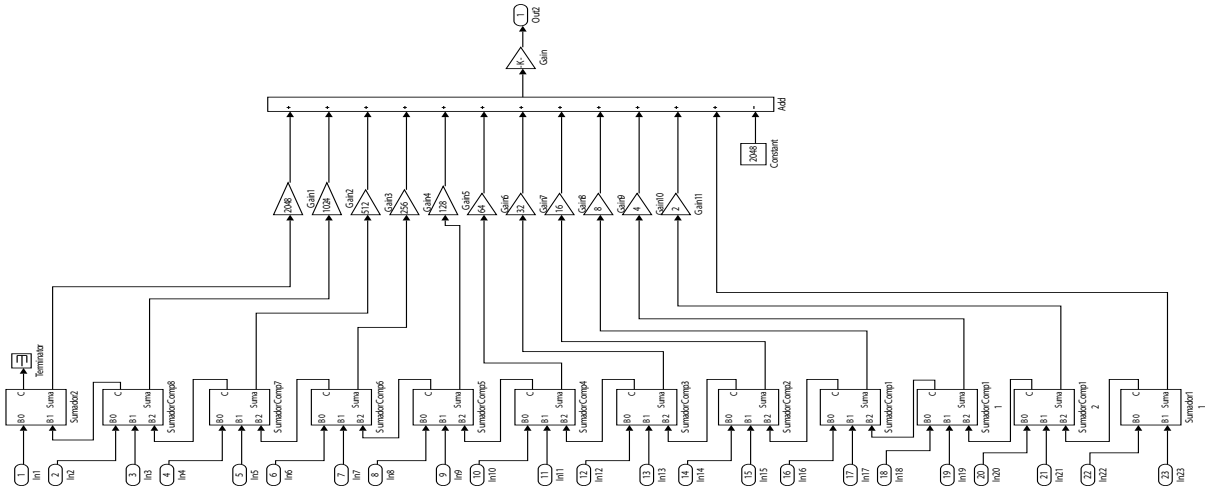
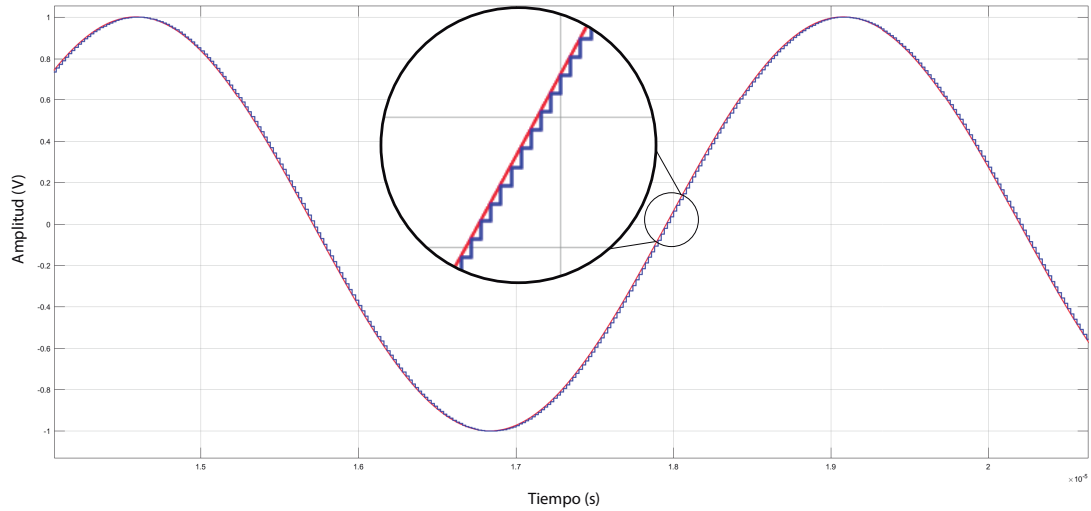


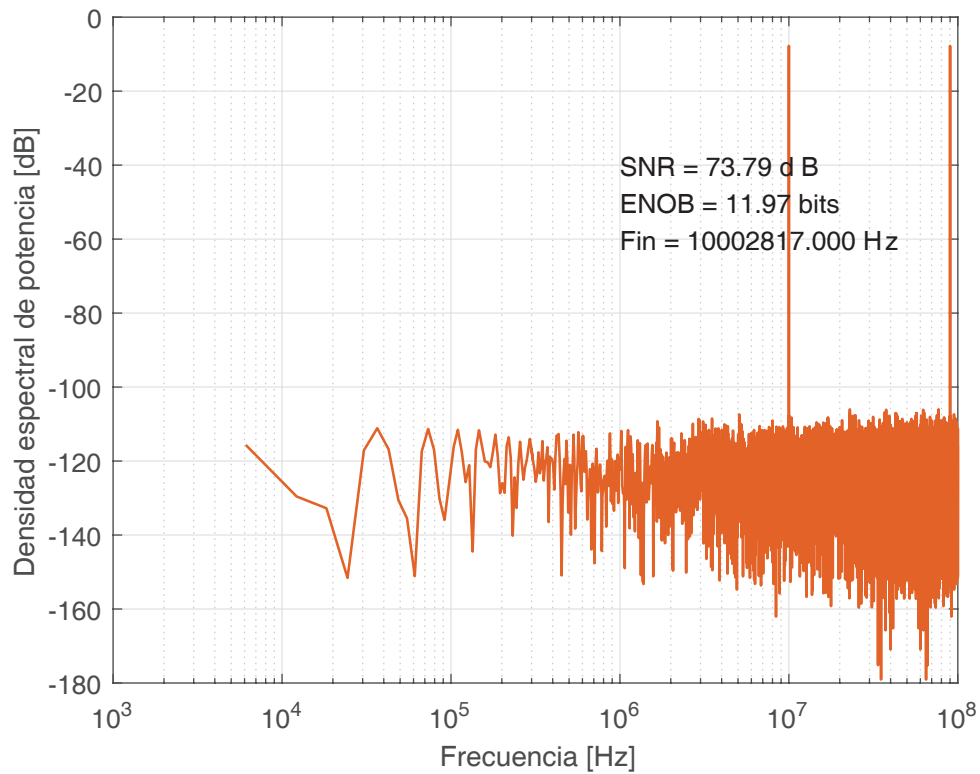
Figura 4.5: Modelo del bloque de conformación de palabra digital.

Este modelo ideal sirve para evaluar el desempeño de la arquitectura y comprobar su funcionamiento. En la Figura 4.6 se muestra la respuesta de la arquitectura a una entrada senoidal, de esta respuesta se calculó la densidad espectral de potencia la cual se observa en la Figura 4.7. Se puede ver que se obtuvo una SNR de 73.79 dB y un número efectivo de bits de 11.97 para una entrada de 10 MHz. Idealmente la SNR debería ser de 74 dB y

el número efectivo de bits de 12, sin embargo, aunque es una simulación ideal la latencia del convertidor y los procesos numéricos para la estimación de la SNR no permiten que se alcancen los 74 dB de forma numérica.



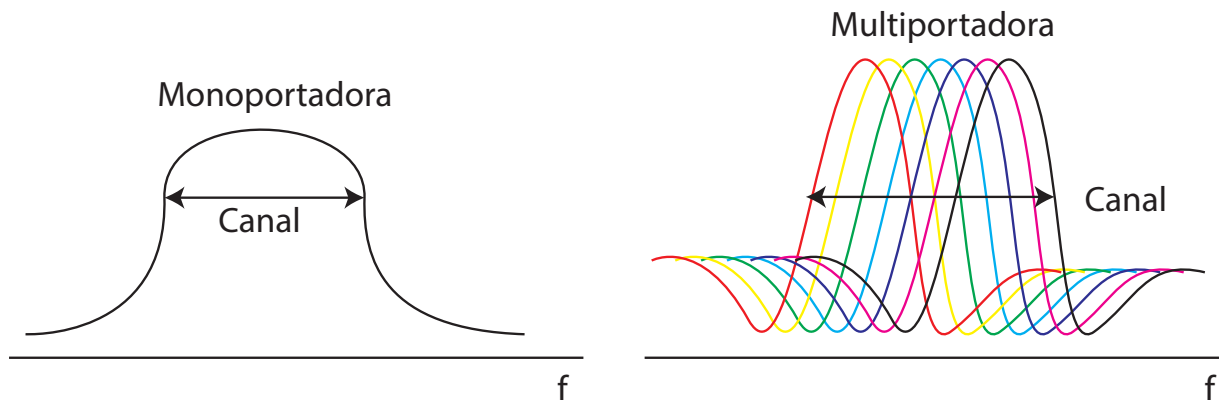
**Figura 4.6:** Respuesta del convertidor a una entrada senoidal.



**Figura 4.7:** Densidad espectral de potencia.

### 4.1.1. Plataforma de evaluación OFDM

Dentro de los sistemas de comunicaciones digitales convencionales, se tiene a los sistemas con una única portadora y a los sistemas multiportadora. En el primero cada símbolo se transmite serialmente ocupando todo el ancho de banda del canal. En un esquema multiportadora los símbolos son transmitidos paralelamente en múltiples subportadoras que se reparten el ancho de banda del canal como se muestra en la Figura 4.8.



**Figura 4.8:** Efecto del canal en sistema mono y multiportadora.

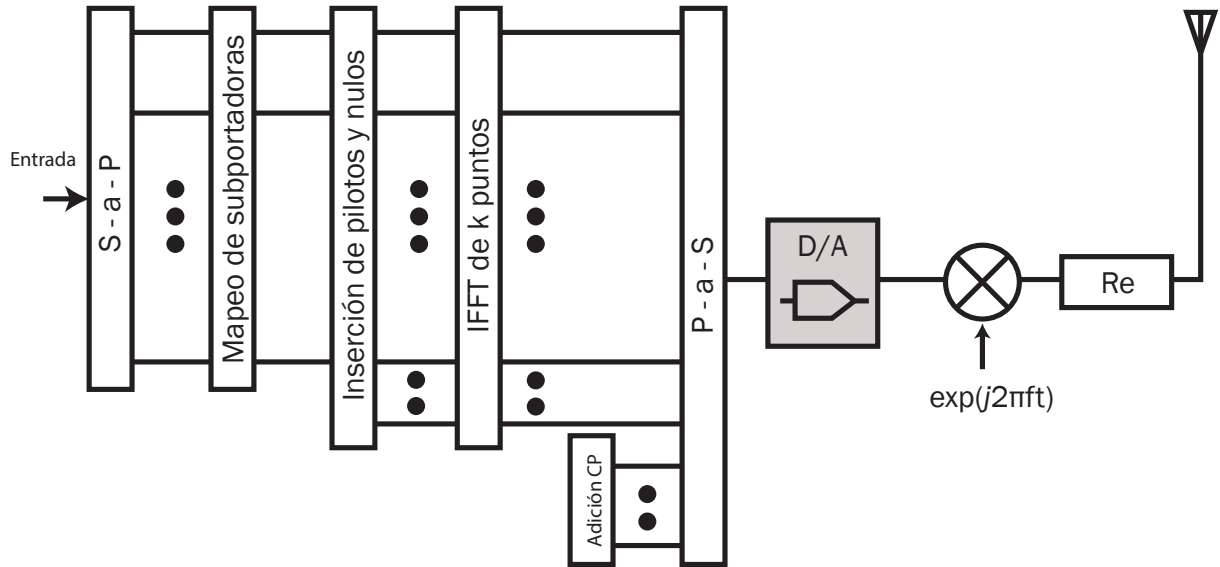
El Multiplexaje por División Ortogonal de Frecuencia es una clase especial del esquema de modulación multiportadora que transmite una trama de datos digital de alta velocidad dividiéndola en múltiples canales ortogonales de datos en paralelo, llamados subcanales.

Lo que hace de OFDM una técnica ampliamente usada es el concepto de las subportadoras ortogonales. El uso de frecuencias ortogonales en OFDM permite la superposición de múltiples portadoras en una misma señal [40].

Para demostrar el funcionamiento del modelo comportamental del ADC en un sistema de comunicaciones OFDM, este trabajo propone una nueva plataforma desarrollada en Simulink; la cual se basa en el estándar de comunicaciones para la capa física básica de un transmisor y un receptor.

El transmisor realiza las operaciones inversas del receptor, en este esquema el flujo de información del transmisor es de izquierda a derecha, de forma complementaria al receptor como se muestra en la Figura 4.9.

El proceso de transmisión comienza cuando el tren de bits codificado se paraleliza y se modula con una técnica 64-QAM, de las tres pertinentes (64-QAM, 16-QAM y QPSK) a continuación, se realiza la inserción de nulos y pilotos. Más tarde, el conjunto de datos paralelos resultante pasa por la operación IFFT para transformarse del dominio de la frecuencia a tiempo. Finalmente, los datos se serializan, se montan en una portadora y se envían al canal de comunicación. Los procesos de transmisión y recepción son complementarios, por lo tanto, el receptor comienza con la eliminación de la portada, el



**Figura 4.9:** Transmisor OFDM.

siguiente paso es la conversión analógica a digital, paralelización, transformada del dominio del tiempo a frecuencia a través de la FFT, cancelación de pilotos y nulos y finalmente demodulación para recuperar la información recibida.

#### 4.1.2. Resultados

El modelo del ADC pipeline de 12 bits se integró en la plataforma OFDM para explorar las especificaciones necesarias que debe cumplir un ADC para funcionar dentro de un sistema de comunicaciones. La Figura 4.10 muestra la plataforma de comunicaciones OFDM completa diseñada en este trabajo, donde se puede apreciar el modelo del ADC como parte del receptor.

El modelo del sistema de comunicaciones está implementando una técnica de modulación 64-QAM, esta consiste en asignar una subportadora a cada 6 bits de la cadena de entrada proveniente del generador aleatorio. Los 3 bits más significativos definen la componente I y los menos significativos la componente Q de cada subportadora de la forma:

$$S(t) = I(t) \cdot K_n \cdot \text{Cos}(2\pi f_c t) + Q(t) \cdot K_n \cdot \text{Sin}(2\pi f_c t) \quad (4.1)$$

donde  $S(t)$  es la señal subportadora,  $I(t)$  y  $Q(t)$  son respectivamente las componentes I y Q generadas por el mapeador de subportadoras en un instante de tiempo,  $K_n$  es el factor de normalización y  $f_c$  es la frecuencia de la señal portadora. En la Figura 4.11 se presenta la señal OFDM en tiempo en el canal de transmisión, para un canal ideal.

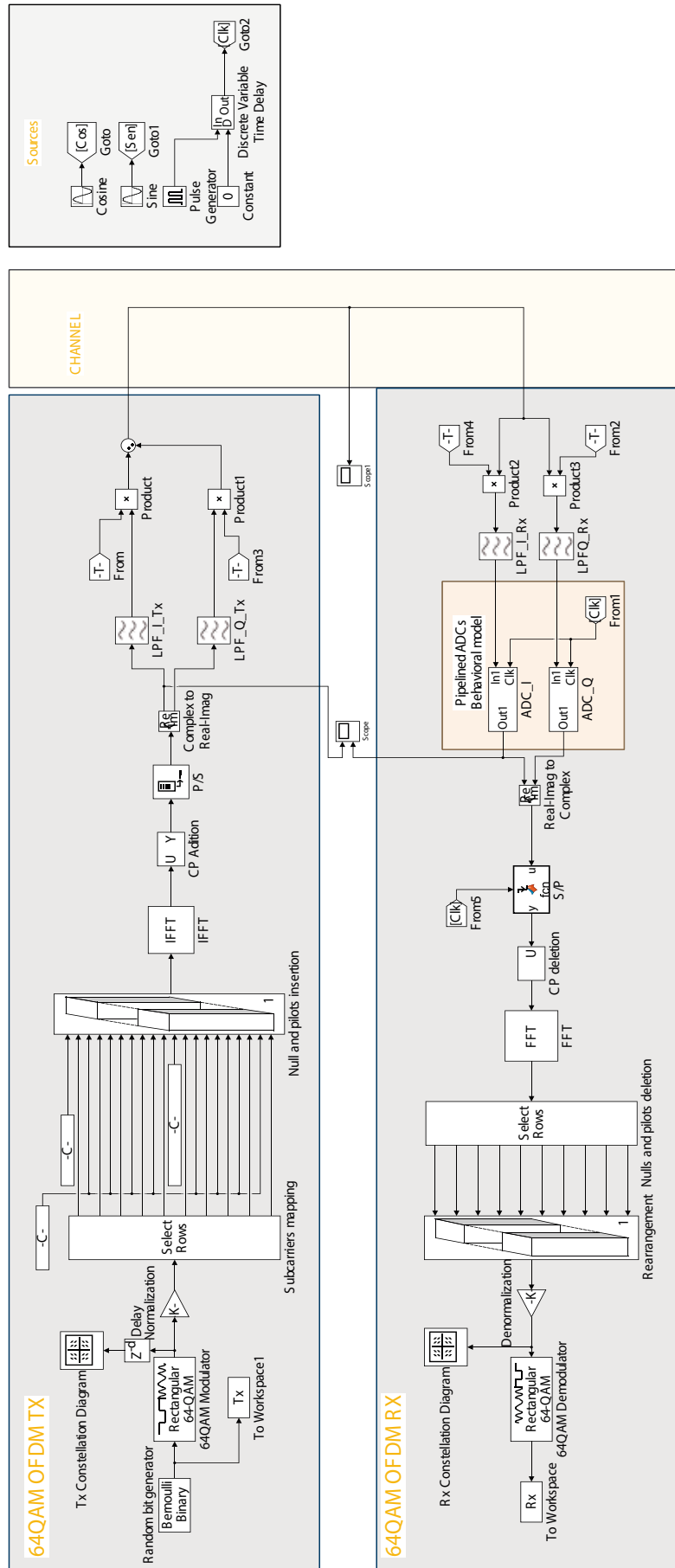
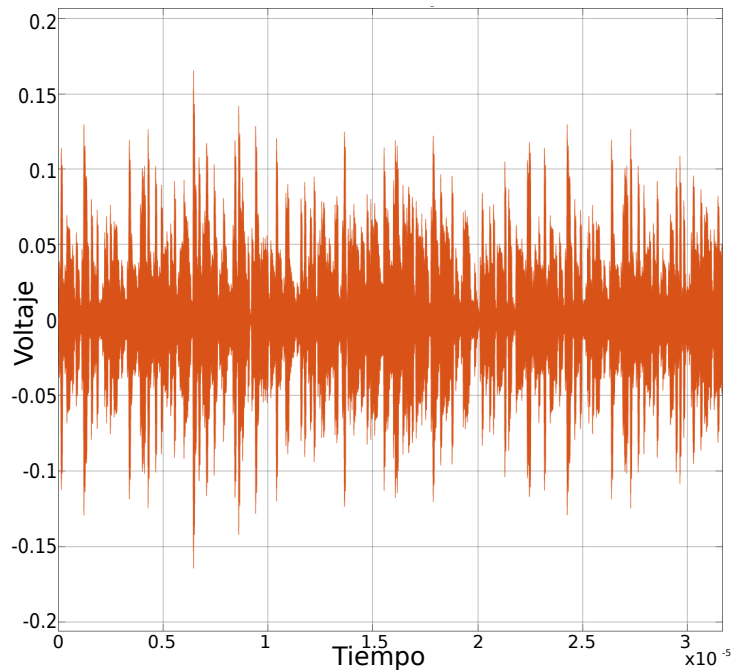


Figura 4.10: Plataforma de evaluación OFDM.



**Figura 4.11:** Señal OFDMA en el dominio del tiempo.

La Figura 4.12 presenta la señal OFDM discreta transmitida y recibida en banda base. Como se puede apreciar la señal recibida presenta un desfase respecto a la transmitida debido a los procesos de filtrado y procesamiento. Sin embargo, el error de recuperación es mínimo. En la Figura 4.13 se presenta la constelación de la señal recibida; los puntos representan un símbolo de 6 bits de la información recibida y las cruces indican dónde debe estar la señal. La información es detectable mientras que los puntos están dentro de la región probabilística del símbolo original.

Para mostrar un beneficio práctico de este modelo, varias simulaciones predicen un impacto negativo ante una reducción en la resolución del ADC. La Figura 4.14 muestra el diagrama de constelación considerando no idealidades de ganancia de DC del amplificador de cada etapa del ADC. Se modeló un error de 7.5% utilizando una distribución normal con media 2 y una desviación estándar de 0.05 para generar valores de ganancia dentro del rango comprendido entre 1.85 y 2.15, produciendo una degradación de la SNR y ENoB de 73.97 dB a 40 dB y de 11.97 bits a 6.37 bits respectivamente. La información no es detectable porque algunos puntos están fuera de la región probabilística del símbolo original. Aun sin considerar efectos de canal se puede ver que el desempeño del ADC tiene una gran influencia para que la recuperación de la información sea exitosa o no. En la realidad un canal no ideal sumado a un ADC de bajo desempeño harían imposible la recuperación de la información. Los efectos del canal se pueden reducir más no eliminar, por tanto el ADC debe tener el mejor desempeño posible.

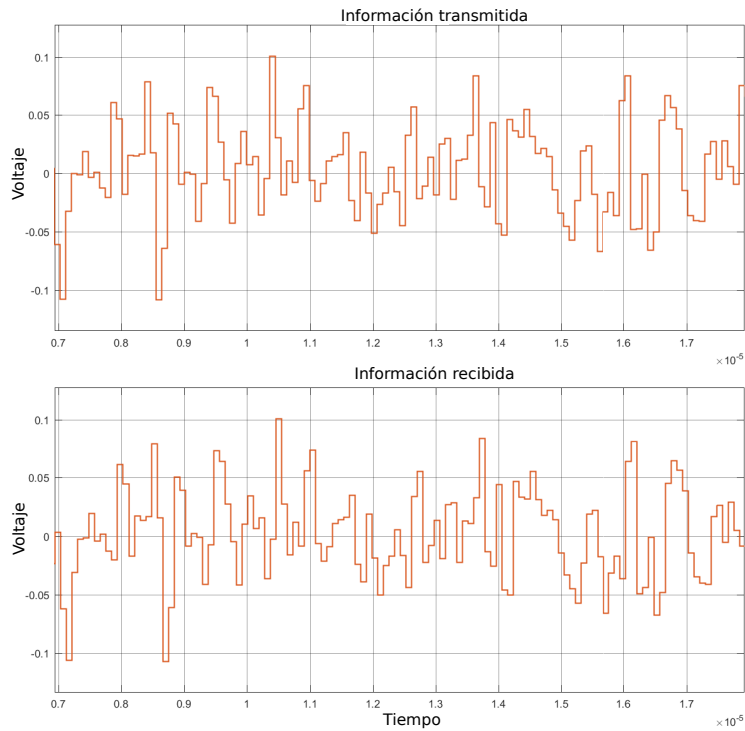


Figura 4.12: Señal OFDM discreta transmitida y recibida en banda base.

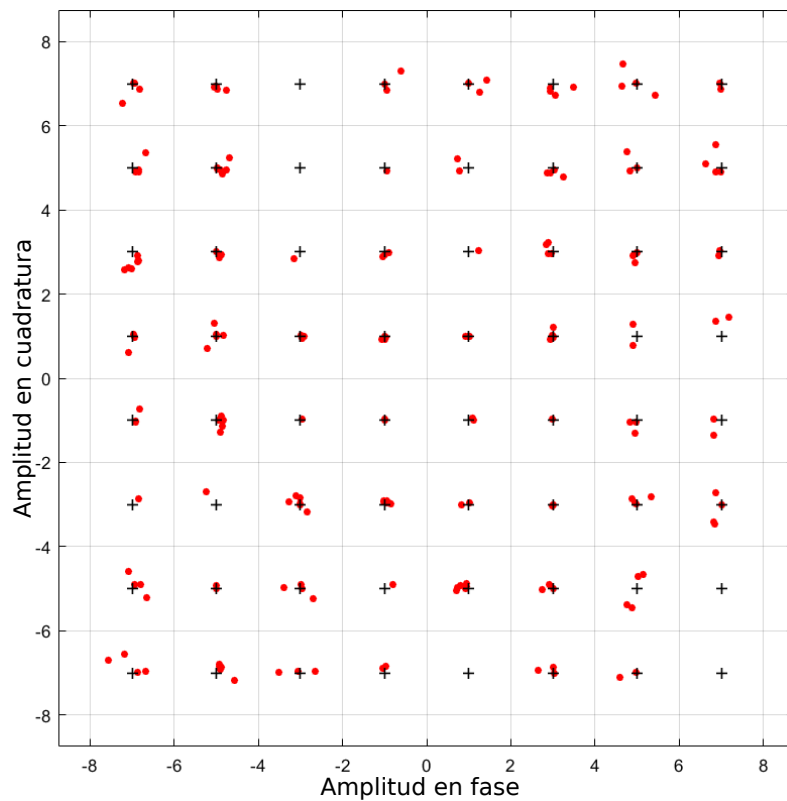
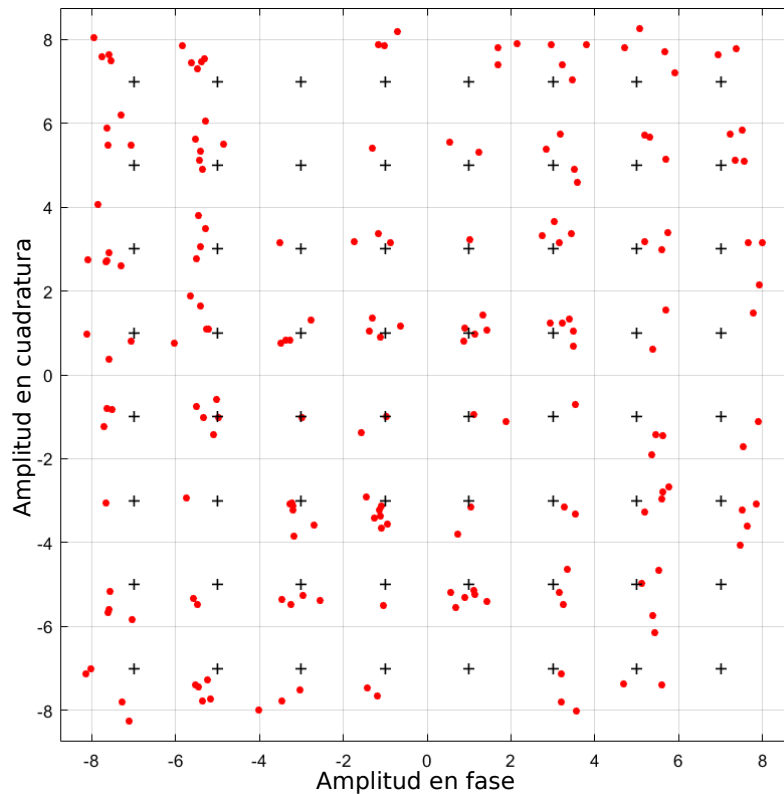


Figura 4.13: Constelación de la señal OFDM recibida con modelo ideal de ADC.



**Figura 4.14:** Constelación de la señal OFDM recibida con modelo no ideal de ADC.

## 4.2. Modelo en Verilog-AMS

Verilog-AMS HDL es un lenguaje de descripción de hardware que combina la descripción digital de Verilog-HDL y la descripción analógica de Verilog-A en un solo lenguaje de señal mixta.

Verilog-AMS permite a los diseñadores de sistemas de señal mixta y circuitos integrados crear y usar módulos encapsulados con descripciones comportamentales de alto nivel, así como, descripciones estructurales de sistemas y componentes, el comportamiento de cada módulo puede ser descrito matemáticamente en términos de sus puertos y parámetros externos aplicados al módulo. Estas descripciones pueden ser usadas en muchas disciplinas como eléctrica, mecánica, dinámica de fluidos y termodinámica [41].

El uso de este lenguaje junto con la herramienta automatizada de diseño electrónico (EDA del inglés “Electronic Design Automation”) de la compañía Cadence con la que se cuenta en el Laboratorio de Diseño y Caracterización de Circuitos y Sistemas de la FCE permite diseñar modelos tan cercanos a la realidad como sea necesario para su posterior síntesis y fabricación a nivel transistor. En la Figura 4.15 se presenta el circuito esquemático del ADC de 12 bits diseñado, este modelo además de utilizar módulos descritos en Verilog y Verilog-A usa modelos de SPICE para capacitores y fuentes.

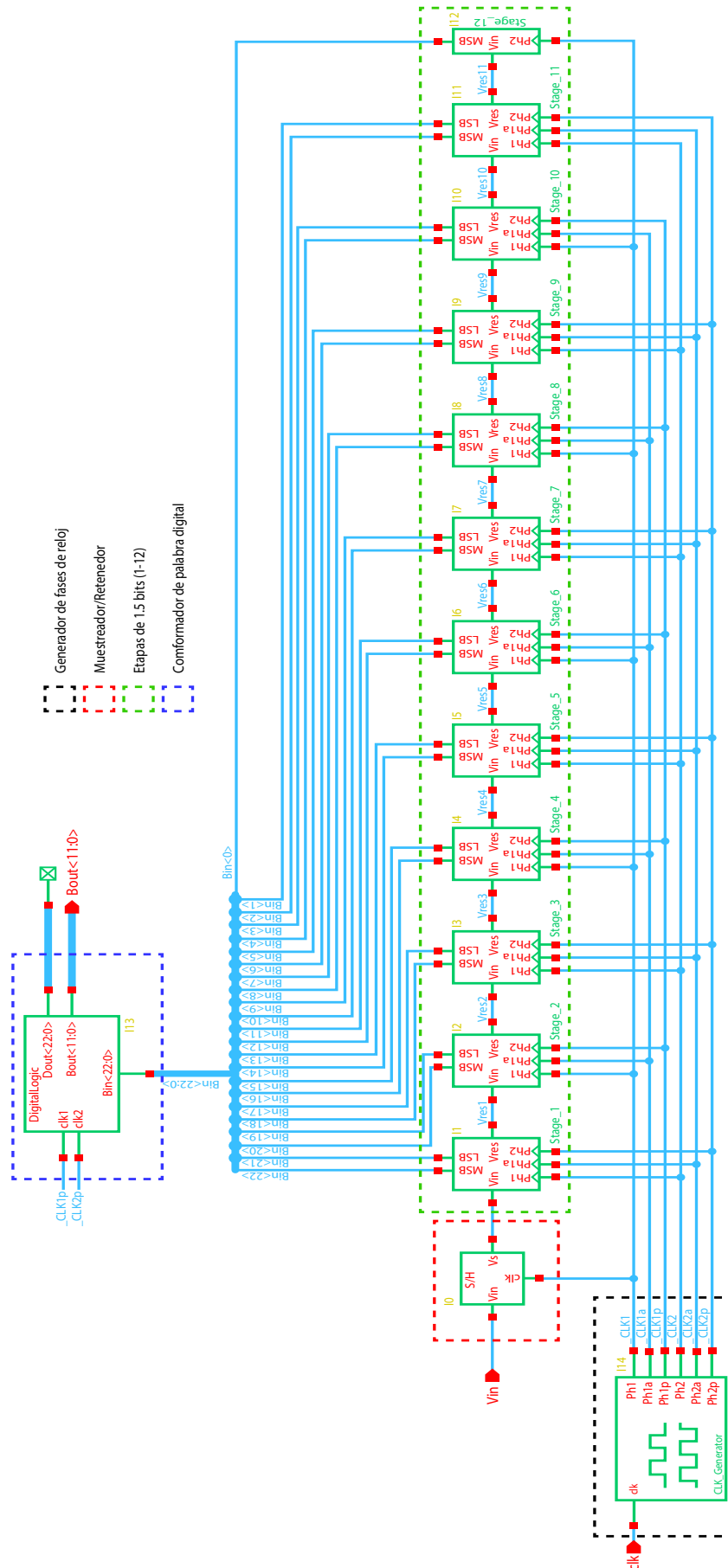


Figura 4.15: Circuito esquemático del ADC de 12 bits.

### 4.2.1. Bloques básicos

A continuación, se presentan los bloques que se desarrollaron para implementar los diferentes circuitos que componen al convertidor A/D pipeline, las descripciones en Verilog o Verilog-A se presentan en el apéndice A.

#### 4.2.1.1. Switch

El switch se describió mediante una resistencia controlada por voltaje. En la Figura 4.16 se presenta el comportamiento de la resistencia del switch según la entrada de control (c). Cuando se encuentra cerrado la resistencia tiende a 0, y a  $\infty$  cuando se encuentra abierto, la descripción en Verilog-A se encuentra en el apéndice A.1.1.

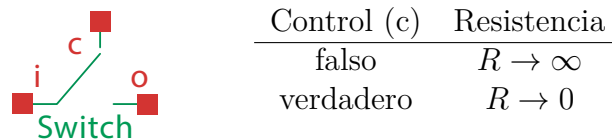


Figura 4.16: Símbolo y comportamiento del módulo switch.

#### 4.2.1.2. Comparador

Dado que un comparador tiene que dar una salida positiva cuando su entrada positiva es mayor que la negativa y negativa de lo contrario, el bloque se modeló como se muestra en la Figura 4.17, la descripción en Verilog-A se encuentra en el apéndice A.1.2.

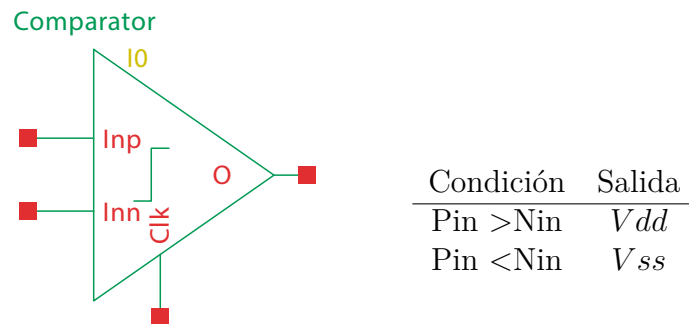
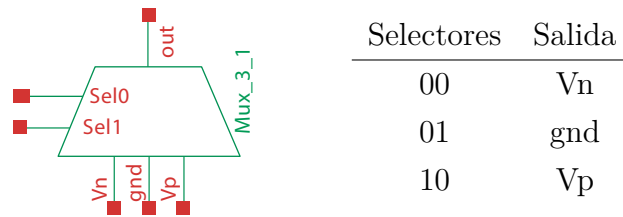


Figura 4.17: Símbolo y comportamiento del módulo comparador.

#### 4.2.1.3. Multiplexor analógico

El módulo multiplexor se encarga de dejar pasar a la salida la entrada elegida por sus entradas de selección, sus selectores (sel0 y sel1) son puramente digitales, sus entradas ( $V_n$ , gnd, vp) y salida son analógicas. Por esta razón se le conoce como multiplexor analógico. En la Figura 4.18 se muestra su comportamiento y símbolo, la descripción en Verilog-A se encuentra en el apéndice A.1.3.



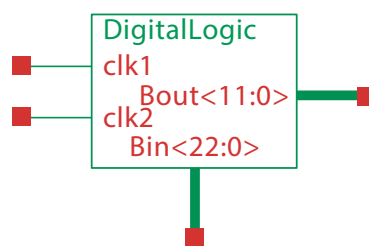
**Figura 4.18:** Símbolo y comportamiento del módulo multiplexor.

#### 4.2.1.4. Compuertas lógicas: NAND, NOT, XOR

Aunque dentro del lenguaje Verilog se encuentran módulos de compuertas fue necesario hacer las propias para poder incluir parámetros de retardo ya que se hace uso de estos para generar las diferentes fases de reloj para la arquitectura, el modelo de estos módulos se realizó implementando la tabla de verdad de cada compuerta, la descripción en Verilog-A de cada compuerta se encuentra en el apéndice A.1.4.

#### 4.2.1.5. Conformación de palabra digital

Este módulo cuyo símbolo se presenta en la Figura 4.19, es uno de los más complicados de describir por el tamaño de los datos que maneja. Se compone de 23 registros de corrimiento y 12 sumadores. En cada flanco de reloj las entradas se toman y retrasan cierta cantidad de tiempo con el fin de sincronizar las salidas de cada etapa para posteriormente ejecutar el algoritmo de suma que genera el dato válido binario, la descripción en verilog-A se encuentra en el apéndice A.2.1.



**Figura 4.19:** Símbolo del módulo de conformación digital.

#### 4.2.1.6. Codificador binario-decimal

Este módulo es auxiliar para generar las gráficas de salida, se encarga de convertir la salida binaria de 12 bits del convertidor a decimal, no es parte de la arquitectura pero fue necesario para observar su respuesta de manera más clara. En la Figura 4.20 se presenta su símbolo, su descripción en verilog-A se encuentra en el apéndice A.3.1.

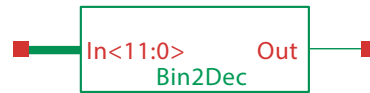


Figura 4.20: Símbolo del módulo de conversión binaria a decimal.

## 4.2.2. Etapa de 1.5 bits

La etapa básica es modelada como la conexión entre el ADC de 1.5 bits y el bloque MDAC de 1.5 bits (Figura 4.21), en este caso como también se requiere una simulación mas cercana a su implementación no se usaron bloques sumadores, multiplicadores y S/H como en la simulación de la sección anterior.

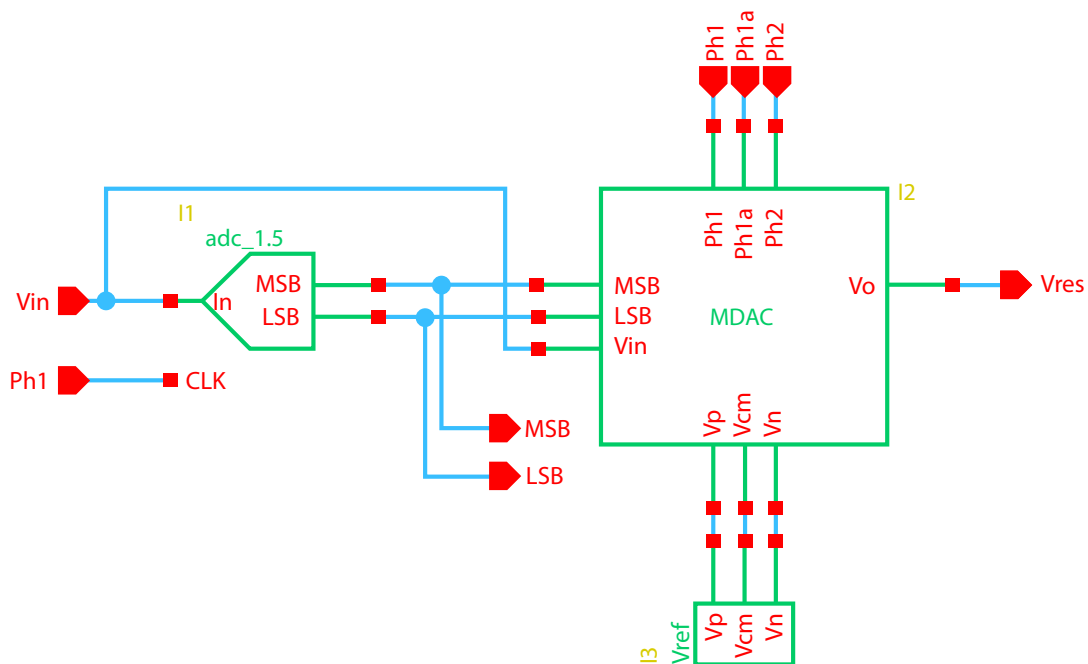


Figura 4.21: Circuito esquemático de una etapa de 1.5 bits.

### 4.2.2.1. subADC de 1.5 bits

El bloque ADC de 1.5 bits se implementó al igual que en la simulación en Simulink pero ahora utilizando los módulos comparadores descritos en Verilog-A como se muestra en la Figura 4.22. A diferencia del modelo de la sección anterior, en este caso se incluye una compuerta OR que corrige el efecto burbuja en caso de que se presente.

El efecto burbuja es la posibilidad, debido a la fabricación o condiciones ambientales, de que un comparador rodeado por comparadores en bajo presente un alto o viceversa, el cual se consideraría un falso positivo. En la tabla 4.2 se muestra el efecto del corrector de error de burbuja y del codificador, al final la salida de este sub-sistema está codificada en binario.

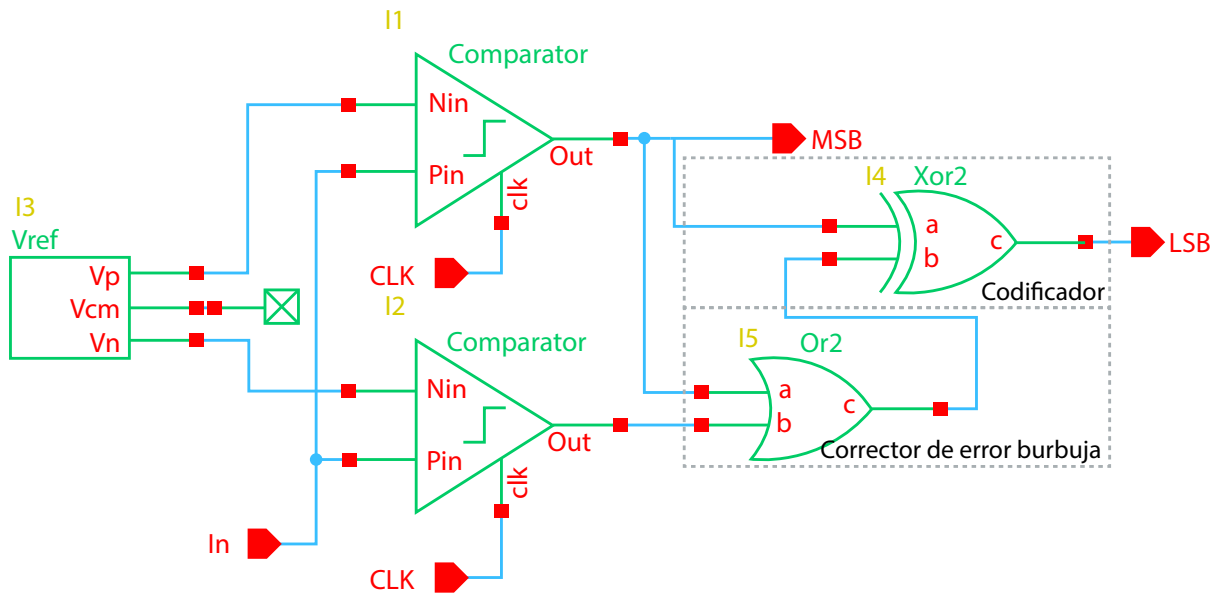


Figura 4.22: Circuito esquemático del ADC de 1.5 bits.

Tabla 4.2: Corrección de error burbuja.

Salida de comparadores	¿Dato válido?	Con corrección	Codificado
00	Correcto	00	00
01	Correcto	01	01
10	Error	11	10
11	Correcto	11	10

#### 4.2.2.2. MDAC de 1.5 bits

El bloque MDAC de 1.5 bits se implementó con el circuito de capacitores conmutados presentado en la sección 3.2. Los switches y el multiplexor se describieron con Verilog-AMS mientras que para los capacitores y el Op-Amp se utilizaron modelos de SPICE. En la Figura 4.23 se presenta el circuito diseñado.

El circuito MDAC implementa por sí solo las operaciones de muestreo y retención, ganancia, DAC y resta, mediante el uso de capacitores conmutados a continuación se explica el funcionamiento del circuito.

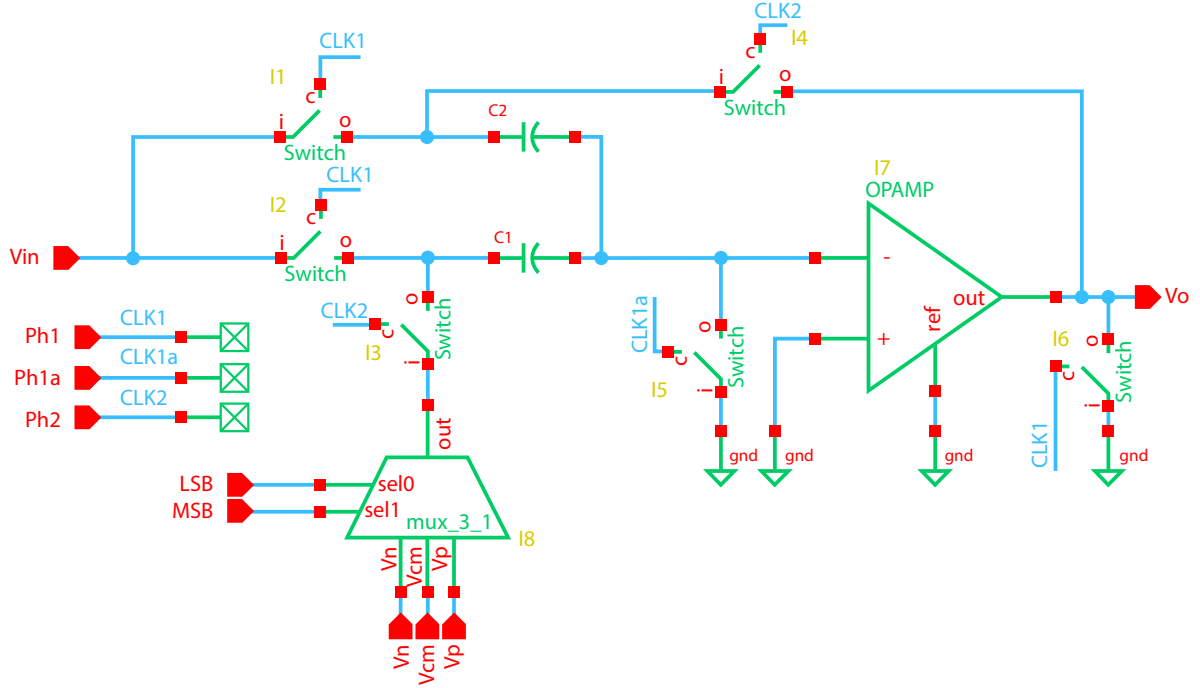
Cabe resaltar que el multiplexor en sí se comporta como un DAC de 1.5 bits, tiene el siguiente comportamiento y es controlado por la salida del ADC de 1.5 bits.

Tabla 4.3: Respuesta del multiplexor del MDAC.

Entrada	Salida
00	$-V_{REF}$
01	$GND$
10	$V_{REF}$

Caso 1: Cuando el ADC de 1.5 bits tiene una salida 00:

Durante la fase CLK1:  $Q_{C1} = C1V_{in}$  y  $Q_{C2} = C2V_{in}$



**Figura 4.23:** Circuito esquemático del MDAC de 1.5 bits.

Durante la fase CLK2:  $C_1$  está cargado a  $-V_{REF}$  y por conservación de la carga

$$\begin{aligned} C_1 V_{in} + C_2 V_{in} &= C_1 (-V_{REF}) + C_2 V_{out} \\ V_{out} &= \frac{C_1 + C_2}{C_2} V_{in} + \frac{C_1}{C_2} V_{REF} \end{aligned} \quad (4.1)$$

por lo tanto si  $C_1 = C_2$  entonces  $V_{out} = 2V_{in} + V_{REF}$

*Caso 2: Cuando el ADC de 1.5 bits tiene una salida 01:*

Durante la fase CLK1:  $Q_{C1} = C_1 V_{in}$  y  $Q_{C2} = C_2 V_{in}$

Durante la fase CLK2:  $C_1$  es descargado y por conservación de la carga

$$\begin{aligned} C_1 V_{in} + C_2 V_{in} &= C_2 V_{out} \\ V_{out} &= \frac{C_1 + C_2}{C_2} V_{in} \end{aligned} \quad (4.2)$$

por lo tanto si  $C_1 = C_2$  entonces  $V_{out} = 2V_{in}$

*Caso 3: Cuando el ADC de 1.5 bits tiene una salida 10:*

Durante la fase CLK1:  $Q_{C1} = C_1 V_{in}$  y  $Q_{C2} = C_2 V_{in}$

Durante la fase CLK2:  $C_1$  está cargado a  $V_{REF}$  y por conservación de la carga

$$\begin{aligned} C_1 V_{in} + C_2 V_{in} &= C_1 (V_{REF}) + C_2 V_{out} \\ V_{out} &= \frac{C_1 + C_2}{C_2} V_{in} - \frac{C_1}{C_2} V_{REF} \end{aligned} \quad (4.3)$$

por lo tanto si  $C_1 = C_2$  entonces  $V_{out} = 2V_{in} - V_{REF}$

### 4.2.3. Reloj del sistema

Una parte importante de la arquitectura pipeline es que todas las etapas deben estar perfectamente sincronizadas para reducir la probabilidad de una conversión errónea, por esto el uso de diferentes fases de reloj sin solapamiento es necesario. En la Figura 4.24 se presenta el esquemático del circuito utilizado para la generación de las fases de reloj sin solapamiento. En este circuito se hace uso de los retardos intrínsecos de las compuertas. Dado que Verilog no considera los retardos de las compuertas se tuvieron que diseñar modelos en Verilog-A que sí los consideren. En la Figura 4.25 se ilustran las fases no solapadas que se diseñaron.

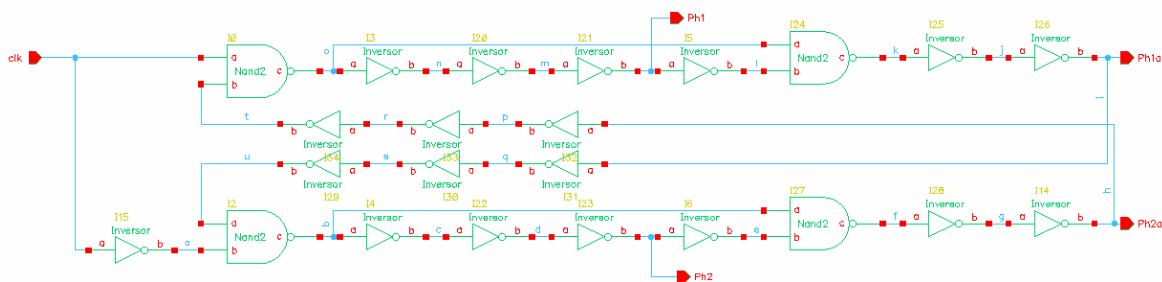


Figura 4.24: Circuito esquemático del generador de reloj.

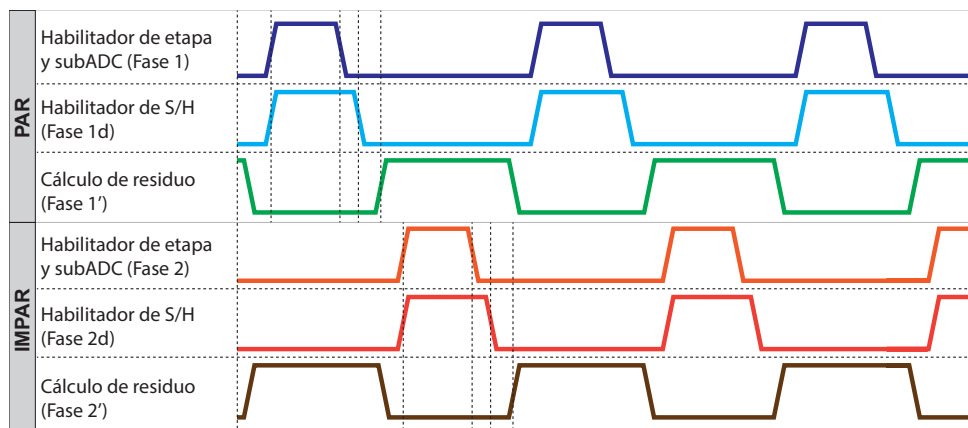
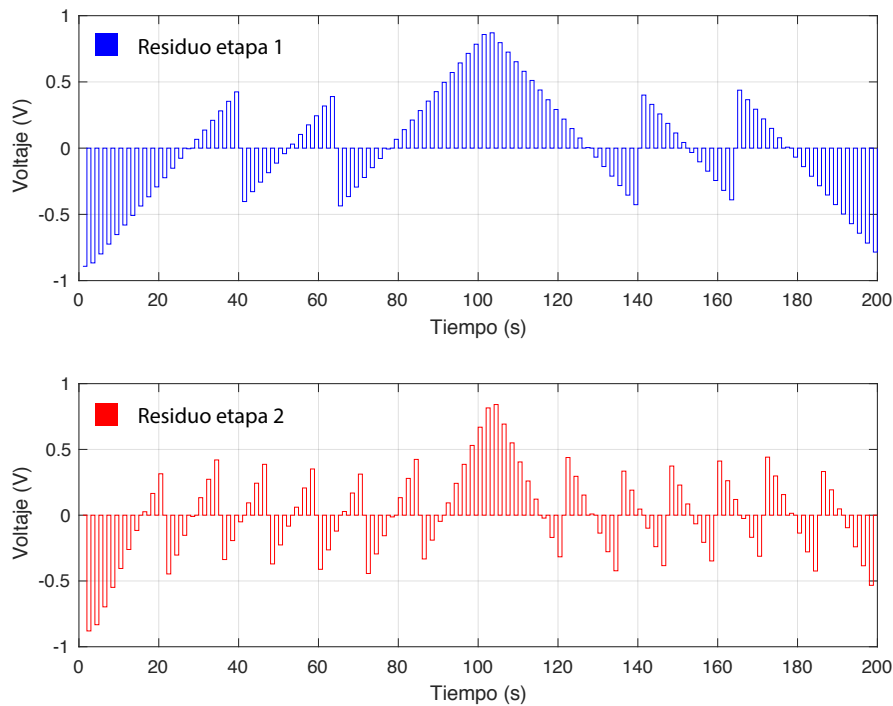


Figura 4.25: Fases sin solapamiento del generador de reloj.

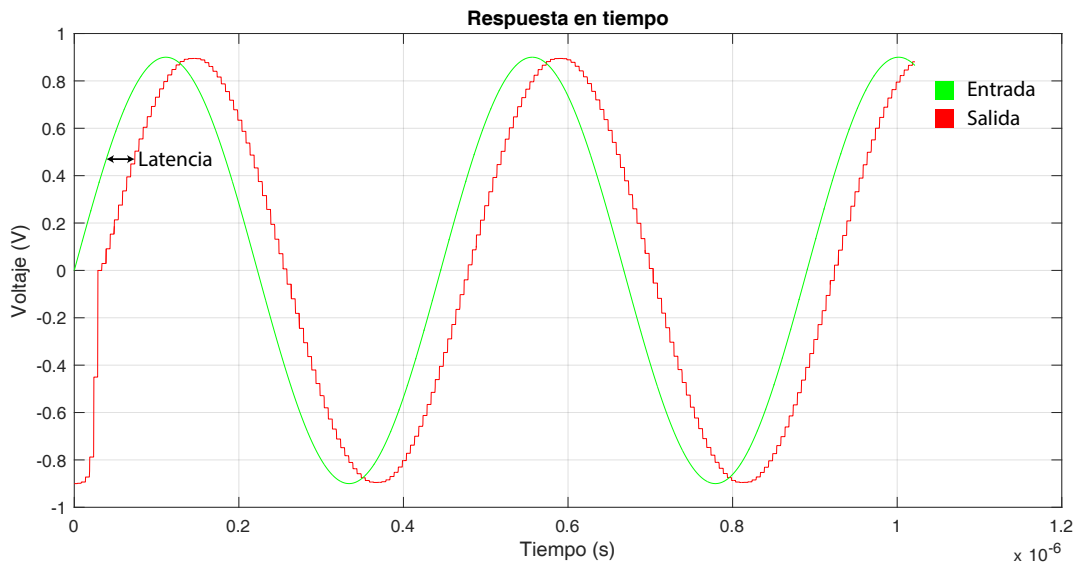
### 4.2.4. Resultados

Los residuos de la primera y segunda etapa para una entrada triangular se presentan en la Figura 4.26, ambos tienen la forma esperada tratada en la sección 3.2, lo que lleva a concluir que las etapas están funcionando correctamente.

La respuesta en tiempo del convertidor de 12 bits a una señal senoidal se presenta en la Figura 4.27, en esta simulación se puede apreciar el tiempo de latencia, que es el tiempo que tarda en generar el primer código válido.



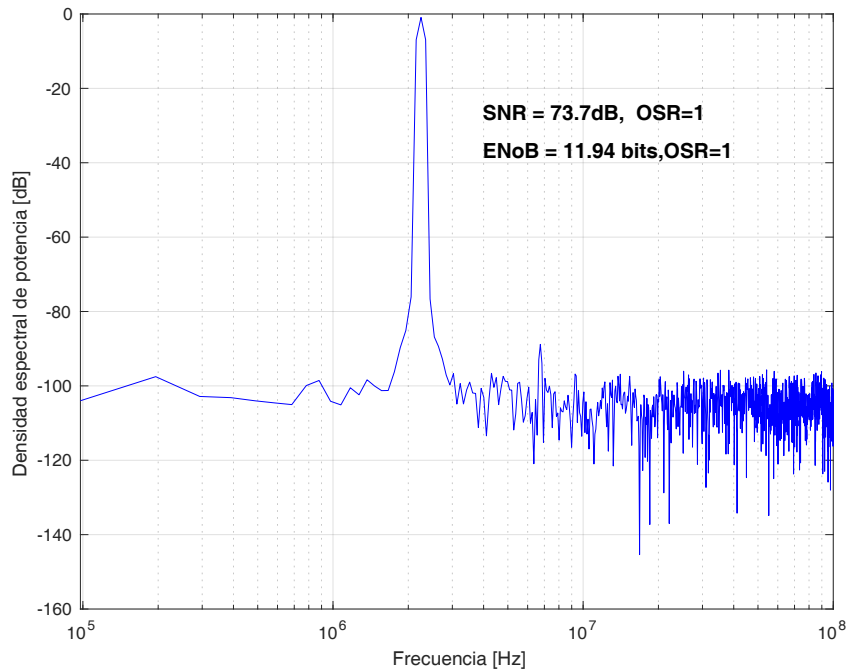
**Figura 4.26:** Residuo de las dos primeras etapas a una entrada triangular.



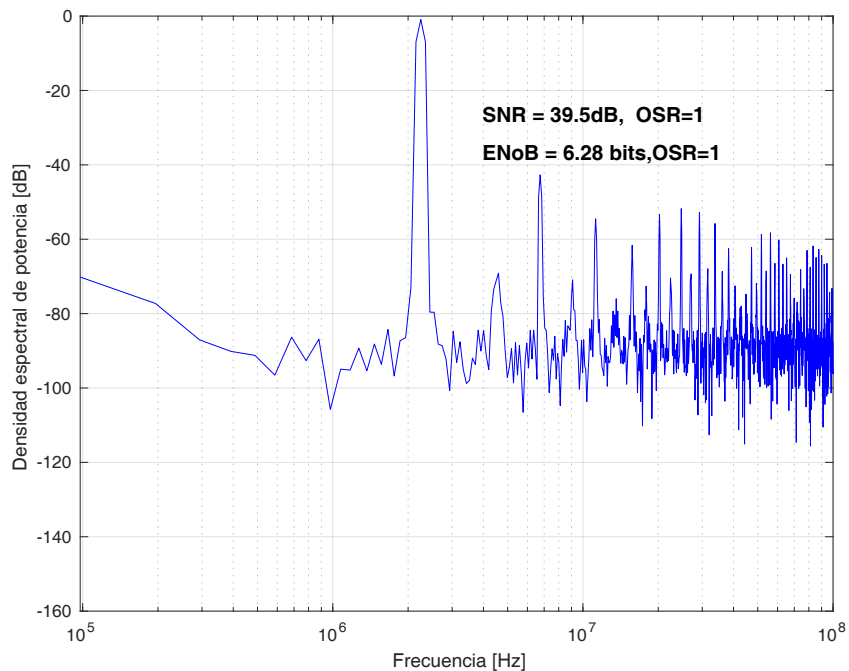
**Figura 4.27:** Respuesta en tiempo a entrada senoidal.

En la Figura 4.28a se presenta la densidad espectral de potencia de la señal de salida para una entrada senoidal, obteniéndose una SNR de 73.7dB mientras que el ENoB se degrada hasta los 11.94 bits. Como se espera, las mediciones difieren de las ideales debido a que este modelo es más próximo a una implementación real. En la Figura 4.28b se la respuesta del convertidor cuando el modelo presenta una no idealidad, para esta prueba los capacitores de la primer etapa se definieron con un error del 5% para evaluar sus

efectos. Se puede apreciar que el ENoB cayó a 6.28 bits, lo que demuestra lo sensible que es esta arquitectura a los errores de diseño y fabricación. Estos resultados implican un reto para el diseño a nivel transistor CMOS.



(a) Espectro de la señal de salida ideal.



(b) Espectro de la señal de salida no ideal.

**Figura 4.28:** Respuestas en frecuencia del ADC.

---

# Capítulo 5

## Diseño a nivel transistor

En este Capítulo se presenta el diseño a nivel transistor del convertidor ADC, todo el proyecto se construye sobre la librería CMOS UMC 180nm de la empresa Europractice la cual trabaja con un voltaje de alimentación de 1.8 Vpp. Se aplica un proceso de diseño bottom-top (“de abajo a arriba”) el cual consiste en diseñar a detalle cada bloque mínimo para posteriormente conectarlos entre sí y obtener componentes más grandes que a su vez se conectan y forman el sistema completo.

### 5.1. Tecnología CMOS de 180nm

Los transistores Metal-Oxido-Silicio de efecto de campo (MOSFET, por sus siglas en ingles) han existido desde los años 60s, sin embargo la tecnología de esa época no permitía más que producir transistores tipo N, lo que complicaba las labores de diseño. No fue sino hasta mediados de la misma década cuando la tecnología CMOS o MOS complementaria fue desarrollada, esta nueva tecnología permitía fabricar y diseñar ambos tipos de transistores (tipo P y tipo N) sobre un mismo substrato, este avance dio inicio a una revolución en la industria de los semiconductores.

La tecnología CMOS rápidamente capturó el mercado digital debido a que las compuertas de los transistores CMOS solo disipaban potencia durante la conmutación y los diseños requerían muy pocos dispositivos en comparación con los transistores bipolares o de GaAs que eran su competencia directa.

El siguiente paso fue aplicar la tecnología CMOS al diseño analógico. EL bajo costo de fabricación y la posibilidad de colocar circuitos digitales y analógicos en el mismo chip para mejorar el desempeño global o reducir costos de empaquetado hicieron muy atractiva esta tecnología.

Las principales ventajas de los dispositivos MOS sobre los bipolares es su velocidad, su bajo voltaje de operación y su escalabilidad [42].

El convertidor de datos objeto de este trabajo está diseñado considerando los

parámetros físicos de la tabla 5.1.

**Tabla 5.1:** Parámetros físicos del proceso CMOS de 180nm.

Parámetro	Abreviatura	NMOS	PMOS
Voltaje de encendido	$V_{THn}, V_{THp}$	$500mV$	$-500mV$
Longitud máxima de canal	$L_{max}$	$50\mu m$	$50\mu m$
Longitud mínima de canal	$L_{min}$	$180nm$	$180nm$
Ancho máximo de canal/finger	$W_{max}$	$100\mu m$	$100\mu m$
Ancho mínimo de canal	$W_{min}$	$240nm$	$240nm$
Transconductancia del proceso	$\kappa_n, \kappa_p$	$263\mu A/V$	$95\mu A/V$
Espesor del oxido de compuerta	$t_{oxn}, t_{oxp}$	$4.2nm$	$4.2nm$

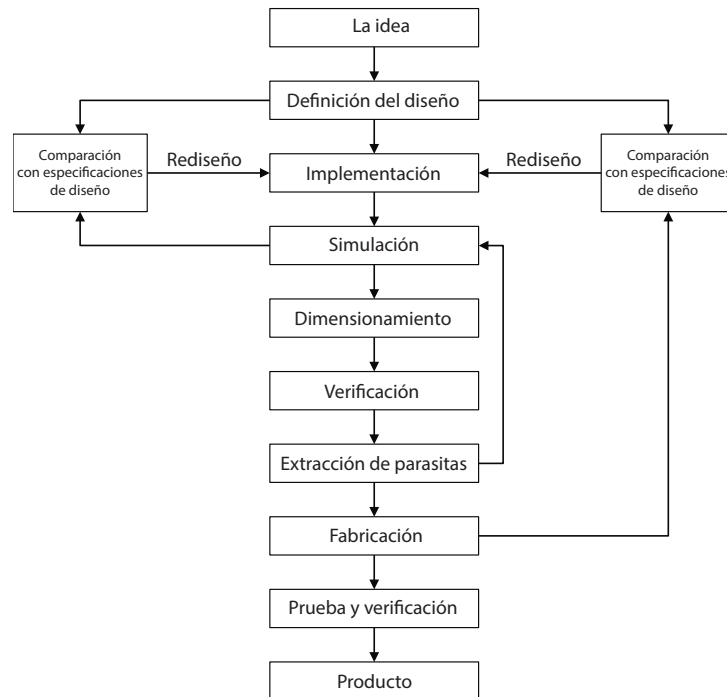
A partir de estos parámetros el diseñador conoce las limitaciones eléctricas y físicas de la tecnología con la que está trabajando, cualquier parámetro fuera de los rangos dados implicaría que el diseño no es manufacturable y por tanto inútil.

## 5.2. Diseño electrónico CMOS

El diseño electrónico es el proceso creativo de desarrollar un circuito que resuelve un problema. Se puede entender el diseño si se compara con el análisis. El análisis de un circuito es el proceso mediante el cual uno comienza con el circuito y encuentra sus propiedades. Una característica importante del proceso de análisis es que la solución o las propiedades son únicas. Por otro lado, la síntesis o diseño de un circuito es el proceso mediante el cual uno comienza con un conjunto de especificaciones deseadas y encuentra un circuito que las satisface. En un problema de diseño, la solución no es única, por lo que existe la oportunidad de ser creativo [43].

La tarea de diseñar un circuito incluye muchos pasos, la Figura 5.1 muestra el proceso completo desde la concepción de la idea hasta el producto final, el diseñador es responsable de todos los pasos excepto de la fabricación.

Básicamente se inicia con la concepción de la idea, después se definen las especificaciones de diseño y se hace la primer implementación al nivel que el diseñador considere (modelo matemático, comportamental o transistor), posteriormente se simula la implementación y se evalúa, si todo es satisfactorio se procede a hacer el dimensionamiento físico (literal, definir tamaños de los transistores), si no se vuelve a rediseñar hasta que lo haga. Después de dimensionar el circuito se verifica y se hace la extracción de dispositivos parásitos, si la simulación incluyendo los parásitos es satisfactoria se procede a fabricar, si no se tiene que re-diseñar, una vez que el chip es fabricado resta probar y verificar su funcionamiento para poder decir que se tiene un producto.



**Figura 5.1:** Proceso de diseño.

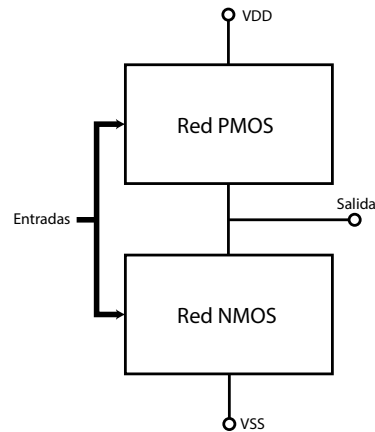
## 5.3. Elementos básicos

Entendiendo como elementos básicos los dispositivos que son necesarios para construir el MDAC y el subADC de cada etapa, en esta sección se presenta el circuito a nivel transistor que se utilizó para implementar cada dispositivo así como su principio de funcionamiento y los resultados de las pruebas de funcionamiento realizadas a cada elemento para validar su correcto desempeño.

### 5.3.1. Compuertas digitales

Prácticamente todos los dispositivos aún siendo analógicos requieren de señales digitales de control o de bloques de retención digital como latches o flip-flops, por esto el diseño de las compuertas necesarias se describe en esta parte. La técnica de diseño utilizada se conoce como lógica MOS complementaria. Esta consta de dos redes de conmutación como se muestra en la Figura 5.2.

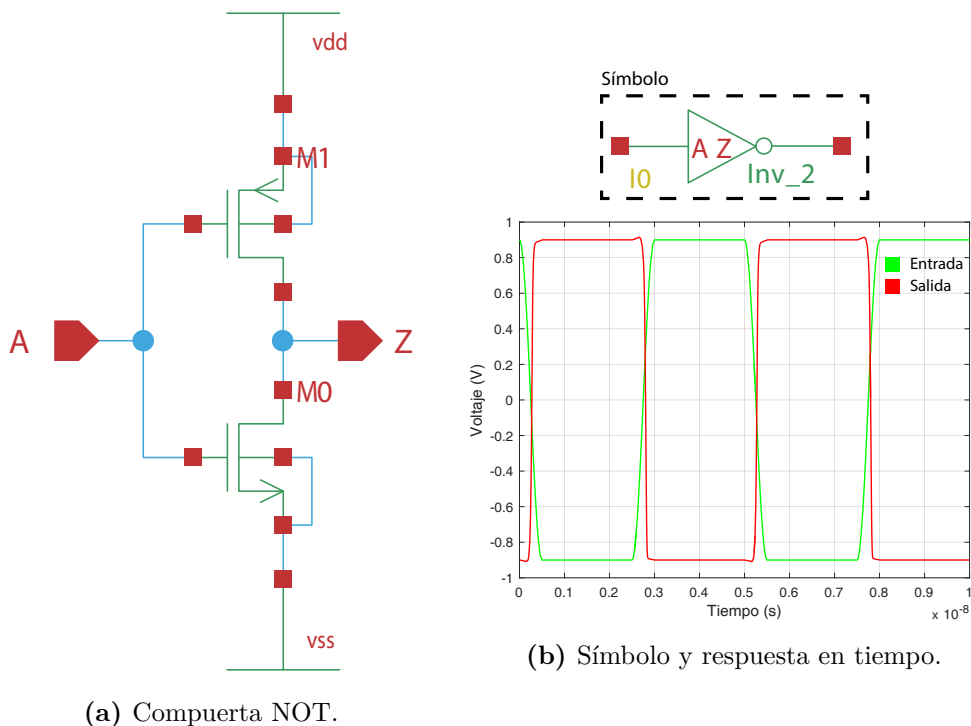
Ambas redes son complementarias lo que significa que cuando una esta activa la otra no, lo que produce que no haya pérdida de potencia en estado estático lo que se traduce en bajo consumo de potencia. Además, es robusta al ruido, fácil de dimensionar y funcional [44]. A continuación, se presentan los esquemáticos, símbolos y respuestas de cada compuerta diseñada en este trabajo.



**Figura 5.2:** Lógica MOS complementaria.

### 5.3.1.1. NOT

Es la más simple y la más utilizada de todas las compuertas, se implementa con 2 transistores complementarios conectados en serie, las compuertas y drenajes de ambos transistores se conectan entre sí como se muestra en la Figura 5.3a, la entrada se define en el punto de conexión de las compuertas y la salida en el punto de conexión de los drenajes. Básicamente, cuando la entrada de la compuerta es “1” el transistor PMOS se apaga y el NMOS enciende produciendo un “0” en la salida Z, cuando la entrada es “0” ocurre lo contrario ahora el PMOS enciende y el NMOS se apaga produciendo un “1”.



(a) Compuerta NOT.

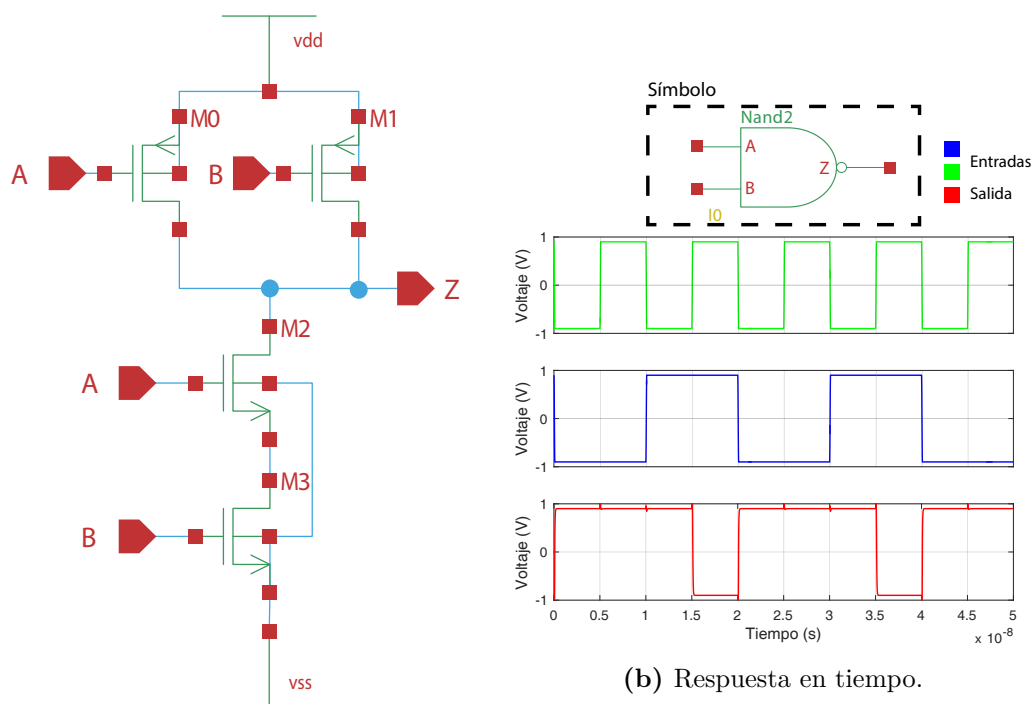
**Figura 5.3:** Esquemático, símbolo y respuesta de la compuerta NOT.

La prueba de este circuito es simple, se introduce una señal que cambia con el tiempo

de “0” a “1” y se observa la salida, en la Figura 5.3b se presenta su respuesta en tiempo.

### 5.3.1.2. NAND

El esquemático de esta compuerta de dos entradas se muestra en la Figura 5.4a, como es sabido la compuerta NAND da salida “0” cuando las entradas son “11”, se puede ver que la única condición para que la red NMOS se active y la salida tome el valor “0” es “11” y en cualquier otro caso la red PMOS es la que está activa alimentando el nodo de salida Z.



(a) Compuerta NAND y símbolo.

**Figura 5.4:** Esquemático, símbolo y respuesta de la compuerta NAND.

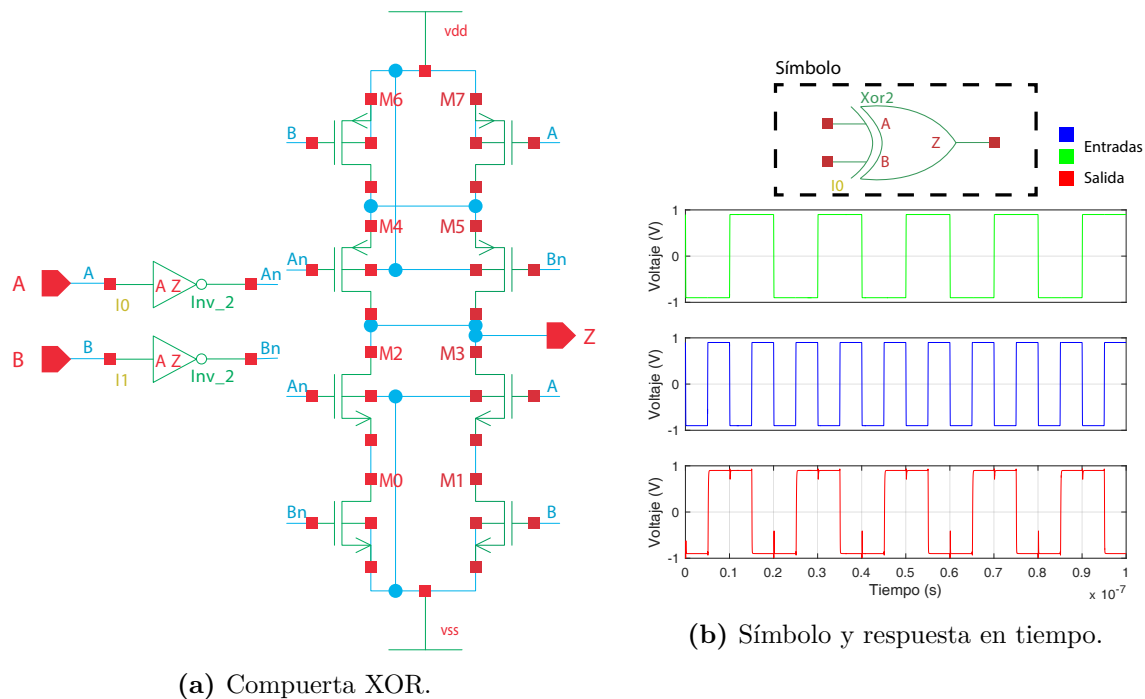
En la Figura 5.4b se muestra el símbolo y la respuesta en tiempo de la compuerta diseñada.

### 5.3.1.3. XOR

Esta compuerta no es tan simple de diseñar, aunque se basa también en redes PMOS y NMOS se necesitan además las entradas invertidas como se muestra en la Figura 5.5a, cuando ambas entradas son iguales “00” o “11” la red NMOS se activa y la salida toma el valor “0”, cuando las entradas son diferentes “01” o “10” la red PMOS se activa y la salida toma el valor “1”.

La respuesta y el símbolo de esta compuerta se muestra en la Figura 5.5b, se puede

apreciar que en efecto la compuerta está respondiendo como debe ser, los glitches<sup>1</sup> presentes en las transiciones son debido a un pequeño desfase generado por la inversión de las entradas, esto provoca que los transistores con entradas no negadas se activen o desactiven antes que los controlados por entradas negadas.



**Figura 5.5:** Esquemático, símbolo y respuesta de la compuerta XOR.

### 5.3.2. Comparador dinámico

Uno de los dispositivos principales del bloque subADC es el comparador. El comparador es un circuito que compara una señal analógica con otra señal o referencia y da una salida binaria en base a la comparación [43].

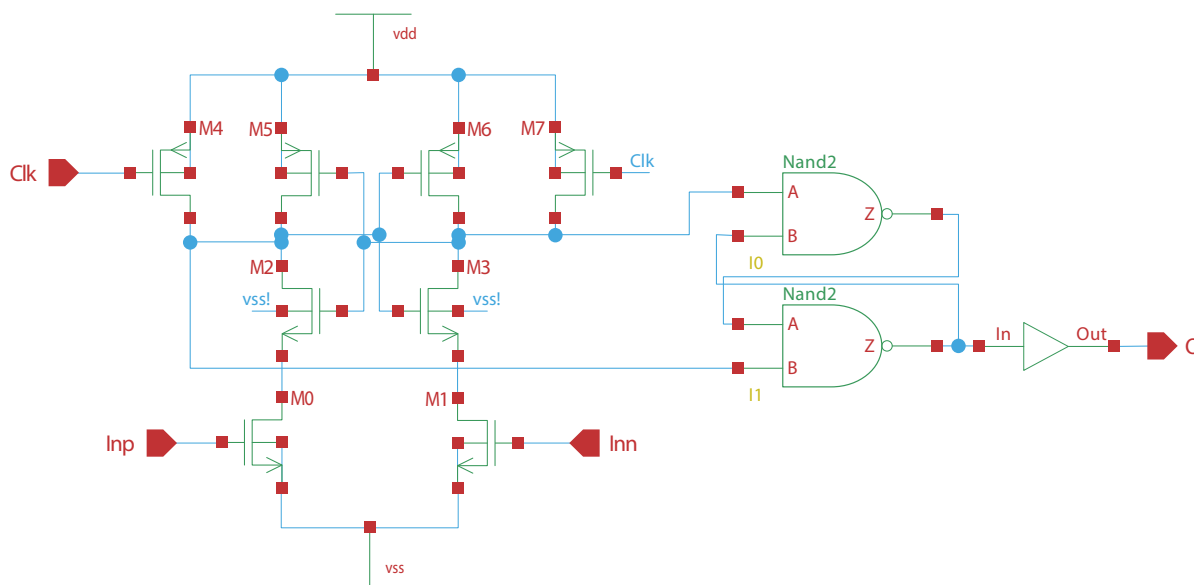
El circuito esquemático del comparador utilizado en este diseño se presenta en la Figura 5.6a.

El circuito consiste de una etapa de pre-amplificación y una latch en su salida, en este diseño la latch se implementó con las dos compuertas NAND del lado derecho del circuito esquemático. La respuesta y el símbolo de este elemento se muestra en la Figura 5.6b, se compara una señal triangular contra una señal de referencia, cuando la entrada sobrepasa el voltaje de referencia la salida toma el valor “1”, de lo contrario la salida es “0”.

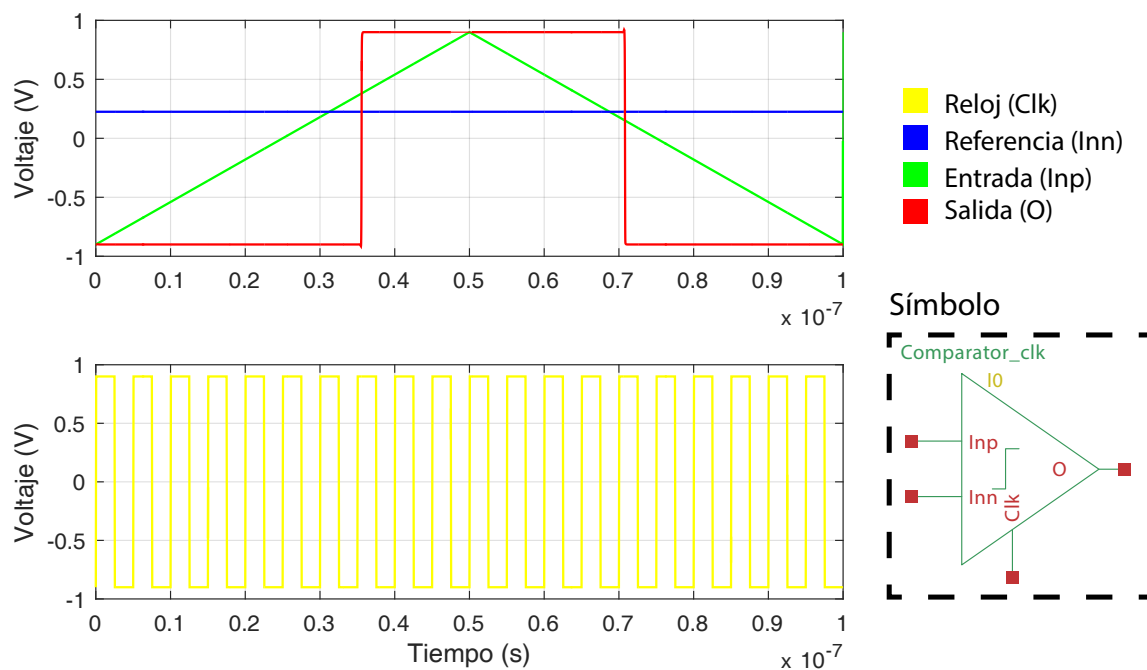
Aunque es un dispositivo clave para el funcionamiento del convertidor no es clave en su desempeño, debido a que la arquitectura es de 1.5 bits, el medio bit de redundancia agregado a cada etapa permite relajar el diseño del comparador al punto en que los errores

<sup>1</sup>Errores efímeros de efecto nulo sobre un sistema, producto de las transiciones o desfases en sus entradas.

generados por un mal diseño del mismo son automáticamente corregidos por las etapas consecuentes.



(a) Comparador dinámico.



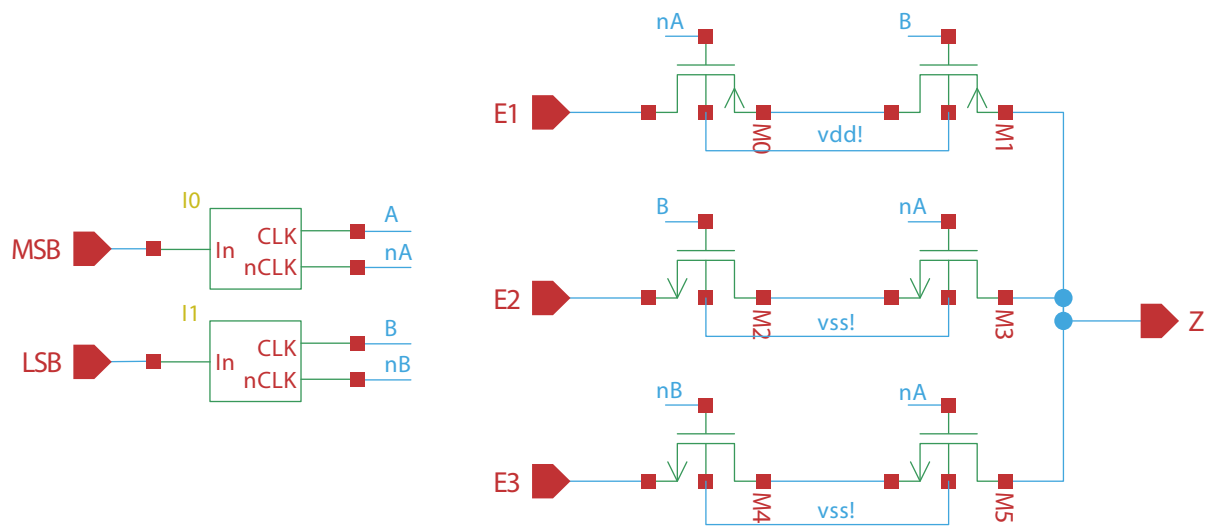
(b) Símbolo y respuesta en tiempo.

Figura 5.6: Esquemático, símbolo y respuesta del comparador dinámico

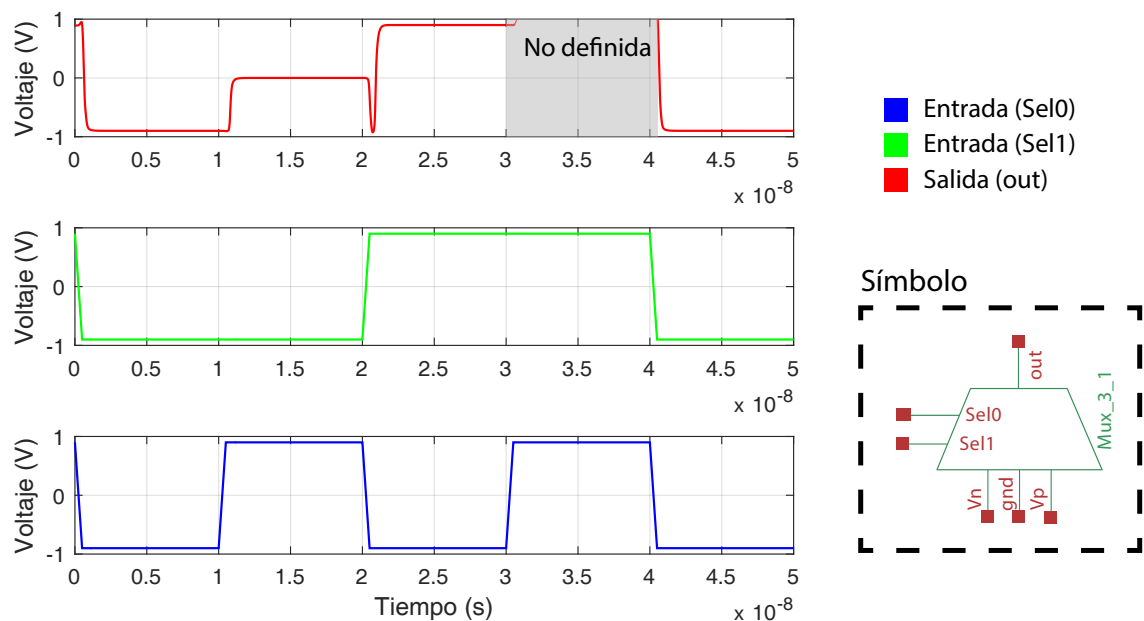
### 5.3.3. Multiplexor analógico

El diseño de este elemento se desarrolló mediante la técnica de transistores de paso, la cual consiste en conectar caminos de transistores en serie y controlarlos con sus compuertas, en este diseño se usaron 2 caminos NMOS y 1 PMOS. Los NMOS

conducirán  $-0.9\text{ V}$  y  $0\text{ V}$  mientras que el camino PMOS conducirá  $0.9\text{ V}$ , otra forma de implementar este elemento es con compuertas de transmisión o switches analógicos. Sin embargo, como se conocen las señales que van a ser conducidas no es necesario y se reduce el número de transistores, en la Figura 5.7a se muestra el esquemático del mux utilizado en este trabajo.



(a) Multiplexor analógico.



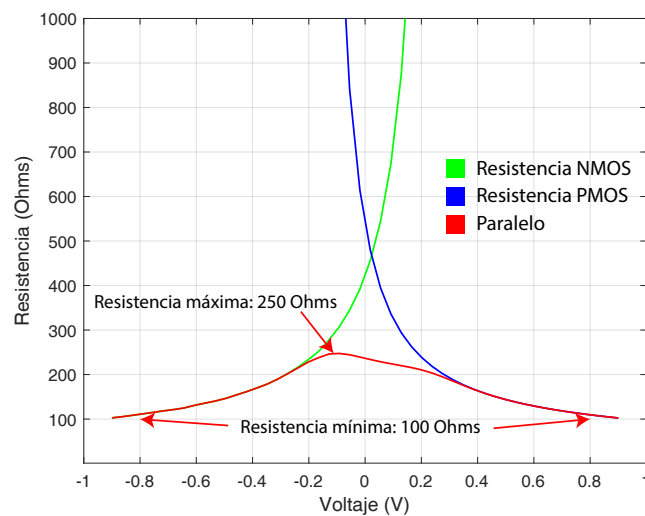
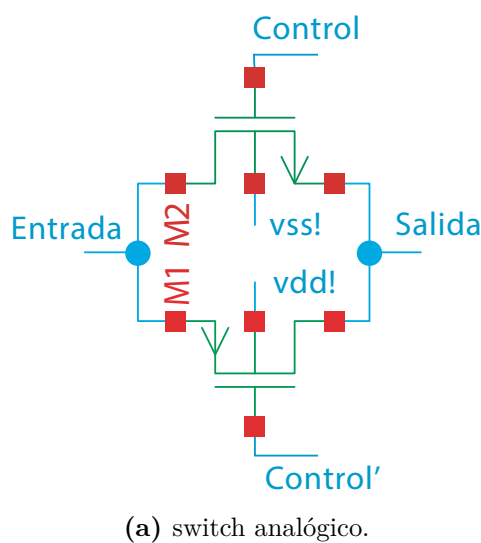
(b) Símbolo y respuesta en tiempo.

**Figura 5.7:** Esquemático, símbolo y respuesta del multiplexor analógico

El símbolo y funcionamiento se muestra en la Figura 5.7b, donde las entradas de control toman los valores “00”, “01” y “10” dando como salida  $-0.9\text{ V}$ ,  $0\text{ V}$  y  $0.9\text{ V}$ .

### 5.3.4. Switch analógico

El circuito MDAC es un circuito de capacitores conmutados por lo que se necesitan switches analógicos, la forma más común y práctica de implementarlos es con compuertas de transmisión. Una compuerta de transmisión es la conexión de dos transistores complementarios (1 PMOS y 1 NMOS) conectados en paralelo, el transistor NMOS idealmente se encarga de transmitir los voltajes 0 y negativos mientras que el transistor PMOS se encarga de transmitir los voltajes positivos, el circuito esquemático se muestra en la Figura 5.8a, se puede ver que también son necesarias 2 señales de control complementarias.



**Figura 5.8:** Esquemático y respuesta del switch analógico

La principal característica que este dispositivo debe cumplir es que debe tener una resistencia de encendido o canal baja. La resistencia de encendido está dada por la ecuación 5.1 para ambos tipos de transistores, es fácil ver que la única forma para bajar la resistencia de canal en ambos transistores es incrementar el parámetro  $W$  o disminuir la  $L$ . Sin embargo la  $L$  por lo regular se debe mantener lo más pequeña posible y de al menos el doble de la dimensión mínima para reducir los efectos de canal corto, entonces solo resta incrementar la  $W$  hasta lograr la resistencia de canal deseada.

$$R_{ON} = \frac{1}{\kappa \frac{W}{L} (V_{gs} - V_{TH})} \quad (5.1)$$

donde  $\kappa$  es la transconductancia del proceso,  $W$  es el ancho del canal del transistor,  $L$  el largo del canal del transistor,  $V_{gs}$  es el voltaje de compuerta del transistor y  $V_{TH}$  el voltaje de encendido del transistor. La Figura 5.8b muestra la resistencia de ambos transistores por separado, y la resistencia resultante del paralelo de ambos, se puede apreciar que la resistencia resultante no es lineal y presenta un pequeño lóbulo en el medio donde

ambos transistores tienen una resistencia de canal alta, la resistencia mínima obtenida es de aproximadamente  $100\text{Ohms}$  y la máxima de  $250\text{Ohms}$ . Las dimensiones para lograr dichas resistencias quedaron en  $W_N = \mu\text{m}$  y  $W_P = 24\mu\text{m}$  para una  $L = 360\text{nm}$ .

### 5.3.5. Generador de fases complementarias

Las señales que controlan las compuertas de los transistores de la mayoría de los bloques diseñados anteriormente requieren ser complementarias con el objetivo de evitar glitches. Un glitch es una salida no válida generada por la transición de las señales de control o entrada de un dispositivo, cuando las señal no cambian exactamente al mismo tiempo producen estos problemas. Se diseñó un bloque que se encarga de esto precisamente, genera 2 señales complementarias que cambian exactamente al mismo tiempo. Comúnmente se generan las fases complementarias solo con un inversor, sin embargo, la señal complementaria se retrasa el tiempo necesario para atravesar la compuerta. En la Figura 5.9 se muestra el esquemático y el símbolo del circuito diseñado, se utiliza un inversor para generar la señal complementaria más una compuerta de transmisión de dimensiones necesarias para retrasar también la señal original y asegurar que ambas conmuten al mismo tiempo.

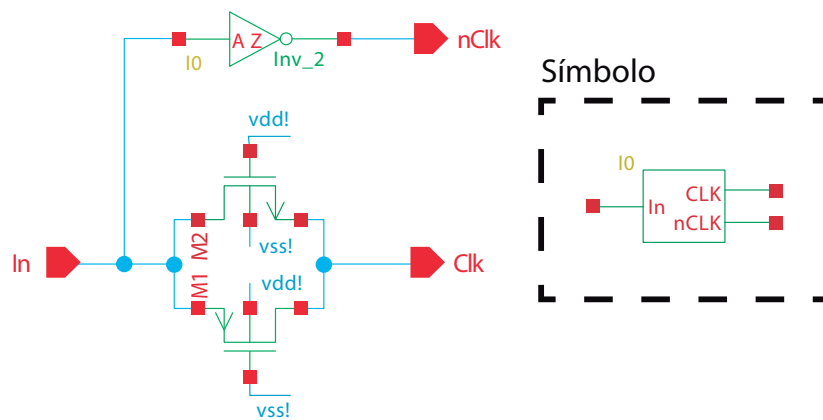


Figura 5.9: Generador de fases complementarias.

### 5.3.6. Amplificador Operacional

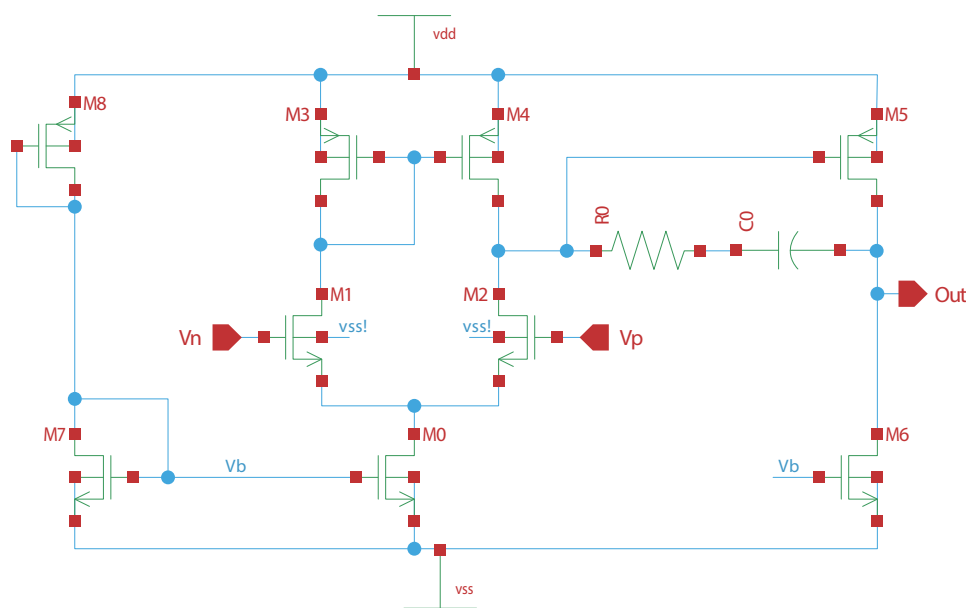
El amplificador operacional (Op-Amp) es una de los dispositivos más complicados de diseñar, dependiendo de las especificaciones se puede optar por una arquitectura u otra, como resultado de la evaluación de las simulaciones en Verilog-A se obtuvieron las características más cruciales que debe cumplir el Op-Amp. En este caso una ganancia poco mayor a  $40\text{dB}$ , un producto Ganancia-Ancho de banda (GBW) mayor a  $1\text{GHz}$  y aun más importante un margen de fase mayor a  $60^\circ$ .

La primer arquitectura que se probó fue un simple amplificador inversor, como el implementado para la compuerta NOT, debido a su naturaleza inversora puede funcionar como amplificador de baja ganancia pero ancho de banda muy grande. Sin embargo, aunque su GBW era mayor a 2 GHz, lo que resulta ser bastante bueno, su ganancia se quedaba por debajo de los 30dB los cuales no era suficientes.

Posteriormente, se optó por una arquitectura de dos etapas como se muestra en la Figura 5.10, que logran ganancias por encima de los 80 dB, sin embargo, el GBW se limitaba a 400 MHz y el margen de fase solo era de  $55^\circ$  aproximadamente como se muestra en la Figura 5.11, lo que provocaba oscilaciones en el circuito al ser retroalimentado. Estos parámetros no son suficientes para el convertidor dado que degradaban el ENoB por debajo de los 7 bits.

Por último, se diseñó el Op-Amp de la Figura 5.12, el cual es un Amplificador de dos etapas con una ganancia un poco superior a 40 dB, un GBW por encima de 1 GHz y lo más importante un margen de fase mayor de  $60^\circ$  como se muestra en la Figura 5.13. Este Op-Amp es el que mejores resultados mostró al hacerlo parte del convertidor.

Se hicieron más pruebas con otras arquitecturas de amplificadores, incluso unas presentaban mejores características que la utilizada al final, sin embargo dichas arquitecturas incrementaban por mucho el consumo de potencia y los transistores eventualmente tenían que ser mucho más grandes. Es en este punto donde el trabajo de diseño se volvió crucial para balancear el desempeño del amplificador y las limitaciones tecnológicas de la librería utilizada.



**Figura 5.10:** Esquemático del amplificador de dos etapas.

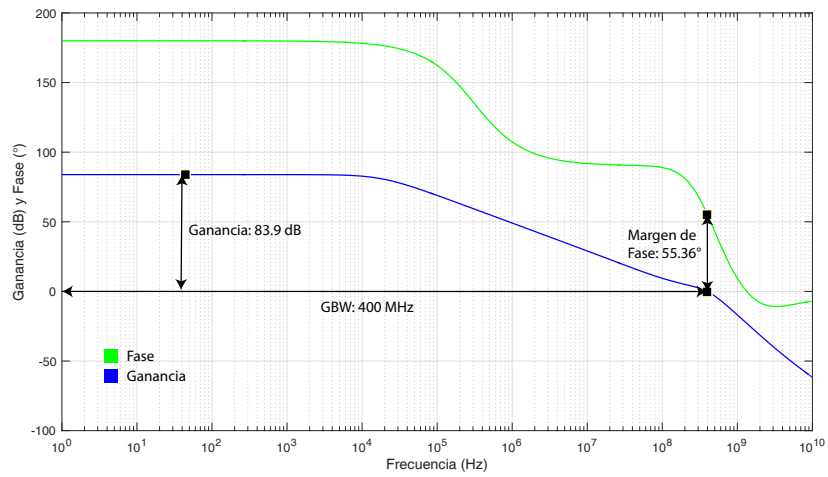


Figura 5.11: Respuesta en frecuencia del amplificador de dos etapas.

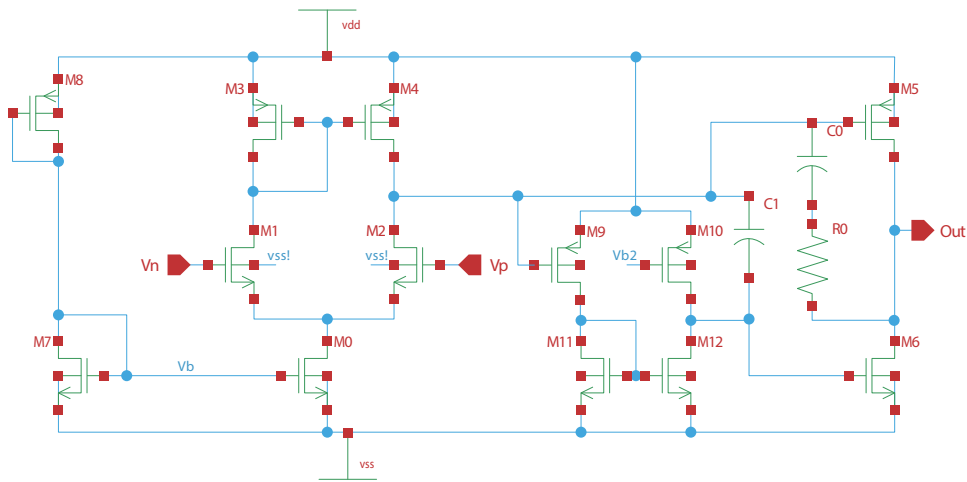


Figura 5.12: Esquemático del amplificador con compensación.

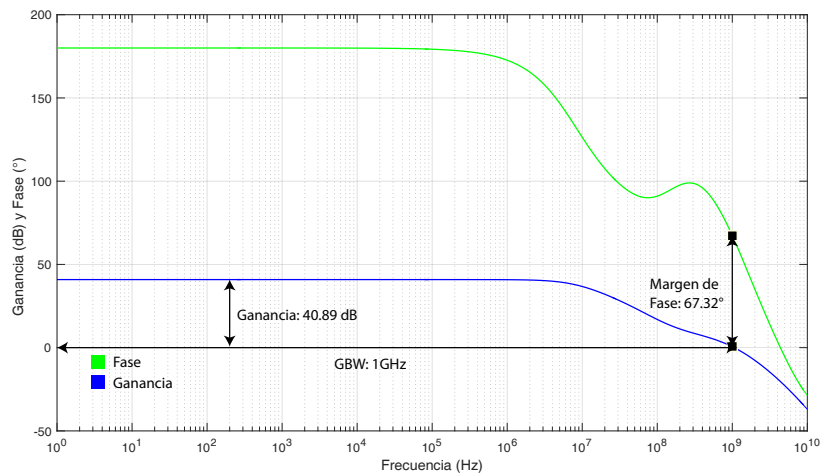
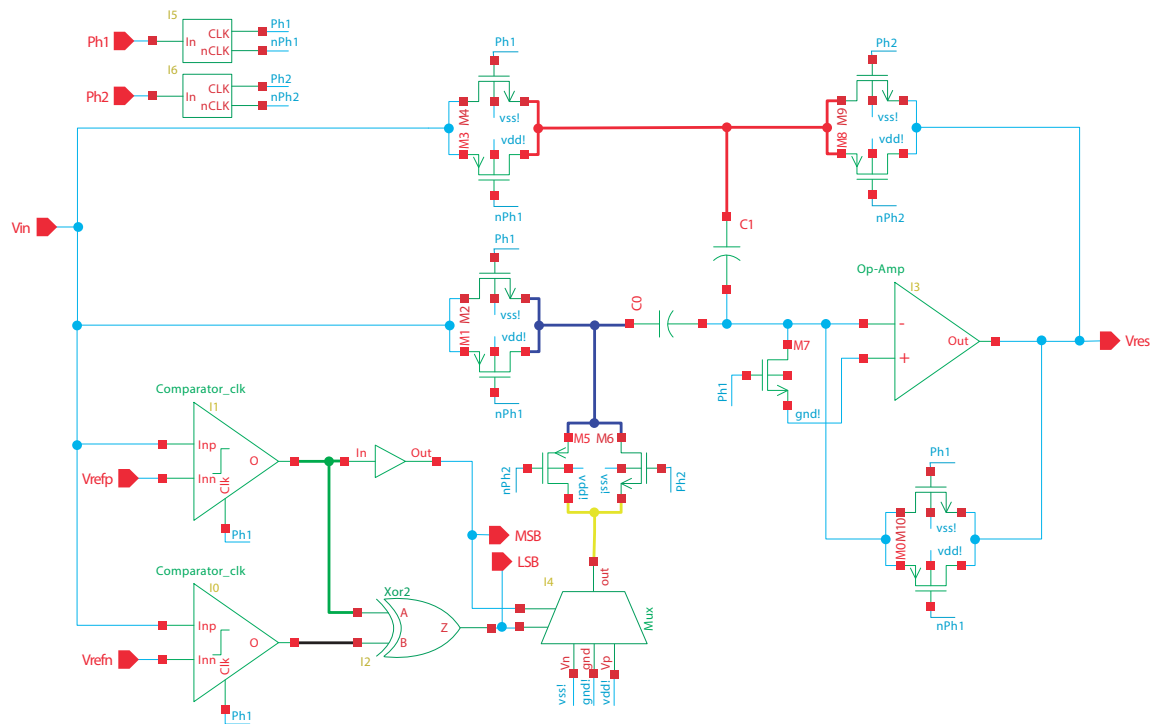


Figura 5.13: Respuesta en frecuencia del amplificador con compensación.

## 5.4. Etapa de 1.5 bits

Una vez que todos los bloques y dispositivos base del convertidor han sido diseñados se procede a diseñar la etapa básica del convertidor, en la Figura 5.14 se presenta el esquemático de la primer etapa dado que es la de mayor dimensión, las etapas consecuentes son replicas más pequeñas de esta.



**Figura 5.14:** Esquemático de una etapa de 1.5 bits.

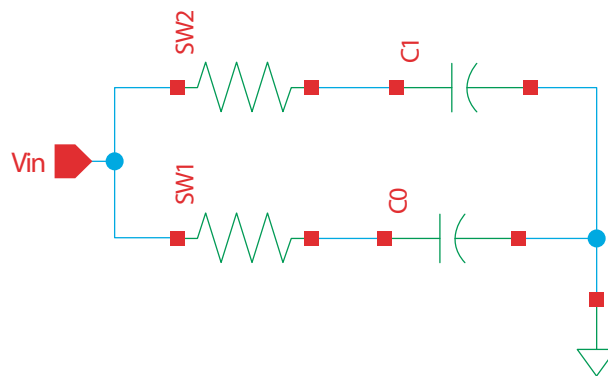
En este punto el funcionamiento de esta etapa ya ha sido explicado en los capítulos anteriores, pero cabe resaltar los puntos clave para su diseño. El primer punto es que los capacitores C0 y C1 deben ser iguales, no solo en capacitancia sino también en dimensiones, para esta primer etapa los capacitores son grandes debido a que es la etapa de entrada, en este punto la señal de entrada es muestreada, este requerimiento produjo capacitores del orden de  $50\mu m$  por lado, con una capacitancia de  $2.5pF$  aproximadamente. Otro punto a considerar son los retardos de las celdas, es importante que todas las señales internas estén sincronizadas, incluso las que controlan otros dispositivos, para evitar glitches que incrementen el consumo de corriente. Como se mencionó anteriormente este circuito trabaja en dos modos: modo S/H y modo amplificador, en el modo de muestreo y retención que se muestra en la Figura 5.15, los capacitores se cargan con la señal de entrada a través de los switches, los cuales se representan como resistencias de carga, sabiendo que la resistencia de los switches es de mínimo 100 Ohms y máximo 250 Ohms el tiempo máximo y mínimo de carga de los

capacitores queda:

$$\tau_{max} = 5R_{min}C = 5(100\Omega)(2.5pF) = 1.25ns \quad (5.1)$$

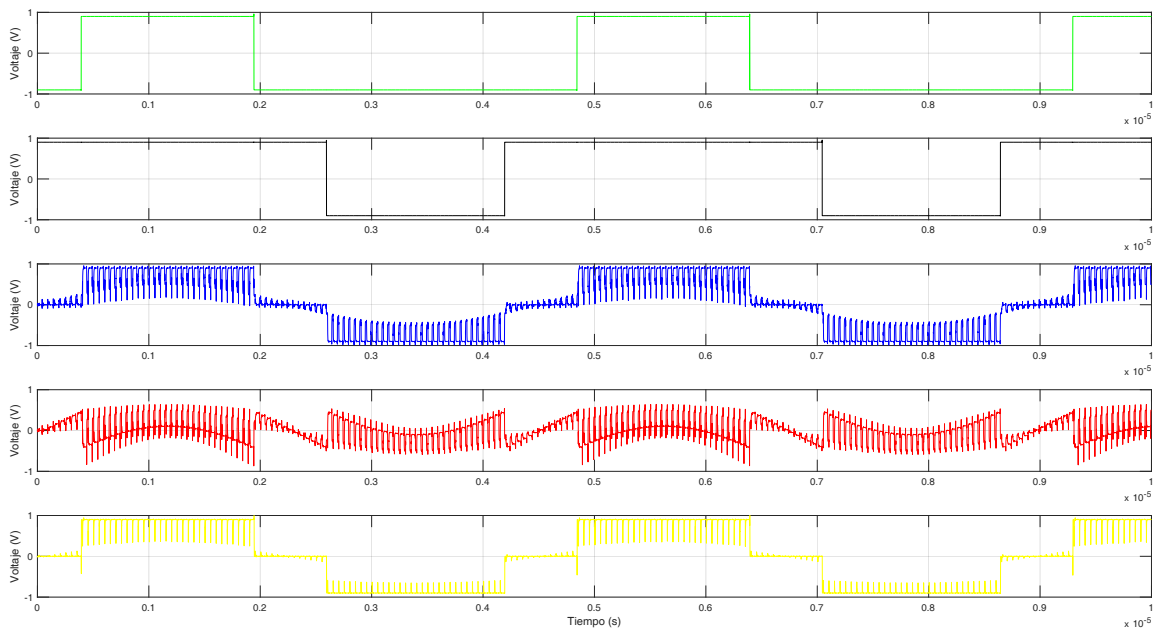
$$\tau_{min} = 5R_{max}C = 5(250\Omega)(2.5pF) = 3.125ns \quad (5.2)$$

en el peor de los casos los capacitores se cargarían en 3.125 ns aproximadamente, este parámetro se debe considerar a la hora de seleccionar la frecuencia de muestreo de la etapa, con esos tiempos de carga/descarga se pueden manejar frecuencias máximas de 320 MHz. En el modo amplificador, la etapa utiliza el voltaje almacenado en los capacitores



**Figura 5.15:** Modo S/H de la etapa.

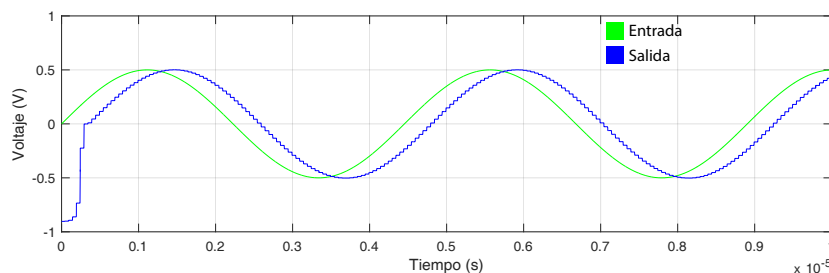
C0 y C1 para ejecutar el cálculo del residuo, en este modo el Op-Amp es conectado en modo amplificador. En la figura 5.16 se presentan las señales internas de la etapa para una entrada senoidal, el color de cada señal esta indicado en la Figura 5.14.



**Figura 5.16:** Señales internas de la etapa.

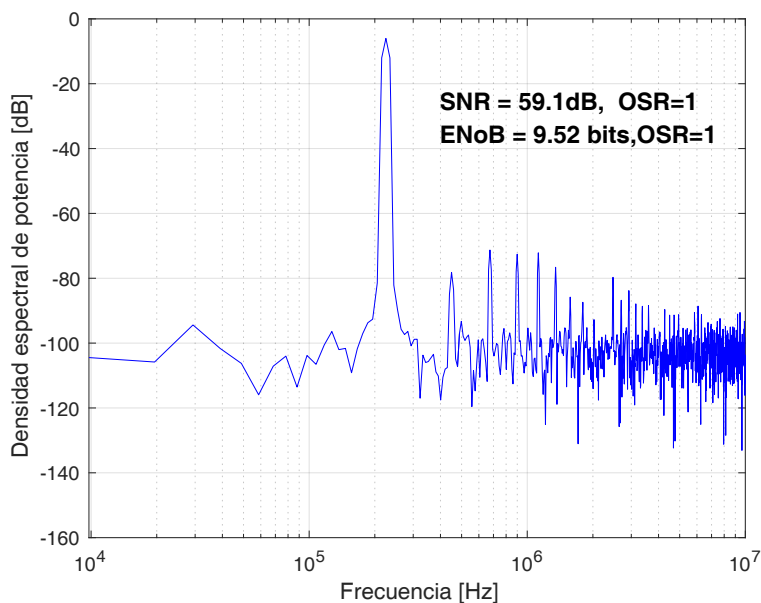
## 5.5. Resultados

El convertidor ADC completo consiste de un 11 etapas de 1.5 bits, una etapa de 1 bit, un generador de fases no traslapadas y un bloque de conformación de palabra digital, la respuesta del convertidor completo ante una entrada senoidal de amplitud pico-pico de 1V. se muestra en la Figura 5.17, la latencia o tiempo de establecimiento sigue presente. Sin embargo, aunque no es perceptible a simple vista la salida presenta errores de offset, ganancia y no linealidad.



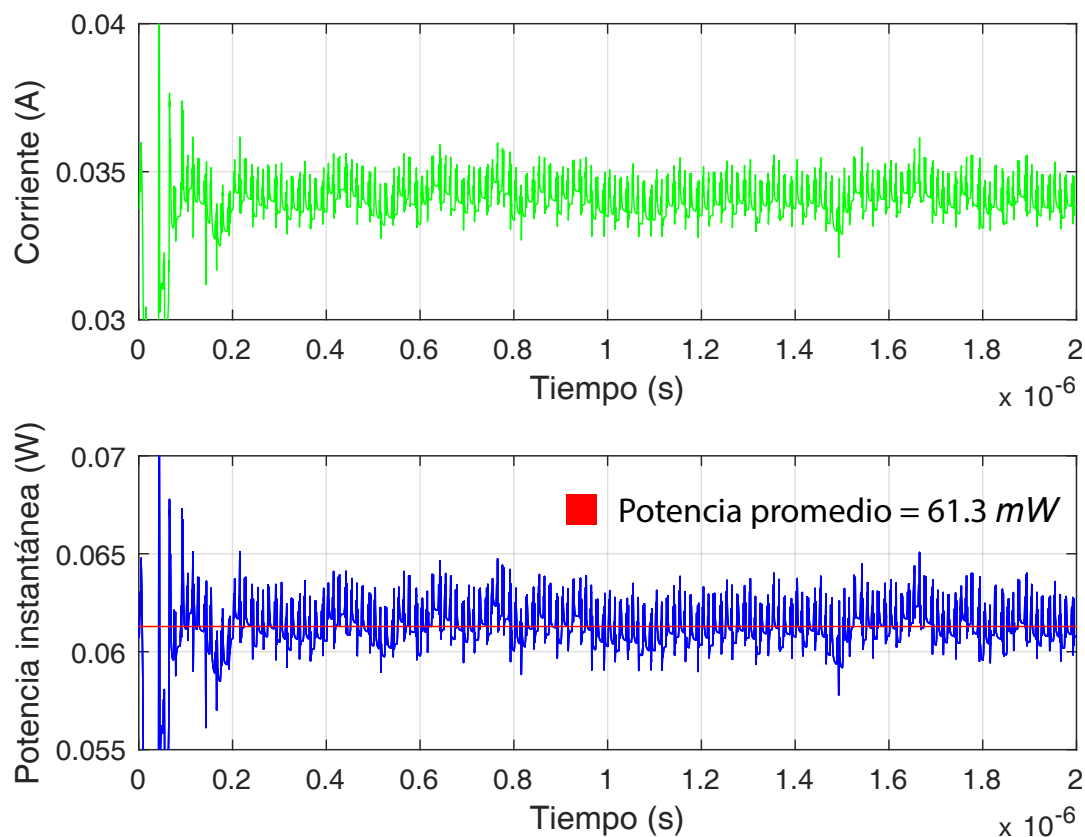
**Figura 5.17:** Respuesta en tiempo del convertidor A/D.

La Figura 5.18 muestra la respuesta en frecuencia del convertidor diseñado, en esta gráfica es fácil ver que el número efectivo de bits (ENoB) es 9.52, esto significa que aunque la salida digital del convertidor es de 12 bits de resolución, bajo condiciones de ruido y distorsión el convertidor alcanzará la resolución equivalente a un convertidor ideal de 9.52 bits. El principal motivo de la degradación del ENoB en este diseño es por las armónicas presentes producto de la no-linealidad de los switches analógicos, la ganancia y banda limitada del Op-Amp y el bajo consumo de potencia especificado para el diseño.



**Figura 5.18:** Densidad espectral de potencia del convertidor A/D.

Finalmente, uno de los principales objetivos de este trabajo es lograr un convertidor de bajo consumo de potencia, desde el inicio del proyecto era sabido que lograr las especificaciones deseadas manteniendo bajo el consumo de potencia significaría un gran reto, y así fue. En la Figura 5.19 se presenta la corriente, la potencia instantánea y la potencia promedio durante  $2\mu s$  del convertidor diseñado. La corriente está en un rango de  $0.033 - 0.036A$ , la potencia instantánea se calculó multiplicando el valor de corriente por el voltaje de alimentación ( $1.8V$  en este caso) y la potencia promedio es el promedio de todas las potencias instantáneas, la potencia promedio quedó de  $61.3mW$ . Las



**Figura 5.19:** Consumo de corriente y potencia.

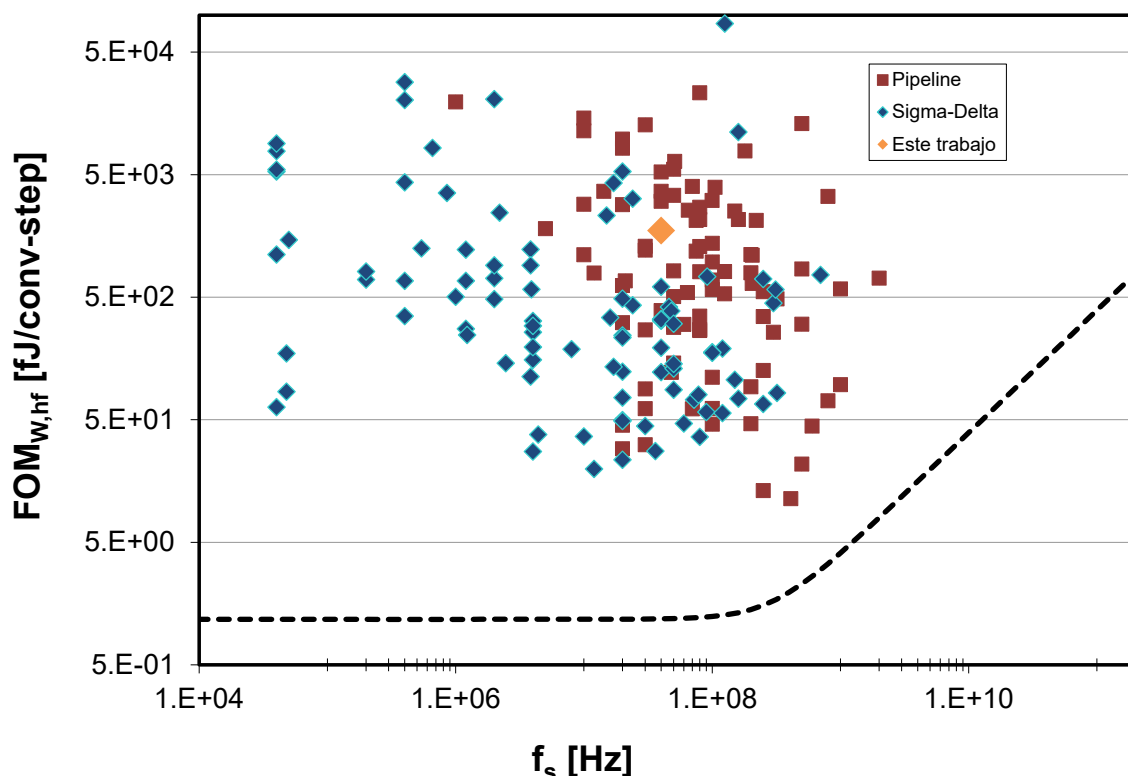
especificaciones del convertidor diseñado en este trabajo se resumen en la tabla 5.2. De estos es posible calcular su FoM como sigue

$$FoM = \frac{P}{f_s \times 2^{ENoB}} = \frac{61.3mW}{40MHz \times 2^{9.78bits}} = 1743.12fJ/conv-step \quad (5.1)$$

En la Figura 5.20 se presenta la posición a nivel mundial de la figura de mérito del ADC diseñado, se puede ver que compite con sus homónimos en consumo energético y con los Sigma-Delta en frecuencia de muestreo o velocidad, en general su desempeño es balanceado.

**Tabla 5.2:** Parámetros del ADC diseñado.

Parámetro	Valor
Arquitectura	Pipeline
Resolución	9.78 bits
Ancho de banda	10 MHz
Frecuencia de muestreo	40 MHz
Potencia	61.3 mW
Alimentación	1.8 V
SNR	60.6 dB
Rango dinámico de entrada	1 Vpp

**Figura 5.20:** Posición global del ADC diseñado.

En el área de las comunicaciones, en la tabla 5.3 se presenta la comparación con trabajos similares que utilizan la misma arquitectura que este trabajo; en resolución el convertidor diseñado es al menos igual o superior, en ancho de banda es solo superado por el diseñado en [25], sin embargo en ese trabajo se utiliza una arquitectura *time-interleaved pipeline* la cual consiste de múltiples convertidores de baja velocidad que se intercalan y trabajan en tiempos distintos permitiendo incrementar el ancho de banda global del convertidor al sumarse las bandas de todos los convertidores de baja velocidad. En frecuencia de muestreo es también superado por los convertidores intercalados pero es por el mismo intercalamiento que la frecuencia es incrementada dado que es dividida para cada convertidor de baja velocidad. En potencia, el convertidor es menos competitivo

aunque no se separa demasiado de los demás incluso es mejor que el presentado en [27], por último en SNR y ENoB, este trabajo refleja un buen desempeño en frecuencia y solo es superado por los trabajos que son de baja velocidad o alto consumo de potencia.

**Tabla 5.3:** Comparación con convertidores para sistemas de comunicaciones.

Referencia	Tipo	Resolución	Ancho de banda	Frecuencia de muestreo	Potencia	SNR	ENoB
Este trabajo	pipeline	12 bits	10 MHz	40 MS/s	61.3 mW	60.6 dB	9.78 bits
[23]	pipeline	7 bits	3 MHz	16 MS/s	3.7 mW	40.9 dB	6.51 bits
[24]	pipeline	12 bits	4.93 MHz	50 MS/s	55 mW	69.3 dB	11.2 bits
[25]	TI-pipeline	12 bits	251 MHz	800 MS/s	720 mW	61.39 dB	9.9 bits
[26]	pipeline	10 bits	1 MHz	40 MS/s	3.9 mW	56 dB	9 bits
[27]	pipeline	12 bits	–	25 MS/s	76 mW	70.1 dB	11.35 bits
[28]	pipeline	10 bits	–	40 MS/s	6.36 mW	51.4 dB	8.24 bits
[29]	TI-pipeline	10 bits	–	60 MS/s	30.6mW	50.8 dB	8.14 bits
[30]	pipeline	12 bits	10 MHz	40 MS/s	–	28 dB	4.35 bits

---

## Conclusiones y trabajo a futuro

Se realizó el modelado y diseño a nivel transistor de un convertidor ADC de bajo consumo de potencia para sistemas de comunicaciones 4G. El trabajo abarcó el estudio de los estándares y el estado del arte de los sistema de comunicaciones con el fin de definir los parámetros de diseño que se deben cumplir; El desarrollo de la plataforma de comunicaciones OFDM propuesta para evaluar el modelo comportamental del ADC desarrollado en Simulink permitió definir los parámetros de diseño del ADC para que este funcione dentro de un sistema de comunicaciones. El modelo es completamente modificable y capaz de introducir no-idealidades como el diseñador requiera. Los resultados mostraron un buen desempeño del convertidor dentro del sistema OFDM, la importancia de esta plataforma es que permite validar el desempeño del ADC previo a las tareas de diseño a nivel transistor reduciendo los tiempos de rediseño y fabricación.

El modelo comportamental en Verilog-AMS del ADC pipeline en condiciones de funcionamiento ideales exhibió un ENoB de 11.5 bits y una SNR de 73.7 dB cerca del ideal de 74 dB. Sin embargo, cuando se introdujeron errores de capacitancia o ganancia el modelo mostró la sensibilidad de la arquitectura al degradarse el ENoB de 11.5 bits a 6.28 bits. Durante el desarrollo del modelo, fue posible apreciar que uno de los principales problemas para su implementación a nivel CMOS es la alta ganancia y gran ancho de banda necesario para el Op-Amp de cada etapa.

El diseño CMOS fue una de las tareas más complicadas durante el desarrollo de este trabajo de tesis, se estudiaron técnicas de diseño digital y analógico por la naturaleza mixta del ADC. Durante este proceso se presentaron varios retos de diseño, siendo, los switches analógicos y el amplificador operacional los más complicados de diseñar debido a las especificaciones ambiciosas que se querían lograr de bajo consumo energético y alta velocidad, parámetros íntimamente relacionados; una alta velocidad implica un alto consumo energético.

Al final se logró diseñar un convertidor analógico digital que cumple con las especificaciones necesarias para trabajar en un sistema de comunicaciones 4G e incluso con miras a 5G, se logró una resolución de 12bits, un consumo energético de 61.3mW, un número efectivo de bits de 9.52, una frecuencia de muestreo máxima de 40MHz y una SNR de 59.1dB, con estas especificaciones el dispositivo desarrollado es competente y cumple con los parámetros de diseño especificados, a excepción del consumo energético

el cual se vio incrementado principalmente por las especificaciones de diseño del amplificador operacional.

Como trabajo a futuro se propone:

- Optimizar el diseño del Op-Amp para reducir su consumo energético y mejorar su respuesta en frecuencia.
- Reducir la no linealidad de la resistencia de encendido de los switches.
- Migrar a una arquitectura pipeline completamente diferencial debido a que es una arquitectura robusta a ruido de señales en modo común, inmune a ruidos externos y reduce señales armónicas de segundo orden, lo que mejoraría en gran medida el desempeño del convertidor.
- Diseñar el patrón geométrico o *lay-out* del convertidor para su fabricación y validación.
- Diseñar un sistema de comunicaciones digital mediante síntesis digital con miras a un circuito integrado OFDM.

---

# Bibliografía

- [1] M. Sarajlic. *Power and Performance Tradeoff in LTE Receiver Chains*. Lund University, 2013.
- [2] Gabriele Manganaro and Domine Leenaer. *Advances in Analog and RF IC Design for Wireless Communication Systems*. Elsevier, May 2013.
- [3] M. Gustavsson, J. J. Wikner, and N. T. Nianxiong. *CMOS Data Converters for Communications*. New York, Boston, Dordrecht, London, Moscow: Klumer Academic Publisher, 2002.
- [4] N. O’Riordan. *Pipeline vs. sigma delta ADCs for communications applications*.
- [5] P. Carbone, S. Kiaei, and F. Xu. *Design, Modeling and Testing of Data Converters*. Berlin Heidelberg: Springer, 2014.
- [6] Instituto Federal de Telecomunicaciones. *Tercer Informe Trimestral Estadístico 2016*. México, 2016.
- [7] J. Singh, P. Sandeep, and U. Madhow. Multi-gigabit communication: the adc bottleneck. *IEEE International Conference on Ultra-Wideband*, 2009.
- [8] B. Farhang-Boroujeny and H. Moradi. Ofdm inspired waveforms for 5g. *IEEE Communications Surveys Tutorials*, 18(4):2474–2492, Fourthquarter 2016.
- [9] S. C. Yang. *OFDMA System Analysis and Design*. Norwood, MA: Artech House, 2010.
- [10] Texas Instruments. Understanding data converters. Technical report, 1999.
- [11] D. Medina Falcon. Simulación de convertidores pipeline. Master’s thesis, Departamento de Ingeniería Electrónica, Universidad de Sevilla, Julio 2005.
- [12] F. Maloberti. *Data Converters*. The Netherlands: Springer, 2007.
- [13] R. Jacob Baker. *Mixed-signal Circuit Design*. Wiley, USA, 2 edition, 2008.

- 
- [14] R. Van de Plassche. *Integrated analog-to-digital and digital-to-digital converters*. Kluwer Academic Publishers, London, 1994.
- [15] J. G. Proakis and D. G. Manolakis. *Tratamiento digital de señales*. Prentice Hall, España, 4 edition, 2007.
- [16] B. Labhane Mrunalini and Prachi Palsodkar. Varios architectures of analog to digital converter. *IEEE ICCSP*, 2005.
- [17] IEEE Computer Society, IEEE Microwave Theory, and Techniques Society. *IEEE Standard for Air Interface for Broadband Wireless Access Systems*. IEEE Standards Association, 3 Park Avenue, New York, USA, 2012 edition.
- [18] IEEE Computer Society. *Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications*. IEEE Standards Association, 3 Park Avenue, New York, USA, 2012 edition.
- [19] Signals Research Group. *The LTE standard*. Ericsson and Qualcomm, 2014 edition, April.
- [20] Freescale semiconductor. *Overview of the 3GPP Long Term Evolution Physical Layer*. NXP, 2007 edition, July.
- [21] Y. Medjahdi, S. Traverso, R. Gerzaguët, H. ShaÁrek, R. Zayani, D. Demmer, R. Zakaria, J. DorÁl, M. Ben Mabrouk, D. Le Ruyet, Y. LouÁnt, and D. Roviras. On the road to 5g: Comparative study of physical layer in mtc context. *IEEE Access*, 5:26556–26581, 2017.
- [22] Bonnie Baker. A glossary of analog-to-digital specifications and performance characteristics. Technical report, Texas Instruments, 2011.
- [23] Zhuang Zhaodong and Li Zhiqun. A 7-bit 16-ms/s low-power cmos pipeline adc. 2011.
- [24] Heijim Wu, Huabin Zhang, Zhengping Li, and Yongping Wang. A 12-bit 50-ms/s low-power pipeline adc for wimax. *International Conference on Measuring Technology and Mechatronics Automation*, 2010.
- [25] Meng Ni *et al.* A 12-bit 800ms/s time-interleaving pipeline adc in 65nm cmos. 2016.
- [26] Mohsen Hashemi, Mohammad Sharifkhani, and Mohammad Gholami. A low power 1-v 10-bit 40-ms/s pipeline adc. 2011.
- [27] H. A. Aslanzadeh *et al.* A low power 25ms/s 12-bit pipelined analog to digital converter for wireless applications. 2003.

- [28] Hani Esmaeelzadeh, Mohammad Sharifkhani, and Mahdi Shabany. A low-power 10-bit 40 ms/s pipeline adc using extended capacitor sharing. 2014.
- [29] Jhin-Fang Huang, Wen-Cheng Lai, and Wei-Jian Lin. A time-interleaved pipelined adc chip design for 4-g application. 2013.
- [30] Siti Intan Permatasari, T. Hutabarat Mervin, and Adiseno. Design of 12-bit, 40 ms/s pipeline adc for application in wimax transceiver. 2011.
- [31] Vijay Rentala *et al.* Low power adc's for wireless communications. 2012.
- [32] Wen-Cheng Lai *et al.* A continuous-time low-pass sigma-delta adc chip design for lte communication application and bio-signal acquisitions. 2014.
- [33] Mattias Andersson *et al.* A filtering delta-sigma adc for lte and beyond. 2014.
- [34] K. Karthika Varthini and D. Jackuline Moni. Asynchronous successive approximation adc for wireless applications in 180 nm cmos technology. 2014.
- [35] Texas Instruments. Choose the right a/d converter for you application. Technical Report 2, 2009.
- [36] I. Ahmed. *Pipelined ADC Design and Enhancement Techniques*. Springer, USA, 2010.
- [37] B. Murmann. Adc performance survey 1997-2017,. [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.
- [38] M. Figueiredo. *Reference-Free CMOS Pipeline Analog-to-Digital Converters*. Springer, USA, 2013.
- [39] S. Barra *et al.* Simulink behavioral modeling of a 10-bit pipelined adc. *International Journal of Automation and Computing*, 2013.
- [40] J. C. Gutiérrez, J. Castaneda, and S. Vergara. Diseño e instrumentación de un sistema de recepción ofdma en plataforma fpga. Master's thesis, BUAP, 2016.
- [41] Accellera. *Verilog-AMS Language Reference Manual*, 2008 edition, August.
- [42] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, Inc., New York, NY, USA, 2 edition, 2017.
- [43] Phillip E. Allen and Douglas R. Holberg. *CMOS Analog Circuit Design*. Oxford University Press, USA, 2 edition, 2002.
- [44] Kang and Leblebici. *CMOS Digital Integrated Circuits*. McGraw-Hill, 1999.

- 
- [45] Walt Kester. Taking the mystery out of the infamous formula, " $\text{snr}=6.02n+1.76$ ," and why you should care.

---

# Apéndices

## A. Modelos en Verilog-AMS

### A.1. Modelos analógicos

#### A.1.1. Switch

```
module Switch(i,c,o);
input c;
electrical i,c,o;

parameter real vth = 0.9;
parameter real Ron = 10;
parameter real Roff = 1e9;
real R,Rr;
    analog begin
        @(cross(V(c) - vth, 0) or initial_step) begin
            if(V(c) > vth)
                R = Ron;
            else
                R = Roff;
        end
        Rr = transition(R,0p,1p,1p);
        V(i,o) <+ I(i,o)*Rr;
    end
endmodule
```

#### A.1.2. Comparador

```
module Comparador(Pin, Nin, clk, Out);
input Pin, Nin, clk;
output Out;
electrical Pin, Nin, clk, Out;

parameter real Vdd = 1.8;
parameter real Vss = 0;
parameter real vth = 0.9;
parameter real trise = 40p;
parameter real tfall = 40p;
parameter real retardo = 20p;
real tmp;
```

```

    analog begin
      @(cross(( V(clk)-vth ), +1 ) or initial_step) begin
        if( V(Pin) > V(Nin) )
            tmp = Vdd;
        else
            tmp = Vss;
      end
      V(Out) <+ transition(tmp,retardo , trise , tfall);
    end
endmodule

```

### A.1.3. Multiplexor analógico

```

module mux_3_1(Vn,gnd,Vp,sel1 , sel0 , out );
input Vn,Vp,gnd,sel1 , sel0 ;
output out;
electrical Vp,Vn,gnd,sel1 , sel0 , out;

parameter real vtrue = 1.8;
parameter real vfalse = 0;
real tmp;
    analog begin
        if( V(sel1)==vfalse && V(sel0)==vfalse )
            tmp = V(Vn);
        else if( V(sel1)==vfalse && V(sel0)==vtrue )
            tmp = V(gnd);
        else if( V(sel1)==vtrue && V(sel0)==vfalse )
            tmp = V(Vp);
    end
    V(out) <+ tmp;
end
endmodule

```

### A.1.4. Compuerta NOT

```

module Inversor(a,b);
input a;
output b;
electrical a,b;

parameter real vth = 0;
parameter real trise = 40p;
parameter real tfall = 40p;
parameter real delay = 20p;
parameter real vtrue = 1;
parameter real vfalse = 0;
real tmp;
    analog begin
        if( V(a) > vth )
            tmp = vfalse;
        else
            tmp = vtrue;
    end
end

```

```

        V(b) <+ transition(tmp, delay, trise, tfall);
    end
endmodule

```

### A.1.5. Compuerta NAND

```

module Nand2(a, b, c);
input a, b;
output c;
electrical a, b, c;

parameter real vth = 0;
parameter real trise = 40p;
parameter real tfall = 40p;
parameter real delay = 20p;
parameter real vtrue = 1;
parameter real vfalse = 0;
real tmp;
    analog begin
        if( V(a) > vth && V(b) > vth )
            tmp = vfalse;
        else
            tmp = vtrue;
        V(c) <+ transition(tmp, delay, trise, tfall);
    end
endmodule

```

### A.1.6. Compuerta XOR

```

module Xor2(a, b, c);
input a, b;
output c;
electrical a, b, c;

parameter real vth = 0;
parameter real trise = 40p;
parameter real tfall = 40p;
parameter real delay = 20p;
parameter real vtrue = 1;
parameter real vfalse = 0;
real tmp;
    analog begin
        if(V(a) != V(b))
            tmp = vtrue;
        else
            tmp = vfalse;
        V(c) <+ transition(tmp, delay, trise, tfall);
    end
endmodule

```

## A.2. Modelos digitales

### A.2.1. Conformación digital

```

module DigitalLogic ( Bin , clk1 , clk2 , Bout , Dout );
input [22:0] Bin;
output [11:0] Bout;
output [22:0] Dout;
reg [11:0] Bout;
reg [22:0] Dout;
reg [11:0] C;
input clk1 , clk2;
//Registros de corrimiento
reg [11:0] B11_1 = 12'b000000000000;
reg [11:0] B11_0 = 12'b000000000000;
reg [10:0] B10_1 = 11'b000000000000;
reg [10:0] B10_0 = 11'b000000000000;
reg [9:0] B9_1 = 10'b000000000000;
reg [9:0] B9_0 = 10'b000000000000;
reg [8:0] B8_1 = 9'b000000000000;
reg [8:0] B8_0 = 9'b000000000000;
reg [7:0] B7_1 = 8'b000000000000;
reg [7:0] B7_0 = 8'b000000000000;
reg [6:0] B6_1 = 7'b000000000000;
reg [6:0] B6_0 = 7'b000000000000;
reg [5:0] B5_1 = 6'b000000000000;
reg [5:0] B5_0 = 6'b000000000000;
reg [4:0] B4_1 = 5'b000000000000;
reg [4:0] B4_0 = 5'b000000000000;
reg [3:0] B3_1 = 4'b000000000000;
reg [3:0] B3_0 = 4'b000000000000;
reg [2:0] B2_1 = 3'b000000000000;
reg [2:0] B2_0 = 3'b000000000000;
reg [1:0] B1_1 = 2'b000000000000;
reg [1:0] B1_0 = 2'b000000000000;
//Corrimientos
always @(posedge clk1) begin
B11_1[11] = B11_1[10]; B11_1[9] = B11_1[8]; B11_1[7] = B11_1[6];
B11_1[5] = B11_1[4]; B11_1[3] = B11_1[2]; B11_1[1] = B11_1[0];
B11_0[11] = B11_0[10]; B11_0[9] = B11_0[8]; B11_0[7] = B11_0[6];
B11_0[5] = B11_0[4]; B11_0[3] = B11_0[2]; B11_0[1] = B11_0[0];

B10_1[10] = B10_1[9]; B10_1[8] = B10_1[7]; B10_1[6] = B10_1[5];
B10_1[4] = B10_1[3]; B10_1[2] = B10_1[1]; B10_1[0] = Bin[20];
B10_0[10] = B10_0[9]; B10_0[8] = B10_0[7]; B10_0[6] = B10_0[5];
B10_0[4] = B10_0[3]; B10_0[2] = B10_0[1]; B10_0[0] = Bin[19];

B9_1[9] = B9_1[8]; B9_1[7] = B9_1[6]; B9_1[5] = B9_1[4];
B9_1[3] = B9_1[2]; B9_1[1] = B9_1[0];
B9_0[9] = B9_0[8]; B9_0[7] = B9_0[6]; B9_0[5] = B9_0[4];
B9_0[3] = B9_0[2]; B9_0[1] = B9_0[0];

B8_1[8] = B8_1[7]; B8_1[6] = B8_1[5]; B8_1[4] = B8_1[3];
B8_1[2] = B8_1[1]; B8_1[0] = Bin[16];

```

```

B8_0[8] = B8_0[7]; B8_0[6] = B8_0[5]; B8_0[4] = B8_0[3];
B8_0[2] = B8_0[1]; B8_0[0] = Bin[15];

B7_1[7] = B7_1[6]; B7_1[5] = B7_1[4]; B7_1[3] = B7_1[2];
B7_1[1] = B7_1[0];
B7_0[7] = B7_0[6]; B7_0[5] = B7_0[4]; B7_0[3] = B7_0[2];
B7_0[1] = B7_0[0];

B6_1[6] = B6_1[5]; B6_1[4] = B6_1[3]; B6_1[2] = B6_1[1];
B6_1[0] = Bin[12];
B6_0[6] = B6_0[5]; B6_0[4] = B6_0[3]; B6_0[2] = B6_0[1];
B6_0[0] = Bin[11];

B5_1[5] = B5_1[4]; B5_1[3] = B5_1[2]; B5_1[1] = B5_1[0];
B5_0[5] = B5_0[4]; B5_0[3] = B5_0[2]; B5_0[1] = B5_0[0];

B4_1[4] = B4_1[3]; B4_1[2] = B4_1[1]; B4_1[0] = Bin[8];
B4_0[4] = B4_0[3]; B4_0[2] = B4_0[1]; B4_0[0] = Bin[7];

B3_1[3] = B3_1[2]; B3_1[1] = B3_1[0];
B3_0[3] = B3_0[2]; B3_0[1] = B3_0[0];

B2_1[2] = B2_1[1]; B2_1[0] = Bin[4];
B2_0[2] = B2_0[1]; B2_0[0] = Bin[3];

B1_1[1] = B1_1[0];
B1_0[1] = B1_0[0];

{C[0], Bout[0]} = B1_0[1] + Bin[0];
{C[1], Bout[1]} = B2_0[2] + B1_1[1] + C[0];
{C[2], Bout[2]} = B3_0[3] + B2_1[2] + C[1];
{C[3], Bout[3]} = B4_0[4] + B3_1[3] + C[2];
{C[4], Bout[4]} = B5_0[5] + B4_1[4] + C[3];
{C[5], Bout[5]} = B6_0[6] + B5_1[5] + C[4];
{C[6], Bout[6]} = B7_0[7] + B6_1[6] + C[5];
{C[7], Bout[7]} = B8_0[8] + B7_1[7] + C[6];
{C[8], Bout[8]} = B9_0[9] + B8_1[8] + C[7];
{C[9], Bout[9]} = B10_0[10] + B9_1[9] + C[8];
{C[10], Bout[10]} = B11_0[11] + B10_1[10] + C[9];
{C[11], Bout[11]} = B11_1[11] + C[10];

Dout = {B11_1[11], B11_0[11], B10_1[10], B10_0[10], B9_1[9], B9_0[9],
B8_1[8], B8_0[8], B7_1[7], B7_0[7], B6_1[6], B6_0[6], B5_1[5], B5_0[5],
B4_1[4], B4_0[4], B3_1[3], B3_0[3], B2_1[2], B2_0[2], B1_1[1], B1_0[1],
Bin[0]};

end
//Corrimientos
always @(posedge clk2) begin
B11_1[10] = B11_1[9]; B11_1[8] = B11_1[7]; B11_1[6] = B11_1[5];
B11_1[4] = B11_1[3]; B11_1[2] = B11_1[1]; B11_1[0] = Bin[22];
B11_0[10] = B11_0[9]; B11_0[8] = B11_0[7]; B11_0[6] = B11_0[5];
B11_0[4] = B11_0[3]; B11_0[2] = B11_0[1]; B11_0[0] = Bin[21];

```

$B10\_1[9] = B10\_1[8]; B10\_1[7] = B10\_1[6]; B10\_1[5] = B10\_1[4];$   
 $B10\_1[3] = B10\_1[2]; B10\_1[1] = B10\_1[0];$   
 $B10\_0[9] = B10\_0[8]; B10\_0[7] = B10\_0[6]; B10\_0[5] = B10\_0[4];$   
 $B10\_0[3] = B10\_0[2]; B10\_0[1] = B10\_0[0];$

$B9\_1[8] = B9\_1[7]; B9\_1[6] = B9\_1[5]; B9\_1[4] = B9\_1[3];$   
 $B9\_1[2] = B9\_1[1]; B9\_1[0] = Bin[18];$   
 $B9\_0[8] = B9\_0[7]; B9\_0[6] = B9\_0[5]; B9\_0[4] = B9\_0[3];$   
 $B9\_0[2] = B9\_0[1]; B9\_0[0] = Bin[17];$

$B8\_1[7] = B8\_1[6]; B8\_1[5] = B8\_1[4]; B8\_1[3] = B8\_1[2];$   
 $B8\_1[1] = B8\_1[0];$   
 $B8\_0[7] = B8\_0[6]; B8\_0[5] = B8\_0[4]; B8\_0[3] = B8\_0[2];$   
 $B8\_0[1] = B8\_0[0];$

$B7\_1[6] = B7\_1[5]; B7\_1[4] = B7\_1[3]; B7\_1[2] = B7\_1[1];$   
 $B7\_1[0] = Bin[14];$   
 $B7\_0[6] = B7\_0[5]; B7\_0[4] = B7\_0[3]; B7\_0[2] = B7\_0[1];$   
 $B7\_0[0] = Bin[13];$

$B6\_1[5] = B6\_1[4]; B6\_1[3] = B6\_1[2]; B6\_1[1] = B6\_1[0];$   
 $B6\_0[5] = B6\_0[4]; B6\_0[3] = B6\_0[2]; B6\_0[1] = B6\_0[0];$

$B5\_1[4] = B5\_1[3]; B5\_1[2] = B5\_1[1]; B5\_1[0] = Bin[10];$   
 $B5\_0[4] = B5\_0[3]; B5\_0[2] = B5\_0[1]; B5\_0[0] = Bin[9];$

$B4\_1[3] = B4\_1[2]; B4\_1[1] = B4\_1[0];$   
 $B4\_0[3] = B4\_0[2]; B4\_0[1] = B4\_0[0];$

$B3\_1[2] = B3\_1[1]; B3\_1[0] = Bin[6];$   
 $B3\_0[2] = B3\_0[1]; B3\_0[0] = Bin[5];$

$B2\_1[1] = B2\_1[0];$   
 $B2\_0[1] = B2\_0[0];$

$B1\_1[0] = Bin[2];$   
 $B1\_0[0] = Bin[1];$

$\{C[0], Bout[0]\} = B1\_0[1] + Bin[0];$   
 $\{C[1], Bout[1]\} = B2\_0[2] + B1\_1[1] + C[0];$   
 $\{C[2], Bout[2]\} = B3\_0[3] + B2\_1[2] + C[1];$   
 $\{C[3], Bout[3]\} = B4\_0[4] + B3\_1[3] + C[2];$   
 $\{C[4], Bout[4]\} = B5\_0[5] + B4\_1[4] + C[3];$   
 $\{C[5], Bout[5]\} = B6\_0[6] + B5\_1[5] + C[4];$   
 $\{C[6], Bout[6]\} = B7\_0[7] + B6\_1[6] + C[5];$   
 $\{C[7], Bout[7]\} = B8\_0[8] + B7\_1[7] + C[6];$   
 $\{C[8], Bout[8]\} = B9\_0[9] + B8\_1[8] + C[7];$   
 $\{C[9], Bout[9]\} = B10\_0[10] + B9\_1[9] + C[8];$   
 $\{C[10], Bout[10]\} = B11\_0[11] + B10\_1[10] + C[9];$   
 $\{C[11], Bout[11]\} = B11\_1[11] + C[10];$

$Dout = \{B11\_1[11], B11\_0[11], B10\_1[10], B10\_0[10], B9\_1[9], B9\_0[9],$

```

B8_1[8], B8_0[8], B7_1[7], B7_0[7], B6_1[6], B6_0[6], B5_1[5], B5_0[5],
B4_1[4], B4_0[4], B3_1[3], B3_0[3], B2_1[2], B2_0[2], B1_1[1], B1_0[1],
Bin[0]};

end
endmodule

```

### A.3. Modelos auxiliares

#### A.3.1. Convertidor binario-decimal

```

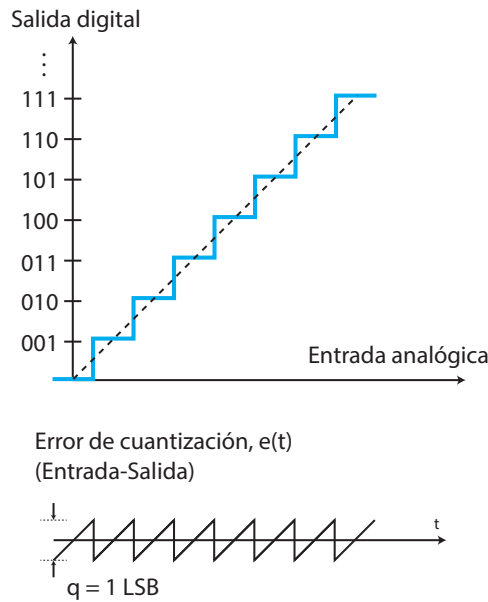
module Bin3Dec( clk , b11 , b10 , b9 , b8 , b7 , b6 , b5 , b4 , b3 , b2 , b1 , b0 , out );
input  clk , b11 , b10 , b9 , b8 , b7 , b6 , b5 , b4 , b3 , b2 , b1 , b0 ;
output out ;
electrical  clk , b11 , b10 , b9 , b8 , b7 , b6 , b5 , b4 , b3 , b2 , b1 , b0 , out ;

parameter real  vth = 0.9;
parameter real  mult = 0.125;
parameter real  vtrue = 1.8;
real tmp;
real vreal;
analog begin
@(cross(V(clk)-vth,0) or initial_step) begin
    tmp = (mult)*(((V(b11)/vtrue)*2048)+((V(b10)/vtrue)*1024)+
    +((V(b9)/vtrue)*512)+((V(b8)/vtrue)*256)+((V(b7)/vtrue)*128)+
    +((V(b6)/vtrue)*64)+((V(b5)/vtrue)*32)+((V(b4)/vtrue)*16)+
    +((V(b3)/vtrue)*8)+((V(b2)/vtrue)*4)+((V(b1)/vtrue)*2)+
    +((V(b0)/vtrue)*1))-0.9;
end
V(out) <+ tmp;
end
endmodule

```

## B. Formula de SNR para convertidores: deducción

Según [45], el error máximo que un convertidor ideal puede cometer es de  $\pm \frac{1}{2}LSB$  como se muestra en la gráfica de la función de transferencia ideal de la Figura B.1 y puede ser aproximado por una función diente de sierra de amplitud pico-pico  $q$ .

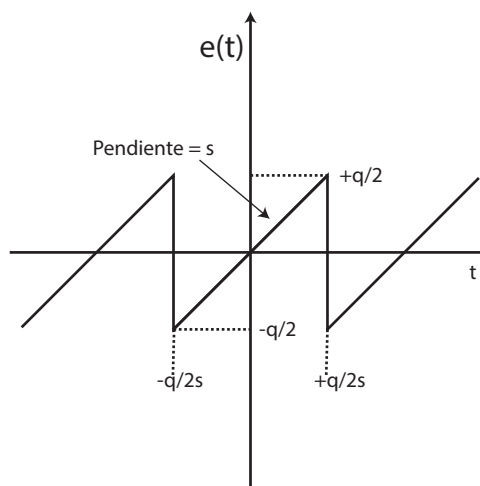


**Figura B.1:** Error de cuantización ideal de un ADC.

El error de cuantización en función del tiempo se muestra en la Figura B.2 y se define matemáticamente como

$$e(t) = st, -q/2s < t < +q/2s \tag{1}$$

entonces el valor *RMS* del error de cuantificación es



**Figura B.2:** Función aproximada del error de cuantificación.

$$e(t)_{RMS} = \sqrt{\frac{s}{q} \int_{-q/2s}^{+q/2s} (st)^2 dt} \tag{2}$$

integrando y simplificando queda

$$e(t)_{RMS} = \text{Ruido de cuantificación}_{RMS} = \frac{q}{\sqrt{12}} \quad (3)$$

Ahora, si se asume una entrada senoidal de rango completo de la forma:

$$v(t) = \frac{q2^N}{2} \sin(2\pi ft) \quad (4)$$

su valor RMS es

$$v(t)_{RMS} = \frac{q2^N}{2\sqrt{2}} \quad (5)$$

Entonces, sabiendo que la SNR en términos de voltaje está definida como

$$SNR_{dB} = 20 \cdot \log_{10} \left( \frac{\text{RMS de la señal de entrada}}{\text{RMS del ruido de cuantificación}} \right) \quad (6)$$

$$SNR_{dB} = 20 \cdot \log_{10} \left[ \frac{q2^N/2\sqrt{2}}{q/\sqrt{12}} \right] \quad (7)$$

$$SNR_{dB} = 20 \cdot \log_{10} 2^N + 20 \cdot \log_{10} \sqrt{\frac{3}{2}} \quad (8)$$

Por lo tanto

$$SNR_{dB} = 6.02N + 1.76 \quad (9)$$

De este análisis es que proviene esta fórmula tan conocida en el área de convertidores de datos. Dicha fórmula se puede aplicar siempre y cuando se cumplan con las condiciones de entrada y ruido.

## C. Dimensiones y/o valores

En este apéndice se presentan las dimensiones y/o valores de los dispositivos electrónicos que conforman los elementos básicos.

Dispositivo	Tipo	$W$	$L$	Valor
NOT				
M0	N	$480nm$	$360nm$	—
M1	P	$1.92\mu m$	$360nm$	—
NAND				
M0	P	$1.92\mu m$	$360nm$	—
M1	P	$1.92\mu m$	$360nm$	—
M2	N	$480nm$	$360nm$	—
M3	N	$480nm$	$360nm$	—
XOR				
M0	N	$480nm$	$360nm$	—
M1	N	$480nm$	$360nm$	—
M2	N	$480nm$	$360nm$	—
M3	N	$480nm$	$360nm$	—
M4	P	$1.92\mu m$	$360nm$	—
M5	P	$1.92\mu m$	$360nm$	—
M6	P	$1.92\mu m$	$360nm$	—
M7	P	$1.92\mu m$	$360nm$	—
Comparador				
M0	N	$500nm$	$360nm$	—
M1	N	$500nm$	$360nm$	—
M2	N	$500nm$	$360nm$	—
M3	N	$500nm$	$360nm$	—
M4	P	$1\mu m$	$360nm$	—
M5	P	$1\mu m$	$360nm$	—
M6	P	$1\mu m$	$360nm$	—
M7	P	$1\mu m$	$360nm$	—
Multiplexor analógico				
M0	P	$20\mu m$	$360nm$	—
M1	P	$20\mu m$	$360nm$	—
M2	N	$5\mu m$	$360nm$	—
M3	N	$5\mu m$	$360nm$	—
M4	N	$5\mu m$	$360nm$	—
M5	N	$5\mu m$	$360nm$	—

Switch				
M1	P	$24\mu m$	$360nm$	—
M2	N	$6\mu m$	$360nm$	—
Amplificador Operacional				
M0	N	$5.3\mu m$	$360nm$	—
M1	N	$30\mu m$	$360nm$	—
M2	N	$30\mu m$	$360nm$	—
M3	P	$3\mu m$	$360nm$	—
M4	P	$3\mu m$	$360nm$	—
M5	P	$53\mu m$	$360nm$	—
M6	N	$53\mu m$	$360nm$	—
M7	N	$5.3\mu m$	$360nm$	—
M8	P	$3.6\mu m$	$360nm$	—
M9	P	$2.7\mu m$	$360nm$	—
M10	P	$2.7\mu m$	$360nm$	—
M11	N	$30\mu m$	$360nm$	—
M12	N	$30\mu m$	$360nm$	—
C0	MIM	$18\mu m$	$18\mu m$	$330fF$
C1	MIM	$18\mu m$	$18\mu m$	$330fF$
R0	—	—	—	$2.5K\Omega$
Capacitancia por etapa				
Etapa	Dispositivos	$W$	$L$	Valor
1	C0,C1	$30\mu m$	$30\mu m$	$909fF$
2	C0,C1	$21\mu m$	$21\mu m$	$447fF$
3	C0,C1	$15\mu m$	$15\mu m$	$229.5fF$
4	C0,C1	$10\mu m$	$10\mu m$	$103fF$
5	C0,C1	$10\mu m$	$10\mu m$	$103fF$
6	C0,C1	$10\mu m$	$10\mu m$	$103fF$
7	C0,C1	$10\mu m$	$10\mu m$	$103fF$
8	C0,C1	$10\mu m$	$10\mu m$	$103fF$
9	C0,C1	$10\mu m$	$10\mu m$	$103fF$
10	C0,C1	$10\mu m$	$10\mu m$	$103fF$
11	C0,C1	$10\mu m$	$10\mu m$	$103fF$

---

# Anexos

## A. Estancia de investigación en el extranjero

Se realizó una estancia en la Università degli Studi di Pavia en Pavía, Italia, con una duración de 3 meses (mayo a julio de 2018) bajo la supervisión del Dr. Edoardo Bonizzoni, se trabajó en el tema de investigación de la tesis, el principal objetivo fue diseñar a nivel transistor con tecnología CMOS de 180nm las etapas previamente modeladas en Verilog-A, posteriormente se simularon y optimizaron para cumplir con los requerimientos de los sistemas de comunicaciones 4G.

## B. Publicaciones

Se prepararon y publicaron 2 artículos para presentación en congresos internacionales, ambos fueron aceptados y presentados.

- Artículo 1: Publicado en el 15th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, en Praga, República Checa, del 2 al 5 de julio de 2018. ISBN: 978-1-5386-5153-7.
- Artículo 2: Publicado en el 2018 IEEE 88th Vehicular Technology Conference: VTC2018-Fall, en Chicago, USA, del 27 al 30 de agosto de 2018. ISBN: En espera.

A continuación se presentan ambos artículos.

# System-Level Behavioral Model of a 12-bit 1.5-bit per stage Pipelined ADC Based on Verilog<sup>®</sup>-AMS

Vicente Y. Ponce-Hinestroza, Victor R. Gonzalez-Diaz,

Josefina Castaneda-Camacho Gerardo Mino-Aguilar and Edoardo Bonizzoni

Faculty of Electronics, Benemérita Universidad Autónoma de Puebla (BUAP)

Av. San Claudio y 18 sur Ciudad Universitaria Puebla Pue, Mexico. Email: see <http://www.ece.buap.mx>

**Abstract**—This document presents a system-level behavioral model of a 12-bit 1.5-bit/stage pipelined ADC based on Verilog-AMS that can be used in the CMOS circuit design activities. It was developed with one of the currently most used EDA tools, Cadence Virtuoso, the versatility of this software allowed to create a model that consist of subsystems at circuit level described in Verilog, Verilog-A and SPICE, in others words, Verilog-AMS. The model was tested in time and frequency, the results exhibit a SQNR of 73.7 dB and an ENOB of 11.5 bits when ideal parameters are present.

**Index Terms**—Pipelined ADC, behavioral model, Verilog-AMS, mixed-signal systems.

## I. INTRODUCTION

In modern System-on-Chip (SoC) designs, there are both digital and analog components. These mixed-signal designs can reveal various challenges up to the final stage of SoCs manufacturing process. Mixed-signal verification forms a major concern, but it is not the only one. Achieving great accuracy on modeling mixed-signal designs is also a critical task. Another important issue that has to be taken into account constitutes the complexity of combining analog and digital elements in one system, having high performance as the main goal [1].

The Analog-to-Digital Converter is a mixed-signal system with a big amount of blocks that allows the interfacing between the real analog world and the digital processing. The pipeline is one of the most popular architectures in high speed communications systems as it achieves high speed sampling rates at a relative large resolution as shown in the Fig. 1.

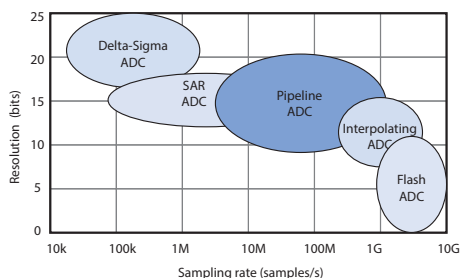


Fig. 1. ADC architectures: resolution vs sampling rate.

Several behavioral models based on MATLAB/Simulink, Python and SystemC have been reported in the literature [2]-

978-1-5386-5153-7/18/\$31.00 ©2018 IEEE

[5]. These tools are accurate and useful to understand how the architecture works and to study the main advantages and limitations. However, they cannot be easily used in conjunction with EDA tools. The model must interact with others based on SPICE, VHDL, Verilog or Verilog-A that allow creating cumbersome systems. This paper presents a system-level behavioral model of a 12-bit 1.5-bit/stage pipelined ADC based on Verilog-AMS.

## II. MODELING IN VERILOG-AMS

Verilog-AMS allows to create and use modules that describe both the high-level behavior and the structure of analog mixed-signal systems and components. The behavior of a component is mathematically described in terms of ports and external parameters. The structure of a component can be described in terms of interconnected subcomponents.

With the Verilog-AMS statements, a wide range of systems can be described. For analog aspects of the design, the simulator uses Kirchhoff's Voltage and Current laws to develop a set of descriptive equations and solves these equations with the Newton-Raphson approximation [6].

In this work the model was described and interconnected in the EDA tool Virtuoso<sup>®</sup> from Cadence<sup>®</sup> and simulated with the Cadence AMS Simulator.

## III. SYSTEM-LEVEL PIPELINED ADC BEHAVIORAL MODEL

The pipeline ADC architecture, in a mathematical fashion, is shown in Fig. 2. It is constructed with low resolution blocks connected in a pipeline configuration and a digital correction logic decodes the converted digital output. Each stage operates according to the output of the 1.5-bit ADC as shown in Table I, where  $V_{in}$  is the input of the stage,  $V_{ref}$  is half of the full range input voltage and  $V_H = -V_L = \frac{1}{4}V_{ref}$ . The first stage works with the most recent sample and the following works with the residue from their previous stage.

TABLE I  
RESIDUE CALCULUS

1.5-bit ADC output	Residue
0 0	$2V_{in} + V_{ref}$
0 1	$2V_{in}$
1 0	$2V_{in} - V_{ref}$

Nevertheless, at circuit level, the Sample-and-Hold (S/H), Digital-to-Analog Converter (DAC), Operational Amplifier

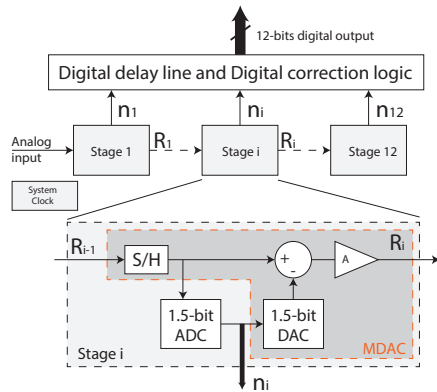


Fig. 2. Pipeline architecture.

(OpAmp) and the sum point gather in a single circuit block called MDAC or Multiplicative DAC. This gives rise to a single stage system as shown in Fig 3, where only the subADC of 1.5 bits, MDAC and a references generator are evident.

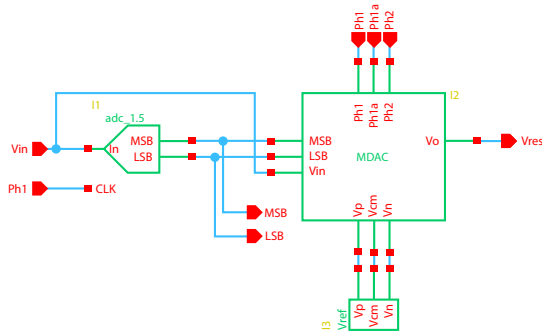


Fig. 3. Basic stage model.

A. 1.5-bit subADC

The 1.5-bit ADC shown in the Fig 3 was implemented as shown in the Fig.4.

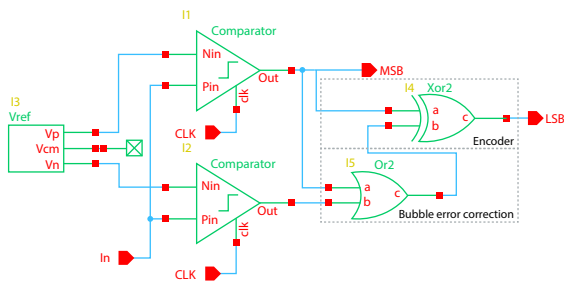


Fig. 4. 1.5-bit subADC model.

The comparator block was described as follows:

```

module Comparador(Pin, Nin,clk, Out);
input Pin, Nin,clk;
output Out;
...
analog begin

```

```

@(cross((V(clk)-vth),+1) or initial_step ) begin
if (V(Pin)>V(Nin))
    tmp = Vtrue;
else
    tmp = Vfalse;
end
V(Out)<+ transition (tmp,delay, trise , tfall );
end
endmodule

```

basically, when the voltage of the input Pin is greater than the voltage in Nin the output of the comparator goes to positive rail (Vdd), otherwise goes to the negative rail (Vss). To limit convergence problems the output is driven by a transition function. The XOR gate is working as a thermometer-to-binary encoder and was also described in Verilog-A as follows:

```

module Xor2(a,b,c);
input a,b;
output c;
...
analog begin
if (V(a)<vfalse+th && V(b)<vfalse+th )
    tmp = vfalse;
else if (V(a)<vfalse+th && V(b)>vtrue-th)
    tmp = vtrue;
else if (V(a)>vtrue-th && V(b)<vfalse+th)
    tmp = vtrue;
else if (V(a)>vtrue-th && V(b)>vtrue-th)
    tmp = vfalse;
else
    tmp = tmp;
end
V(c) <+ transition (tmp,delay, trise , tfall );
end
endmodule

```

The OR gate is in charge of the bubble error correction and was described basically as the XOR gate just its outputs were changed.

B. The 1.5-bit MDAC

The 1.5-bit MDAC shown in the Fig. 3 was implemented, as shown in the Fig. 5, with a switched capacitor circuit, which is driven by two phases. During the phase 1, the circuit samples and holds the input Vin and during the phase 2 calculates the residue for the next stage.

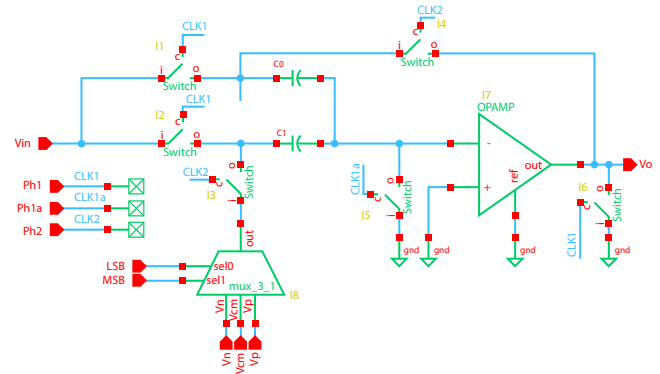


Fig. 5. 1.5-bit MDAC model.

The main components of this system are the switches, multiplexer, OpAmp and capacitors. Using Verilog-AMS as the main language allows the switch and the analog multiplexer to be modeled with Verilog-A. The OpAmp was modeled with a voltage controlled voltage source considering the input and output resistance as well as bandwidth. The switch model was described as a voltage controlled resistor, when the control terminal voltage is greater than a threshold, the resistor has to a low value  $R_{ON}$  otherwise has a large resistance  $R_{Off}$ , as follows:

```

module Switch(i,c,o);
input c;
inout i,o;
...
analog begin
  @(cross(V(c)-vth,0) or initial_step ) begin
    if (V(c)>vth)
      R = Ron;
    else
      R = Roff;
    end
    Rr = transition (R,delay, trise , tfall );
    V(i,o) <+ I(i,o)*Rr;
  end
endmodule

```

The model of the analog multiplexer is simple, depending the selection signals, it passes the corresponding input. The description code is shown below:

```

module mux_3_1(Vn,Vcm,Vp,sel1,sel0,out);
input Vn,Vp,Vcm,sel1,sel0;
output out;
...
analog begin
  if (V(sel1)<vfalse+th && V(sel0)<vfalse+th)
    tmp = V(Vn);
  else if (V(sel1)<vfalse+th && V(sel0)>vtrue-th)
    tmp = V(Vcm);
  else if (V(sel1)>vtrue-th && V(sel0)<vfalse+th)
    tmp = V(Vp);
  else
    tmp = tmp;
  end
  V(out) <+ transition (tmp,delay, trise , tfall );
end
endmodule

```

The most important parameters for the 1.5-bit MDAC are the OpAmp's DC gain and the capacitors mismatch, the best performance was exhibited for a capacitor of 50 fF and a DC gain of  $20e3$ . Unfortunately, the high OpAmp gain is difficult to achieve in a real implementation but it is valid for an ideal model.

### C. Digital correction

It is important to notice the latency of the pipelined ADC. After every stage converts the corresponding value, a digital block uses the 2-bit output of every single stage to encode the final conversion. Each 2-bit output is delayed a certain amount of time based on its position in the pipeline, all the digital outputs are added to generate the valid digital output. The digital correction block can also compensate for many circuit

non ideal parameters at the expense of an increased conversion time. The description of this block is too large and can not be presented in this paper, but it is based on shift registers or flip-flops that delay the data until the data of all the stages are ready [7].

### D. Non-Overlapping Clocks

One of the main problems in the design of the model was the synchronization of all the stages, six phases generated from a single general clock signal were needed. Making use of the intrinsic propagation delays of the logical gates, the six phases of the Fig. 6 were generated, three phases are used in each stage, one to enable the stage, other to enable the S/H and the third one to enable the residue calculation.

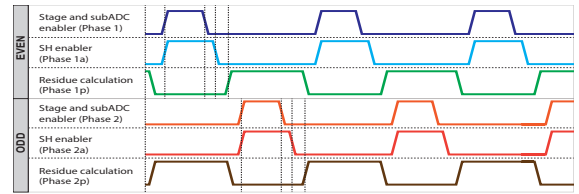


Fig. 6. Non-overlapping clock phases.

## IV. SIMULATION RESULTS

The complete ADC model is shown in Fig. 7, the S/H block of the input is to ensure that the value to be converted does not change while it is processed by the first stage, in order to evaluate the performance of the modeled ADC, a dynamic test was done to characterize the Effective Number of Bits (ENoB) and was made with a sinusoidal input signal of frequency 2.24609375 MHz, sampled at a frequency of 200 MHz, its Power Spectral Density (PSD) is shown in Fig. 8.

The model is not considering non-idealities and therefore the analysis yields a Signal to Quantization Noise Ratio (SQNR) of 73.7 dB and an ENoB of 11.94 bits; from the transient simulation, whose response is shown in Fig.9. The ADC exhibits latency, it is the time that the architecture needs to generate the first valid digital output, is approximately 30 ns or 6 clock cycles. An operating condition that have to be met in order to have the best performance of the pipelined architecture is that the two capacitors of the MDAC have to be equal. A large mismatch of 5% applied to one capacitor of the first stage produced a degradation of the SQNR from 73.7 dB to 39.5 dB, which causes a drop in the ENoB to 6.28 bits and its PSD is shown in the Fig. 10, this probes the sensitivity of this architecture to small variations in its components.

## V. CONCLUSION

A system-level behavioral model of a 12-bit 1.5-bit/stage pipelined ADC was presented, the model in ideal operating conditions exhibited a SQNR of 73.7 dB close to the ideal 74 dB. When the model is behavioral there are some subsystems, as the MDAC, that have been modeled as circuits and produced the reduction in the SQNR. As shown, the model is sensitive to variations in the MDAC capacitors, a large mismatch

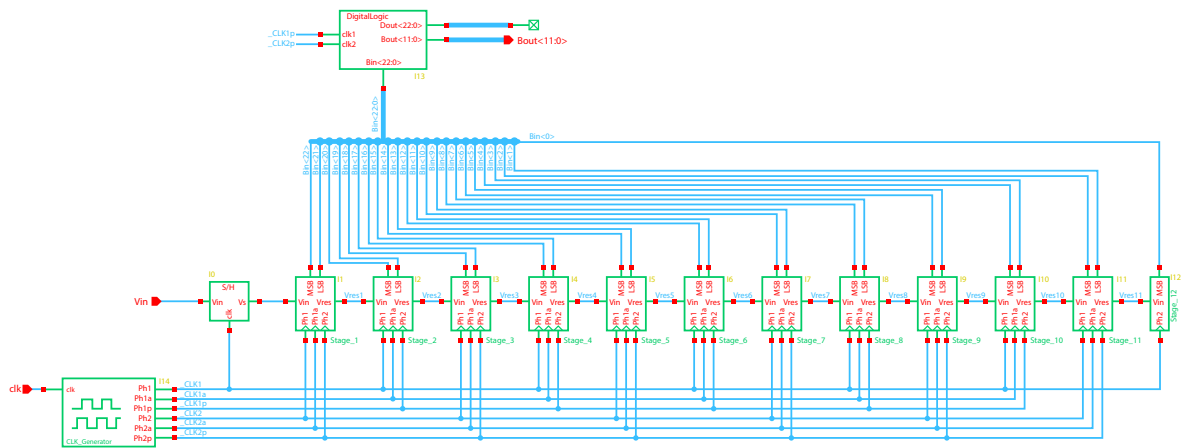


Fig. 7. 12-bit ADC model.

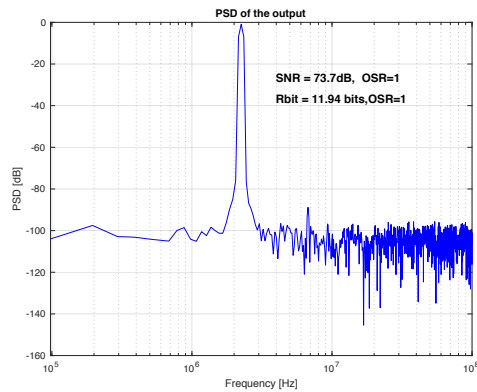


Fig. 8. ADC model dynamic response.

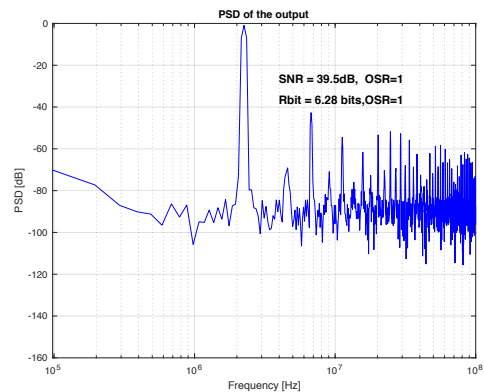


Fig. 10. Non-ideal ADC model dynamic response.

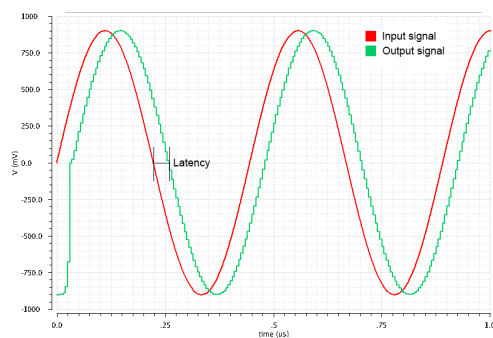


Fig. 9. ADC model transient response.

between them causes a degradation of the ENoB from 11.5 bits to 6.28 bits. During the development of the model it was possible to appreciate that one of the main problems for its implementation at the CMOS level is the high gain that is necessary for the OpAmp of each stage.

## REFERENCES

- [1] N. Georgouloupoulos and A. Hatzopoulos, *Real Number Modeling of a Flash ADC Using SystemVerilog*. Panhellenic Conference on Electronics and Telecommunications (PACET), 2017.
- [2] S. M. Taheri and B. Mohammadi, *Parameter Modeling and Simulation of Typical Non-Ideal Analog to Digital Converter*. International Conference on Contemporary Computing and Informatics (IC31), 2014.
- [3] L. Dai and X. Liu, *Behavioral Model Based on SIMULINK for 14-bit 200MS/s Pipelined ADC*. International Conference on Control Engineering and Communication Technology, 2012.
- [4] C. Silva et al., *SCALES: A behavioral simulator for pipelined analog-to-digital converter design*. International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMAC), 2012.
- [5] J. Bjornsen and T. Ytterdal, *Behavioral Modeling and Simulation of High-Speed Analog-to-Digital Converters Using SystemC*. International Symposium on Circuits and Systems, 2003.
- [6] *Cadence Verilog-AMS Language Reference*. Version 5.5, Cadence Design System, Inc., June 2005.
- [7] P. Ghoshal and S. K. Sen, *Realization of a 1.5 bits/stage Pipeline ADC Using Switched Capacitor Technique*. International Conference on Intelligent Control Power and Instrumentation (ICICPI), 2016.

# Pipeline A/D Converter Design for 5G OFDM Communications Systems.

Vicente Y. Ponce-Hinestroza, Josefina Castaneda-Camacho, Victor R. Gonzalez-Diaz,  
Gerardo Mino-Aguilar and Alejandro Garcia-Santiago

Faculty of Electronics, Benemérita Universidad Autónoma de Puebla (BUAP)

Av. San Claudio y 18 sur Ciudad Universitaria Puebla Pue, Mexico. Email: see <http://www.ece.buap.mx>

**Abstract**—This paper presents the design of a 12-bit 1.5-bit/stage pipelined ADC for communications systems in MATLAB/Simulink®. The model can be useful as a tool in the design of data converters. In addition is fully editable and capable to introduce as many non-idealities as the designer requires, reducing the design time. In this work, a new OFDM platform is proposed to evaluate the performance and effects of experimental analog-to-digital converters on the OFDM communication system.

**Index Terms**—Pipelined ADC, behavioral model, OFDM, communication system, Simulink, Matlab.

## I. INTRODUCTION

New and emerging applications for high speed communications such as virtual reality, remote sensing, palpable Internet and road safety, entail a fifth generation (5G) cellular network. For this evolving technology, high throughput and fidelity of the data is essential anywhere and anytime. Since orthogonal frequency division multiplexing (OFDM) scheme is robust to multipath effect and uses the spectrum efficiently, it has been successfully employed for several high data rate communications standards and it can be a good candidate for 5G as well [1].

The Analog-to-Digital Converter (ADC) and Digital-to-Analog Converter (DAC), play a fundamental role in the digital processing of signal in 4 and 5G systems. With the rapid demand increase of portable hand-held communication devices, it is necessary to design high-performance and high power efficiency ADCs in order to improve the global performance of the receiver chain [2], [3].

This paper presents a new MATLAB/SIMULINK® behavioral model for a 12-bit pipelined ADC embedded on an OFDM transceiver toward the proposed design.

## II. THE ADC ON THE OFDM RECEIVER CHAIN

OFDM communication systems are regulated with the IEEE 802.16 standard, which specifies the structure of a transmitter. However, the standard does not completely specifies the receiver architecture. Therefore, the supplier has the faculty to decide about the receiver implementation. Fig. 1 shows the basic structure of a digital receiver [4], [5]. The receiver consists of downconversion, analog-to-digital conversion, Fast-Fourier-Transformation and demodulation of the received signal.

The ADC design is relevant because it is the front-door of the digital receiver and must be able to drive the input signal without information loss. An ADC for communications

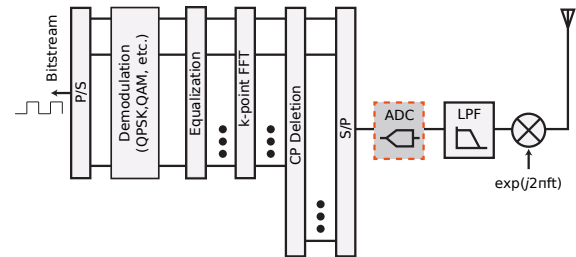


Fig. 1. Basic digital OFDM receiver.

systems must fulfill at least the 10 bits of resolution, a bandwidth of 10 MHz and a SNR of 21 dB [6]. The ADC modeled in this work is a 12-bit 1.5-bit/stage pipelined ADC. The pipeline architecture is selected because it exhibits the best resolution-bandwidth ratio. This feature makes the pipeline ADC a popular architecture for communication system [7].

## III. PIPELINED ADC BEHAVIORAL MODEL

The pipeline ADC architecture is shown in Fig. 2, it is constructed with low resolution blocks connected in a pipeline configuration and a digital correction logic decodes the converted digital output. The first stage works with the most recent sample and the following works with the residue from their previous stage.

Every single stage has a 1.5-bit ADC, a 1.5-bit DAC, a summing point, a sample and hold and a signal amplifier connected as shown in Fig. 2. The figure also highlights the

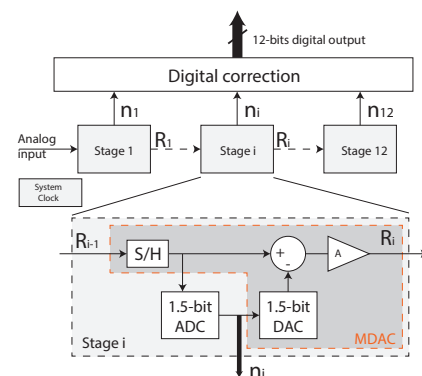


Fig. 2. Pipeline architecture.

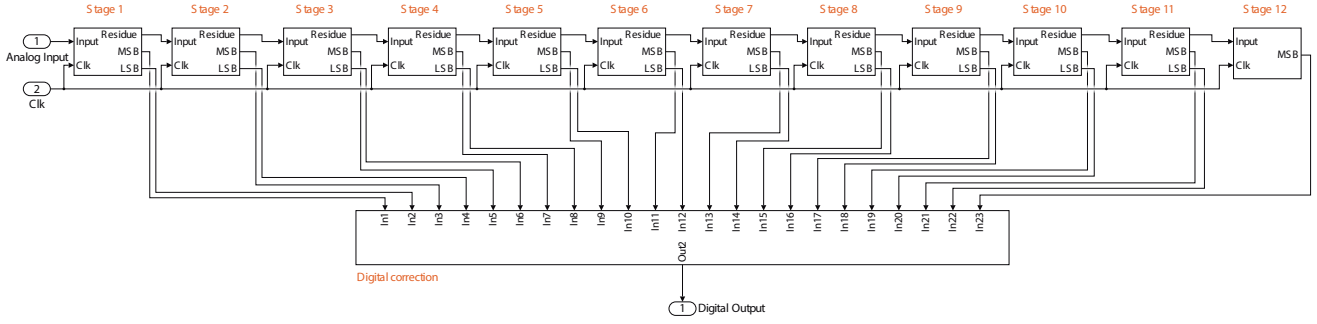


Fig. 3. Pipeline behavioral model.

blocks building the Multiplicative DAC (MDAC) of a single stage. Fig. 3 shows the full pipeline ADC model developed in this work. Note that there are twelve basic blocks and their outputs are processed through the digital correction block.

A. Basic stage and 1.5-bit MDAC.

The block level model of a basic stage is shown in Fig. 4. The 1.5-bit MDAC calculates the residue that will be the input to the next stage. The residue of this stage is a function of the 1.5-bit ADC. Table I resumes the operations performed by the MDAC.

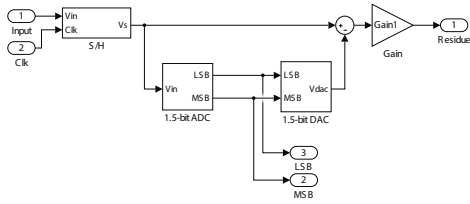


Fig. 4. Basic stage model.

TABLE I  
RESIDUE CALCULUS

1.5-bit ADC output	Residue
0 0	$2V_{in} + V_{ref}$
0 1	$2V_{in}$
1 0	$2V_{in} - V_{ref}$

At a first glance, the residue must exhibit the plot in Fig. 5 for a triangular input signal, which is the nonlinear relationship in Table I.

B. The 1.5-bit ADC.

Fig. 6 shows the 1.5-bit ADC behavioral model, two comparator blocks monitor the input signal with two voltage references  $V_H = \frac{1}{4}V_{ref}$  and  $V_L = -\frac{1}{4}V_{ref}$ . In this work  $V_{ref} = 1V$ , therefore  $V_H = 250mV$  and  $V_L = -250mV$ . The output of the 1.5-bit ADC as a function of  $V_{ref}$  is shown in the Table II. The two comparators give rise to a thermometric output and an XOR gate converts the thermometric output to a binary signal.

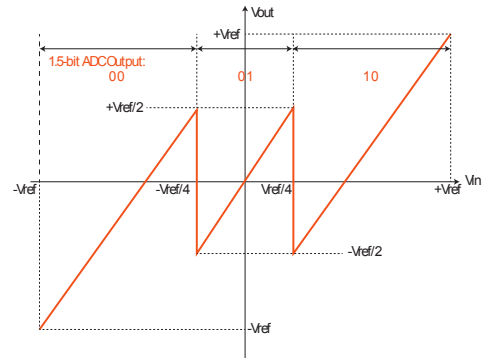


Fig. 5. Residue ideal plot.

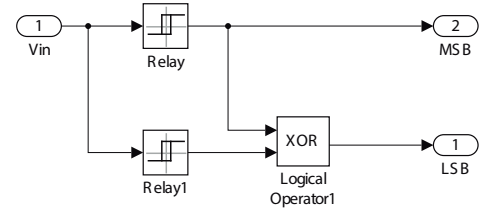


Fig. 6. 1.5-bit ADC model.

C. Digital correction.

It is important to notice the latency of this pipelined ADC. Every stage converts the corresponding value, and all digital blocks use the 2-bit output of every single stage to encode the final conversion. Each 2-bit output is delayed a certain amount of time based on its position in the pipeline and then all the digital outputs are added to generate the valid digital output. The digital correction block can also compensate for many circuit non ideal parameters at the expense of an increased conversion time.

D. Results of a pipeline ADC simulation.

The behavioral model of the ADC is used to predict the Effective Number of Bits (ENoB). The dynamic tests can be helpful to characterize the ENoB, Fig. 7 shows the frequency response.

The model is not considering non-idealities and therefore the SNR and ENoB are just affected by the quantification error

TABLE II  
1.5-BIT ADC OUTPUT

1.5-bit ADC output	Range
0 0	$-V_{ref} \leq V_{in} \leq V_L$
0 1	$-V_L \leq V_{in} \leq V_H$
1 0	$-V_H \leq V_{in} \leq V_{ref}$

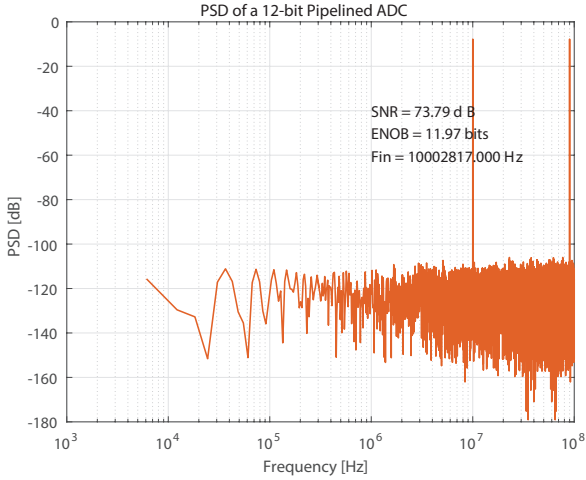


Fig. 7. ADC model frequency response.

which is impossible to avoid. The analysis yields a Signal to Quantization Noise Ratio (SQNR) of 73.97 dB and an ENOB of 11.97 for a 10 MHz sinusoidal input signal sampled to 100 MHz.

IV. PIPELINE ADC ON AN OFDM COMMUNICATION SYSTEM

To prove the pipeline ADC behavioral model for OFDM communication systems, this work proposes a new Simulink platform model. The aforementioned model follows the com-

munications standard for the basic physical layer of the transmitter and receiver.

A. OFDM transmitter and receiver.

The transmitter performs the inverse operations of the receiver in Fig. 1, in this scheme the transmitter’s information flow is from the left to the right hand, complementary to the receiver. Fig. 8 shows the data flow in both subsystems. The transmission process starts with the coded bitstream being parallelized and modulated with a 64-QAM technique, after that, the insertion of nulls and pilots is performed. Later, the resulting parallel data set goes through the IFFT operation to be transformed from frequency to time domain. Finally, the data is serialized, up-converted and sent to the communication channel.

The transmission and reception processes are complementary, therefore, the receiver starts with the RF signal down-conversion, the following step is the analog-to-digital conversion, parallelization, transformed from time to frequency domain through the FFT, cancellation of pilots and nulls and finally demodulated to recover the received information.

There are several works where the performance of the OFDM system is evaluated at physical-layer level [8], [9], [10], where the effects of different channels in the performance of the OFDM system is evaluated, some others evaluate the OFDM system performance from a processing point of view, only in terms of its coding blocks and modulation [11], [12], [13]. Nevertheless, there are others sources of error in the OFDM system, that are not even modeled in the previous works, originated from the interface where the transmitted or received signal changes from digital to analog or analog to digital, few works have evaluated this sources of error as [14] and [15]. This work proposes the union of both models, the OFDM platform and the ADC model, to evaluate the performance of the OFDM system, it allows to include the channel, coding and modulation errors, and even the error in the A/D interface that is usually not considered, in addition

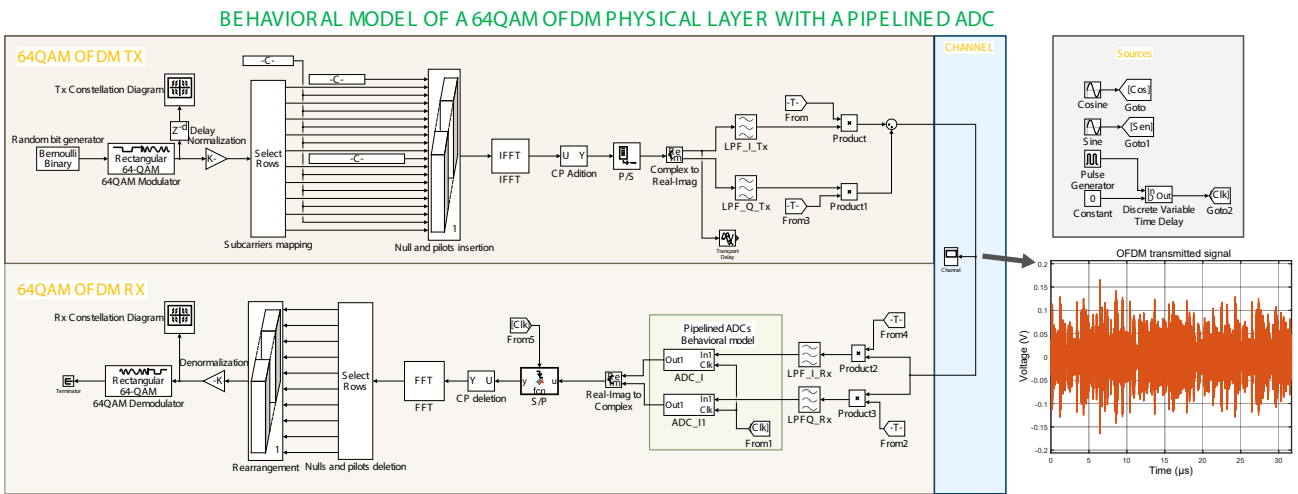


Fig. 8. OFDM communication system model.

helps to explore the minimum necessary specifications of the ADC.

### B. Behavioral simulation results.

Fig. 8 shows the 12-bit pipelined ADC modeled location as a part of the receiver chain. The same Fig. details the OFDM transmitted signal in time domain. An ideal channel, no coding and a 64-QAM modulation were considered, thus the transmitted and received signals are equal. The recovered data is shown in the Fig. 9.a, where the phase is shifted due to the low-pass filter. As the magnitude of the transmitted and received signal varies in the Fig. 9.b the recovery error is calculated. Fig. 10 presents the constellation diagram, where the dots depict a symbol (6-bits) of the received information and the crosses indicate where the signal should be. The information is detectable whereas the dots are inside of the probabilistic region of the original symbol.

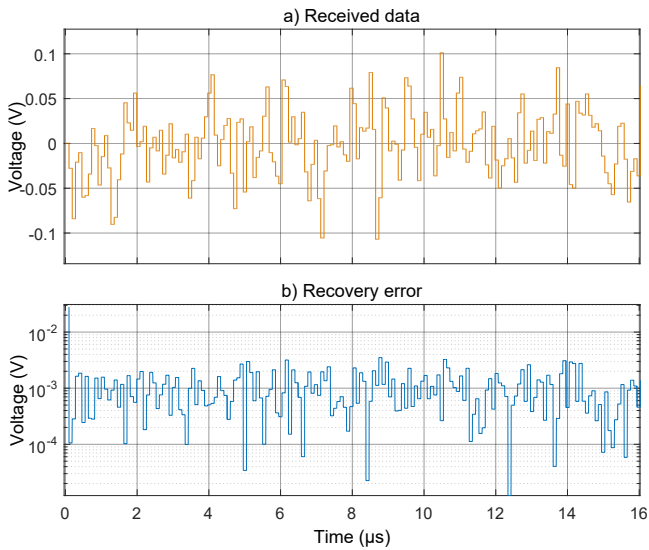


Fig. 9. (a) Received signal. (b) Recovery error.

To show a practical benefit of this model several simulation runs predict the impact of a reduction in the ADC resolution. Fig. 11 shows the constellation diagram considering DC gain non-idealities of the amplifier in each ADC stage. A  $\pm 7.5\%$  of error was modeled using a normal distribution with mean 2 and standard deviation of 0.05, producing a SNR and ENOB degradation from 73.97 dB to 40 dB and 11.97 bits to 6.37 bits respectively. The information is not detectable because some dots are outside of the probabilistic region of the original symbol.

An average time of 38 seconds is required to perform a whole system simulation to transmit 192 symbols (1.125 Kbits) in a 64-QAM scenario. As it is known, the 256-QAM modulation has been considered to be implemented in future 5G communication systems, with minimum changes, the developed platform was set up to work under this modulation scheme. In the 256-QAM scenario approximately 1 minute and 15 seconds is taken to transmit also 192 symbols (1.5

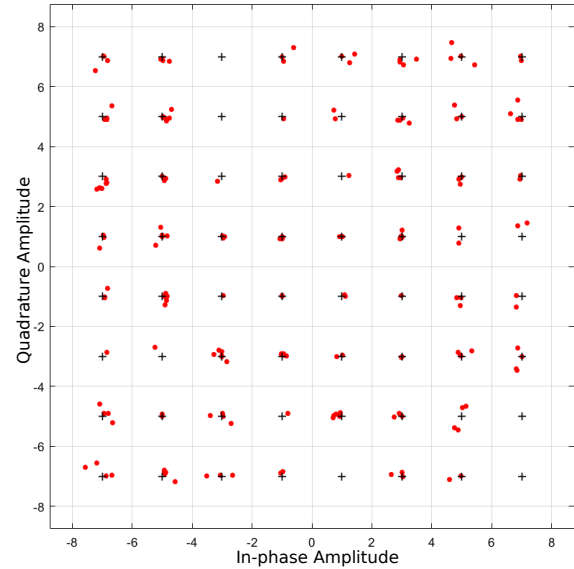


Fig. 10. Received constellation diagram with ideal ADC model.

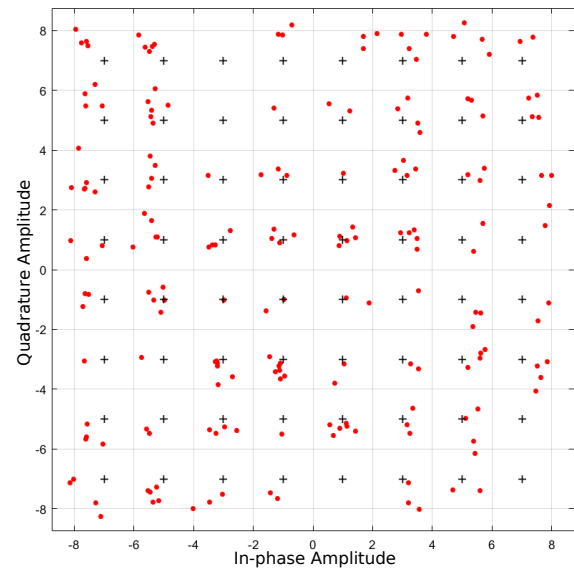


Fig. 11. Received constellation diagram with non-ideal ADC model.

Kbits), the constellation diagram of the transmission with the 256-QAM modulation is shown in the Fig. 12, the information is detectable since the ADC was kept ideal [16].

## V. CONCLUSION

A new behavioral model of an OFDM based communication platform is proposed to evaluate a 12-bit 1.5-bit/stage pipelined ADC. The ADC model can introduce the coefficient changes with the purpose to obtain the ADC design constrains to operate on the communication system. The model is fully editable and capable of introducing any kind of non-idealities as the designer requires. The results exhibit a good prediction of the ideal OFDM-pipeline ADC platform through

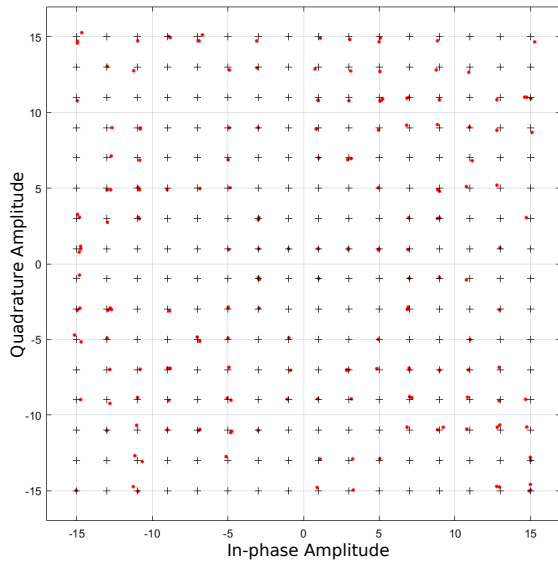


Fig. 12. Received constellation diagram for a 256-QAM scenario.

time domain and constellation diagram evaluations. With this new platform the designer can perform the ADC validation previously to the device level design, in order to reduce the time to market in new products. The coming 5G wireless is for connecting tens of billions of devices reaching several gigabit-per-second data rates and millisecond latency. This proposal is on track to achieve this aggressive target innovation in the wireless communications systems.

#### ACKNOWLEDGMENT

The authors appreciate the contributions of CONACYT and BUAP VIEP projects to be possible this research.

#### REFERENCES

- [1] V. Vahidi and E. Saberinia, "OFDM High Speed Train Communication Systems in 5G Cellular Networks," in *2018 15th IEEE Annual Consumer Communications Networking Conference (CCNC)*, vol. , no. , Jan 2018, pp. 1–6.
- [2] Farooq, Qazi Omar, "Modeling and Implementation of A 6-Bit, 50MHz Pipelined ADC in CMOS," Master's thesis, 2016.
- [3] Barra, Samir and Kouda, Souhil and Dendouga, Abdelghani and Bouguechal, N. E., "Simulink Behavioral Modeling of a 10-bit Pipelined ADC," *International Journal of Automation and Computing*, vol. 10, no. 2, pp. 134–142, Apr 2013. [Online]. Available: <https://doi.org/10.1007/s11633-013-0706-0>
- [4] Yang, Samuel C., *OFDMA System Analysis and Design*, 1st ed. Norwood, MA, USA: Artech House, Inc., 2010.
- [5] B. Siva Kumar Reddy, "Orthogonal Frequency division multiple access downlink physical layer communication for IEEE 802.16-2009 standard," *IET Signal Processing*, vol. 10, no. 3, pp. 274–279, 2016.
- [6] "IEEE Standard for Air Interface for Broadband Wireless Access Systems," vol. , no. , March 2018, pp. 1–2726.
- [7] S. I. Permatasari and M. T. Hutabarat and Adiseno, "Design of 12-Bit, 40 MS/s Pipeline ADC for application in WiMAX transceiver," in *Proceedings of the 2011 International Conference on Electrical Engineering and Informatics*, vol. , no. , July 2011, pp. 1–4.
- [8] T. P. Surekha and T. Ananthapadmanabha and C. Puttamadappa, "Modeling and Performance Analysis of QAM-OFDM System with AWGN Channel," in *2011 Third Pacific-Asia Conference on Circuits, Communications and System (PACCS)*, vol. , no. , July 2011, pp. 1–4.
- [9] N. Kaur and N. Kumar, "Review and analysis of Simulink based OFDM," in *2017 3rd International Conference on Advances in Computing, Communication Automation (ICACCA) (Fall)*, vol. , no. , Sept 2017, pp. 1–5.
- [10] Z. T. Sharef and A. E. Alaradi and B. T. Sharef, "Performance Evaluation for WiMAX 802.16e OFDMA Physical Layer," in *2012 Fourth International Conference on Computational Intelligence, Communication Systems and Networks*, vol. , no. , July 2012, pp. 351–355.
- [11] Bo Yang and Jihua Lu and Kuixi Chen and Jiannan Zhang and Chengran Dai, "Puncturing and interleaving analysis of a physical layer link based on IEEE802.11a," in *2011 Global Mobile Congress*, vol. , no. , Oct 2011, pp. 1–7.
- [12] X. Chen and M. Zhang and X. Han, "Performance Analysis of Reception for OFDM Communication Systems," in *2011 International Conference of Information Technology, Computer Engineering and Management Sciences*, vol. 2, no. , Sept 2011, pp. 72–75.
- [13] M. Patidar and R. Dubey and N. Kumar Jain and S. Kulpariya, "Performance analysis of WiMAX 802.16e physical layer model," in *2012 Ninth International Conference on Wireless and Optical Communications Networks (WOCN)*, vol. , no. , Sept 2012, pp. 1–4.
- [14] H. Sokullu and A. Salarvan and F. Sadıç and T. Küyel and G. K. Kurt, "Analog-to-digital converter effects on orthogonal frequency division multiplexing performance," in *2013 21st Signal Processing and Communications Applications Conference (SIU)*, vol. , no. , April 2013, pp. 1–4.
- [15] Ç. Özdağ and T. K. K. Üye and G. K. K. Üye and A. Salarvan, "Digital-to-analog converter effects on orthogonal frequency division multiplexing performance," in *2013 21st Signal Processing and Communications Applications Conference (SIU)*, vol. , no. , April 2013, pp. 1–4.
- [16] Y. Huo and X. Dong and W. Xu, "5G Cellular User Equipment: From Theory to Practical Hardware Design," *IEEE Access*, vol. 5, no. , pp. 13 992–14 010, 2017.