

Benemérita Universidad Autónoma de Puebla
Facultad de Ciencias de la Electrónica



Simulación e implementación de un OTA clase AB con transistores discretos CMOS

Por

José Juan Mendoza Fabián

Tesis que presenta como requisito parcial para obtener el título de
Licenciado en Electrónica

Asesor

Dr. José Miguel Rocha Pérez

27 de agosto de 2020

Resumen

Los amplificadores de transconductancia (OTAs) pueden realizar las mismas funciones que los amplificadores operacionales (OPAMPs). A nivel licenciatura los cursos de electrónica analógica hace énfasis en los OPAMPs dejando de lado otros bloques importantes como los OTAs y a veces ignorándolos completamente. Las diferencias más sobresalientes de ambos amplificadores son las siguientes:

- Los OPAMPs son sistemas de lazo cerrado con retroalimentación negativa, con todas las ventajas que ello representa, por ejemplo, alta linealidad, mayor estabilidad a las variaciones internas de sus componentes, etc.
- Los OTAs son sistemas de lazo abierto por lo cual tienen menos problemas de estabilidad que los OPAMPs y logran mayores frecuencias de operación.
- Las principales desventajas de los OPAMPs es que operan a frecuencias bajas y tienen problemas de estabilidad.
- Las principales desventajas de los OTAs es que son susceptibles a variaciones de sus componentes y por ello son menos lineales y precisos.

Por lo anterior, en algunas aplicaciones se prefiere usar OPAMPs y en otras resulta preferible usar OTAs.

En este trabajo se presenta la realización de un amplificador de transconductancia (OTA) clase AB con transistores discretos ALD1106 y ALD1107. El Capítulo 1 presenta una breve introducción que pone el marco de referencia de los OTAs, expone los objetivos y la justificación que dio pie al presente trabajo. El capítulo 2 introduce el marco teórico sobre el cual se basa el diseño del OTA final, se muestra una visión general de los cuatro tipos de amplificadores utilizados en electrónica, sus características ideales y no ideales y las ecuaciones que rigen su comportamiento. También presenta la estructura del transistor MOS y las ecuaciones básicas que lo modelan en sus diferentes regiones de operación. Posteriormente se presenta el análisis de los amplificadores de etapa única: Amplificador de fuente común (CS), amplificador de compuerta común (CD), y el seguidor de fuente o drenaje común (SF). En seguida se muestra

como con etapas cascode se puede incrementar la impedancia de salida de los amplificadores y con ello se incrementa la ganancia.

Al final del capítulo se aborda el par diferencial, el cual es de particular interés pues es la etapa de entrada del OTA. Se presenta el amplificador Miller de dos etapas, con el par diferencial como primera etapa y un amplificador CS como etapa de salida, además se incluye la red de compensación para garantizar la estabilidad y las modificaciones para convertirlo en un OTA clase AB.

El Capítulo 3 presenta la caracterización a nivel simulación de cada uno de los amplificadores mencionados en el Capítulo 2 obteniendo sus principales parámetros como ganancia, ganancia en modo diferencial, ganancia en modo común, relación de rechazo en modo común (CMRR), rango lineal, slew rate (SR), ancho de banda (BW), margen de fase (FM), y producto ganancia ancho de banda (GBW).

Finalmente, el Capítulo 4 presenta los resultados experimentales de la implementación de algunos bloques básicos y del OTA con transistores discretos. Al final del documento se muestran las conclusiones obtenidas del desarrollo de este trabajo, y la bibliografía.

Agradecimientos

A mis padres, por su apoyo incondicional, comprensión, cariño, y por darme la oportunidad de estudiar una carrera universitaria, mi más sincero agradecimiento y gratitud.

A mis hermanos, han sido parte importante de mi vida.

A mis abuelos, por su experiencia, y apoyo.

A mi asesor, Dr. José Miguel Rocha Pérez, por darme la oportunidad de trabajar en su equipo, por su paciencia, y enseñanzas. Al Dr. Alejandro Díaz Sánchez, por sus aportaciones para la mejora de este trabajo. Al candidato a doctor Ricardo Bolaños, por transmitirme parte de sus conocimientos, y a todos los compañeros del laboratorio, por la convivencia y retroalimentación. A todos, ¡gracias!

Índice general

1. Introducción	1
1.1. Objetivo general	2
1.2. Objetivos específicos	3
1.3. Justificación	3
2. Marco Teórico	5
2.1. Amplificadores	5
2.1.1. Características ideales de un amplificador en DC	5
2.1.2. Amplificador con fuentes de alimentación y saturación	7
2.1.3. Amplificador no lineal	7
2.1.4. Amplificador de voltaje	8
2.1.5. Amplificador de corriente	9
2.1.6. Amplificador de transconductancia	11
2.1.7. Amplificador de transimpedancia	12
2.1.8. Amplificadores en cascada	14
2.2. El transistor MOS	16
2.2.1. Estructura del transistor NMOS	16
2.2.2. Corte	17
2.2.3. Triodo	17
2.2.4. Saturación	19
2.2.5. Curvas características	20
2.2.6. Transconductancia g_m	20
2.2.7. El transistor PMOS	21
2.3. Amplificadores de etapa única con transistores MOS	22
2.3.1. Amplificador fuente común (CS)	22
2.3.2. Amplificador compuerta común (CG)	32
2.3.3. Drenaje común (CD) o seguidor de fuente (SF)	34
2.4. Etapa cascode	39
2.4.1. Cascode como amplificador	40
2.5. Amplificador diferencial	43
2.5.1. Relación de rechazo de modo común $CMRR$	44

2.5.2.	Amplificador par diferencial con transistores MOS	45
2.5.3.	Estructura interna del amplificador diferencial MOS	45
2.5.4.	Análisis en gran señal	45
2.5.5.	Análisis de pequeña señal	48
2.5.6.	Amplificador par diferencial con transistor PMOS en modo diodo como carga	49
2.5.7.	Amplificador diferencial con transistores PMOS como carga	50
2.5.8.	Amplificador par diferencial cascode	50
2.5.9.	Amplificador par diferencial telescópico cascode	52
2.5.10.	Amplificador par diferencial con salida única	52
2.6.	Amplificador Miller de dos etapas	53
2.6.1.	Efecto Miller	53
2.6.2.	Sistema de polo dominante	54
2.7.	Amplificador Miller de dos etapas clase AB	57
2.7.1.	Etapas de salida	57
2.8.	Configuraciones del amplificador para su caracterización	59
2.8.1.	Punto de operación	59
2.8.2.	Caracterización de la ganancia en lazo abierto	59
2.8.3.	Caracterización del CMRR	60
2.8.4.	Caracterización del slew rate	61
2.8.5.	Caracterización del rango lineal	61
3.	Simulaciones	63
3.1.	Curvas del ALD1106	63
3.1.1.	Diagrama esquemático	63
3.1.2.	Barrido en DC	63
3.1.3.	Modelo del ALD1106	64
3.1.4.	Curva característica	64
3.1.5.	Caracterización de g_m y V_{GS} en función de la corriente I_D del transistor NMOS	64
3.2.	Curvas del ALD1107	65
3.2.1.	Diagrama esquemático	65
3.2.2.	Barrido en DC	65
3.2.3.	Modelo del ALD1107	66
3.2.4.	Curva característica	66
3.2.5.	Caracterización de g_m y V_{GS} en función de la corriente I_D del transistor PMOS	67
3.3.	Amplificador CS	67
3.3.1.	Con fuente ideal de corriente como carga	68
3.3.2.	Con carga activa	70
3.3.3.	Con transistor en modo diodo como carga	71

3.3.4. Con degeneración	73
3.4. Amplificador CG	74
3.5. Seguidor de fuente (SF)	75
3.5.1. Seguidor de voltaje invertido (FVF)	75
3.6. Amplificador cascode	77
3.6.1. Amplificador cascode con carga activa	79
3.7. Simulaciones con transistores discretos	81
3.7.1. Espejo de corriente simple	82
3.7.2. Escalador de corriente	82
3.7.3. Par diferencial	83
3.7.4. Par diferencial cascode	88
3.7.5. Amplificador Miller de dos etapas	92
3.7.6. Amplificador Miller de dos etapas clase AB	95
4. Implementación	101
4.1. Mediciones experimentales de las curvas características	101
4.1.1. ALD1106	101
4.1.2. ALD1107	102
4.2. Comparación simulación VS mediciones	103
4.3. Mediciones	105
4.3.1. Espejo de corriente	105
4.3.2. Escalador de corriente	106
4.3.3. Par diferencial	106
4.3.4. Amplificador Miller de dos etapas	110
4.3.5. Amplificador Miller de dos etapas clase AB	113
5. Conclusiones	118
6. Apéndice A	120

Índice de figuras

1.1. Representación gráfica del procesamiento de una señal.	2
2.1. Función de transferencia de un amplificador ideal.	6
2.2. Amplificador de voltaje y su función de transferencia con una señal senoidal de entrada.	6
2.3. Amplificador de voltaje tomando en cuenta los rieles de alimentación, y el efecto de saturación.	7
2.4. Amplificador de voltaje no lineal.	8
2.5. Amplificador de voltaje.	8
2.6. Diagrama a bloques de un amplificador de voltaje.	9
2.7. Amplificador de corriente.	10
2.8. Diagrama de bloques de una amplificador de corriente.	10
2.9. Amplificador de transconductancia.	11
2.10. Diagrama a bloques de un amplificador de transconductancia.	12
2.11. Amplificador de transimpedancia.	13
2.12. Diagrama a bloques de un amplificador de transimpedancia.	13
2.13. Dos amplificadores de voltaje en cascada y su equivalente.	14
2.14. Acoplamiento capacitivo.	15
2.15. Acoplamiento directo.	16
2.16. Estructura del transistor NMOS.	16
2.17. Símbolos del transistor NMOS.	17
2.18. Operación en la región de corte.	18
2.19. a) Operación en la región de triodo, b) Efecto de la variación del voltaje v_{DS}	18
2.20. Operación en la región de saturación.	19
2.21. Curvas características del transistor NMOS ($\mu_n C_{ox}/2 = 56.8 [\mu A/V^2]$).	20
2.22. Gráfica de i_D en función de v_{GS}	21
2.23. Amplificador fuente común (CS).	23
2.24. Modelo de pequeña señal del amplificador CS.	24
2.25. Modelo de pequeña señal del amplificador CS, tomando en cuenta el efecto de modulación de canal.	25
2.26. Modelo de pequeña señal del amplificador CS, con una capacitancia de carga C_L	25

2.27. Amplificador CS con una fuente de corriente como carga.	27
2.28. a) PMOS como fuente de corriente , b) NMOS como fuente de corriente.	27
2.29. a) Amplificador fuente común con un transistor PMOS como una fuente de corriente, b) modelo de pequeña señal.	28
2.30. a) Amplificador fuente común con diodo conectado como carga b) modelo de pequeña señal.	29
2.31. a) Amplificador CS con degeneración b) modelo de pequeña señal.	30
2.32. Amplificador CS con degeneración y resistencia R_G de compuerta.	31
2.33. Impedancia del CS con degeneración.	31
2.34. Amplificador compuerta común (CG).	32
2.35. Circuito CG en pequeña señal.	33
2.36. Impedancia de entrada del amplificador CG.	34
2.37. Impedancia de salida del amplificador CG.	35
2.38. Seguidor de fuente (SF).	35
2.39. Modelo de pequeña señal del SF.	36
2.40. Modelo de pequeña señal para calcular la impedancia de salida del SF.	37
2.41. a) Flipped Voltage Follower (FVF), b) modelo de pequeña señal.	38
2.42. a) FVF con una fuente de prueba v_x utilizada para el calculo de la impedancia de salida, b) modelo de pequeña señal.	39
2.43. a) Fuente de corriente cascode MOS, b) equivalente.	40
2.44. Amplificador cascode.	41
2.45. Amplificador cascode con PMOS cascode como carga.	42
2.46. Folded cascode.	43
2.47. a) Amplificador diferencial, b) amplificador diferencial con señales diferenciales, y voltaje de modo común.	44
2.48. Par diferencial con transistores MOS.	45
2.49. Comportamiento de las corrientes de drenaje para variaciones de señal grandes.	47
2.50. Comparación de la diferencia de corrientes de drenaje: ecuación 2.102 VS simulación.	48
2.51. Resultado de aplicar el concepto de “Medio circuito”.	49
2.52. a) Amplificador par diferencial con transistores PMOS en modo diodo como carga, b) equivalente para el análisis de pequeña señal.	50
2.53. Amplificador par diferencial con carga activa.	51
2.54. a) Amplificador par diferencial cascode, b) equivalente para el análisis de pequeña señal.	51
2.55. a) Amplificador par diferencial telescópico cascode, b) equivalente para el análisis de pequeña señal.	52
2.56. Amplificador par diferencial con salida única.	53
2.57. Representación gráfica del efecto Miller.	54
2.58. Margen fase para un sistema compensado y uno no compensado.	55
2.59. Amplificador Miller de dos etapas.	55

2.60. Modelo de pequeña señal del amplificador Miller dos etapas compensado.	56
2.61. Etapas de salida.	58
2.62. Etapa clase AB.	58
2.63. Amplificador Miller dos etapas clase AB.	59
2.64. Configuración para caracterizar la ganancia de lazo abierto del amplificador. . .	60
2.65. Configuraciones para obtener el CMRR, a) ganancia en modo común, b) ganancia en modo diferencial.	60
2.66. Configuración para medir SR.	61
2.67. Configuración para medir el rango lineal.	62
3.1. Circuito para obtener las curvas del transistor NMOS de un ADL1106.	63
3.2. Curvas características un transistor del ALD1106.	64
3.3. Curva g_m en función de I_D (curva roja), curva V_{GS} en función de I_D (curva azul), del transistor NMOS.	65
3.4. Circuito para obtener las curvas del transistor PMOS de un ADL1107.	66
3.5. Curvas características de un transistor del ALD1107.	66
3.6. Curva g_m en función de I_D (curva roja), curva V_{GS} en función de I_D (curva azul) del transistor PMOS.	67
3.7. Circuito del amplificador CS utilizado para simular.	68
3.8. Ganancia del CS con una resistencia de carga R_D	69
3.9. Circuito del amplificador CS con fuente de corriente ideal como carga para simular.	69
3.10. Ganancia del CS con una fuente de corriente como carga.	70
3.11. Circuito utilizado en la simulación del amplificador CS con un transistor PMOS como una fuente de corriente.	71
3.12. Ganancia del CS con un PMOS como una fuente de corriente.	71
3.13. Circuito utilizado para la simulación del CS con un transistor NMOS como diodo.	72
3.14. Ganancia del CS con un NMOS en configuración de diodo.	72
3.15. Circuito utilizado para la simulación CS con degeneración.	73
3.16. Ganancia del amplificador CS con degeneración.	74
3.17. Ganancia del amplificador CG con resistencia de carga R_D como carga.	75
3.18. Circuito utilizado para simular el SF.	76
3.19. Respuesta en frecuencia del SF.	76
3.20. Ganancia en función de la frecuencia del FVF.	77
3.21. Circuito utilizado para la simulación del amplificador cascode.	78
3.22. Ganancia del amplificador cascode en función de la frecuencia.	79
3.23. Circuito utilizado para la simulación del amplificador cascode con PMOS cascode como carga.	80
3.24. Ganancia del amplificador Cascode con carga activa.	81
3.25. Circuito utilizado para simular el espejo de corriente simple.	82
3.26. Simulación del espejo simple para varias corrientes de referencia.	83
3.27. Circuito utilizado para la simulación del escalador de corriente.	83

3.28. Circuito utilizado para la simulación del amplificador par diferencial.	84
3.29. Respuesta en frecuencia del par diferencial a) fase, b) Magnitud.	85
3.30. Rango lineal del par diferencial.	86
3.31. Slew Rate del par diferencial.	87
3.32. CMRR del amplificador par diferencial.	87
3.33. Circuito utilizado para la simulación del amplificador par diferencial cascode. . .	88
3.34. Respuesta en frecuencia del par diferencial cascode a) fase, b) magnitud.	89
3.35. Rango lineal del par diferencial cascode.	90
3.36. Slew Rate del par diferencial cascode.	91
3.37. Medición del CMRR del amplificador par diferencial cascode.	91
3.38. Ganancia en lazo abierto del amplificador Miller de dos etapas, a) fase, b) Mag- nitud.	93
3.39. Rango lineal del Amplificador Miller de dos etapas.	94
3.40. Slew Rate del amplificador Miller de dos etapas.	94
3.41. CMRR del amplificador Miller de dos etapas.	95
3.42. Ganancia en lazo abierto del amplificador Miller clase AB a) fase, b) Magnitud. .	96
3.43. Rango lineal del Amplificador Miller clase AB.	97
3.44. Slew Rate del amplificador Miller clase AB.	98
3.45. CMRR del amplificador Miller de dos etapas clase AB.	99
3.46. Caracterización del la excursión del voltaje de salida en función de la resistencia de carga R_L y el voltaje de entrada v_{in}	100
3.47. Corriente de salida i_o comparada con I_{Bias}	100
4.1. Curvas características del transistor NMOS del ALD1106 medida experimental- mente.	102
4.2. Curvas características del transistor PMOS del ALD1107 medida experimental- mente.	103
4.3. Comparación entre curvas características experimentales vs simulación del tran- sistor NMOS.	104
4.4. Comparación entre curvas características experimentales vs simulación del tran- sistor PMOS.	104
4.5. Corriente de salida I_o en función del voltaje de polarización V_{DD}	105
4.6. Respuesta en frecuencia del par diferencial, medida experimentalmente. a) Fase, b) Magnitud.	107
4.7. Respuesta en frecuencia del par diferencial, para diferentes ganancias medido experimentalmente.	108
4.8. Gráfica para medir el CMRR del par diferencial medido experimentalmente. . .	108
4.9. Rango lineal del par diferencial medido experimentalmente.	109
4.10. Slew Rate del par diferencial medido experimentalmente.	110
4.11. Magnitud y fase del amplificador Miller de dos etapas, medida experimentalmen- te. a) Fase, b) Magnitud.	111

4.12. Ganancia en lazo cerrado del amplificador Miller.	112
4.13. CMRR del amplificador Miller dos etapas medido experimentalmente.	113
4.14. Rango lineal del amplificador Miller de dos etapas.	114
4.15. Slew Rate del amplificador Miller de dos etapas medido experimentalmente. . .	114
4.16. Slew Rate del amplificador Miller de dos etapas clase AB medido experimentalmente.	115

Índice de tablas

3.1. Valores obtenidos del simulador,para el amplificador cascode.	78
3.2. Valores obtenidos del simulador, resultado de la simulación el amplificador cascode con carga activa.	81
3.3. Punto de operación del amplificador par diferencial reportado por el simulador.	84
3.4. Punto de operación del amplificador par diferencial cascode obtenido por el simulador.	89
3.5. Punto de operación del amplificador Miller de dos etapas reportado por el simulador.	92
3.6. Punto de operación del amplificador Miller case AB reportado por el simulador.	96
4.1. Punto de operación del amplificador par diferencial implementado con ALD1106 y ALD1107.	106
4.2. Punto de operación del amplificador Miller de dos etapas medido experimentalmente.	111
4.3. Características obtenidas en simulación con el modelo de los ALD1106 y ALD1107.	116
4.4. Características medidas de la implementación con los transistores discretos ALD1106 y ALD1107.	117

Capítulo 1

Introducción

En la actualidad los dispositivos electrónicos están presentes en diferentes ámbitos de la vida diaria del ser humano, como en diferentes ramas de ciencia (física, medicina, biología, etc.) hasta aplicaciones que van dirigidas al entretenimiento (vídeo juegos, TV, radio, etc.), por lo tanto, vivimos en un mundo rodeado de diferentes aplicaciones en las que la electrónica es una parte importante del ser humano. El transistor (MOS, bipolar, FinFET, etc.) es el dispositivo básico de todos estos desarrollos.

A pesar de los grandes avances en la electrónica digital, la electrónica analógica aún es una parte importante de muchos dispositivos electrónicos. La electrónica analógica es un área madura donde los bloques pueden ser implementados de forma integrada usando algún proceso de fabricación de circuitos integrados, o de manera discreta usando componentes comerciales, ejemplo de ellos son las etapas de acondicionamiento de señales en sensores, etapas de filtrado, bloques de adquisición de señales biológicas (electrocardiogramas, encefalogramas, miogramas, etc.), etc., que pueden realizarse mediante amplificadores operacionales (OPAMPs), amplificadores operacionales de transconductancia (OTAs), current conveyors (CC), etc.

Todas las aplicaciones antes mencionadas tienen como base el diseño de electrónica compleja mediante transistores MOS, que son el punto de partida para el desarrollo de los circuitos integrados. Las computadoras, celulares, relojes inteligentes, hornos de microondas, etc. son algunos ejemplos de los dispositivos que utilizan CI. Una muestra de su extendido uso es que en 2016 habían casi 10 mil millones de transistores en un chip [1], por otra parte en 2015 el transistor MOS representó ventas en el orden de \$200 billones de dólares [2], y en general en 2019 las ventas de los semiconductores fueron de más de \$400 billones de dólares [3], esto debido en gran medida a que los costos de fabricación en gran escala se han reducido, haciendo accesible estos dispositivos a más las personas.

El transistor MOS es el dispositivo utilizado para el diseño de circuitos integrados, debido a que presenta numerosas ventajas en comparación con los transistores BJT (Bipolar Junction

Union). Un atributo esencial que presenta el transistor MOS consiste en que requiere menos pasos de fabricación, lo que impacta directamente en la reducción de costos [4], por otra parte, el dispositivo admite el escalamiento sin comprometer el rendimiento, de esta manera impactando en una mayor capacidad de procesamiento.

Los sistemas electrónicos se dividen en dos ramas, por una parte, los sistemas digitales, y por otra parte los sistemas analógicos, ambos se integran en los CI para realizar ciertas funciones. Un ejemplo puede ser un sistema de voz, en la Figura 1.1 se muestra este proceso. Las señales de voz (y en general las señales captadas del mundo físico) son analógicas una vez que estas son captadas por un sensor pasan a una etapa de procesamiento analógico que en este caso es el proceso de amplificación, para posteriormente ser convertida a una de tipo digital por medio de un convertidor analógico digital (ADC) y finalmente llegar a un procesador digital.

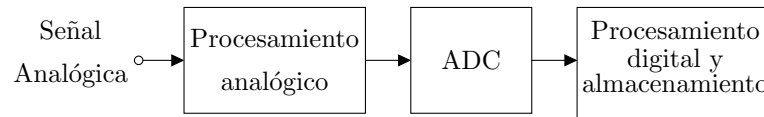


FIGURA 1.1: *Representación gráfica del procesamiento de una señal.*

El procesamiento de señales puede realizarse tanto en dominio analógico como en dominio digital, pero, en ambas ramas de la electrónica se emplea el transistor MOS. El desarrollo de esta tesis consiste en realizar circuitos analógicos, encaminados a implementar un amplificador analógico simple con transistores discretos MOS, en particular un amplificador de transconductancia (OTA). Los transistores discretos son CI que están disponibles para poder construir bloques como espejos de corriente, amplificadores par diferencial etc. La matrícula de los transistores que se utilizan en este trabajo son el ALD1106 (NMOS) y el ALD1107 (PMOS).

1.1. Objetivo general

Simular e implementar un OTA simple clase AB con transistores discretos CMOS.

Algunos parámetros que se definen de forma inicial son los siguientes: transistores MOS ALD1106 y ALD1107, corriente de polarización $I_{Bias} = 100\mu A$, fuente de alimentación $V_{DD} = |V_{SS}| = 3V$, y un ancho de banda de banda $BW = 30kHz$ para una carga capacitiva $C_L = 100pF$. Las especificaciones anteriores se deben a que se desea utilizar un voltaje de alimentación bajo, lo cual requiere corrientes de polarización bajas, lo que a su vez reduce el ancho de banda cuando se consideran todas las capacitancias parásitas debidas al protoboard, cableado, sockets, empaquetado del chip, impedancias de los cables del osciloscopio, e impedancia de entrada del

equipo. Evidentemente, si se permiten voltajes de alimentación mayores, se logran anchos de banda también mayores cuando se usan corrientes más grandes.

1.2. Objetivos específicos

- Simular e implementar un espejo de corriente simple con transistores discretos.
- Estudiar y caracterizar en simulación los amplificadores de etapa única con transistores MOS.
- Estudiar y caracterizar en simulación el amplificador cascode.
- Caracterizar etapas de entrada diferenciales a nivel simulación (con los respectivos modelos del ALD1106 y ALD1107) así como en implementación.
- Caracterizar un amplificador Miller clase AB a nivel simulación e implementación con sus respectivas mediciones experimentales.

1.3. Justificación

Los transistores discretos y en general los dispositivos discretos son de gran utilidad, por ejemplo, en el proceso de aprendizaje los estudiantes los utilizan para armar prototipos y de esta manera llevar la teoría a la práctica. Por otro lado, se pueden utilizar para tener una visión general del funcionamiento de algún diseño y de esta manera tener una cierta certeza de que el diseño funcionara cuando sea fabricado en un CI. A nivel licenciatura el tiempo es importante debido a que los cursos duran 6 meses, con lo cual no se puede cubrir el proceso de diseño a nivel de circuitos integrados. La ventaja de usar transistores comerciales es que son económicos y es posible realizar pruebas a nivel experimental de manera inmediata, estos dispositivos tienen características similares a procesos comerciales de CI como la tecnología de $0.5\mu m$ de on-semiconductor.

En la gran mayoría de los circuitos analógicos, el OPAMP juega el papel principal, es por eso por lo que son contemplados en los programas de estudio de licenciatura en electrónica, sin embargo, el amplificador operacional de transconductancia (OTA) puede realizar las mismas funciones de un OPAMP de manera relativamente más simple y alcanza frecuencias de operación mayores, pero es difícil de conseguir y por lo tanto no se contempla en las prácticas de laboratorio en las carreras de ingeniería. *Al tener disponible un OTA implementado con transistores discretos, se abre la oportunidad de poderlo incluir en las prácticas de laboratorio de las carreras de ingeniería en electrónica/mecatrónica.*

Resumiendo: Uno de los problemas principales que se tiene para usar un OTA como bloque de diseño, es que es difícil de conseguir y los que hay en el mercado tienen un costo mucho más elevado que un OPAMP (por ejemplo, el CA3280). La alternativa que se propone en esta tesis es implementar un OTA con transistores discretos, probando que se puede armar un bloque analógico funcional reemplazando al OPAMP. Adicionalmente, el diseño con transistores discretos puede ser un paso previo al diseño a nivel de circuito integrado utilizando una tecnología similar como la de $0.5\mu m$.

Capítulo 2

Marco Teórico

En este capítulo se hace una revisión de la teoría necesaria para poder implementar el (OTA), tomando en cuenta los cuatro tipos de amplificadores, sus características ideales, y algunas no idealidades. De igual manera, se estudian las topologías básicas de amplificadores con transistores NMOS (CS, CG y SF), se realiza el análisis en pequeña señal para obtener su función de transferencia. En el capítulo 2.4 se presenta la etapa cascode con transistores CMOS con la cual se logran impedancias de salida mucho más elevadas en comparación con las que se obtienen utilizando cargas resistivas, ésta alta impedancia permite mejorar las copias de corriente y aumentar la ganancia de los amplificadores cuando se usan como carga activa. En la sección 2.5 se estudia el amplificador par diferencial el cual se utiliza como etapa de entrada del OTA debido a la alta impedancia que presenta en la entrada, se hace una revisión general de su comportamiento en gran señal y en pequeña señal.

2.1. Amplificadores

Los amplificadores son una parte importante de la electrónica, esto debido a que las señales censadas del mundo físico por lo general tienen una amplitud de voltaje y corriente de μV o nA respectivamente, lo que complica su procesamiento. Un amplificador permite aumentar la amplitud de una señal para su procesamiento en etapas posteriores.

2.1.1. Características ideales de un amplificador en DC

En la Figura 2.1 se muestra un amplificador ideal, se observa que la ganancia es la pendiente del voltaje de salida en función del voltaje de entrada. Idealmente se considera que el voltaje de entrada puede ser cualquier valor, es decir, la forma de la señal de salida es la misma multiplicada por un factor V_v de ganancia.

$$v_o = A_v v_{in} \quad (2.1)$$

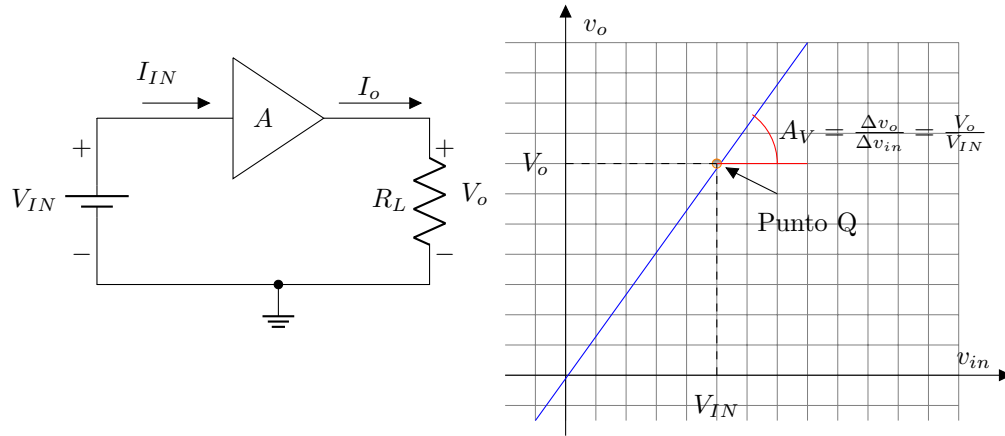


FIGURA 2.1: *Función de transferencia de un amplificador ideal.*

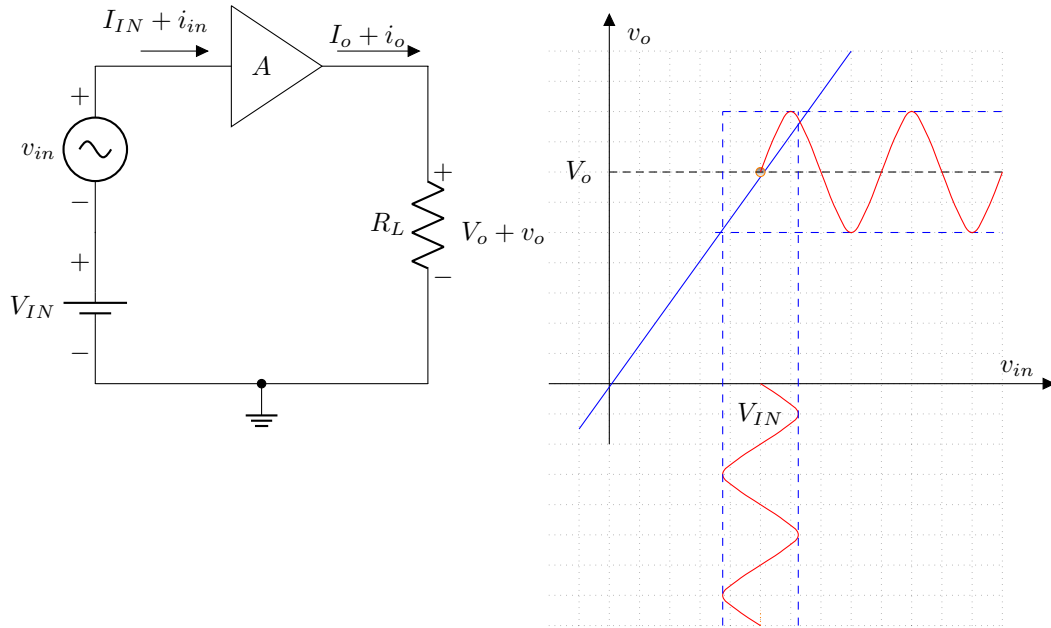


FIGURA 2.2: *Amplificador de voltaje y su función de transferencia con una señal senoidal de entrada.*

Una señal de entrada puede ser una senoidal, como se muestra en la Figura 2.2.

En este caso se monta la señal sobre un nivel de voltaje de DC (V_{IN} punto de operación del amplificador) y alrededor de este nivel oscila la señal de entrada, se ve como la señal es

amplificada y fluctúa en torno al punto de operación establecido por el voltaje de DC.

2.1.2. Amplificador con fuentes de alimentación y saturación

Una representación más cercana de un amplificador real se presenta en la Figura 2.3.

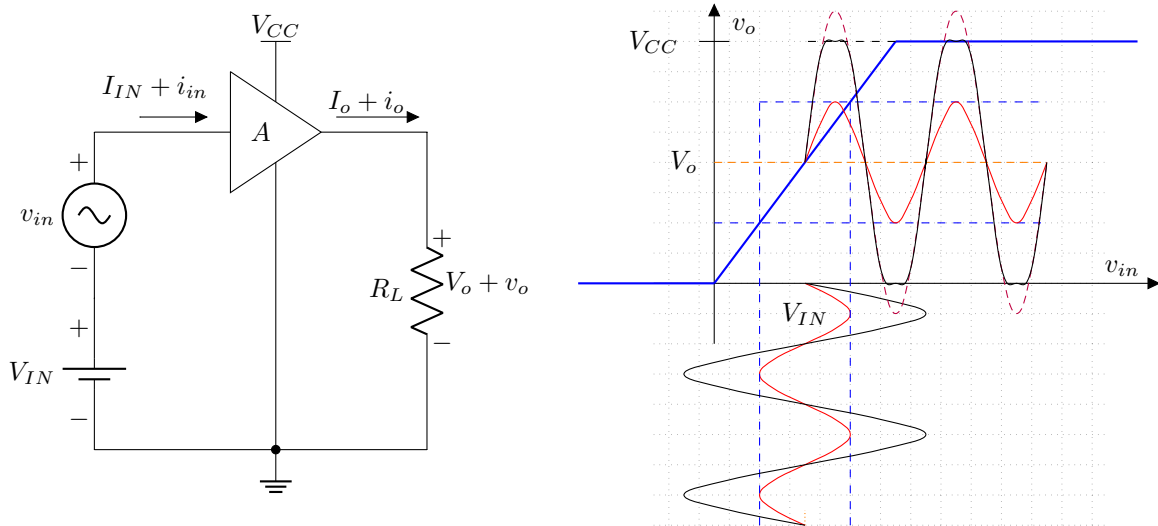


FIGURA 2.3: Amplificador de voltaje tomando en cuenta los rieles de alimentación, y el efecto de saturación.

Se considera que los amplificadores requieren de un voltaje de polarización de DC (V_{CC}), el cual limita la máxima excursión de salida, es decir, si $(V_{IN} + v_{in})A_v > V_{CC}$ entonces la señal de salida saturará a los rieles de alimentación. Esto significa que, a diferencia de un amplificador ideal, la señal de entrada debe ser menor con el fin de que la salida del amplificador no se sature.

2.1.3. Amplificador no lineal

La no respuesta no lineal debida a los elementos internos de los amplificadores se ilustra en la Figura 2.4, esto es algo no deseado, pues implica que la señal de salida se verá distorsionada o modificada con respecto a su forma de entrada. Una solución a esta problemática es trabajar en la región lineal con señales de voltaje cuya amplitud sea igual o menor que el rango de la región lineal de amplificación. Para trabajar en esta región se necesita fijar un punto de operación sobre el cual la señal pueda ser montada y que tenga cambios de amplitud menores o iguales al rango lineal del amplificador.

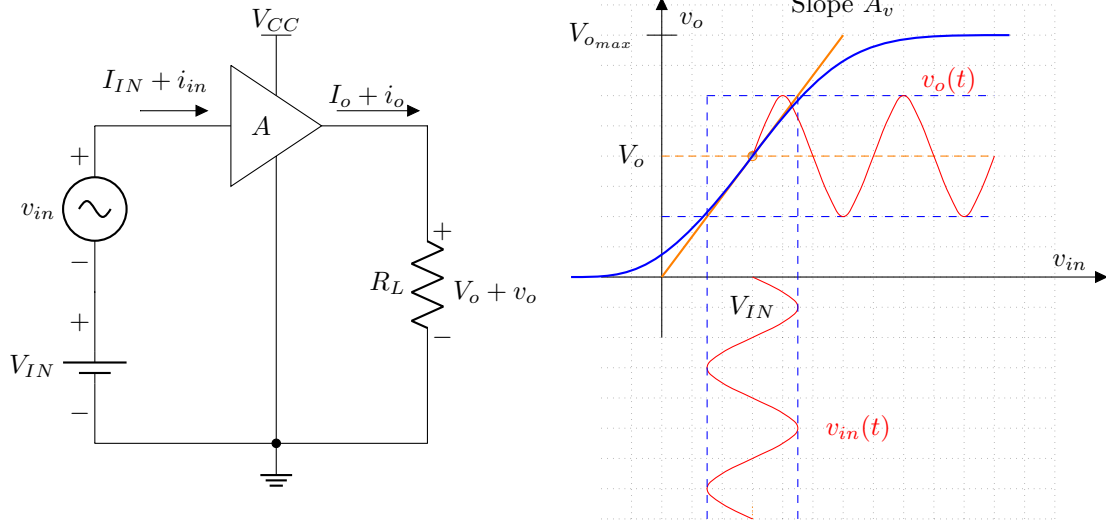


FIGURA 2.4: Amplificador de voltaje no lineal.

2.1.4. Amplificador de voltaje

En la Figura 2.5 se muestra el modelo de pequeña señal de un amplificador de voltaje, se representa por medio de una fuente voltaje controlada por voltaje, la resistencia de entrada y de salida se representan con R_i y R_o respectivamente.

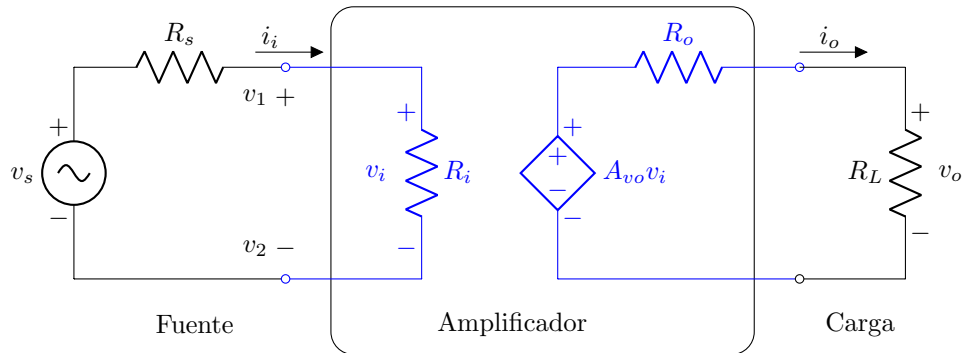


FIGURA 2.5: Amplificador de voltaje.

Para poder determinar la ganancia de voltaje se plantean las ecuaciones del voltaje de salida (v_o) y el voltaje de entrada (v_i), con el concepto del divisor de voltaje se tiene

$$v_i = \frac{R_i}{R_i + R_s} v_s$$

$$v_o = i_o R_L = \frac{R_L}{R_o + R_L} A_{vo} v_i$$

Entonces la ganancia es

$$A_v = \frac{v_o}{v_s} = \frac{A_{vo} R_i R_L}{(R_i + R_s)(R_L + R_o)} = \frac{A_{vo}}{(1 + R_s/R_i)(1 + R_o/R_L)} \tag{2.2}$$

Idealmente el amplificador de voltaje cumple que $R_i = \infty$ y $R_{out} = 0$ entonces la ganancia es

$$A_v = A_{vo} \tag{2.3}$$

En la práctica solo se puede lograr que $R_i \gg R_s$ y $R_o \ll R_L$.

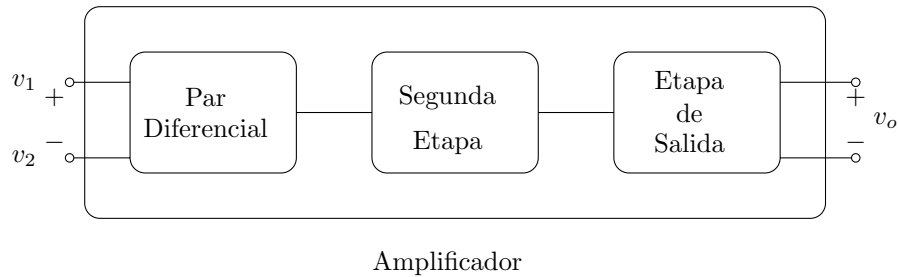


FIGURA 2.6: Diagrama a bloques de un amplificador de voltaje.

En la Figura 2.6 se muestra el diagrama a bloques de un amplificador de voltaje este consta de un amplificador diferencial como primera etapa, debido a que tienen una alta impedancia de entrada y rechaza las señales de modo común, después una segunda etapa para aumentar la ganancia y la tercera etapa cumple la función de tener una impedancia de salida baja.

2.1.5. Amplificador de corriente

Un amplificador de corriente se puede modelar como una fuente de corriente controlada por corriente como se muestra en la Figura 2.7, la resistencia de entrada y de salida como R_i y R_o , una resistencia R_s asociada a la fuente y una resistencia de carga R_L .

Para calcular la ganancia de corriente se utiliza la regla del divisor de corriente con lo que se plantea las ecuaciones de la corriente de salida y, de entrada

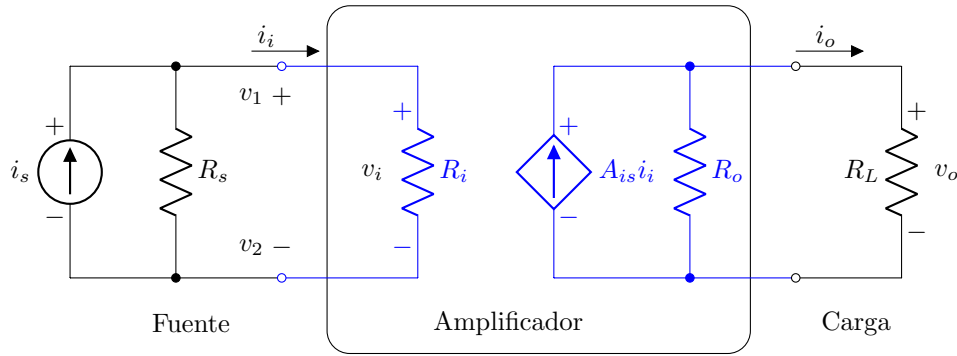


FIGURA 2.7: Amplificador de corriente.

$$i_o = \frac{R_o}{(R_o + R_L)} i_i A_{is}$$

$$i_s = i_i \frac{(R_s + R_i)}{R_s}$$

Entonces la ganancia de corriente es

$$A_i = \frac{i_o}{i_s} = \frac{A_{is} R_s R_o}{(R_i + R_s)(R_L + R_o)} = \frac{A_{is}}{(1 + R_i/R_s)(1 + R_L/R_o)} \quad (2.4)$$

Un amplificador de corriente ideal cumple $R_i = 0$ y $R_o = \infty$, entonces la ganancia idealmente es

$$A_i = A_{is} \quad (2.5)$$

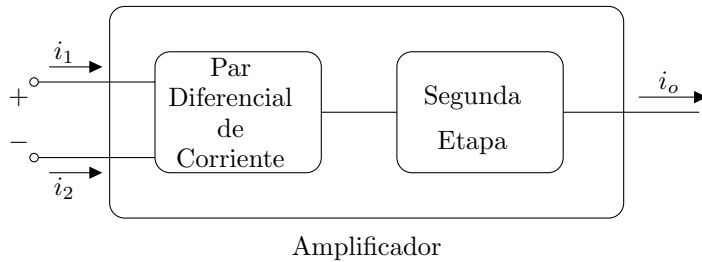


FIGURA 2.8: Diagrama de bloques de una amplificador de corriente.

Sin embargo, en la práctica se puede cumplir que $R_i \ll R_s$ y $R_o \gg R_L$.

En la Figura 2.8 se presenta un diagrama a bloques de un amplificador de corriente.

2.1.6. Amplificador de transconductancia

Un amplificador de transconductancia se puede representar como una fuente de corriente controlada por voltaje, se aplica un voltaje en la entrada del circuito y se obtiene una corriente amplificada. En la Figura 2.9 muestra el modelo ideal del amplificador de transconductancia, el cual está constituido por los resistores R_i y R_o que son las resistencias de entrada y de salida respectivamente, R_s representa la resistencia asociada a la fuente y R_L una resistencia de carga.

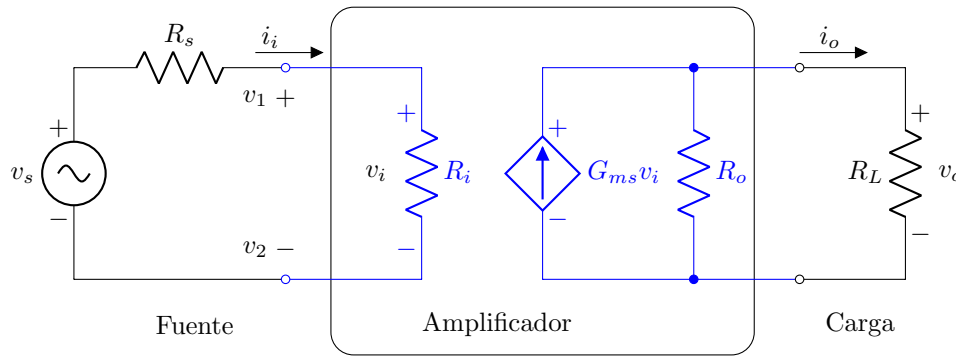


FIGURA 2.9: Amplificador de transconductancia.

Para poder calcular la ganancia de transconductancia se requiere de la corriente de salida y el voltaje de entrada

$$i_o = \frac{R_o}{(R_o + R_L)} G_{ms} v_i$$

$$v_s = \frac{(R_i + R_s)}{R_i} v_i$$

Entonces la ganancia de transconductancia es:

$$G_m = \frac{i_o}{v_s} = \frac{G_{ms} R_o R_i}{(R_i + R_s)(R_L + R_o)} = \frac{G_{ms}}{(1 + R_s/R_i)(1 + R_L/R_o)} \quad (2.6)$$

Por otra parte, la ganancia de voltaje es

$$A_v = \frac{v_o}{v_s} = \frac{i_o R_L}{v_s} = \frac{G_{ms} R_o R_L R_i}{(R_i + R_s)(R_L + R_o)} = \frac{G_{ms} R_L}{(1 + R_L/R_o)(1 + R_s/R_i)} \quad (2.7)$$

Un amplificador de transconductancia tiene una impedancia de entrada infinita ($R_i = \infty$) y una impedancia de salida infinita ($R_{out} = \infty$), esto implica que la ganancia de transimpedancia ideal es

$$G_m = G_{ms} \quad (2.8)$$

Sin embargo, en la práctica solo se puede aspirar a que la impedancia de entrada sea mucho mayor que la impedancia de la fuente ($R_i \gg R_s$), y que la impedancia de salida sea mucho mayor que la impedancia de carga ($R_o \gg R_L$).

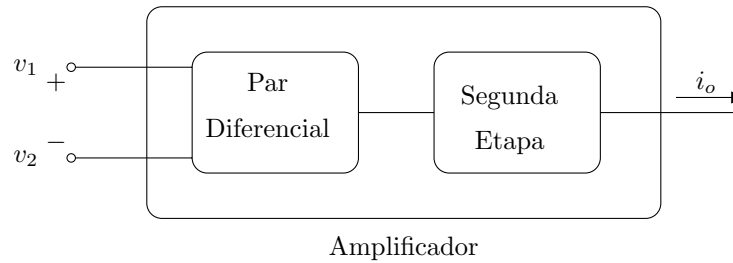


FIGURA 2.10: Diagrama a bloques de un amplificador de transconductancia.

La Figura 2.10 muestra un diagrama a bloques de un amplificador de transconductancia, como etapa de entrada un par diferencial el cual cumple con la condición de tener una alta impedancia de entrada, la segunda etapa cumple con el requisito de presentar una alta impedancia de salida.

2.1.7. Amplificador de transimpedancia

El amplificador de transimpedancia se muestra en la Figura 2.11, el cual es una fuente de voltaje controlada por corriente, y a diferencia de los otros tres amplificadores, este idealmente presenta una impedancia de entrada $R_i = 0$ y una impedancia de salida $R_o = 0$.

Para poder determinar la ganancia de transimpedancia se requiere del voltaje de salida y la corriente de entrada

$$i_i = \frac{R_s}{(R_i + R_s)} i_s$$

$$v_o = i_o R_L = \frac{R_L}{(R_o + R_L)} Z_{mo} i_i$$

Entonces la ganancia de transimpedancia es

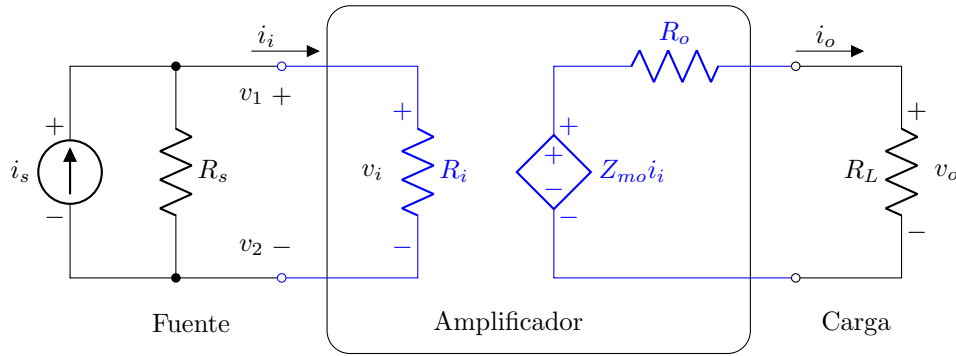


FIGURA 2.11: Amplificador de transimpedancia.

$$Z_m = \frac{v_o}{i_s} = \frac{Z_{mo}R_LR_s}{(R_i + R_s)(R_L + R_o)} = \frac{Z_{mo}}{(1 + R_i/R_s)(1 + R_o/R_L)} \quad (2.9)$$

Si se considera un amplificador de transimpedancia ideal entonces la ganancia es

$$Z_m = Z_{mo} \quad (2.10)$$

En la práctica un amplificador de transimpedancia cumple con que la impedancia de entrada sea mucho más pequeña que la impedancia de la fuente ($R_i \ll R_s$), y que la impedancia de salida sea mucho más pequeña que la impedancia de carga ($R_o \ll R_L$).

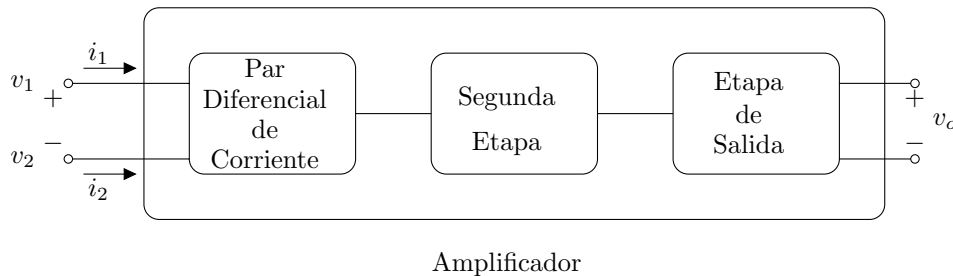


FIGURA 2.12: Diagrama a bloques de un amplificador de transimpedancia.

En la Figura 2.12 se presenta un diagrama a bloques de un amplificador de transimpedancia el cual consta de un par diferencial de corriente y dos etapas más.

2.1.8. Amplificadores en cascada

Tal como se muestra en las secciones anteriores los cuatro tipos de amplificadores requieren cumplir características de ganancia, de impedancia de entrada y de salida, para lograr esto se requiere conectar varios amplificadores en cascada. Por tal motivo es conveniente conocer que pasa cuando se conectan amplificadores en cascada.

2.1.8.1. Amplificador de voltaje en cascada

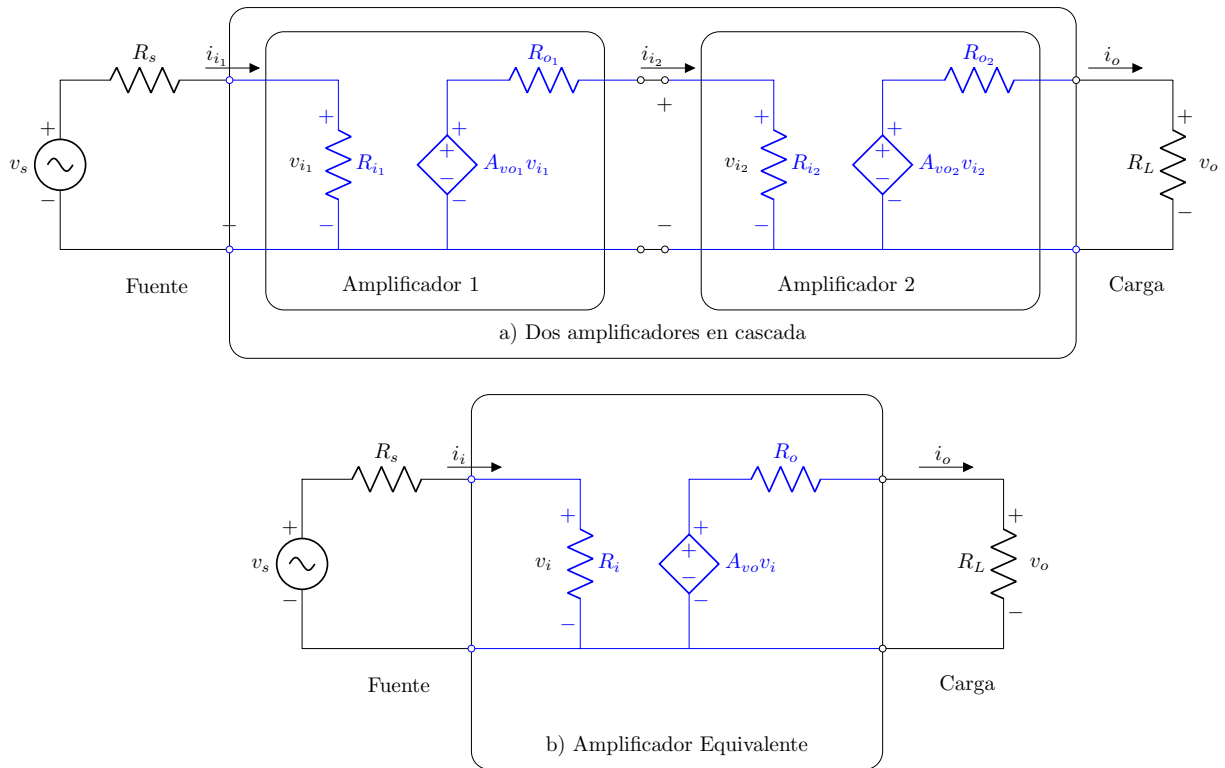


FIGURA 2.13: *Dos amplificadores de voltaje en cascada y su equivalente.*

Si se conectan dos amplificadores en cascada como se muestra en la Figura 2.13 (a), entonces la ganancia de voltaje se puede calcular como

$$A_v = \frac{v_o}{v_s} = \frac{v_{i2}}{v_s} \cdot \frac{v_o}{v_{i2}} \quad (2.11)$$

donde

$$A_{v_1} = \frac{v_{i_2}}{v_s} = \frac{A_{v_{o1}}}{(1 + R_s/R_{i_1})(1 + R_{o1}/R_{i_2})} \quad (2.12)$$

$$A_{v_2} = \frac{v_o}{v_{i_2}} = \frac{A_{v_{o2}}}{(1 + R_{o1}/R_{i_2})(1 + R_{o2}/R_L)} \quad (2.13)$$

Entonces la ganancia se puede expresar como en la ecuación 2.14.

$$A_v = A_{v_1} A_{v_2} \quad (2.14)$$

Donde A_{v_1} y A_{v_2} son las ganancias del amplificador uno y del amplificador dos, respectivamente. Esto quiere decir que la consecuencia de conectar amplificadores de voltaje en cascada es que la ganancia total es el producto de la ganancia de cada amplificador, es decir, la ganancia total aumenta si todas las ganancias son mayores que uno ($A_{v_i} > 1$).

En la Figura 2.13 (b) se presenta el equivalente del amplificador de voltaje en cascada donde $R_i = R_{i_1}$ y $R_o = R_{o_2}$.

2.1.8.2. Acoplamiento capacitivo (AC) y acoplamiento directo

En la Figura 2.14 se muestra un amplificador acoplado en AC, el cual tiene un capacitor entre cada etapa de un amplificador, es decir, se hace un acoplamiento capacitivo. Hacer esto tiene el propósito de filtrar las señales en DC, ya que los amplificadores operan en un determinado nivel de polarización de DC, lo que en acoplamiento directo puede perturbar la señal de interés entre las diferentes etapas, si en cada etapa se tienen un punto de operación diferente.

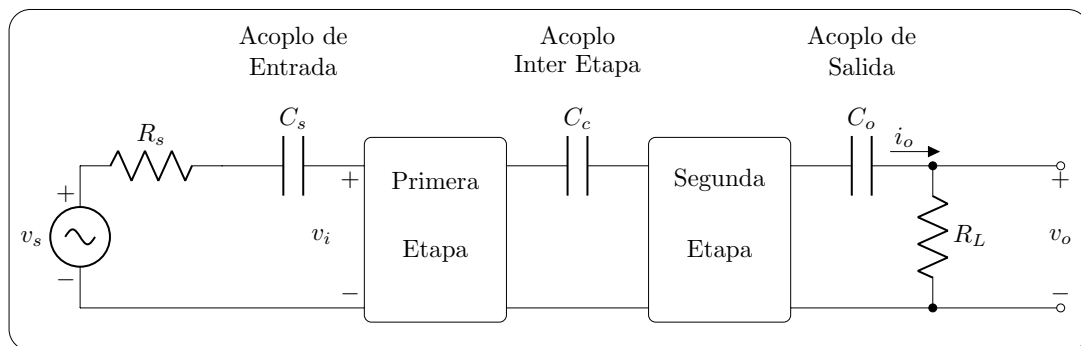


FIGURA 2.14: *Acoplamiento capacitivo.*

En circuitos integrados un capacitor utiliza un área relativamente grande en comparación con un transistor MOS, por lo que se utiliza acoplamiento directo (Figura 2.15).

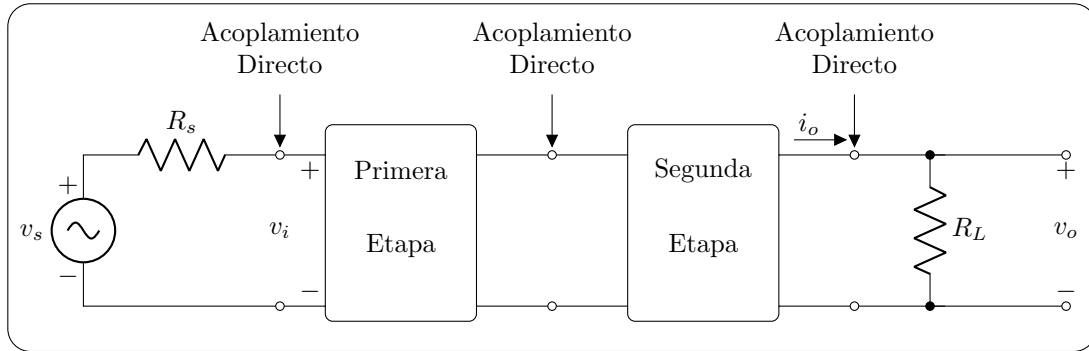


FIGURA 2.15: *Acoplamiento directo.*

2.2. El transistor MOS

El dispositivo fundamental sobre el cual se basa el diseño del amplificador de transconductancia en esta tesis es el transistor MOS, por tal motivo en esta sección se presenta su operación en base a su estructura física, las diferentes regiones de operación y las ecuaciones que describen el comportamiento en cada una de ellas. En particular se tiene interés en utilizar el transistor como amplificador, por lo que se realizará el diseño en en la región de saturación.

2.2.1. Estructura del transistor NMOS

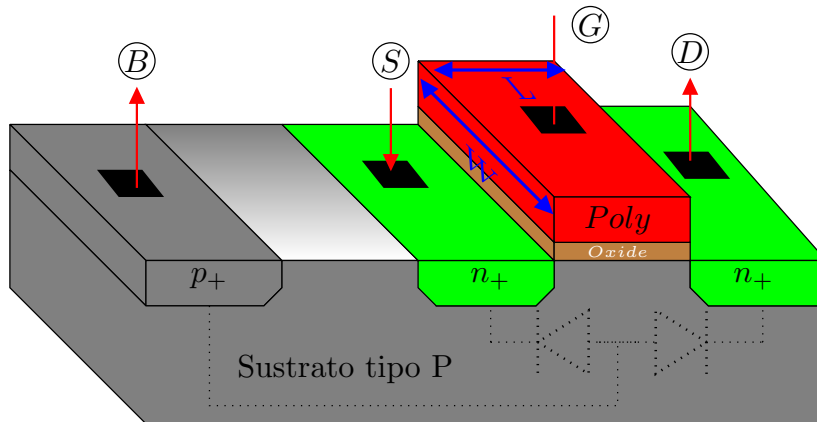


FIGURA 2.16: *Estructura del transistor NMOS.*

La estructura física del transistor NMOS se presenta en la Figura 2.16, se construye sobre un sustrato tipo P el cual recibe el nombre de cuerpo (B), dos regiones tipo n fuertemente

dopadas las cuales son la fuente (S) y el drenaje (D). La compuerta (G) está construida por una capa de dióxido de silicio (SiO_2). Debido a esta estructura se crean dos uniones pn las cuales se polarizan en inversa conectando la terminal (B) al potencial más negativo, lo que permite trabajar al MOS como un dispositivo de tres terminales. Dos parámetros importantes son el largo W y ancho L del canal pues están relacionados con la corriente que circula a través de éste.

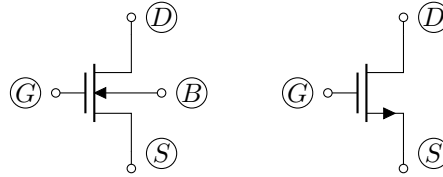


FIGURA 2.17: Símbolos del transistor NMOS.

En la Figura 2.17, se presentan dos símbolos del transistor NMOS, en esta tesis se trabaja al transistor como un dispositivo de tres terminales por lo que se utiliza su representación con mismo número de terminales.

2.2.2. Corte

De acuerdo al voltaje V_{GS} y V_{DS} se pueden establecer tres regiones de operación, en el caso de la región de corte el voltaje aplicado a compuerta con respecto la fuente debe satisfacer

$$V_{GS} < V_{TH}$$

es decir, mientras no se alcance el voltaje de umbral el canal no se ha creado y no circula corriente de fuente a drenaje. El voltaje V_{DS} puede aumentarse sin que haya una corriente de fuente a drenaje.

2.2.3. Triodo

Una condición para que el transistor opere en la región de triodo es

$$V_{GS} \geq V_{TH} \tag{2.15}$$

al llegar a un voltaje $V_{GS} = V_{TH}$ se crea un canal de conducción (con los electrones atraídos por el voltaje de compuerta) en la parte superior del sustrato, la cual a su vez es una de las terminales del capacitor formado por la placa de polisilicio de la compuerta y el sustrato, teniendo como aislante al dióxido de silicio, gráficamente esto se ilustra en la Figura 2.19(a).

Una vez que se crea el canal o región de inversión, el voltaje de drenaje a fuente debe satisfacer

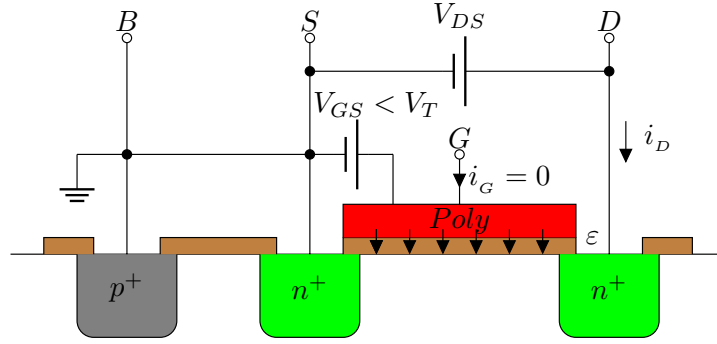


FIGURA 2.18: Operación en la región de corte.

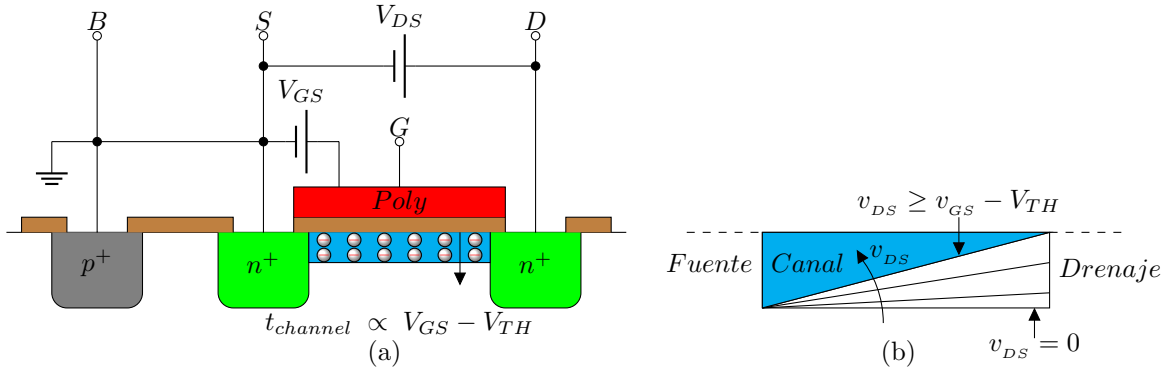


FIGURA 2.19: a) Operación en la región de triodo, b) Efecto de la variación del voltaje v_{DS} .

$$v_{DS} < V_{GS} - V_{TH} \tag{2.16}$$

Bajo estas condiciones comienza a circular una corriente de fuente a drenaje regida por la ecuación 2.17.

$$i_D = \mu_n C_{ox} \frac{W}{L} \left[(v_{GS} - V_{TH}) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \tag{2.17}$$

Si el voltaje V_{GS} se fija en un valor respetando la condición de la ecuación 2.15, y el voltaje v_{DS} se comienza a incrementar entonces el canal comenzará a reducirse del lado del drenaje, tal como se ilustra en la Figura 2.19(b). Si se sigue incrementando el voltaje de drenaje a fuente al punto de llegar a $v_{DS} = V_{GS} - V_{TH} = v_{DS}^{sat}$, el canal desaparece por completo del lado del drenaje y se pasa a la región de saturación.

2.2.4. Saturación

Para que el transistor opere en saturación se debe seguir manteniendo la condición de la ecuación 2.15, y también la siguiente condición

$$v_{DS} \geq v_{GS} - V_{TH} \quad (2.18)$$

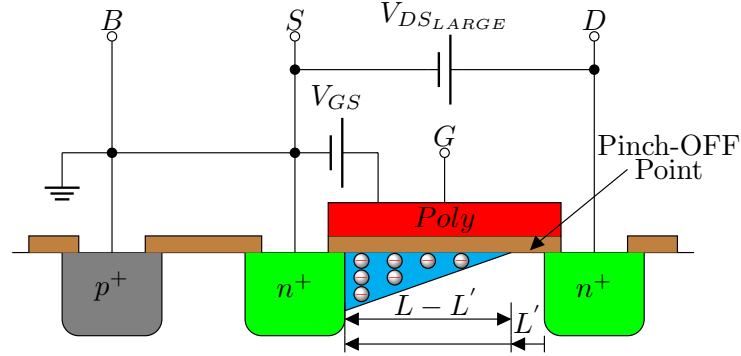


FIGURA 2.20: Operación en la región de saturación.

La ecuación 2.19 describe el comportamiento de la corriente de drenaje en esta región.

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_{TH})^2 (1 + \lambda v_{DS}) \quad (2.19)$$

El factor $(1 + \lambda v_{DS})$ modela el efecto de modulación de longitud de canal, pues como se ilustra en la Figura 2.20 la longitud L del canal no permanece constante cuando $v_{DS} > v_{DS}^{sat}$.

Una consecuencia del efecto de modulación de longitud de canal es que el amplificador tiene una resistencia de salida descrita por la ecuación 2.20.

$$r_o = \left[\frac{\partial i_D}{\partial v_{DS}} \right]_{v_{GS}=cte.}^{-1} \quad (2.20)$$

Un hecho importante es que la resistencia de salida del transistor operando en la región de saturación se puede aproximar como sigue

$$r_o \simeq \frac{1}{\lambda I_D} \quad (2.21)$$

Es oportuno aclarar que I_D representa la corriente en el punto de operación determinado por el valor de V_{GS} .

2.2.5. Curvas características

En la Figura 2.21 se muestran las curvas características de un transistor NMOS del nodo tecnológico de $0.5\mu m$, con $W = 10\mu m$ y $L = 1.2\mu m$. En color azul se muestran las curvas de corriente de drenaje (i_D) en función del voltaje de drenaje a fuente (v_{DS}), para determinados valores de voltaje de compuerta (V_{GS}). En color verde se muestra una función cuadrática que delimita la región de triodo y de saturación.

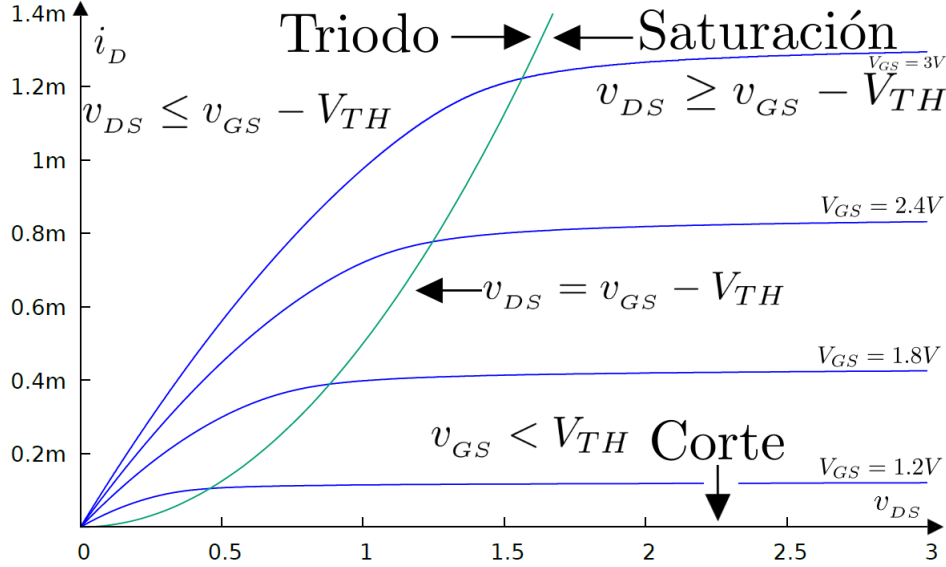


FIGURA 2.21: Curvas características del transistor NMOS ($\mu_n C_{ox}/2 = 56.8 [\mu A/V^2]$).

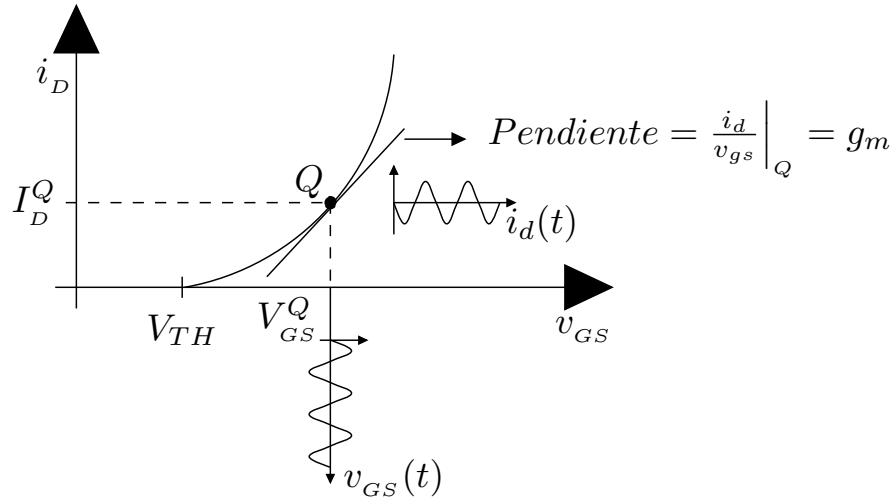
2.2.6. Transconductancia g_m

Un parámetro importante del transistor MOS operado en saturación es la transconductancia g_m , en la Figura 2.22 se muestra un representación gráfica de este parámetro. Matemáticamente la transconductancia se puede expresar como se muestra en las tres ecuaciones siguientes

$$g_m = \frac{i_d}{v_{gs}} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \tag{2.22}$$

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \tag{2.23}$$

$$g_m = \frac{2I_D}{(V_{GS} - V_{TH})} \tag{2.24}$$

FIGURA 2.22: Gráfica de i_D en función de v_{GS} .

2.2.7. El transistor PMOS

Se puede considerar al transistor PMOS como la contra-parte del transistor NMOS pues su estructura es parecida, con la diferencia de que el cuerpo del PMOS es un sustrato tipo N, y las terminales de drenaje y fuente son regiones *P* fuertemente dopadas, debido a esto el voltaje que se aplica en compuerta es un voltaje negativo y la corriente fluye en sentido contrario respecto al NMOS, es por tal motivo que las condiciones para las regiones de operación cambian.

2.2.7.1. Corte

En el caso del transistor PMOS el voltaje umbral es negativo y se debe cumplir la siguiente condición para operar al transistor en corte

$$v_{GS} > V_{TH} \quad (2.25)$$

2.2.7.2. Triodo

Para el caso de la región de triodo se forma el canal con la siguiente condición

$$v_{GS} \leq V_{TH} \quad (2.26)$$

Adicionalmente el voltaje de drenaje a fuente debe satisfacer

$$v_{DS} \geq v_{GS} - V_{TH} \quad (2.27)$$

La corriente de drenaje en esta región de operación se describe con la ecuación 2.28.

$$i_D = \mu_p C_{ox} \frac{W}{L} \left[(|v_{GS}| - |V_{TH}|) |v_{DS}| - \frac{1}{2} v_{DS}^2 \right] \quad (2.28)$$

2.2.7.3. Saturación

Finalmente, para operar al transistor PMOS en saturación se debe cumplir la condición de la ecuación 2.26, y, además

$$v_{DS} \leq v_{GS} - V_{TH} \quad (2.29)$$

La corriente de drenaje está dada por la siguiente ecuación

$$i_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (|v_{GS}| - |V_{TH}|)^2 (1 + \lambda |v_{DS}|) \quad (2.30)$$

donde $v_{GS} < 0$, $V_{TH} < 0$.

2.3. Amplificadores de etapa única con transistores MOS

En esta sección se analizan los amplificadores de etapa única con transistores MOS, los cuales constan de un transistor, y una carga activa o pasiva. Estos bloques son relevantes cuando se requiere diseñar OTA's u OPAMP's pues se pueden armar bloques con cada una de las etapas básicas que cumplan con los requerimientos de impedancia de entrada y salida, ganancia, ancho de banda, etc. Se realiza el análisis de pequeña señal, se obtiene la función de transferencia y se caracteriza su respuesta en frecuencia.

2.3.1. Amplificador fuente común (CS)

En la configuración de fuente común la terminal de fuente (S) se mantiene fija, la señal de entrada se aplica por la compuerta (G), y la señal de salida se toma en la terminal del drain (D), tal como se muestra en la Figura 2.23. Para poder amplificar una señal primero se debe fijar el punto de operación en DC y después se analiza su respuesta en AC para ello se hace el análisis de pequeña señal.

Para que el transistor pueda funcionar como amplificador este debe operar en la región de saturación [5], bajo esta consideración la corriente I_D que fluye de drenaje a fuente (despreciando el efecto de modulación de longitud de canal, $\lambda = 0$) es

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.31)$$

El voltaje de salida es $V_{out} = V_{DS}$ que se puede expresar como sigue

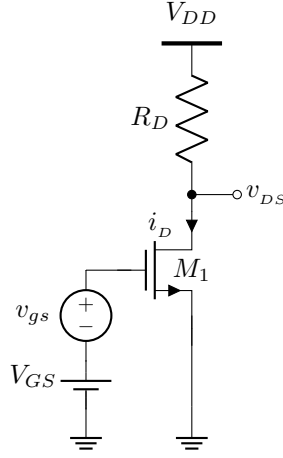


FIGURA 2.23: Amplificador fuente común (CS).

$$V_{DS} = V_{DD} - I_D R_D \quad (2.32)$$

El voltaje de la compuerta con respecto a fuente v_{GS} se compone de la componente de DC (punto de operación) y la señal de entrada v_{gs} (AC)

$$v_{GS} = v_{gs} + V_{GS} \quad (2.33)$$

entonces se puede considerar que la corriente i_D que contiene tanto las componentes de DC y AC como sigue

$$i_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} + v_{gs} - V_{TH})^2 \quad (2.34)$$

se define $k = \frac{1}{2} \mu C_{ox} \frac{W}{L}$

$$\begin{aligned} i_D &= k (V_{GS} + v_{gs} - V_{TH})^2 \\ i_D &= k [(V_{GS} - V_{TH})^2 + 2(V_{GS} - V_{TH})(v_{gs}) + v_{gs}^2] \end{aligned}$$

entonces

$$i_D = k \underbrace{(V_{GS} - V_{TH})^2}_{DC} + \underbrace{2k(V_{GS} - V_{TH})(v_{gs})}_{\text{Termino lineal}} + \underbrace{k(v_{gs})^2}_{\text{Distortion}} \quad (2.35)$$

La ecuación 2.35 contiene el término cuadrático ($k(v_{gs})^2$), el cual eleva al cuadrado la señal de entrada, esto no es deseable ya que implica que la señal de salida será modificada (además

de su amplitud) en su forma de onda. Para evitar esto la señal de entrada v_{gs} se mantiene con una amplitud relativamente pequeña lo cual hace que el término cuadrático se haga pequeño y el término lineal domine, matemáticamente se expresa como

$$kv_{gs}^2 \ll 2k(V_{GS} - V_{TH})v_{gs}$$

equivalentemente

$$v_{gs} \ll 2(V_{GS} - V_{TH}) \quad (2.36)$$

Bajo esta condición se puede despreciar el término cuadrático que afecta a la señal de entrada, y la corriente i_D queda expresada por la corriente en DC más la contribución de corriente en AC, esto se expresa en la ecuación 2.37.

$$i_D = k(V_{GS} - V_{TH})^2 + 2k(V_{GS} - V_{TH})(v_{gs}) = I_D + i_d \quad (2.37)$$

2.3.1.1. Modelo de pequeña señal

El modelo de pequeña señal permite el análisis del CS en AC, considerando que el amplificador tienen un punto de operación, las componentes de DC no se toman en cuenta.

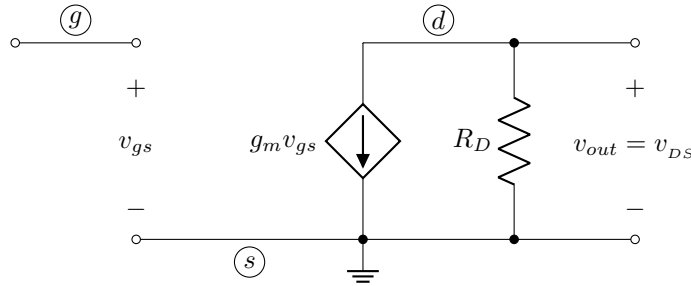


FIGURA 2.24: Modelo de pequeña señal del amplificador CS.

El modelo equivalente para la configuración en fuente común se muestra en la Figura 2.24, en este no se toma en cuenta el efecto de modulación de canal. La resistencia de carga R_D cumple la función de transformar la corriente i_d a un voltaje, además $v_{in} = v_{gs}$ y $v_{out} = v_{ds} = -g_m v_{gs} R_D$. Por lo tanto, el voltaje de salida dividido entre el voltaje de entrada es la ganancia de voltaje la cual se expresa en la ecuación 2.38.

$$\frac{v_{out}}{v_{in}} = -g_m R_D \quad (2.38)$$

Por otra parte, al tomar en cuenta el efecto de modulación de canal, (el cual es modelado por una resistencia $r_o \simeq 1/(\lambda I_D)$) se agrega una resistencia en el modelo de pequeña señal que

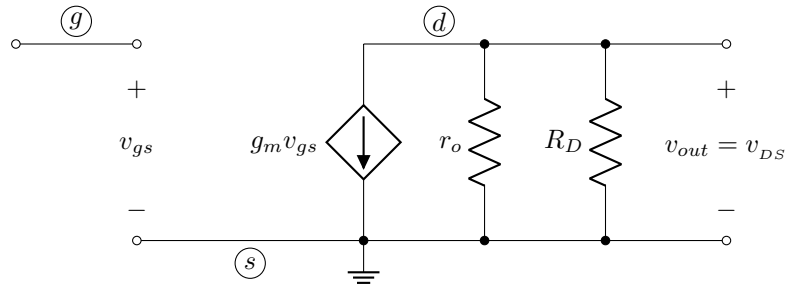


FIGURA 2.25: Modelo de pequeña señal del amplificador CS, tomando en cuenta el efecto de modulación de canal.

está conectada entre el drain y la fuente, tal como se muestra en la Figura 2.25. Bajo estas consideraciones al realizar el análisis la ganancia de voltaje queda como

$$\frac{v_{out}}{v_{in}} = A_v = -g_m (R_D \parallel r_o) \quad (2.39)$$

2.3.1.2. Amplificador fuente común con impedancia de carga en la etapa de salida

Si bien ya se calculó la función de transferencia (ecuación 2.39) falta analizar cómo se comporta el circuito en función de la frecuencia, para ello se coloca un capacitor de carga (normalmente $C_L = 1pF$), el cual se considera es mayor que las capacitancias parásitas del transistor lo que lo hace predominar, el modelo de pequeña señal que incluye una carga capacitiva se muestra en la Figura 2.26.

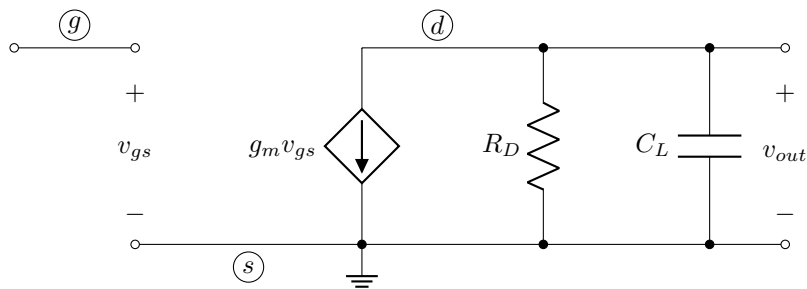


FIGURA 2.26: Modelo de pequeña señal del amplificador CS, con una capacitancia de carga C_L .

Después de realizar el análisis del circuito la función de transferencia es

$$\frac{v_{out}}{v_{in}} = -g_m (R_D \parallel 1/(sC_L))$$

Si se pasa al dominio de Lapalce entonces la función queda como

$$\begin{aligned} \frac{\mathbf{V}_{out}}{\mathbf{V}_{in}} &= -g_m \left(R_D \parallel \frac{1}{sC_L} \right) \\ \frac{\mathbf{V}_{out}}{\mathbf{V}_{in}} &= -\frac{g_m R_D}{sR_D C_L + 1} \\ \frac{\mathbf{V}_{out}}{\mathbf{V}_{in}} &= -\frac{\frac{g_m}{C_L}}{s + \frac{1}{R_D C_L}} \end{aligned}$$

La constante de tiempo $R_D C_L$ determina el ancho de banda del circuito es decir el punto en el cual la ganancia decrece $-3dB$ como sigue

$$BW = \frac{1}{2\pi R_D C_L} \quad (2.40)$$

Otro parámetro importante de un amplificador es el producto ganancia ancho de banda el cual se define (para el CS) matemáticamente como

$$GBW = \frac{g_m}{2\pi C_L} \quad (2.41)$$

Esto indica que el producto ganancia ancho de banda va a estar definido por la capacitancia de carga, y la transconductancia del amplificador.

2.3.1.3. Amplificador fuente común con fuente de corriente como carga

Si bien es posible polarizar con resistencias, no es conveniente hacerlo, sobre todo en diseño de circuitos integrados. Una de las razones de peso es que una resistencia ocupa un área relativamente grande del chip en comparación con el área que usa un transistor. Por tal motivo se opta por polarizar con fuentes de corriente (las cuales se hacen con arreglos de transistores NMOS y PMOS), en principio se considera una fuente de corriente ideal como se muestra en la Figura 2.27.

Si el transistor M_1 está operando en la región de saturación, y además se toma en cuenta que una fuente de corriente ideal tiene una resistencia asociada infinita, es decir, $R_I = \infty$, entonces en la ecuación 2.39 se reemplaza la resistencia R_D por la resistencia de la fuente de corriente ideal, debido a que el paralelo de $r_o \parallel R_I \approx r_o$ la ganancia queda expresada en la ecuación 2.42.

$$A_v = -g_m r_o \quad (2.42)$$

A la expresión anterior se le conoce como la *ganancia intrínseca* del transistor MOS y representa la máxima ganancia que se puede lograr con un solo transistor.

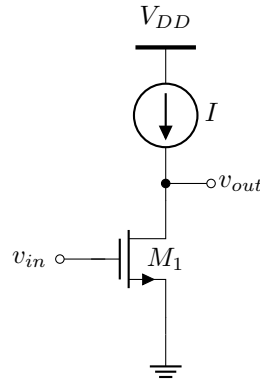


FIGURA 2.27: Amplificador CS con una fuente de corriente como carga.

2.3.1.4. Amplificador fuente común con carga activa PMOS

Si se opera un transistor PMOS o NMOS en la región de saturación se comportan como una fuente de corriente tal como se muestra en la Figura 2.28.

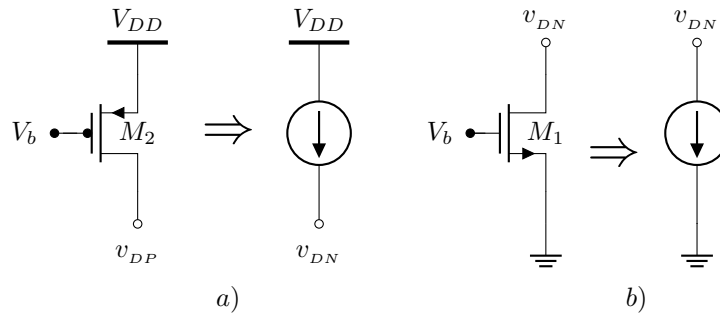


FIGURA 2.28: a) PMOS como fuente de corriente , b) NMOS como fuente de corriente.

Utilizando esta propiedad entonces se puede utilizar para remplazar la fuente de corriente ideal por un transistor PMOS que cumpla esta función en el amplificador CS.

En la Figura 2.29 (a) se muestra el transistor M_2 conectado de tal manera que se comporta como una fuente de corriente, la Figura 2.29 (b) muestra la representación en pequeña señal, al realizar el análisis en pequeña señal para conocer la ganancia y la resistencia de salida se tienen que

$$A_v = -g_m (r_{o1} \parallel r_{o2}) \tag{2.43}$$

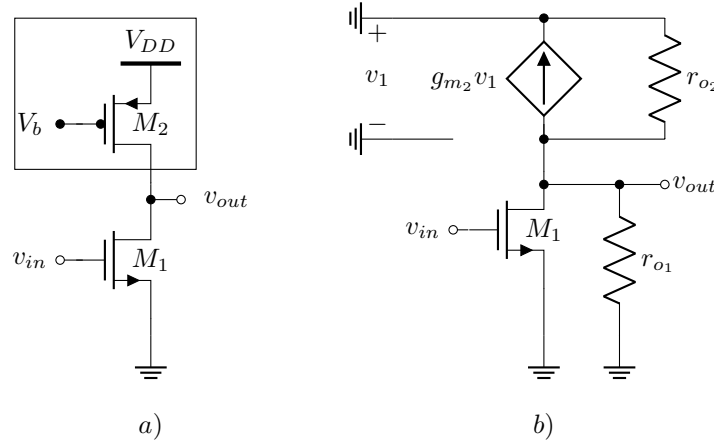


FIGURA 2.29: a) Amplificador fuente común con un transistor PMOS como una fuente de corriente, b) modelo de pequeña señal.

Y la resistencia de salida se expresa en la ecuación 2.44, si $r_{o1} = r_{o2}$ entonces la impedancia de salida es $R_{out} = \frac{r_{o1}}{2}$.

$$R_{out} = r_{o1} \parallel r_{o2} \tag{2.44}$$

2.3.1.5. Fuente común con diodo conectado como carga

Ahora se analiza otra forma de sustituir la carga resistiva del amplificador de fuente común la cual se muestra en la Figura 2.30(a), esto consiste en conectar un transistor NMOS (M_2) el cual tiene el mismo voltaje tanto en la terminal de drenaje como en la terminal de compuerta (V_{DD}). En la Figura 2.30(b) se muestra el modelo de pequeña señal. M_2 se comporta como una resistencia con un valor aproximado de $\frac{1}{g_{m2}}$, la función de transferencia se expresa en la ecuación 2.45

$$A_v = -\frac{g_{m1}}{g_{m2}} \tag{2.45}$$

tomando en cuenta que

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D}$$

entonces la ecuación 2.45 queda como

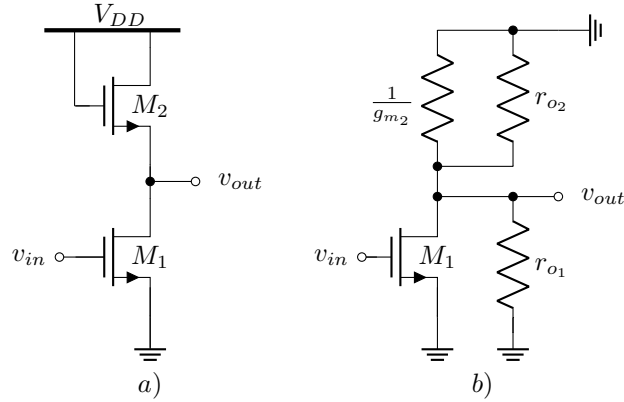


FIGURA 2.30: a) Amplificador fuente común con diodo conectado como carga b) modelo de pequeña señal.

$$A_v = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (2.46)$$

Lo que implica que la ganancia que se obtiene depende de las dimensiones del transistor, es decir, si se considera que las dimensiones son iguales para ambos transistores entonces se consigue una ganancia $A_v = 1$.

Por otra parte si se toma en cuenta el efecto de modulación de canal, es decir, r_o como se muestra en la Figura 2.30(b) entonces la resistencia de salida es $(1/g_{m_2} \parallel r_{o_1} \parallel r_{o_2})$ y la ganancia queda como

$$A_v = -g_{m_1} \left(\frac{1}{g_{m_2}} \parallel r_{o_1} \parallel r_{o_2} \right) \quad (2.47)$$

2.3.1.6. Amplificador fuente común con degeneración

A continuación, se analiza que pasa cuando se agrega una resistencia en serie en la terminal de fuente del transistor.

En la Figura 2.31 se muestra el circuito y su representación en pequeña señal, en este caso no se toma en cuenta el efecto de modulación de canal es decir $\lambda = 0$. Aplicando LVK al circuito de la Figura 2.31 (b)

$$v_{in} = v_1 + g_m v_1 R_D \quad (2.48)$$

además el voltaje de salida v_{out} es

$$v_{out} = -g_m v_1 R_D \quad (2.49)$$

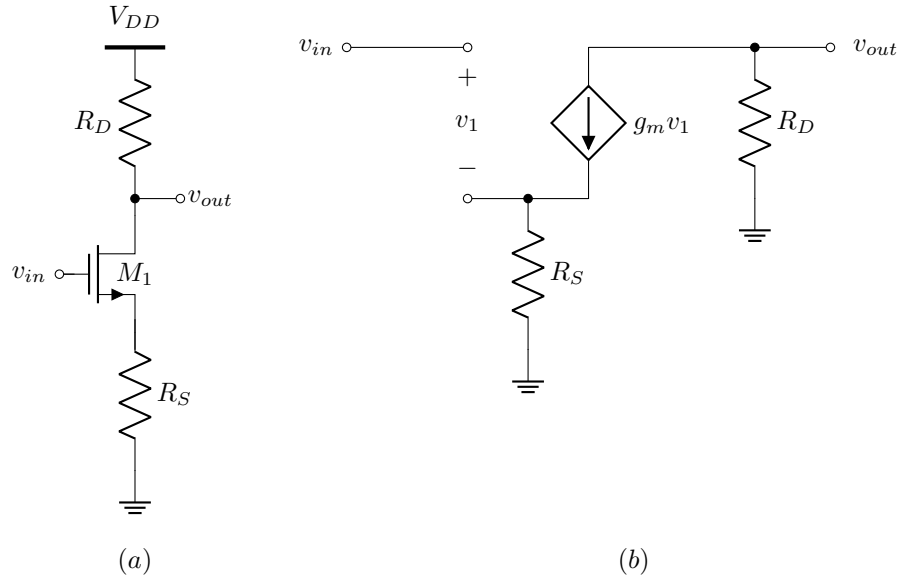


FIGURA 2.31: a) Amplificador CS con degeneración b) modelo de pequeña señal.

Entonces la ganancia es

$$A_v = -\frac{g_m v_1 R_D}{v_1 + g_m v_1 R_S}$$

$$A_v = -\frac{g_m v_1 R_D}{(1 + g_m R_S) v_1}$$

$$A_v = -\frac{\frac{g_m R_D}{g_m}}{\left(\frac{1}{g_m} + \frac{g_m R_S}{g_m}\right)}$$

Finalmente

$$A_v = -\frac{R_D}{\left(\frac{1}{g_m} + R_S\right)} \tag{2.50}$$

2.3.1.7. Impedancia de salida del CS con degeneración

Siguiendo con el análisis, ahora se calcula la impedancia de salida del CS con degeneración considerando la resistencia de la etapa que proporciona la señal de entrada (R_G) tal como se muestra en la Figura 2.32.

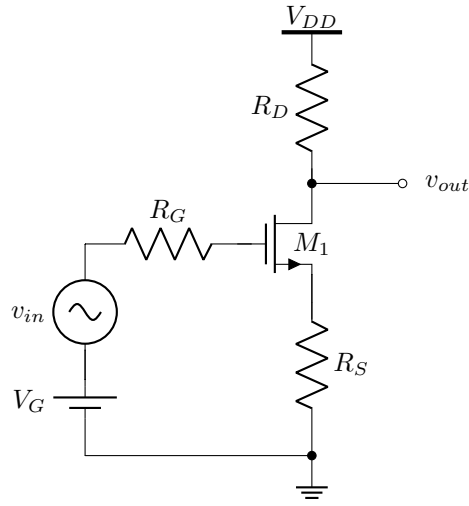


FIGURA 2.32: Amplificador CS con degeneración y resistencia R_G de compuerta.

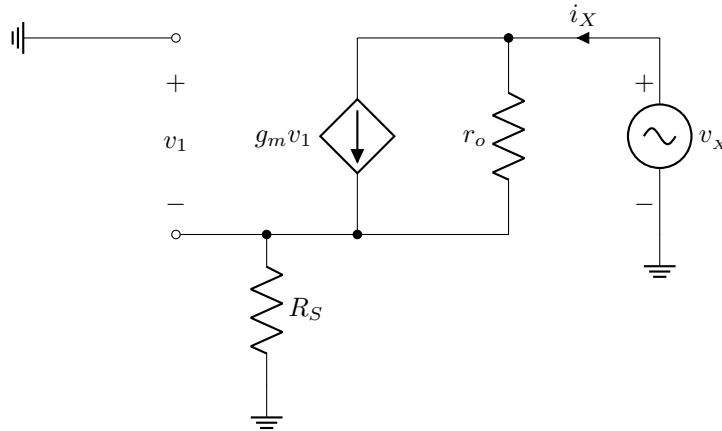


FIGURA 2.33: Impedancia del CS con degeneración.

En la Figura 2.33 se muestra el circuito en pequeña señal. De aquí $v_1 = -i_X R_S$. Por otra parte, la corriente que fluye en r_o es

$$\begin{aligned} i_{r_o} &= i_X - g_m v_1 \\ i_{r_o} &= i_X + g_m (i_X R_S) \end{aligned}$$

Si se aplica la ley de voltajes de Kirchhoff entonces

$$\begin{aligned}
v_X &= v_{r_o} + v_1 \\
v_X &= r_o i_{r_o} + i_X R_S \\
v_X &= r_o (i_X + g_m i_X R_S) + i_X R_S \\
v_X &= (r_o (1 + g_m R_S) + R_S) i_X
\end{aligned}$$

Entonces la impedancia de salida queda como

$$R_{out} = \frac{v_X}{i_X} = r_o (1 + g_m R_S) + R_S \quad (2.51)$$

De acuerdo con la ecuación 2.51 la impedancia de salida del CS con degeneración aumenta de forma directa con la resistencia que se coloque en la fuente.

2.3.2. Amplificador compuerta común (CG)

En el amplificador de compuerta común (CG), la compuerta es conectada a un voltaje de DC que establece el punto de operación, la señal de entrada es aplicada por la fuente, y la salida se toma en la terminal de drenaje como se muestra en la Figura 2.34, es decir, ahora la compuerta es común a las otras dos terminales.

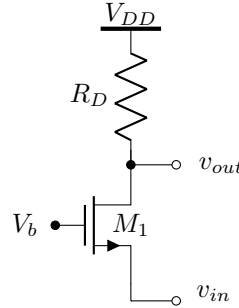


FIGURA 2.34: Amplificador compuerta común (CG).

En la Figura 2.35, se muestra el circuito equivalente en pequeña señal del amplificador CG. Para calcular el voltaje de salida (v_{out}), se toma en cuenta que está dado por la corriente que fluye a través de la resistencia R_D como sigue

$$v_{out} = -i_D R_D \quad (2.52)$$

Donde $i_D = -g_m v_{gs}$, por tanto

$$v_{out} = -g_m v_{gs} R_D \quad (2.53)$$

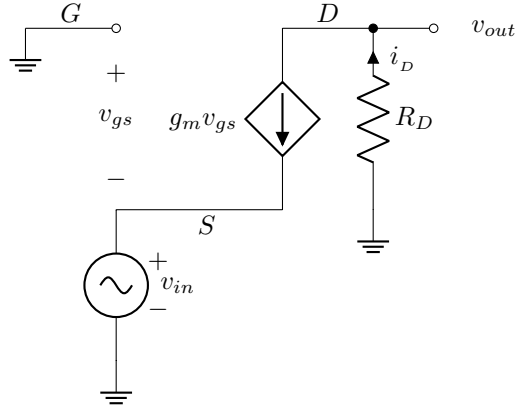


FIGURA 2.35: Circuito CG en pequeña señal.

Además $v_{gs} = v_g - v_s = 0 - v_{in}$, por tanto la tensión de salida es igual a

$$v_{out} = (-g_m)R_D(-v_{in}) \quad (2.54)$$

Teniendo como consecuencia una ganancia positiva

$$A_v = g_m R_D \quad (2.55)$$

Se puede notar que si la entrada v_{in} aumenta en una pequeña cantidad, entonces el voltaje compuerta fuente v_{gs} se reduce y en consecuencia la corriente de drenaje por $i_D = g_m v_{gs}$ también se reduce.

2.3.2.1. Impedancia de entrada

Ahora se calcula la impedancia de entrada y de salida del CG, sin tomar en cuenta el efecto de modulación de canal. Se aplica un voltaje de prueba v_t , lo que genera una corriente i_t como se muestra en la Figura 2.36.

La impedancia de entrada estará dada por

$$R_{in} = \frac{v_t}{i_t} \quad (2.56)$$

pero la corriente i_t es

$$i_t = -g_m v_{gs} \quad (2.57)$$

el voltaje de compuerta a fuentes es

$$v_{gs} = v_g - v_s = 0 - v_t = -v_t \quad (2.58)$$

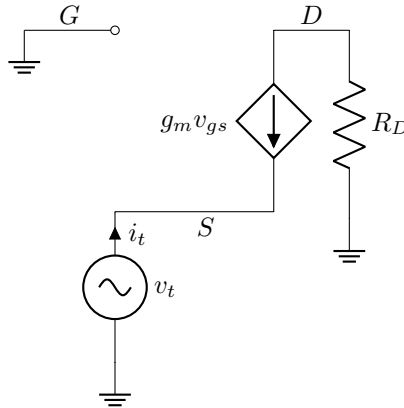


FIGURA 2.36: Impedancia de entrada del amplificador CG.

entonces la ecuación 2.57 queda como

$$i_t = -g_m(-v_t) = g_m v_t \quad (2.59)$$

finalmente, la impedancia de entrada queda como

$$R_{in} = \frac{1}{g_m} \quad (2.60)$$

Por lo tanto, se ve que el circuito presenta una resistencia de entrada relativamente baja e independiente de R_D .

2.3.2.2. Impedancia de salida

Por otra parte, se calcula la impedancia de salida del CG, se aplica un voltaje de prueba v_t en el nodo de salida, tal como se muestra en la Figura 2.37. La compuerta está conectada a tierra y, en la fuente se aplica una tensión de entrada $v_{in} = 0$.

La impedancia de salida es

$$R_{out} = \frac{v_t}{i_t} = R_D \quad (2.61)$$

2.3.3. Drenaje común (CD) o seguidor de fuente (SF)

El tercer amplificador de etapa única con MOS es el seguidor de fuente, la señal entra por la compuerta y la salida se toma en la fuente, con el drenaje conectado a V_{DD} , como se ve en la Figura 2.38.

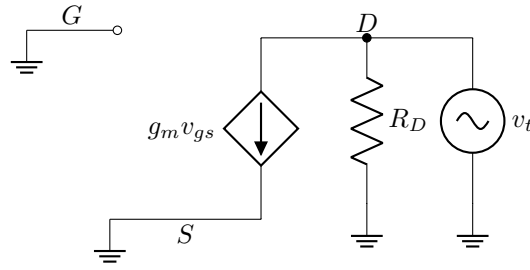


FIGURA 2.37: Impedancia de salida del amplificador CG.

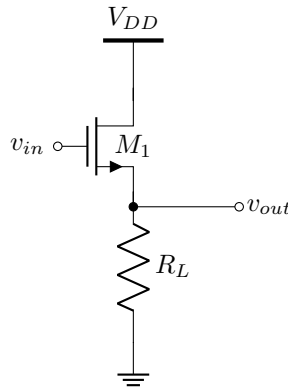


FIGURA 2.38: Seguidor de fuente (SF).

Se requiere calcular la ganancia de voltaje o función de transferencia, igual que en los dos casos anteriores, para ello se utiliza el modelo de pequeña señal que se ilustra en la Figura 2.39. El voltaje de salida v_{out} y la corriente que fluye en r_o se expresan como sigue

$$v_{out} = i_{out} R_L \tag{2.62}$$

$$i_o = \frac{v_{r_o}}{r_o} \tag{2.63}$$

Mediante la aplicación de la LCK y LVK se tiene que

$$i_{out} = g_m v_{gs} + i_o \tag{2.64}$$

$$v_{out} = -v_{r_o} \tag{2.65}$$

$$v_{in} = v_{gs} + v_{out} \tag{2.66}$$

al remplazar v_{r_o} de la ecuación 2.65 en la ecuación 2.63 resulta

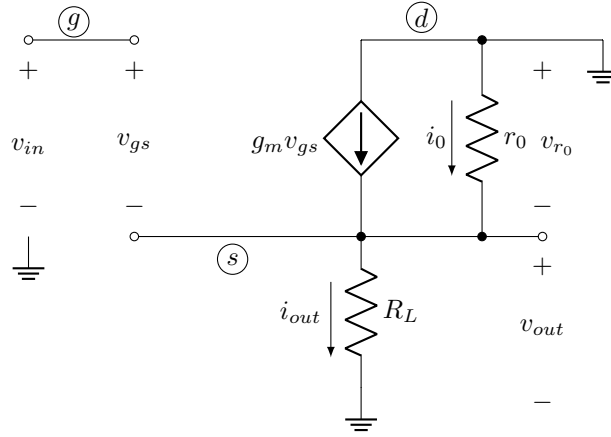


FIGURA 2.39: Modelo de pequeña señal del SF.

$$i_0 = \frac{-v_{out}}{r_0} \quad (2.67)$$

sustituyendo estas relaciones en la ecuación 2.64 se obtiene

$$\frac{v_{out}}{R_L} + g_m v_{out} + \frac{v_{out}}{r_0} = g_m v_{int} \quad (2.68)$$

se factoriza v_{out} y queda como sigue

$$v_{out} \left(\frac{1}{R_L} + \frac{1}{r_0} + g_m \right) = g_m v_{int} \quad (2.69)$$

se puede expresar el paralelo de R_L con r_0 como

$$R_L \parallel r_0 = \left(\frac{1}{R_L} + \frac{1}{r_0} \right)^{-1} \quad (2.70)$$

entonces

$$\frac{v_{out}}{v_{int}} = \frac{g_m}{\frac{1}{R_L \parallel r_0} + g_m} \quad (2.71)$$

$$\frac{v_{out}}{v_{int}} = \frac{g_m (R_L \parallel r_0)}{1 + g_m (R_L \parallel r_0)} \quad (2.72)$$

equivalentemente

$$A_v = \frac{v_{out}}{v_{int}} = \frac{R_L \parallel r_0}{\frac{1}{g_m} + R_L \parallel r_0} \quad (2.73)$$

Si $R_L \parallel r_0 > \frac{1}{g_m}$ entonces la ganancia es $A_v \approx 1$, lo que implica que la señal de entrada es aproximadamente la misma en la salida, algo que es deseable para etapas de acoplamiento pues se tiene una impedancia de entrada relativamente grande.

2.3.3.1. Impedancia de salida

Para obtener la impedancia de salida se conecta la entrada a tierra y se analiza el nodo de salida del equivalente de pequeña señal de la Figura 2.40.

Entonces la impedancia de salida R_{out} es

$$R_{out} = \left(\frac{1}{g_m} \parallel r_0 \right) \parallel R_L \quad (2.74)$$

Por lo general r_o es grande comparada con $1/g_m$ entonces se puede simplificar aproximar la resistencia de salida como

$$R_{out} \approx \frac{1}{g_m} \parallel R_L \quad (2.75)$$

Entonces el SF exhibe una impedancia de entrada infinita y una impedancia de salida baja, características deseables en un buffer.

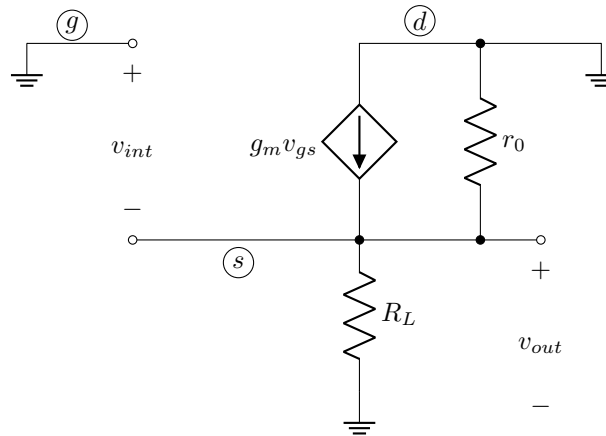


FIGURA 2.40: Modelo de pequeña señal para calcular la impedancia de salida del SF.

2.3.3.2. Seguidor de voltaje invertido (FVF)

Ahora se presenta el FVF, se calcula su ganancia de voltaje e impedancia de salida, el diagrama esquemático y su modelo de pequeña señal se muestra en la Figura 2.41.

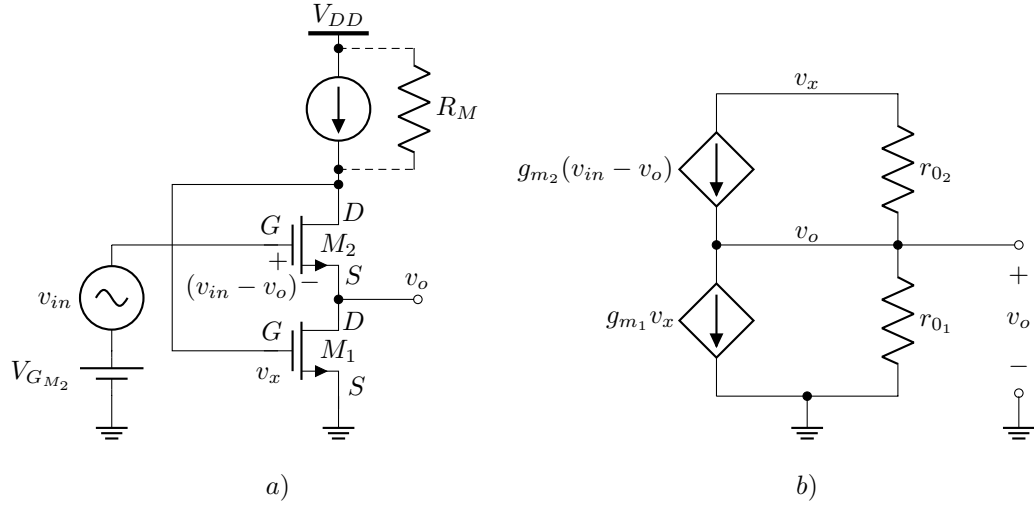


FIGURA 2.41: a) *Flipped Voltage Follower (FVF)*, b) *modelo de pequeña señal.*

Aplicando análisis nodal resultan las siguientes ecuaciones

Para el nodo v_x

$$v_x \left(\frac{1}{r_{02}} \right) - v_o \left(g_{m2} + \frac{1}{r_{02}} \right) = -g_{m2} v_{in} \quad (2.76)$$

Para el nodo v_o

$$v_o \left(\frac{1}{r_{01}} + \frac{1}{r_{02}} + g_{m2} \right) - v_x \left(\frac{1}{r_{02}} - g_{m1} \right) = g_{m2} v_{in} \quad (2.77)$$

Se resuelve el sistema de ecuaciones y se tiene que la ganancia es

$$A_v = \frac{g_{m1} g_{m2} r_{01} r_{02}}{g_{m1} g_{m2} r_{01} r_{02} + g_{m1} r_{01} + 1} \quad (2.78)$$

De donde se la ganancia es aproximadamente uno.

Para obtener la impedancia de salida se utiliza el circuito de la Figura 2.42:

Analizando el circuito de pequeña señal se obtiene

$$i_x = v_x \left(g_{m2} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} \right) + v_y (g_{m1}) \quad (2.79)$$

$$v_y = v_x (g_{m2} r_{o2} + 1) \quad (2.80)$$

Resolviendo el sistema de ecuaciones la impedancia de salida R_{out} es

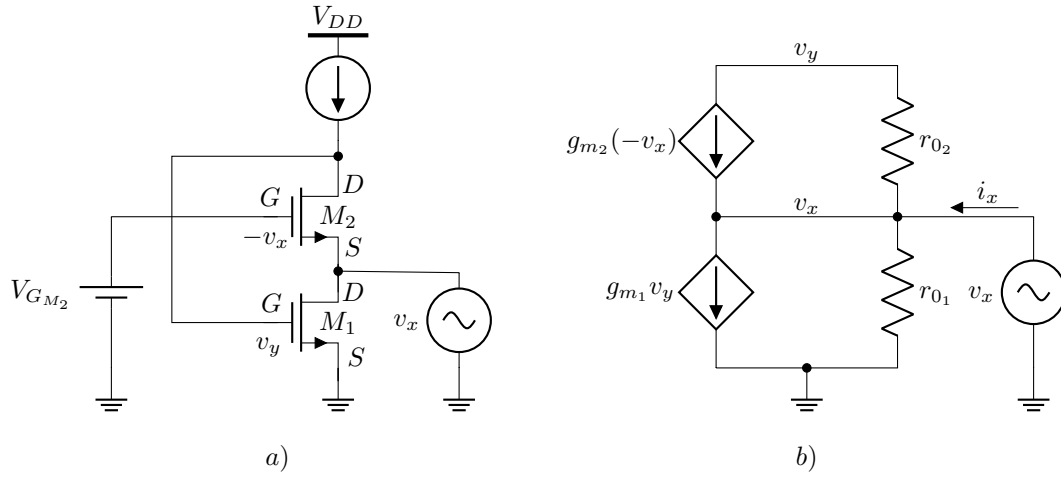


FIGURA 2.42: a) FVF con una fuente de prueba v_x utilizada para el calculo de la impedancia de salida, b) modelo de pequeña señal.

$$R_{out} = \frac{v_x}{i_x} = \frac{r_{o1}}{g_{m_1}g_{m_2}r_{o1}r_{o2} + g_{m_1}r_{o1} + 1} \quad (2.81)$$

El término dominante en la ecuación 2.81 es $\frac{r_{o1}}{g_{m_1}g_{m_2}r_{o1}r_{o2}}$ entonces se puede aproximar como sigue

$$R_{out} \approx \frac{1}{g_{m_1}g_{m_2}r_{o2}} \quad (2.82)$$

Con lo que el seguidor de voltaje invertido presenta una menor resistencia de salida en relación con el seguidor de fuente.

2.4. Etapa cascode

La etapa cascode se caracteriza por presentar una impedancia de salida alta en comparación con los amplificadores de etapa única, lo cual es deseable si se requiere implementar una fuente de corriente con transistores NMOS o PMOS, por otra parte, también pueden emplearse para aumentar la ganancia de los amplificadores con MOS, debido a que mayor impedancia de salida está relacionada con una ganancia mayor.

2.4.0.1. Cascode con transistores MOS

En la sección 2.3.1.6 se mostró que el amplificador CS con degeneración tiene impedancia de salida mayor, ahora la impedancia conectada en la fuente del transistor M_1 se reemplaza con un transistor (M_2) como se muestra en la Figura 2.43 (a), que exhibe una impedancia de pequeña señal r_{o2} vista desde la terminal de fuente del transistor M_1 al nodo de tierra (Figura 2.43 (b)).

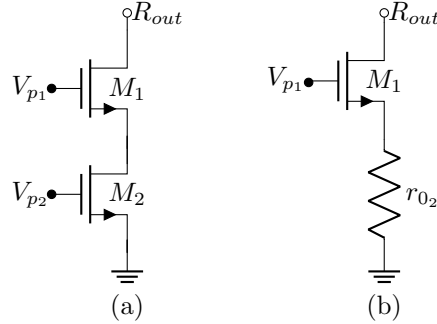


FIGURA 2.43: a) Fuente de corriente cascode MOS, b) equivalente.

La impedancia de salida se expresa en la ecuación 2.83.

$$R_{out} = (1 + g_{m1}r_{o2})r_{o1} + r_{o2} \quad (2.83)$$

El término que domina es $g_{m1}r_{o1}r_{o2}$, entonces se puede aproximar la resistencia de salida como sigue

$$R_{out} \approx g_{m1}r_{o1}r_{o2} \quad (2.84)$$

2.4.1. Cascode como amplificador

La topología cascode sirve como un amplificador de alta ganancia, esto debido a su alta impedancia de salida. En el caso específico del amplificador del CS la ganancia está dada por la transconductancia (la cual puede ser entendida como la capacidad del circuito de convertir el voltaje de entrada en una corriente de salida) de acuerdo con la ecuación 2.85.

$$A_v = -g_m R_{out} \quad (2.85)$$

Donde R_{out} es la impedancia de salida. Esto implica que la ganancia de voltaje del amplificador se puede incrementar al crecer la impedancia de salida, tal como se logra con una etapa cascode.

2.4.1.1. Amplificador MOS cascode

En la Figura 2.44 se presenta el amplificador cascode, con una fuente de corriente ideal como carga, la ganancia de voltaje se expresa como sigue

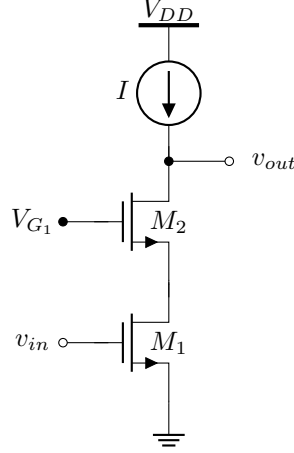


FIGURA 2.44: Amplificador cascode.

$$A_v = -g_{m1}R_{out} \quad (2.86)$$

$$A_v = -g_{m1} [(1 + g_{m2}r_{o2})r_{o1} + r_{o2}] \quad (2.87)$$

$$A_v \approx -g_{m1}g_{m2}r_{o1}r_{o2} \quad (2.88)$$

Tal como se esperaba se logra incrementar la ganancia del amplificador CS por un factor $g_{m2}r_{o2}$.

2.4.1.2. Amplificador cascode con PMOS cascode como carga

Ahora se analiza el amplificador cascode cuando se reemplaza la fuente de corriente ideal por una carga PMOS cascode, con el fin de tener una versión más cercana a la realidad. En la Figura 2.45 se presenta este amplificador.

La resistencia R_u de la carga es

$$R_u \approx g_{m3}r_{o3}r_{o4} \quad (2.89)$$

Por otra parte, la resistencia R_d es

$$R_d \approx g_{m2}r_{o2}r_{o1} \quad (2.90)$$

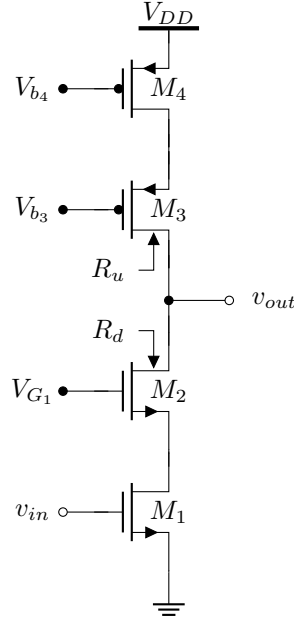


FIGURA 2.45: Amplificador cascode con PMOS cascode como carga.

Entonces la ganancia de voltaje es

$$A_v \approx -g_{m1} [(g_{m2}r_{o2}r_{o1}) \parallel (g_{m3}r_{o3}r_{o4})] \quad (2.91)$$

2.4.1.3. Amplificador folded cascode

Una desventaja del amplificador cascode es que los rieles de alimentación requieren ser mayores para garantizar que todos los transistores entren en la región de saturación, una solución es el folded cascode. En la Figura 2.46 se muestra el amplificador folded cascode, ahora el transistor M_2 es un PMOS, y la corriente I_{B1} se divide en dos, como se expresa en la ecuación 2.92.

$$I_{D1} = I_{B1} - I_{B2} \quad (2.92)$$

La corriente I_{B1} se divide en dos, por el transistor M_1 circula $\frac{I_{B1}}{2}$ y por el M_2 circula $\frac{I_{B1}}{2}$. Es decir, el consumo de corriente aumenta, pero por otra parte el voltaje de polarización es menor en comparación al voltaje del cascode.

La ganancia es la misma que la de un cascode, es decir

$$A_v = -g_{m1}r_{o1}g_{m2}r_{o2} \quad (2.93)$$

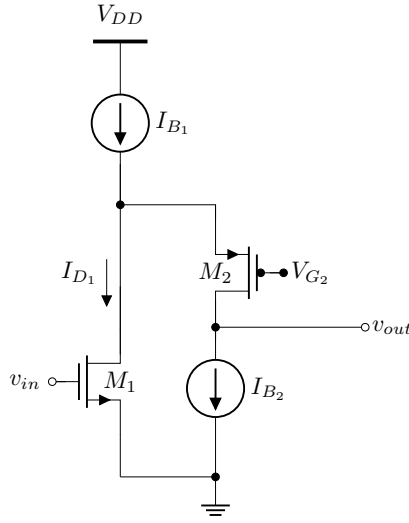


FIGURA 2.46: *Folded cascode.*

Y la resistencia de salida es

$$R_{out} = r_{o1} g_{m2} r_{o2} \tag{2.94}$$

2.5. Amplificador diferencial

En la Figura 2.47 (a) se muestra un amplificador diferencial, el cual toma la diferencia de los voltajes de entrada $v_{id} = v_{g1} - v_{g2}$. Si las entradas son iguales (v_{ic}) entonces la salida es cero, es decir, los voltajes de modo común son rechazados.

En la Figura 2.47 (b) se muestra el amplificador diferencial considerando señales diferenciales, matemáticamente se expresa como

$$v_{id} = v_{g1} - v_{g2} = \frac{v_{d1}}{2} - \left(-\frac{v_{d2}}{2}\right) = v_d \tag{2.95}$$

Para calcular la ganancia de voltaje se puede usar el principio de superposición. Sea A_1 la ganancia de voltaje cuando se aplica v_{g1} (mientras que $v_{g2} = 0$). Sea A_2 la ganancia de voltaje cuando se aplica v_{g2} (mientras que $v_{g1} = 0$).

Entonces se puede definir

$$v_o = A_1 v_{g1} + A_2 v_{g2} \tag{2.96}$$

Si se considera que la señal de entrada contiene señales tanto diferenciales y de modo común $v_{g1} = v_{ic} + \frac{v_{id}}{2}$ y $v_{g2} = v_{ic} - \frac{v_{id}}{2}$ entonces

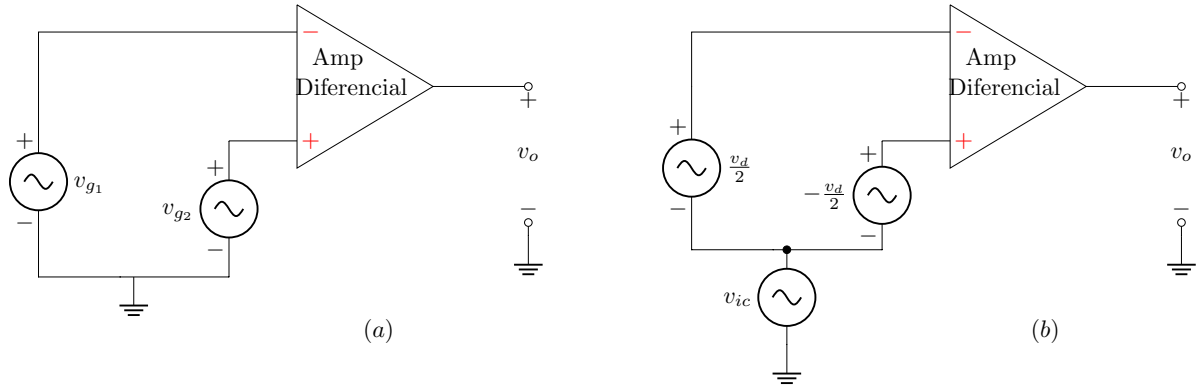


FIGURA 2.47: a) Amplificador diferencial, b) amplificador diferencial con señales diferenciales, y voltaje de modo común.

$$\begin{aligned}
 v_o &= A_1\left(v_{ic} + \frac{v_{id}}{2}\right) + A_2\left(v_{ic} - \frac{v_{id}}{2}\right) \\
 v_o &= \frac{A_1 - A_2}{2}v_{id} + (A_1 + A_2)v_{ic} \\
 v_o &= A_d v_{id} + A_c v_{ic}
 \end{aligned}$$

El voltaje de salida es

$$v_o = A_d\left(v_{id} + \frac{A_c}{A_d}v_{ic}\right) \tag{2.97}$$

El amplificador diferencial debe cumplir con que la ganancia de modo diferencial es mucho mayor que la ganancia de modo común ($A_d \gg A_c$), lo cual implica que el amplificador diferencial puede amplificar las señales diferenciales, mientras que no amplifica (rechaza) la señal de modo común (como el ruido).

2.5.1. Relación de rechazo de modo común $CMRR$

Se define el $CMRR$ como la razón de la ganancia de modo diferencial entre la ganancia de modo común

$$CMRR = \left| \frac{A_d}{A_c} \right| = 20 \log_{10} \left| \frac{A_d}{A_c} \right| [dB] = A_{d_{dB}} - A_{c_{dB}} \tag{2.98}$$

De donde el voltaje de salida se puede reescribir como

$$v_o = A_d(v_{id} + \frac{1}{CMRR}v_{ic}) \quad (2.99)$$

2.5.2. Amplificador par diferencial con transistores MOS

El amplificador par diferencial es el corazón del OTA, este funciona como etapa de entrada debido a que al implementarse con transistores MOS cumple con la característica de tener una impedancia de entrada grande y una impedancia de salida grande, también cumple con un buen rechazo de modo común (buen CMRR).

2.5.3. Estructura interna del amplificador diferencial MOS

En la Figura 2.48 se muestra la estructura interna de un amplificador par diferencial simétrico con cargas pasivas y una fuente de corriente que representa la suma de las corrientes de cada rama con una resistencia asociada.

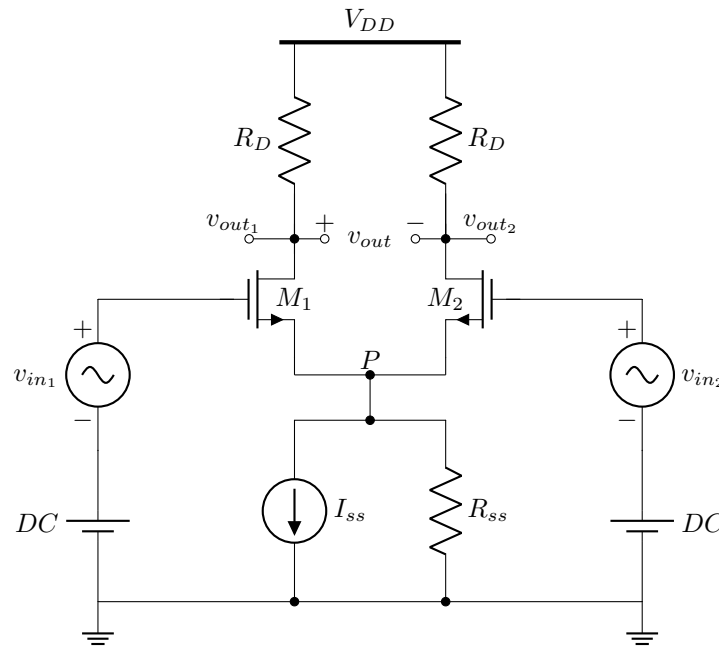


FIGURA 2.48: Par diferencial con transistores MOS.

2.5.4. Análisis en gran señal

Este análisis se hace con el objetivo de conocer la respuesta a variaciones grandes de la señal de entrada, es decir, se lleva al caso en el que toda la corriente fluye por uno de los dos

transistores.

En base al circuito de la Figura 2.48 se tiene que los voltajes de salida son

$$\begin{aligned}v_{out1} &= V_{DD} - R_D I_{D1} \\v_{out2} &= V_{DD} - R_D I_{D2}\end{aligned}$$

El voltaje de salida es

$$\begin{aligned}v_{out} &= v_{out1} - v_{out2} \\v_{out} &= V_{DD} - R_D I_{D1} - (V_{DD} - R_D I_{D2}) \\v_{out} &= V_{DD} - R_D I_{D1} - V_{DD} + R_D I_{D2} \\v_{out} &= -R_D I_{D1} + R_D I_{D2} \\v_{out} &= R_D (I_{D2} - I_{D1})\end{aligned}$$

Si se considera que el circuito es simétrico, y además $\lambda = 0$, el voltaje en el nodo “P” es $v_{in1} - V_{GS1} = v_{in2} - V_{GS2}$, entonces

$$v_{in1} - v_{in2} = V_{GS1} - V_{GS2} \quad (2.100)$$

La corriente que fluye en cada uno de los transistores es

$$\begin{aligned}I_{D1} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS1} - V_{TH})^2 \\I_{D2} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS2} - V_{TH})^2\end{aligned}$$

Si se despeja V_{GS1} y V_{GS2} entonces

$$\begin{aligned}V_{GS1} &= \sqrt{\frac{2I_{D1}}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH} \\V_{GS2} &= \sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH}\end{aligned}$$

Si se sustituye V_{GS1} y V_{GS2} en la ecuación 2.100

$$v_{in1} - v_{in2} = \sqrt{\frac{2I_{D1}}{\mu_n C_{ox} \frac{W}{L}}} - \sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \frac{W}{L}}} \quad (2.101)$$

De la ecuación 2.101 se despeja $(I_{D1} - I_{D2})$

$$I_{D_1} - I_{D_2} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (v_{in_1} - v_{in_2}) \sqrt{\frac{4I_{SS}}{\mu C_{ox} \frac{W}{L}} - (v_{in_1} - v_{in_2})^2} \quad (2.102)$$

En base a este resultado se muestra que la diferencia de corrientes de drenaje que fluye por los transistores del par diferencial tiende a cero cuando las señales de entrada son iguales $v_{in_1} = v_{in_2}$.

Por otra parte, el comportamiento de las corrientes de drenaje de cada transistor se describe por las siguientes ecuaciones

$$I_{D_1} = \frac{I_{SS}}{2} + \frac{v_{in_1} - v_{in_2}}{4} \sqrt{\mu C_{ox} \frac{W}{L} \left[4I_{SS} - \mu C_{ox} \frac{W}{L} (v_{in_1} - v_{in_2})^2 \right]} \quad (2.103)$$

$$I_{D_2} = \frac{I_{SS}}{2} + \frac{v_{in_2} - v_{in_1}}{4} \sqrt{\mu C_{ox} \frac{W}{L} \left[4I_{SS} - \mu C_{ox} \frac{W}{L} (v_{in_2} - v_{in_1})^2 \right]} \quad (2.104)$$

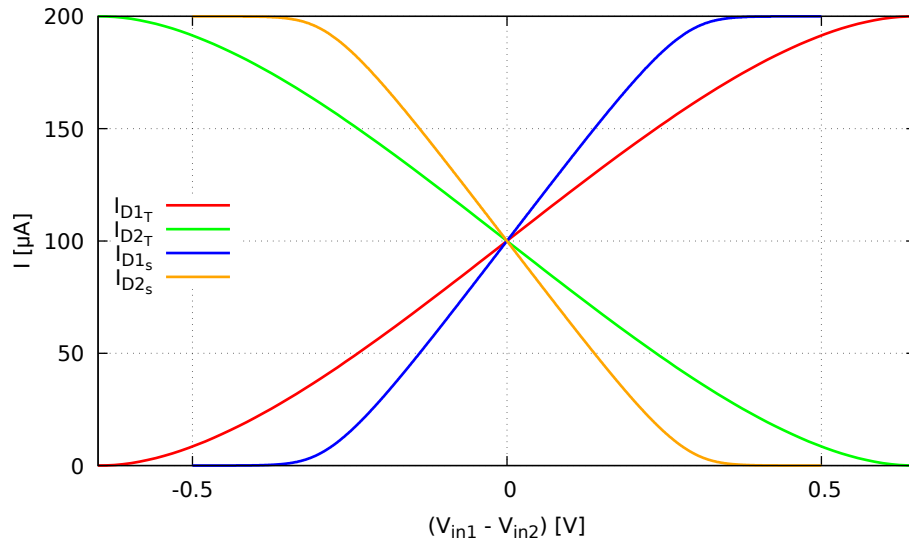


FIGURA 2.49: Comportamiento de las corrientes de drenaje para variaciones de señal grandes.

En la gráfica de la Figura 2.49 se muestra la comparación del comportamiento de las corrientes de drenaje del par diferencial descritos por las ecuaciones 2.103 y 2.104 (I_{D1T} en color rojo e I_{D2T} en color verde) con la respuesta de la simulación (I_{D1s} en color azul e I_{D2s} en color amarillo) realizada en SPICE con un modelo nivel 49 del nodo tecnológico de $0.5\mu m$, con las

siguientes características: $\frac{1}{2}\mu_n C_{ox} = 57.3\mu A/V^2$, $\frac{W}{L} = \frac{10\mu m}{1.2\mu m}$, e $I_{SS} = 200\mu A$. Las gráficas razonablemente concuerdan tomando en cuenta que las ecuaciones 2.103 y 2.104 son cuadráticas y el modelo que se utilizó para la simulación toma en cuenta más parámetros.

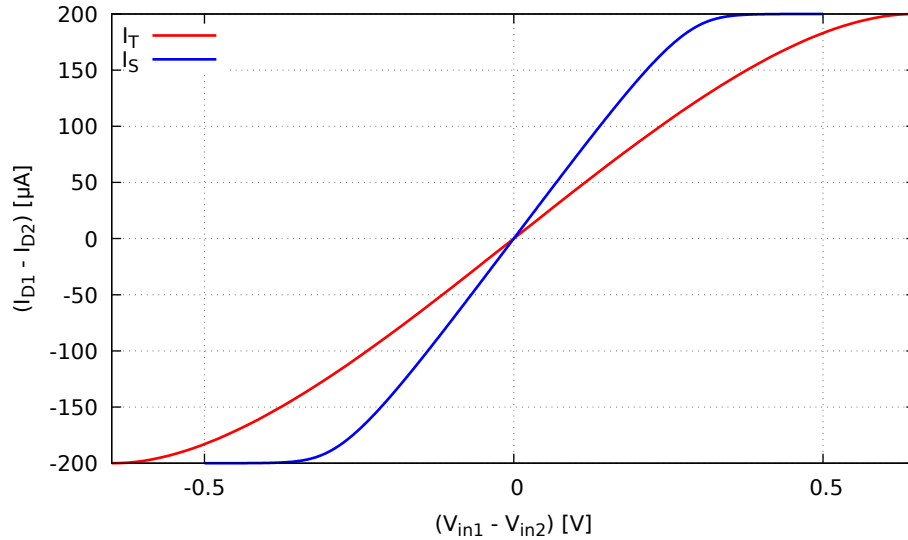


FIGURA 2.50: Comparación de la diferencia de corrientes de drenaje: ecuación 2.102 VS simulación.

En la Figura 2.50 se muestra la comparación entre la gráfica de la ecuación 2.102 (en color rojo) y la simulación (en color azul).

2.5.5. Análisis de pequeña señal

Partiendo del caso ideal de un par diferencial completamente simétrico, y entradas diferenciales, entonces se puede aplicar el concepto de “medio circuito”, es decir, se considera el nodo “ P ” como una tierra virtual debido a que no hay cambios de voltaje en este nodo. El resultado de aplicar este concepto se ilustra en la Figura 2.51.

Esto simplifica significativamente el análisis, ya que cada mitad es una etapa de fuente común (la cual ya se ha analizado previamente) y por ende el voltaje de salida en cada etapa es

$$\begin{aligned} v_{out1} &= -g_{m1} (R_D \parallel r_{o1}) v_{in1} \\ v_{out2} &= -g_{m2} (R_D \parallel r_{o2}) v_{in2} \end{aligned}$$

Entonces el voltaje de salida es

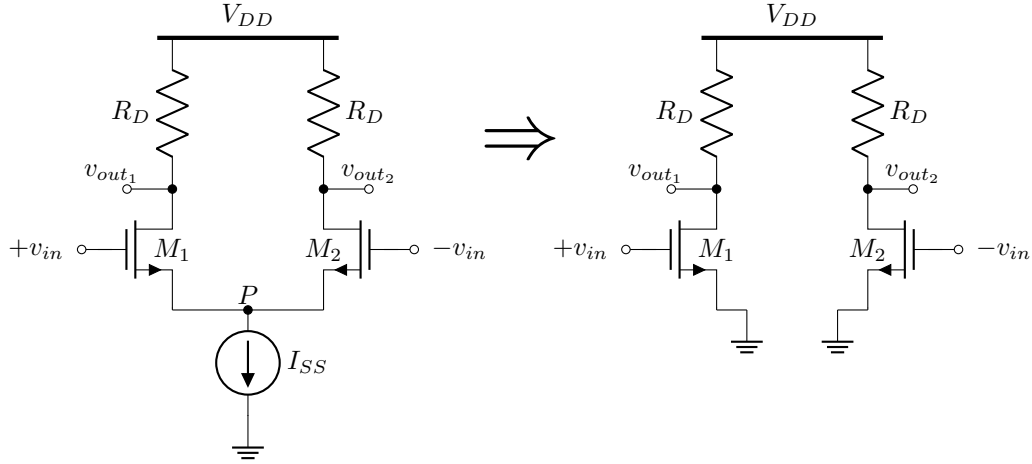


FIGURA 2.51: Resultado de aplicar el concepto de “Medio circuito”.

$$v_{out} = v_{out_1} - v_{out_2}$$

$$v_{out} = -g_{m_1} (R_D \parallel r_{o_1}) v_{in_1} + g_{m_2} (R_D \parallel r_{o_2}) v_{in_2}$$

Ya que se consideran circuitos simétricos, es decir, $g_{m_1} = g_{m_2} = g_m$ y $r_{o_1} = r_{o_2} = r_o$, entonces

$$v_{out} = v_{out_1} - v_{out_2} = -g_m (R_D \parallel r_o) (v_{in_1} - v_{in_2})$$

finalmente, la ganancia de voltaje queda como

$$\frac{v_{out_1} - v_{out_2}}{v_{in_1} - v_{in_2}} = -g_m (R_D \parallel r_o) \tag{2.105}$$

2.5.6. Amplificador par diferencial con transistor PMOS en modo diodo como carga

Se utilizan transistores PMOS como carga activa, como se muestra en la Figura 2.52 (a), reemplazando la carga resistiva.

De la Figura 2.52(b) el transistor M_3 está conectado como diodo entonces la resistencia de salida (en M_1) es

$$R_{out_{M_1}} = \frac{1}{g_{m_3}} \parallel r_{o_3} \parallel r_{o_1} \tag{2.106}$$

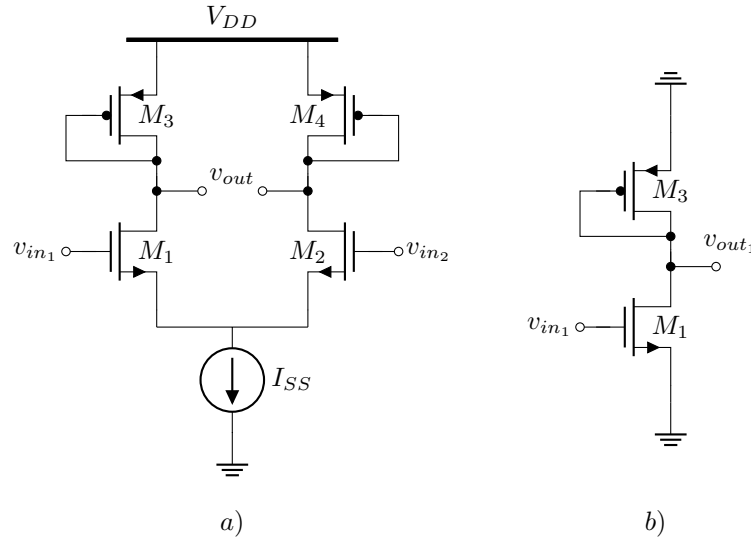


FIGURA 2.52: a) Amplificador par diferencial con transistores PMOS en modo diodo como carga, b) equivalente para el análisis de pequeña señal.

La ganancia de voltaje es

$$A_v = -g_{m_1} \left(\frac{1}{g_{m_3}} \parallel r_{o_3} \parallel r_{o_1} \right) \quad (2.107)$$

Esto se puede aproximar como

$$A_v \approx -g_{m_1} \left(\frac{1}{g_{m_3}} \right) \quad (2.108)$$

2.5.7. Amplificador diferencial con transistores PMOS como carga

En la Figura 2.53 se muestra el circuito del par diferencial utilizando transistores PMOS como carga.

La ganancia de voltaje de este amplificador se expresa en la ecuación 2.109.

$$A_v = -g_{m_1} (r_{o_3} \parallel r_{o_1}) \quad (2.109)$$

2.5.8. Amplificador par diferencial cascode

En la Figura 2.54 (a) se muestra el circuito de un amplificador par diferencial cascode mientras que en la Figura 2.54 (b) se muestra el circuito equivalente para el análisis de pequeña señal,

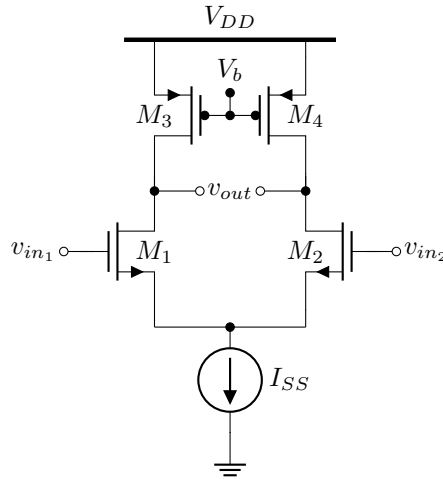


FIGURA 2.53: Amplificador par diferencial con carga activa.

el cual es el equivalente a un amplificador cascode (Figura 2.44), por ende, la ganancia es

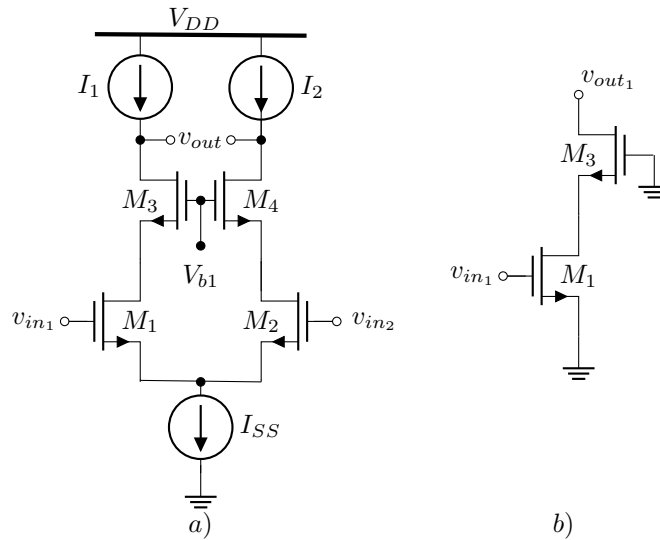


FIGURA 2.54: a) Amplificador par diferencial cascode, b) equivalente para el análisis de pequeña señal.

$$A_v = -g_{m1} [(1 + g_{m3}r_{o3})r_{o1} + r_{o3}] \tag{2.110}$$

$$A_v \approx -g_{m1}g_{m3}r_{o1}r_{o3} \tag{2.111}$$

es decir, la ganancia del par diferencial es la misma que el de una etapa cascode con la ventaja del rechazo de modo común.

2.5.9. Amplificador par diferencial telescópico cascode

En la Figura 2.55(a) se muestra el par diferencial telescópico cascode con transistores PMOS como carga.

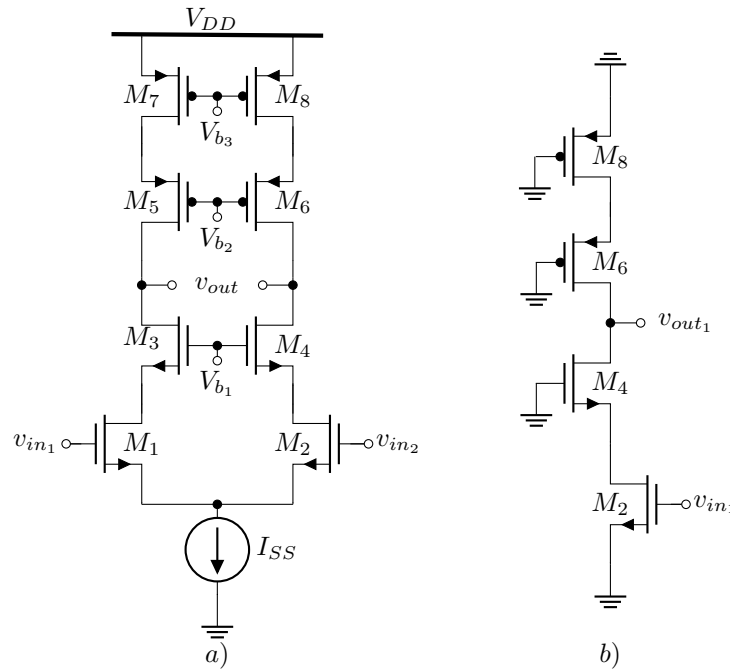


FIGURA 2.55: a) Amplificador par diferencial telescópico cascode, b) equivalente para el análisis de pequeña señal.

En la Figura 2.55(b) se muestra la mitad del circuito utilizado para el análisis de pequeña señal, el cual es idéntico a un amplificador cascode (Figura 2.45) por ende la ganancia del par diferencial telescópico cascode es

$$A_v \approx -g_{m1} [(g_{m3}r_{o3}r_{o1}) \parallel (g_{m5}r_{o5}r_{o7})] \tag{2.112}$$

2.5.10. Amplificador par diferencial con salida única

Las configuraciones que se mostraron anteriormente son totalmente diferenciales es decir se tienen dos entradas y dos salidas, ahora se presenta el par diferencial con salida única, que será

utilizado para el OTA.

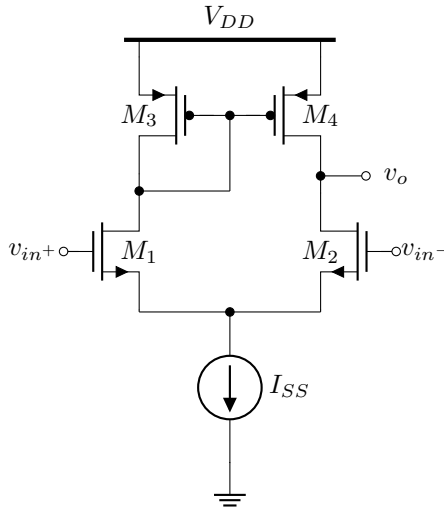


FIGURA 2.56: Amplificador par diferencial con salida única.

En la Figura 2.56 se muestra un par diferencial de salida única, si se consideran transistores con las mismas características y se realiza el análisis para obtener la ganancia de voltaje se obtiene

$$\frac{v_{out}}{v_{in+} - v_{in-}} = -g_{m1} (r_{o2} \parallel r_{o4}) \quad (2.113)$$

2.6. Amplificador Miller de dos etapas

Antes de centrarse de lleno en el amplificador Miller se abordarán dos aspectos importantes para la red de compensación que se utiliza para asegurar que el sistema es estable.

2.6.1. Efecto Miller

El efecto Miller indica que un capacitor conectado entre la entrada y salida de un amplificador (capacitor flotado), es equivalente a tener dos capacitores uno de ellos conectado en el nodo de entrada y el otro en el de salida, ambos aterrizados, gráficamente ilustrado en la Figura 2.57. El valor de los capacitores equivalentes se describe por las siguientes relaciones

$$C_i = C(1 + A) \quad (2.114)$$

$$C_o = C \left(1 + \frac{1}{A} \right) \quad (2.115)$$

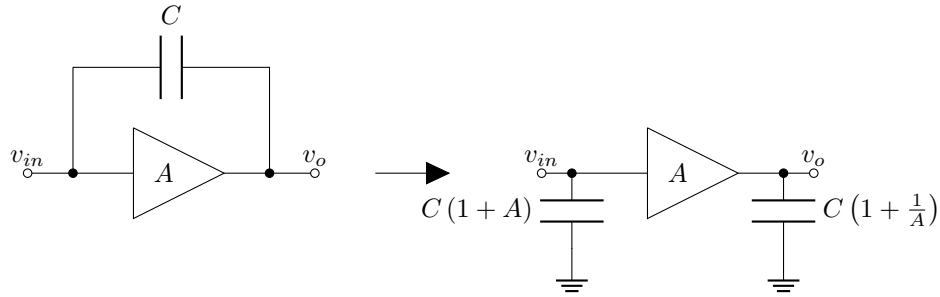


FIGURA 2.57: Representación gráfica del efecto Miller.

En particular el efecto Miller es de interés ya que permite separar los polos del sistema lo que permite tener un sistema de polo dominante, esto se explica en la siguiente sección.

2.6.2. Sistema de polo dominante

En la Figura 2.58 se ilustran las gráficas de magnitud en $[dB]$ y fase $[\theta]$ de dos sistemas de segundo orden, en color rojo un sistema no compensado y en negro un sistema compensado, una de las diferencias es que el sistema compensado tiene un margen de fase $PM = 45^\circ$, lo cual implica una respuesta transitoria con un sobreimpulso del 30 %, más aun para que el sistema tenga una respuesta transitoria sin sobre impulso el margen de fase debe ser

$$PM = 60^\circ \quad (2.116)$$

En el caso del sistema de la Figura 2.58, el polo dominante es P_{1c} y el polo no dominante P_{2c} se encuentra a una frecuencia $f_{P_{2c}} = GBW$, para obtener un mayor margen de fase se debe mover el polo a una frecuencia mayor.

En la Figura 2.59 se ilustra el circuito del amplificador Miller de dos etapas compensado, el capacitor C_c y la resistencia R_c forman la red de compensación que permite aplicar retroalimentación negativa con un margen de fase $PM = 60^\circ$, asegurando un sistema estable. La compensación se realiza convirtiendo al amplificador en un sistema de polo dominante mediante el “efecto Miller”, que separa los dos polos del amplificador mediante el capacitor de compensación C_c , haciendo dominante al polo del par diferencial y al polo del amplificador fuente común lo mueve a una frecuencia mayor que la frecuencia del GBW . De acuerdo a la literatura [8], para tener un margen de fase de 60° se debe cumplir la relación 2.117.

$$C_c > 0.22C_L \quad (2.117)$$

El resistor R_c tiene la tarea de cancelar el cero en el lado derecho del plano complejo que se crea por el capacitor de compensación debido a que limita el producto ganancia ancho de banda.

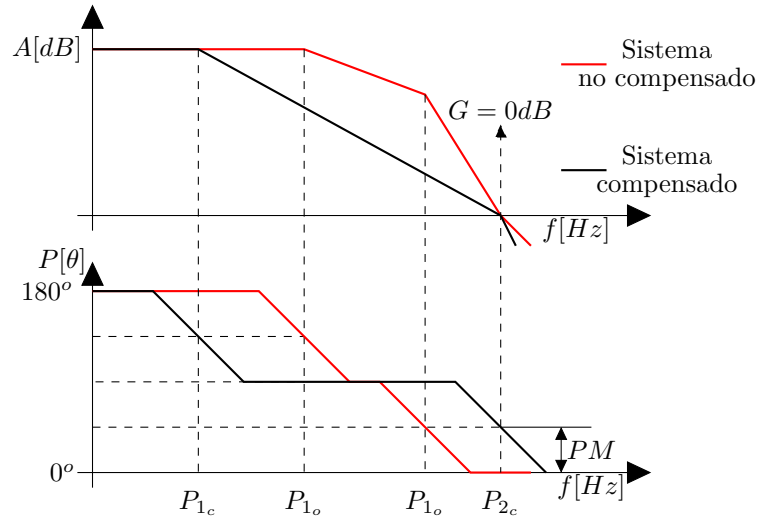


FIGURA 2.58: Margen fase para un sistema compensado y uno no compensado.

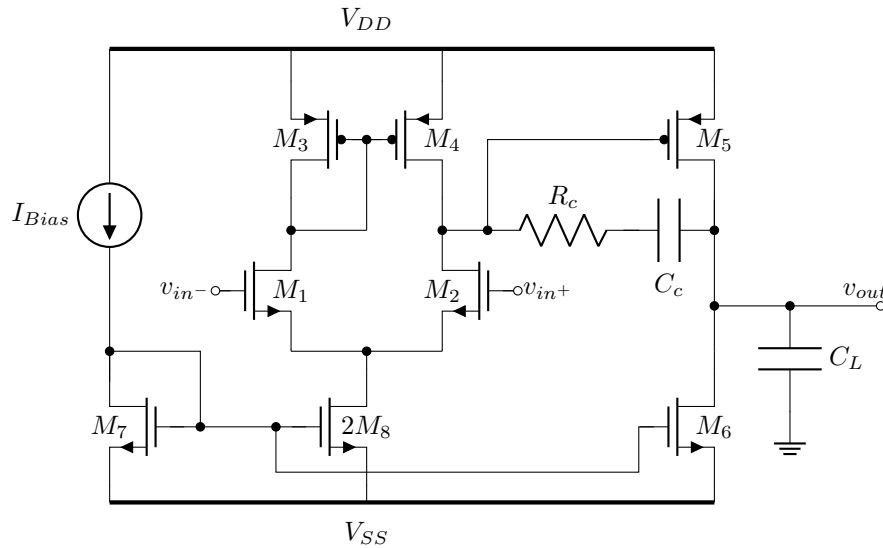


FIGURA 2.59: Amplificador Miller de dos etapas.

El modelo de pequeña señal se muestra en la Figura 2.60, donde $r_{o2} \parallel r_{o4}$ es la impedancia de salida del par diferencial y $r_{o5} \parallel r_{o6}$ es la impedancia de la segunda etapa. Si se aplica LCK en el dominio de Laplace al nodo v_1 se llega a las siguiente ecuación

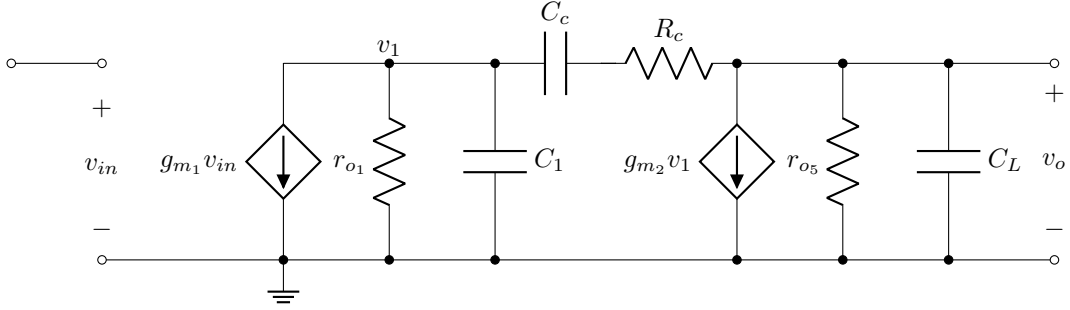


FIGURA 2.60: Modelo de pequeña señal del amplificador Miller dos etapas compensado.

$$g_{m_1} \mathbf{V}_{in} + \frac{\mathbf{V}_1}{r_{o_1}} + \mathbf{V}_1 s C_1 + (\mathbf{V}_1 - \mathbf{V}_o) \left(R_c + \frac{1}{s C_c} \right) = 0 \quad (2.118)$$

Por otra parte, la LCK en el nodo v_o queda como

$$g_{m_2} \mathbf{V}_1 + \frac{\mathbf{V}_o}{r_{o_5}} + \mathbf{V}_o s C_L + (\mathbf{V}_o - \mathbf{V}_1) \left(R_c + \frac{1}{s C_c} \right) = 0 \quad (2.119)$$

Las ecuaciones 2.118 y 2.119 se pueden resolver para obtener la función de transferencia como

$$\frac{\mathbf{V}_o}{\mathbf{V}_{in}} = \frac{g_{m_1} g_{m_2} r_{o_1} r_{o_5} \{1 - s[(\frac{C_c}{g_{m_2}}) - R_c C_c]\}}{a s^3 + b s^2 + c s + 1} \quad (2.120)$$

Donde las constantes son

$$\begin{aligned} a &= (r_{o_1} r_{o_5} R_c C_1 C_L C_c) \\ b &= [r_{o_1} r_{o_5} (C_1 C_L + C_c C_1 + C_c C_L) + R_c C_c (C_1 r_{o_1} + C_L r_{o_2})] \\ c &= [(C_L + C_c) r_{o_5} + (C_1 + C_c) r_{o_1} + g_{m_2} r_{o_1} r_{o_5} C_c + R_c C_c] \end{aligned}$$

Si se considera que $R_c < r_{o_1}$ o $R_c < r_{o_5}$, y un sistema de polo dominante, entonces los polos de la función de transferencia se pueden aproximar como sigue

$$P_1 \approx \frac{-1}{g_{m_2} r_{o_5} r_{o_1} C_c} \quad (2.121)$$

$$P_2 \approx \frac{-g_{m_2}}{C_L} \quad (2.122)$$

$$P_3 \approx \frac{-1}{R_c C_1} \quad (2.123)$$

Por otra parte, el cero es

$$Z = \frac{1}{C_c \left(\frac{1}{g_{m_5}} - R_c \right)} \quad (2.124)$$

Para cancelar el cero del lado derecho del plano complejo se establece $R_c = \frac{1}{g_{m_5}}$. Otra opción es mover el cero a la posición del polo P_2 para que se cancelen, para esto se debe cumplir $Z = P_2$, de esta manera la resistencia de compensación queda como

$$R_c = \left(\frac{C_c + C_L}{C_c} \right) \left(\frac{1}{g_{m_5}} \right) \quad (2.125)$$

La ganancia de la primera etapa (par diferencial) es

$$A_{v_1} = g_{m_1} (r_{o_4} \parallel r_{o_2}) \quad (2.126)$$

La ganancia de la segunda etapa (comon source) es

$$A_{v_2} = g_{m_5} (r_{o_5} \parallel r_{o_6}) \quad (2.127)$$

2.7. Amplificador Miller de dos etapas clase AB

Uno de los requerimientos de un amplificador es que la etapa de salida sea capaz de transmitir la señal a la impedancia de carga, que puede consistir en una resistencia, un condensador o ambos. En general, la resistencia de salida será relativamente pequeña (en el orden de los Ohms), y el condensador de salida será grande. La etapa de salida debe ser capaz de proporcionar suficiente señal de salida (voltaje, corriente o potencia) en este tipo de cargas, es por tal motivo que se adapta el amplificador Miller para convertirlo en un clase AB.

2.7.1. Etapas de salida

En la Figura 2.61 se muestran las etapas de salida clase A, AB, y B. La clase A se caracteriza por una corriente de polarización (I_B) mayor que la corriente en que fluye por la etapa de salida (i_D), si bien esta etapa ofrece una buena linealidad, la relación entre la potencia de carga y la potencia que puede entregar la fuente de alimentación es baja. Por otra parte, en la clase B la corriente de polarización es cero, lo que mejora la eficiencia de potencia, a costa de un sacrificio en linealidad. El amplificador clase AB es una etapa intermedia entre las otras dos, un compromiso entre linealidad y eficiencia, pues ahora la corriente de polarización es baja con relación a la corriente que puede suministrar la fuente.

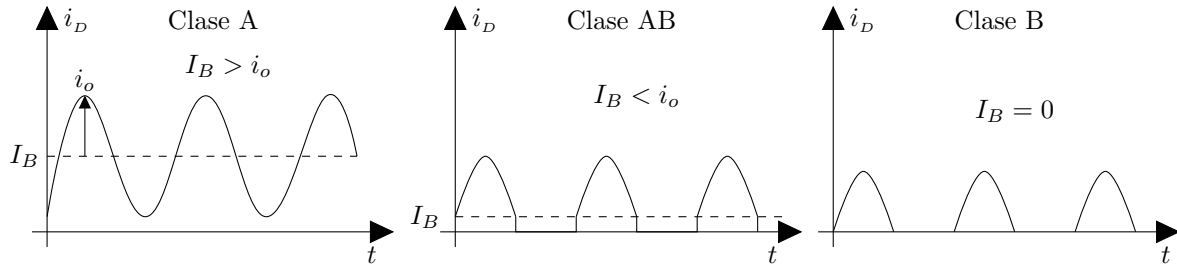


FIGURA 2.61: Etapas de salida.

2.7.1.1. Etapa de salida clase AB

En la Figura 2.62 se muestra la etapa de salida clase AB que se utiliza para el amplificador Miller de dos etapas, el voltaje V_b es el encargado de fijar la corriente de polarización, cuando el voltaje de entrada v_{IN} es positivo la corriente i_{D1} aumenta, por el contrario cuando el voltaje es negativo la corriente i_{D2} aumenta.

La corriente que entrega el amplificador a la carga i_o se expresa como sigue

$$i_o = i_{D2} - i_{D1} \tag{2.128}$$

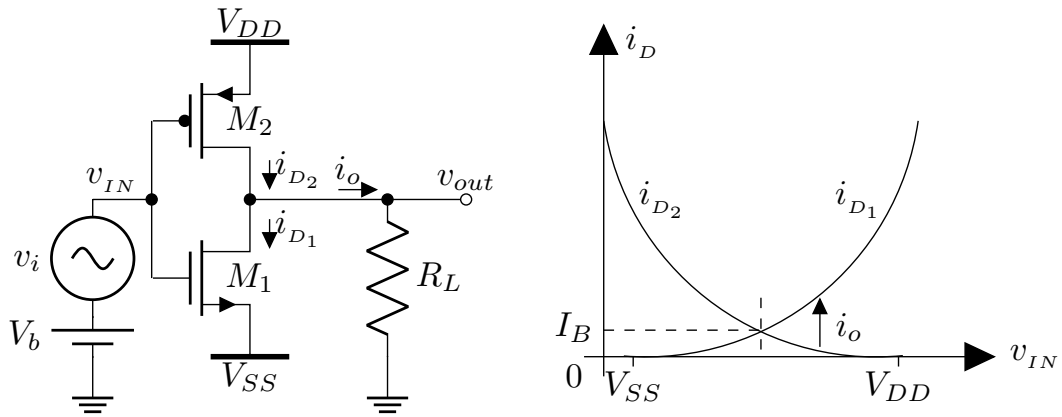


FIGURA 2.62: Etapa clase AB.

Con el objetivo de convertir el amplificador Miller a un clase AB se utiliza una red RC, como se muestra en la Figura 2.63, la resistencia $R_{large} = 10M\Omega$ es de un valor relativamente grande con el fin de aislar al transistor M_6 y no esté fijo en la corriente de polarización, el capacitor C_{Bat} funciona como una batería que permite implementar el sistema de la Figura 2.62.

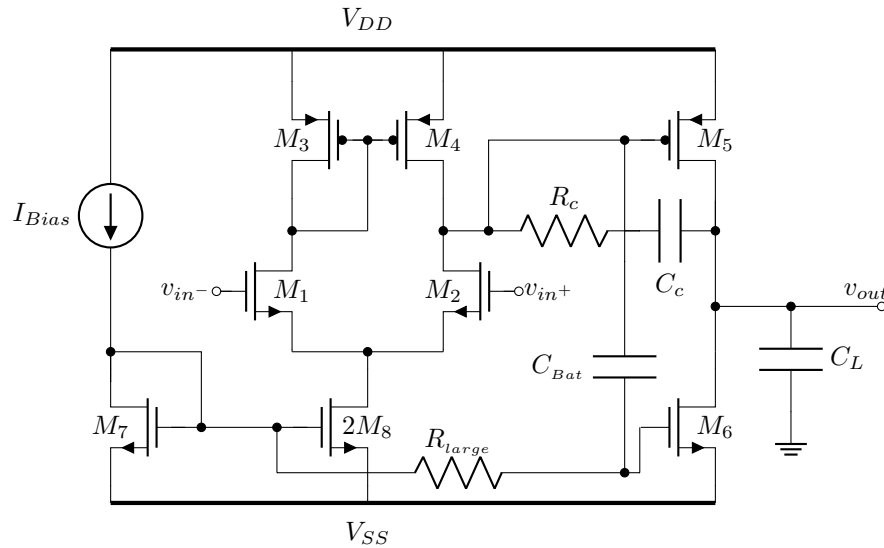


FIGURA 2.63: Amplificador Miller dos etapas clase AB.

2.8. Configuraciones del amplificador para su caracterización

A continuación, se muestran las configuraciones que se requieren para poder caracterizar cada uno de los amplificadores que se implementaron con transistores discretos ALD1106 y ALD1107.

2.8.1. Punto de operación

Lo primero es fijar el punto de operación, es decir, polarizar en DC. Es muy importante establecer el punto de operación para asegurar la correcta operación del amplificador, una inspección rápida es corroborar que el valor de las corrientes sean las que se definieron, y que cada transistor esté operando en saturación. Para corroborar el punto de operación no se aplican señales de entrada al sistema, solo las fuentes de polarización en DC.

2.8.2. Caracterización de la ganancia en lazo abierto

La ganancia en lazo abierto se mide con la configuración que se muestra en la Figura 2.64. El valor de la resistencia de retroalimentación negativa, se elige relativamente grande con el fin de simular el lazo abierto.

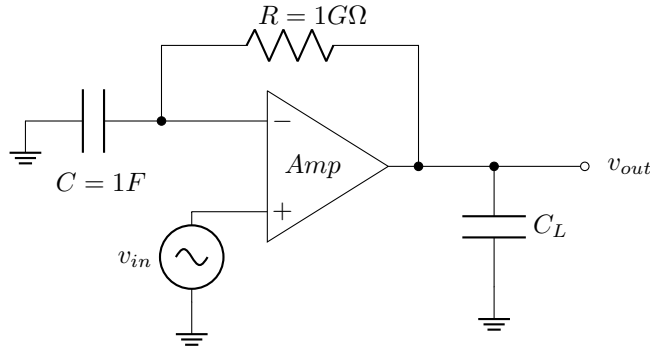


FIGURA 2.64: Configuración para caracterizar la ganancia de lazo abierto del amplificador.

2.8.3. Caracterización del CMRR

La relación entre la ganancia de lazo abierto y la ganancia de modo común es el *CMRR*, matemáticamente se expresa en la ecuación 2.98. Para medir la ganancia en modo común se conecta el amplificador como se muestra en la Figura 2.65 (a). Para caracterizar la ganancia en modo diferencial se utiliza la configuración de la Figura 2.65 (b).

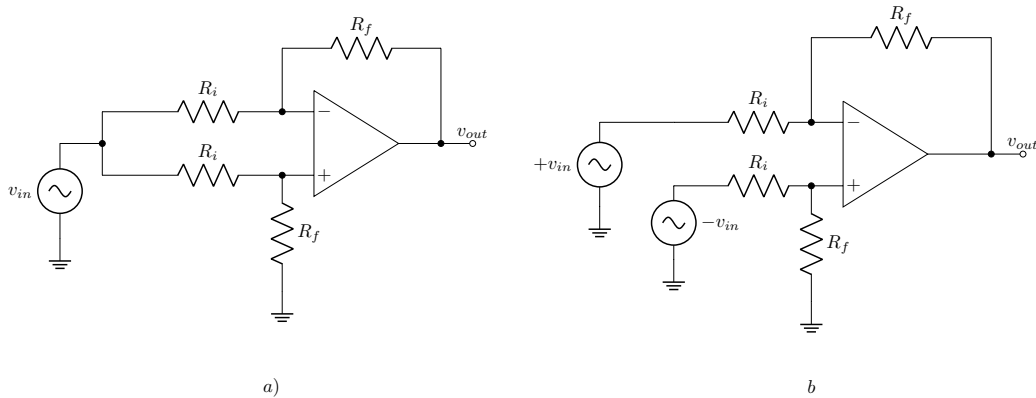


FIGURA 2.65: Configuraciones para obtener el CMRR, a) ganancia en modo común, b) ganancia en modo diferencial.

En la configuración de modo común se aplica el mismo voltaje a las entradas del amplificador, es decir, $V^+ = V^-$. Ya que los voltajes de entrada son iguales entonces el voltaje de salida en el caso ideal es

$$v_{out} = TF(v^+ - v^-) = 0 \quad (2.129)$$

Sin embargo, en la práctica solo se puede aspirar a que la ganancia en modo común sea muy baja, en otras palabras, que las señales de modo común sean rechazadas.

2.8.4. Caracterización del slew rate

El SR es la velocidad de cambio del voltaje de salida con respecto al tiempo, es decir, la pendiente de la función $v_{out}(t)$. Idealmente un amplificador debe seguir a la señal de entrada, sin embargo, en la práctica esto no es así, debido a que a el sistema le toma un cierto tiempo responder, la medida que indica hasta que velocidad puede responder el sistema de manera aceptable es el SR.

$$SR = \frac{dv_{out}}{dt} \quad (2.130)$$

Para poder medir el SR se conecta el amplificador como se muestra en la Figura 2.66. El pulso a la entrada debe tener tiempos de subida y de bajada mucho menores que el SR esperado.

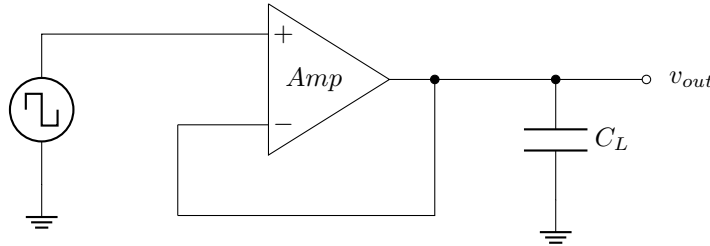


FIGURA 2.66: Configuración para medir SR.

2.8.5. Caracterización del rango lineal

El rango lineal, es la región en la cual la señal de salida del amplificador (en modo buffer) sigue a la señal de entrada en un rango de error relativamente pequeño, es decir, la salida es igual que la entrada $v_{in} \approx v_{out}$.

Para poder medir el rango lineal se conecta el amplificador como se ve en la Figura 2.67, se hace un barrido del voltaje de entrada, $V_{max}^- \leq V_{in} \leq V_{max}^+$.

En lo que sigue se presentan las simulaciones SPICE de los principales bloques que conforman al OTA.

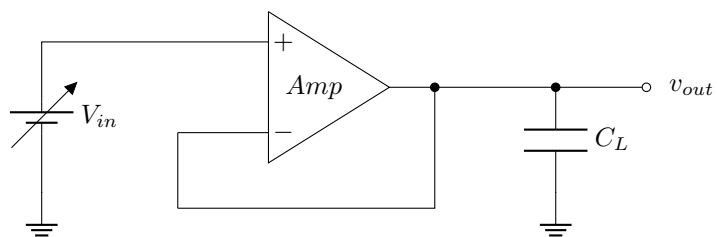


FIGURA 2.67: Configuración para medir el rango lineal.

Capítulo 3

Simulaciones

3.1. Curvas del ALD1106

Para obtener las gráficas de un transistor NMOS del circuito integrado *ALD1106* se utilizó el simulador SPICE de acuerdo con los siguientes pasos.

3.1.1. Diagrama esquemático

Se describe el circuito esquemático de la Figura 3.1 en SPICE.

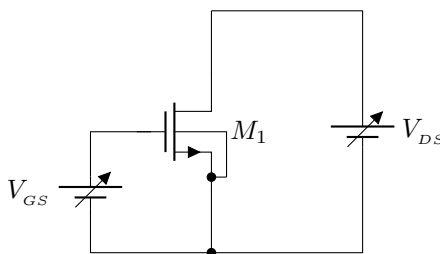


FIGURA 3.1: *Circuito para obtener las curvas del transistor NMOS de un ADL1106.*

3.1.2. Barrido en DC

De acuerdo con la hoja de datos del chip las curvas características se caracterizan para voltajes que van en el rango de

$$0V \leq V_{DS} \leq 12V \quad (3.1)$$

$$2V \leq V_{GS} \leq 12V \quad (3.2)$$

3.1.3. Modelo del ALD1106

Para poder simular, SPICE requiere el modelo eléctrico del ALD1106 y el ALD1107, para ello se contactó a la empresa ADVANCED LINEAR DEVICES, INC la cual nos lo proporcionó. Las dimensiones de $W = 76.3\mu m$ y $L = 7.8\mu m$ se eligieron para que las gráficas concordaran lo mejor posible con las que muestra la hoja de datos.

3.1.4. Curva característica

El resultado que dá el simulador es la gráfica de la Figura 3.2.

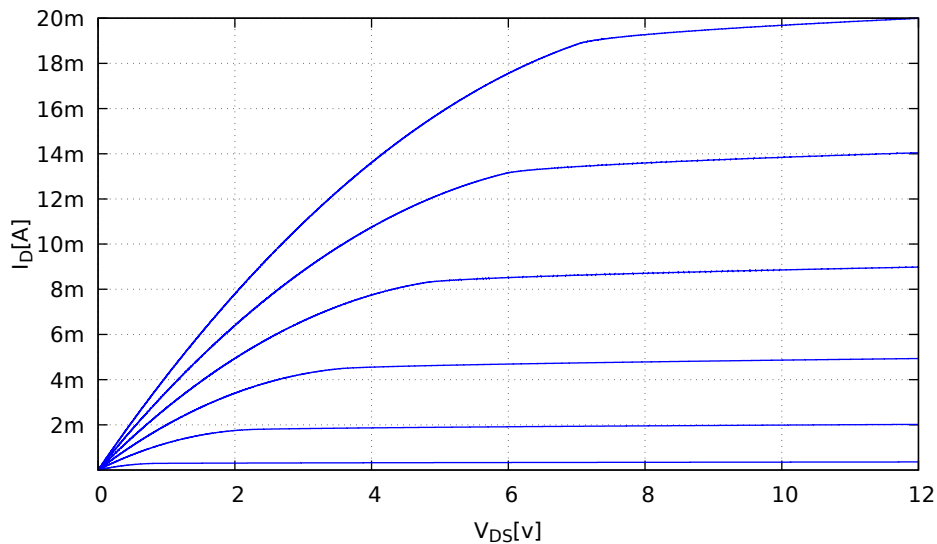


FIGURA 3.2: *Curvas características un transistor del ALD1106.*

3.1.5. Caracterización de g_m y V_{GS} en función de la corriente I_D del transistor NMOS

Para poder visualizar la relación de transconductancia (g_m) en función de la corriente que fluye en el transistor (I_D) se caracteriza mediante el simulador, el resultado se muestra en la gráfica de la Figura 3.3. Se cumple lo que indica la ecuación 2.22, la transconductancia aumenta en función de la corriente que circula de drenaje a fuente del transistor, adicionalmente se muestra la variación de V_{GS} en función de I_D .

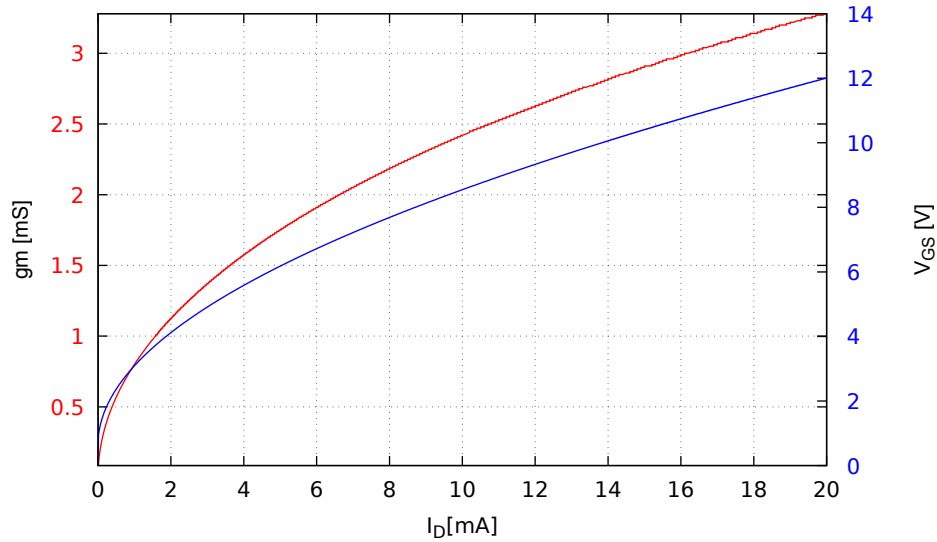


FIGURA 3.3: Curva g_m en función de I_D (curva roja), curva V_{GS} en función de I_D (curva azul), del transistor NMOS.

3.2. Curvas del ALD1107

Para obtener las curvas de un transistor MOS canal P se siguen los mismos pasos que se siguieron para el ALD1106, lo que cambia es el modelo el cual también proporcionó el fabricante, los valores del barrido de voltaje de las fuentes de polarización se toman de la hoja de datos.

3.2.1. Diagrama esquemático

Ya que se trata de un transistor tipo PMOS las conexiones cambian con respecto al NMOS tal como se muestra en la Figura 3.4.

3.2.2. Barrido en DC

De acuerdo con la hoja de datos del chip las curvas características se caracterizan para voltajes que van en el rango de

$$-12V \leq V_{DS} \leq 0V \quad (3.3)$$

$$-12V \leq V_{GS} \leq -2V \quad (3.4)$$

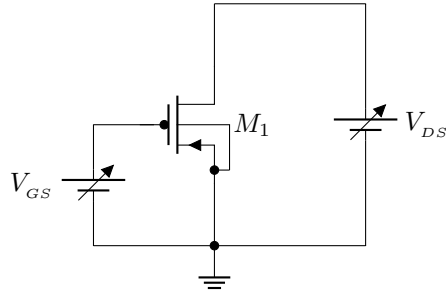


FIGURA 3.4: *Circuito para obtener las curvas del transistor PMOS de un ADL1107.*

3.2.3. Modelo del ALD1107

Las dimensiones del transistor se establecen en $L = 7.8\mu m$ y $W = 138\mu m$

3.2.4. Curva característica

El resultado que dá el simulador se muestra en la Figura 3.5. Se gráfico el valor absoluto de V_{GS} , para poder observar la gráfica en el primer cuadrante del plano.

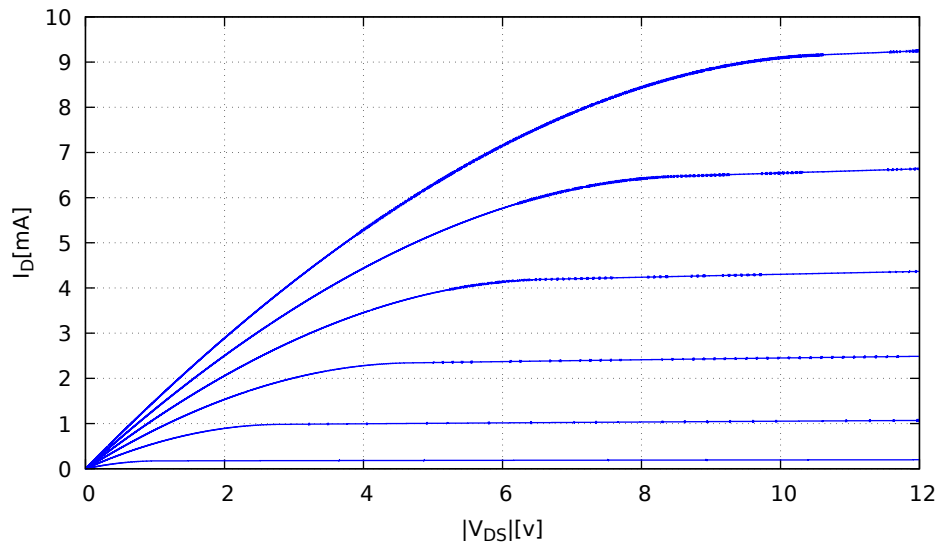


FIGURA 3.5: *Curvas características de un transistor del ALD1107.*

3.2.5. Caracterización de g_m y V_{GS} en función de la corriente I_D del transistor PMOS

La curva g_m en función de I_D para el transistor PMOS es muy parecida a la curva del transistor NMOS, sin embargo, en magnitud es aproximadamente la mitad de la magnitud del NMOS, por otra parte, el V_{GS} es casi igual al del NMOS, esto se muestra en la gráfica de la Figura 3.6.

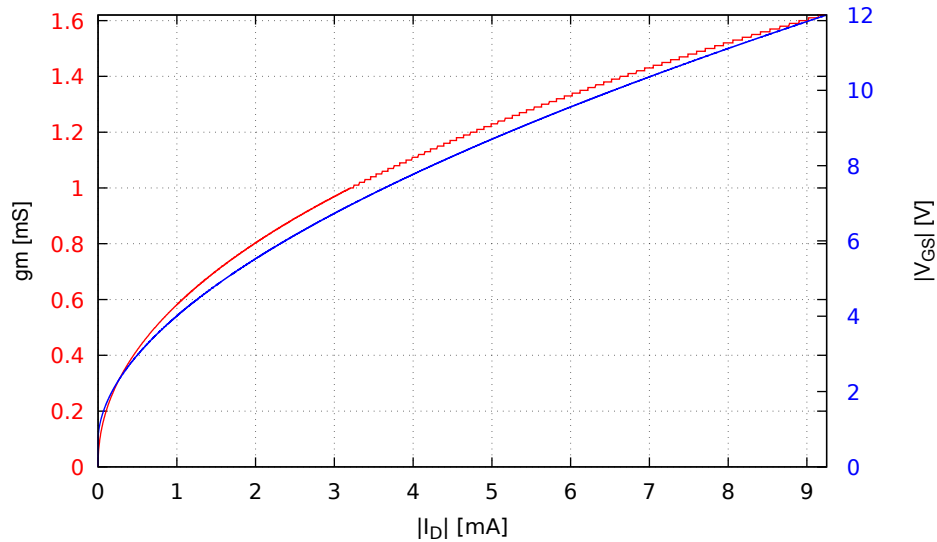


FIGURA 3.6: Curva g_m en función de I_D (curva roja), curva V_{GS} en función de I_D (curva azul) del transistor PMOS.

3.3. Amplificador CS

A continuación, se presenta la simulación del amplificador CS en SPICE la cual se realiza con un modelo nivel 49 del nodo tecnológico de $0.5\mu m$. El circuito que se utiliza para simular se muestra en la Figura 3.7. Las dimensiones del transistor son $W = 10\mu$ y $L = 1.2\mu$. El voltaje $V_{DD1} = 3.3V$, la corriente de drenaje se establece en $I = 100\mu A$, $V_{GS} = 1.158V$, $V_R = 1.65V$ (esto para que el espacio de oscilación tanto positivo como negativo sea simétrico), entonces la resistencia R_D es

$$R_D = \frac{V_{DD1} - V_R}{100\mu A} = 16500\Omega \quad (3.5)$$

De acuerdo con los datos del simulador se tiene que la ganancia de voltaje es

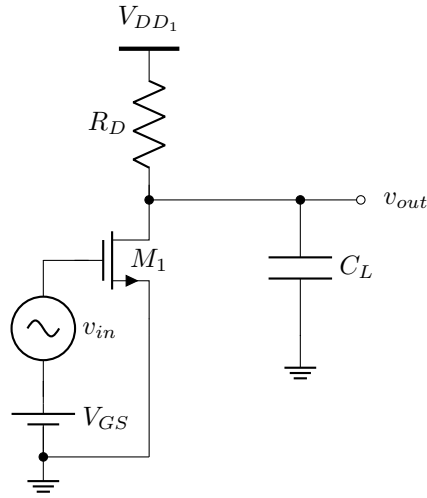


FIGURA 3.7: Circuito del amplificador CS utilizado para simular.

$$A_v = -g_m (r_o \parallel R_D) = -(0.38683mS) \left(\frac{(342.75k\Omega)(16.5k\Omega)}{(342.75k\Omega) + (16.5k\Omega)} \right) = -6.0895 \quad (3.6)$$

Se coloca un capacitor de carga $C_L = 1pF$, esto con el fin de simular la carga que representa la siguiente etapa. En la gráfica de la Figura 3.8 se muestra la ganancia en dB ($A_{dB} = 15.35dB$). Existe un error aproximado del 3.8% entre los cálculos teóricos y los del simulador. Por otra parte, de acuerdo con el criterio de $-3dB$ el ancho de banda de este amplificador es de $BW = 10.051MHz$. Por tanto, el producto ganancia ancho de banda es

$$GBW = 58.84MHz \quad (3.7)$$

3.3.1. Con fuente ideal de corriente como carga

Se realiza la simulación del circuito de la Figura 3.9 en SPICE. El punto de operación se calculó por medio del simulador, y se determinó que $V_{GS} = 1.1580$, para una corriente $I_D = 100\mu A$. El valor del capacitor de carga es el mismo que en el caso anterior $C_L = 1pF$. De acuerdo con el simulador $g_m = 0.38078mS$ y $r_o = 216.2k\Omega$, por lo tanto la magnitud de la ganancia es

$$|A_v| = 82.3$$

su equivalente en decibels es

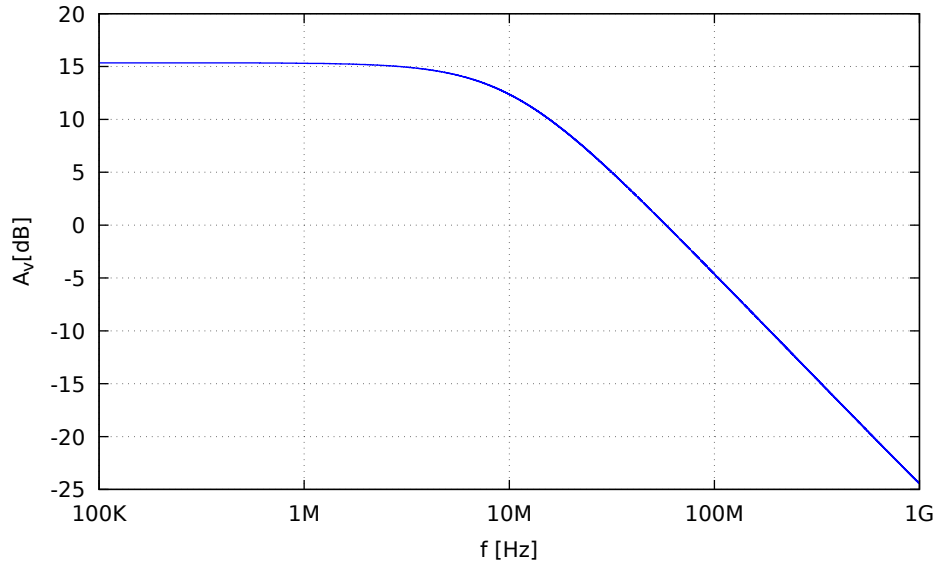


FIGURA 3.8: *Ganancia del CS con una resistencia de carga R_D .*

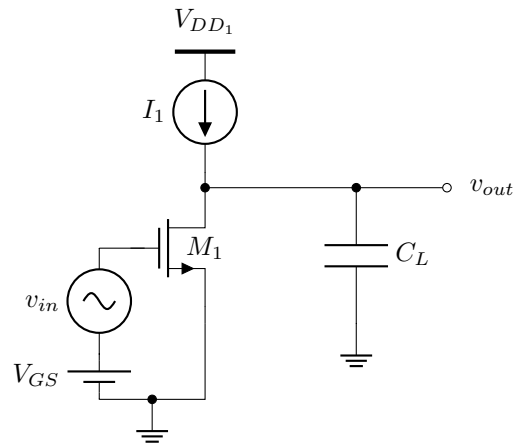


FIGURA 3.9: *Circuito del amplificador CS con fuente de corriente ideal como carga para simular.*

$$A_{dB} = 38.31dB \tag{3.8}$$

La gráfica de ganancia en función de la frecuencia se muestra en la Figura 3.10. De acuerdo con el criterio de $-3dB$ tiene un ancho de banda de $BW = 704.7kHz$, entonces su producto

ganancia ancho de banda es de

$$GBW = 58.84MHz \quad (3.9)$$

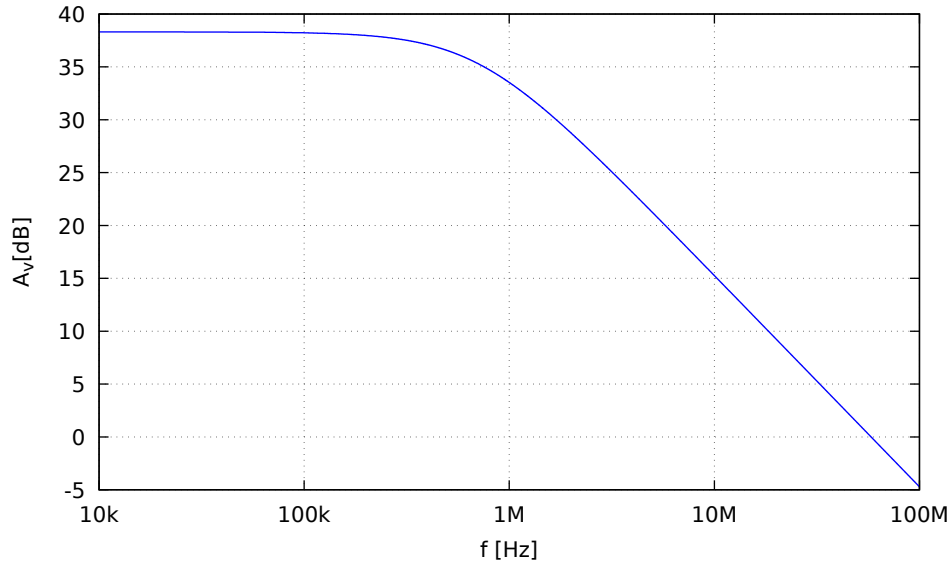


FIGURA 3.10: *Ganancia del CS con una fuente de corriente como carga.*

3.3.2. Con carga activa

La simulación de esta configuración se realizó en base al circuito de la Figura 3.11, al igual que en las dos simulaciones anteriores se utilizó $W_N = 10\mu$ y $L = 1.2\mu$, por lo que concierne al transistor $PMOS$ $W_P = 3W_N$ y $L = 1.2\mu m$. Algo que se requiere calcular es el punto de operación del transistor $PMOS$ (V_b) para ello se conecta el PMOS en configuración diodo en el simulador y este nos arroja el voltaje requerido para establecer el punto de operación del transistor M_2 en función de la corriente $I_D = 100\mu A$, resulta en un voltaje de polarización $V_b = 1.919$. El voltaje $V_{GS} = 1.158V$ y el capacitor de carga $C_L = 1pF$.

La gráfica de la ganancia en función de la frecuencia se muestra en la Figura 3.12, de donde $A_v = 46.97$ y el ancho de banda es $BW = 1.2456MHz$, finalmente el producto ganancia ancho de banda es

$$GBW = 58.4776MHz \quad (3.10)$$

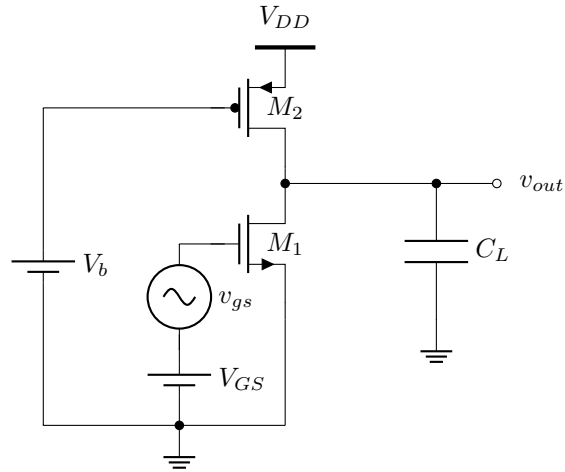


FIGURA 3.11: Circuito utilizado en la simulación del amplificador CS con un transistor PMOS como una fuente de corriente.

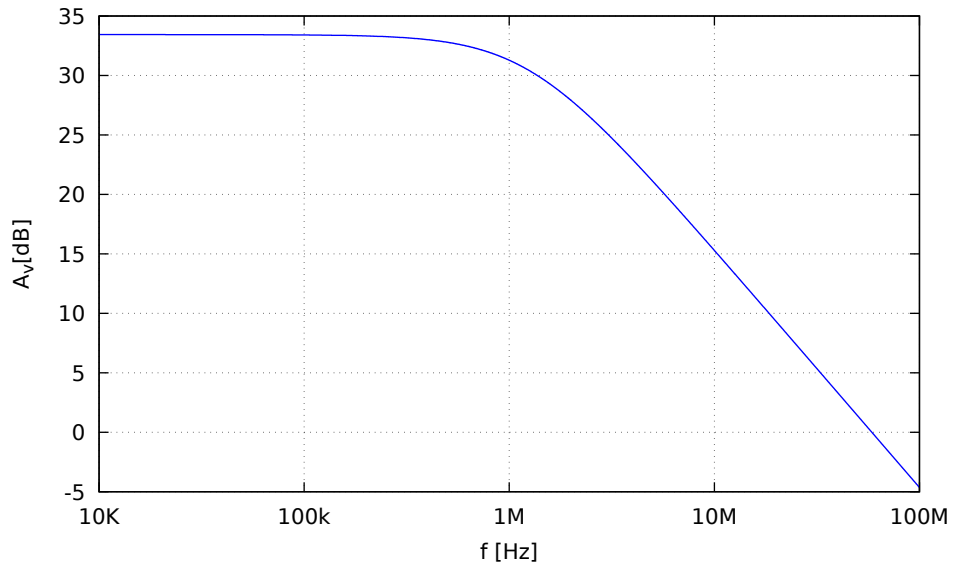


FIGURA 3.12: Ganancia del CS con un PMOS como una fuente de corriente.

3.3.3. Con transistor en modo diodo como carga

Para simular esta configuración se implementó el circuito de la Figura 3.13.

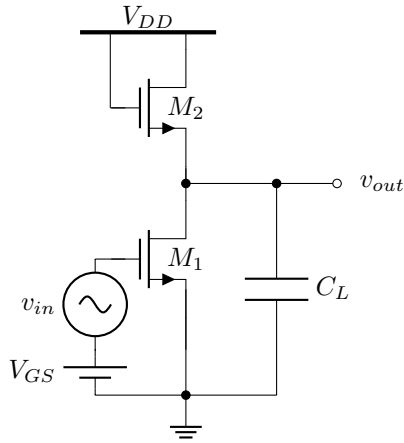


FIGURA 3.13: Circuito utilizado para la simulación del CS con un transistor NMOS como diodo.

Los valores de circuito son

- * $V_{DD} = 3.3V$
- * $V_{GS} = 1.158V$
- * $C_L = 1pF$
- * $\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{10\mu}{1.2\mu}$

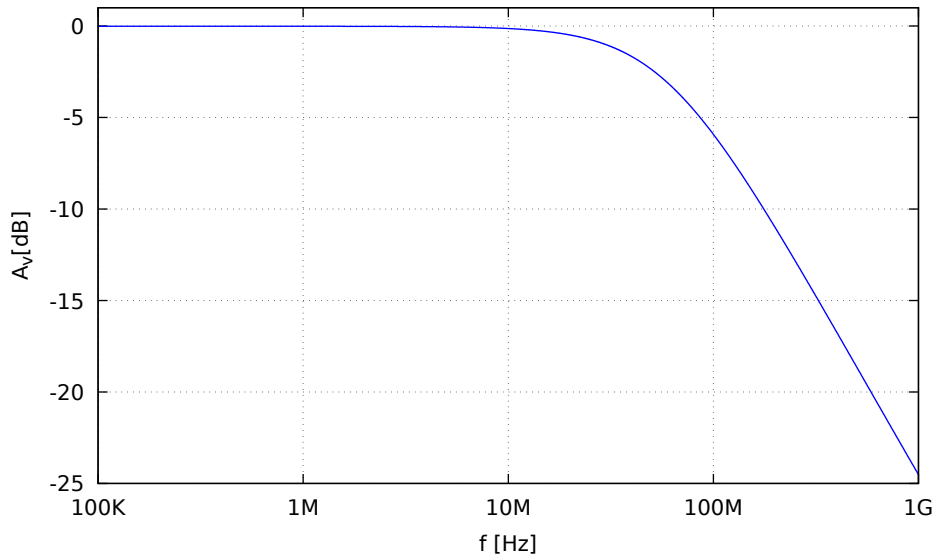


FIGURA 3.14: Ganancia del CS con un NMOS en configuración de diodo.

De acuerdo con el simulador $g_{m_1} = 0.3905mS$, $g_{m_2} = 0.38403mS$, $r_{o_1} = 441.3452k\Omega$, $r_{o_2} = 212.85k\Omega$ con esto la ganancia es

$$A_v = -0.998 \quad (3.11)$$

La ganancia confirma la teoría, pues es cercana a $A \approx 1$, lo que se traduce en $0dB$, como se muestra en la gráfica de la Figura 3.14. El ancho de banda es de $BW = 58.43MHz$, por ende, el producto ganancia ancho de banda es

$$GBW = 58.35MHz \quad (3.12)$$

3.3.4. Con degeneración

Para la simulación de esta configuración se implementó el circuito de la Figura 3.15.

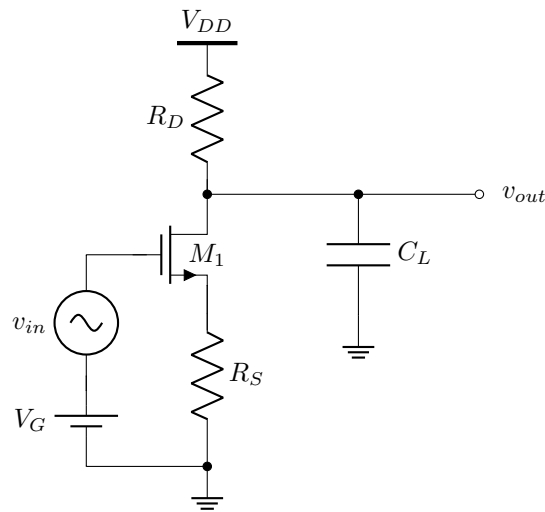


FIGURA 3.15: Circuito utilizado para la simulación CS con degeneración.

Los valores son

$$\begin{array}{lll} * V_{DD} = 3.3V & * V_{GS} = 1.258V & * R_S = 1k\Omega \\ * C_L = 1pF & * \frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{10\mu}{1.2\mu} & * R_D = 20.42k\Omega \end{array}$$

De acuerdo con los datos del simulador $g_m = 0.38083mS$, entonces la ganancia es

$$A_v = -\frac{20.42k\Omega}{\left(\frac{1}{0.38083mS} + 1k\Omega\right)} = 5.63 \quad \Rightarrow \quad A_{v_{dB}} = 15dB \quad (3.13)$$

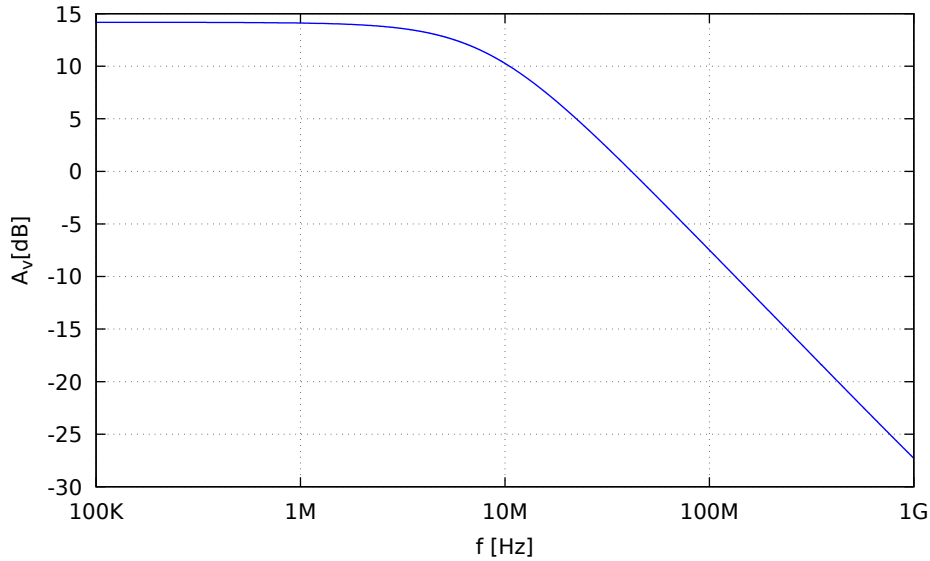


FIGURA 3.16: *Ganancia del amplificador CS con degeneración.*

La gráfica de la Figura 3.16 muestra la ganancia en dBs de donde $BW = 8.27MHz$, y el producto ganancia ancho de banda es

$$GBW = 41.578MHz \quad (3.14)$$

3.4. Amplificador CG

Ahora se procede a simular el amplificador CG en SPICE, en base al circuito de la Figura 2.34, se agrega un capacitor de carga $C_L = 1pF$, las dimensiones son $W = 10\mu m$ y $L = 1.2\mu m$; el riel de alimentación es $V_{DD} = 3.3V$, se propone $I = 100\mu mA$, entonces el voltaje de compuerta a fuente es $V_{GS} = 1.158$, $V_R = 1.65$, conociendo estos valores la resistencia R_D es

$$R_D = \frac{V_{DD} - V_R}{100\mu mA} = 165000\Omega \quad (3.15)$$

Usando los datos del simulador se obtiene la ganancia como sigue

$$A_v = (g_m)(R_D) = (0.38683mS)(165000\Omega) = 6.382 \quad (3.16)$$

El resultado de la simulación se muestra en la gráfica de la Figura 3.17.

La ganancia en dB es $A_{dB} = 15.43dB$ y el ancho de banda es $BW = 12.43MH$, el producto ganancia ancho de banda es

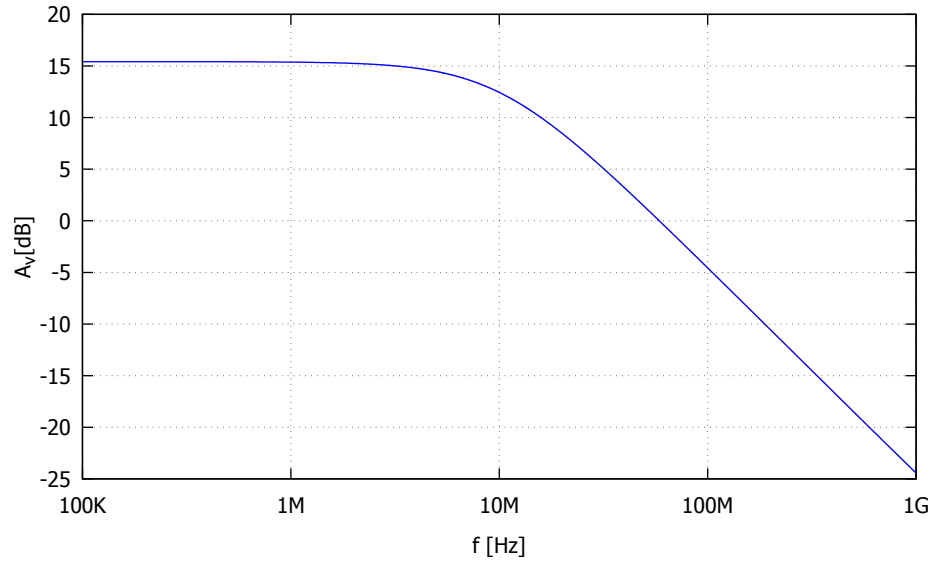


FIGURA 3.17: Ganancia del amplificador CG con resistencia de carga RD como carga.

$$GBW = 58.67MHz \quad (3.17)$$

3.5. Seguidor de fuente (SF)

Para la simulación se utiliza el esquemático de la Figura 3.18. Se propone una corriente $I_D = 100\mu A$, lo que implica un voltaje de polarización en compuerta $V_G = 2.804V$, un riel de alimentación $V_{DD} = 3.3V$, un capacitor de carga de valor $C_L = 1pF$ y por último una resistencia de carga $R_L = 16.5k\Omega$.

En la gráfica de la Figura 3.19 se muestra la ganancia en dB en función de la frecuencia.

La ganancia en magnitud es $A_v = 0.85$, y decae $-3dB$ a una frecuencia

$$f_{-3dB} = 67.77 MHz \quad (3.18)$$

La resistencia de salida es $R_o = 2.3k\Omega$, que es más pequeña en relación con la resistencia de salida de los amplificadores CS y CG.

3.5.1. Seguidor de voltaje invertido (FVF)

El FVF de la Figura 2.41(a) se simula con las medidas de ambos transistores en $W_{1,2} = 10\mu m$, $L_{1,2} = 1.2\mu m$, el voltaje de polarización del M_2 es $V_{G_{M_2}} = 1.9V$ una corriente $I_D =$

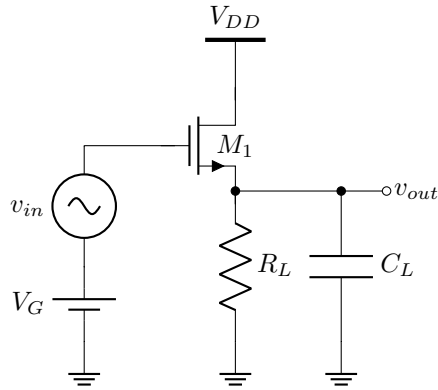


FIGURA 3.18: Circuito utilizado para simular el SF.

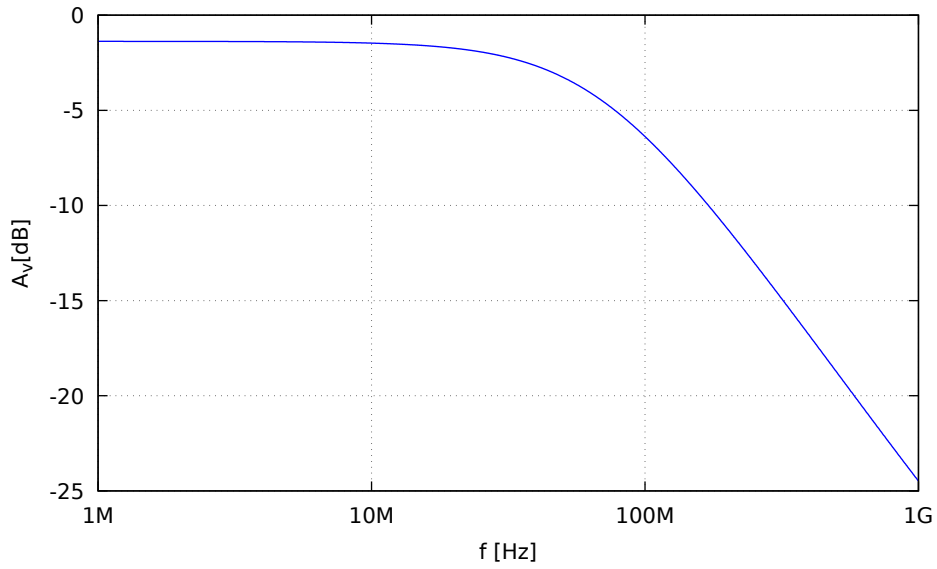


FIGURA 3.19: Respuesta en frecuencia del SF.

$100\mu A$, un riel de alimentación $V_{DD} = 3.3V$ y un capacitor de carga $C_L = 1pF$. De acuerdo con la simulación la ganancia es

$$A_v = 0.758 \quad \Rightarrow \quad A_{dB} = -2.3 \text{ dB} \quad (3.19)$$

y decae $-3dB$ a una frecuencia

$$f_{-3dB} = 570.71 \text{ MHz} \quad (3.20)$$

Usando los valores de g_m y r_o obtenidos de la simulación y usando la ecuación 2.82 la impedancia de salida queda como

$$R_{out} = 125.78\Omega \quad (3.21)$$

En contraste con lo que proporciona el simulador donde se obtiene

$$R_{out_s} = 138.1\Omega \quad (3.22)$$

La ganancia del FVF en función de la frecuencia que se obtiene de la simulación se muestra en la gráfica de la Figura 3.20.

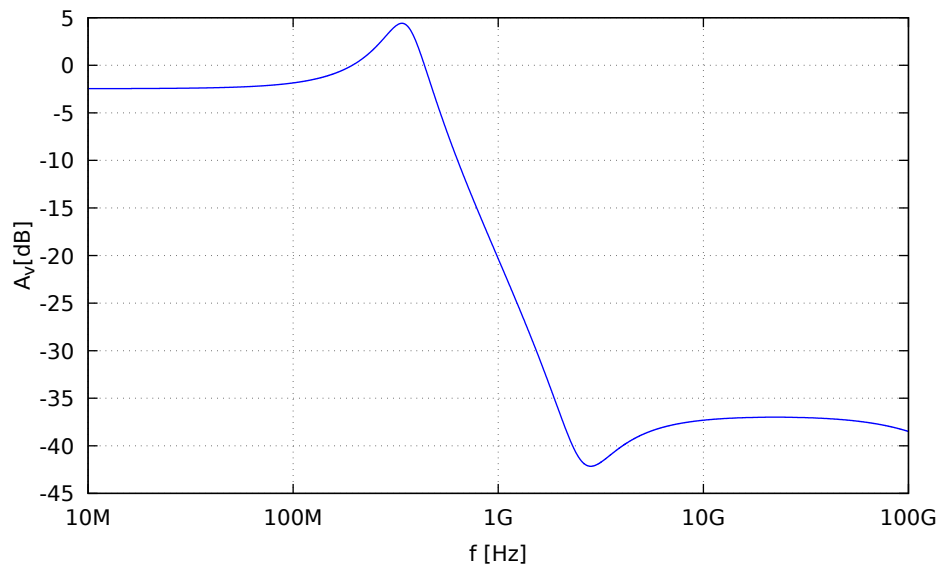


FIGURA 3.20: *Ganancia en función de la frecuencia del FVF.*

3.6. Amplificador cascode

La simulación del amplificador cascode MOS se realizó en base al circuito de la Figura 3.21. Para obtener el punto de operación de los dos transistores (V_{G_2} y V_{GS_1}) se retira la señal de entrada y se conectan en diodo, con esto el simulador nos da el voltaje que se requiere para que el amplificador opere en las condiciones que se plantearon. Posteriormente se realiza la simulación en este punto de operación.

Los valores de las transconductancias y de las resistencias r_{o_1} y r_{o_2} se muestran en la Tabla 3.1.

La ganancia en voltaje de este amplificador es

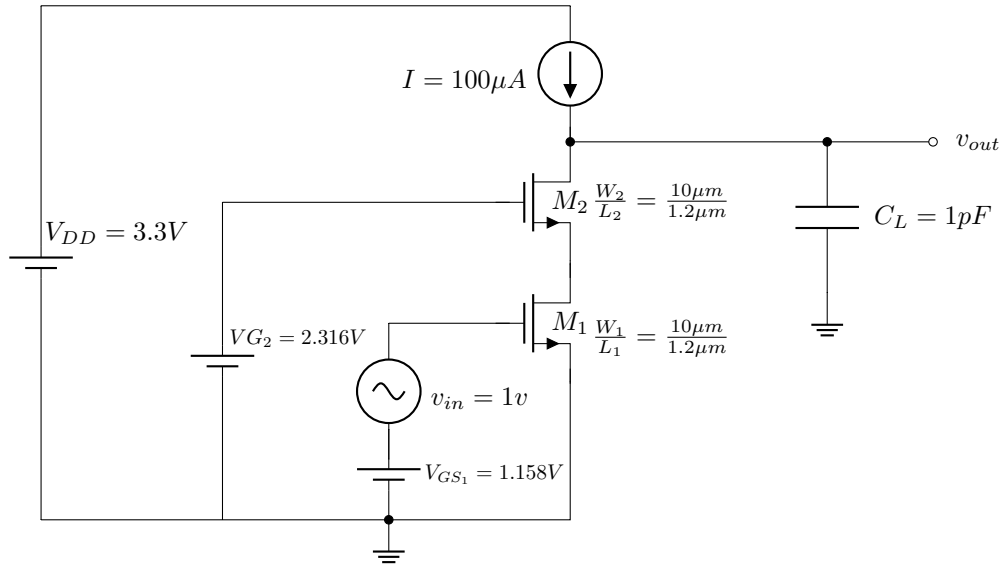


FIGURA 3.21: Circuito utilizado para la simulación del amplificador cascode.

	M_1	M_2
g_m [mS]	0.38078	0.82211
r_o [kΩ]	216.2	169.04

TABLA 3.1: Valores obtenidos del simulador, para el amplificador cascode.

$$A_v = -13690. \tag{3.23}$$

En la gráfica de la Figura 3.22 se muestra el resultado de la simulación, la ganancia en dB ($A_{dB} = 82.73dB$).

Por otra parte, el ancho de banda de este amplificador es $BW = 4.207KHz$, el cual es 3 órdenes de magnitud menor que el ancho de banda que se tiene con los amplificadores de etapa única, es decir, con la configuración cascode la ganancia se incrementa, pero el ancho de banda disminuye.

El producto ganancia ancho de banda es

$$GBW = 57.5938MHz \tag{3.24}$$

Algo interesante es que el producto ganancia ancho de banda se mantiene con respecto a

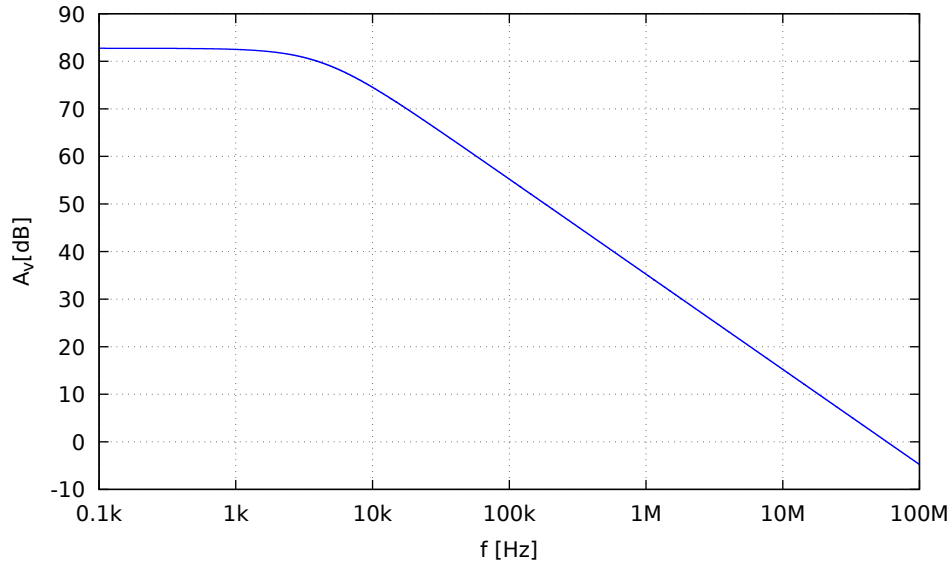


FIGURA 3.22: *Ganancia del amplificador cascode en función de la frecuencia.*

los amplificadores de etapa única, esto se debe a que se aumenta la ganancia, pero el ancho de banda disminuye lo que conserva el GBW .

Por último, se mide la resistencia de salida

$$R_{out} = 30.432M\Omega \quad (3.25)$$

es mayor en comparación con los amplificadores anteriores, lo que impacta en una mayor ganancia.

3.6.1. Amplificador cascode con carga activa

La simulación de este amplificador se realizó en base al circuito de la Figura 3.23.

Hay tres puntos importantes que se deben considerar para el correcto funcionamiento de la simulación, en primer lugar el punto de operación de los transistores M_3 y M_4 , para ello se conectaron en diodo con una fuente de corriente que obligue a que circule por ellos la corriente $I = 100\mu A$, y el simulador nos arroja el voltaje V_{b_3} y V_{b_4} , sin embargo al simular no se obtiene ganancia. Esto debido a que el transistor M_3 no entra en saturación. Aquí entra en juego otro punto importante, y es que debido a la impedancia de salida relativamente alta se vuelve complicado poder fijar el circuito en el punto de operación deseado

Para fijar el punto de operación se conecta un inductor L con un valor muy grande con el objetivo de que a frecuencias bajas la impedancia vista hacia el inductor es muy grande y por

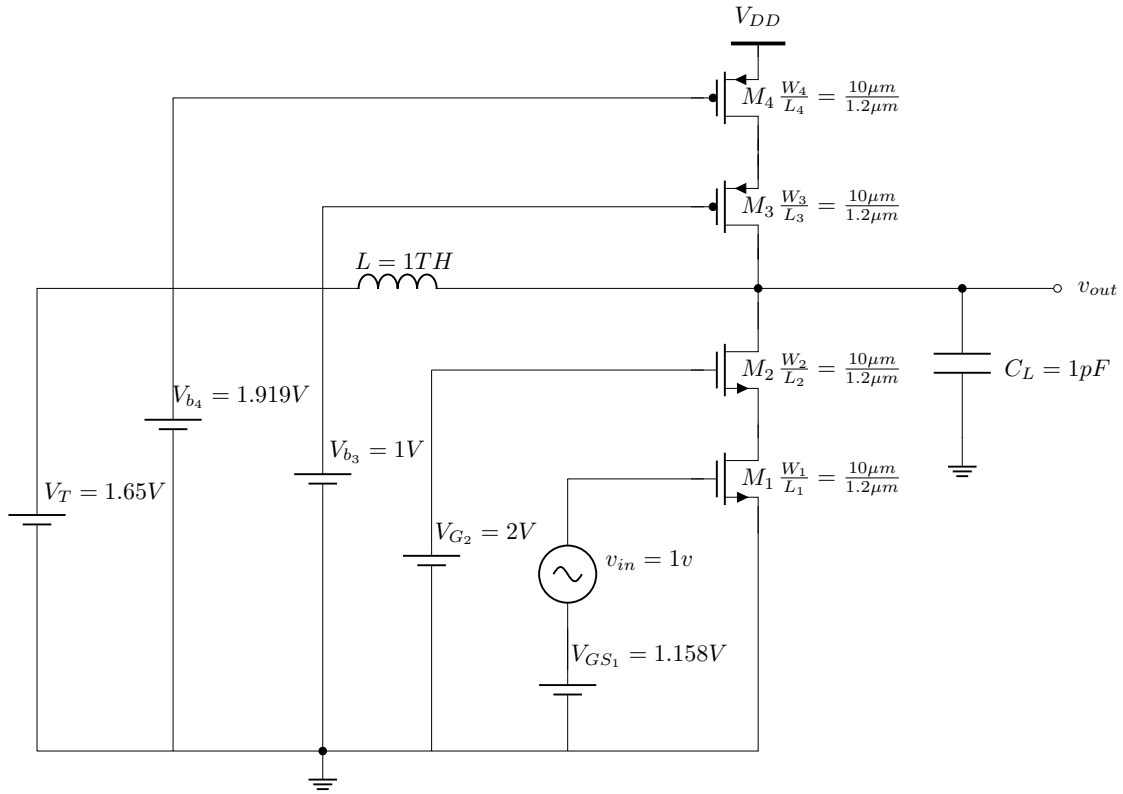


FIGURA 3.23: Circuito utilizado para la simulación del amplificador cascode con PMOS cascode como carga.

lo tanto no influye en la respuesta de AC. Finalmente, el tercer punto es ajustar el voltaje V_{b_3} para hacer que el transistor M_3 este en saturación.

Los valores de las transconductancias y r_{o_i} que arroja el simulador se muestran en la tabla 3.2.

La resistencia de salida es

$$R_{out} = 2.45M\Omega \quad (3.26)$$

Y la ganancia es

$$|A_v| = 825.7 \quad (3.27)$$

En la gráfica de la Figura 3.24 se muestra la ganancia en dB ($58.34dB$) en función de la frecuencia. El ancho del amplificador es $BW = 63.97KHz$, es decir, el ancho de banda se redujo aún más, pero se obtiene mayor ganancia. El producto ganancia ancho de banda es

$$GBW = 52.95MHz \quad (3.28)$$

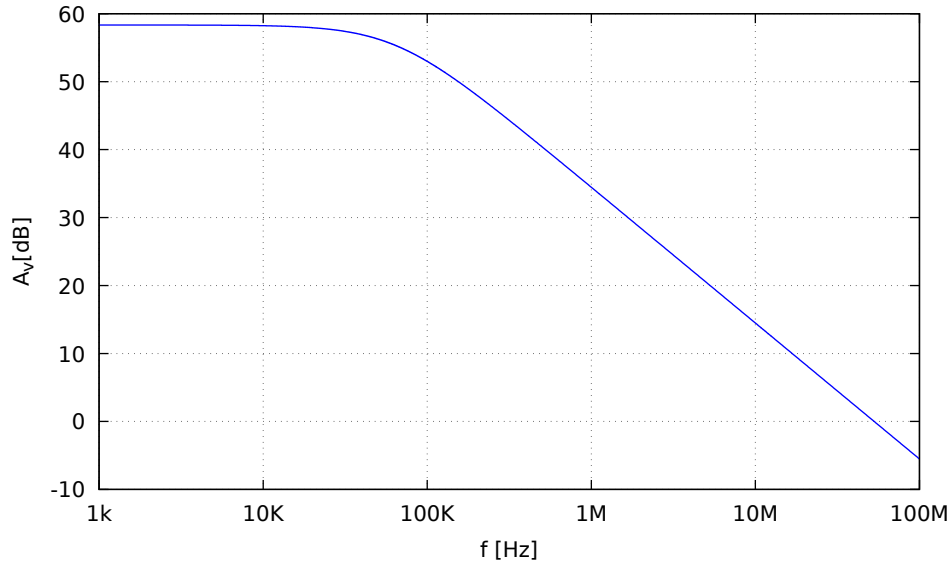


FIGURA 3.24: *Ganancia del amplificador Cascode con carga activa.*

	M_1	M_2	M_3	M_4
g_m [mS]	0.36104	0.37410	0.36984	0.37531
r_o [k Ω]	69.3914	165.0192	90.07386	115.1715

TABLA 3.2: *Valores obtenidos del simulador, resultado de la simulación el amplificador cascode con carga activa.*

3.7. Simulaciones con transistores discretos

En esta sección se presentan las simulaciones que se realizaron con el modelo de los ALD1106 y ALD1107, ajustando las dimensiones de W y L para corrientes $I_D = 100\mu A$, de acuerdo con las curvas características que se presentan en el capítulo 4, las cuales se ajustan para que haya una concordancia entre simulación y medición.

Se optó por trabajar con corrientes de polarización $I_B = 100\mu A$ debido a que como se mostró en las curvas características de las Figuras 3.3 y 3.6, el trabajar con corrientes de drenaje a fuente del orden de mA implica voltajes $V_{GS} \approx 12V$. Si trabajamos con corrientes del orden de μA se puede operar al transistor con voltajes de compuerta a fuente al orden de $V_{GS} < 2V$ y voltajes de alimentación de $V_{DD} = |V_{SS}| = 3V$.

Se comenzó por simular dos espejos simples, después un par diferencial, par diferencial

cascode, el amplificador Miller de dos etapas y finalmente un el amplificador Miller dos etapas clase AB.

3.7.1. Espejo de corriente simple

Se comienza simulando un espejo de corriente simple como el que se muestra en la Figura 3.25 , utilizando el modelo de los transistores NMOS del ALD1106.

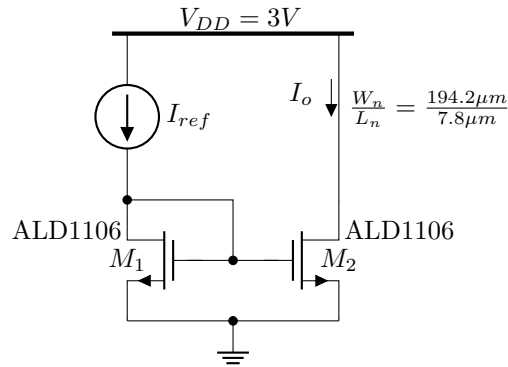


FIGURA 3.25: Circuito utilizado para simular el espejo de corriente simple.

En la gráfica de la Figura 3.26 se muestran la simulación para corrientes de referencia (en color azul) del orden de los μA y las corrientes que se copian en color rojo. Para el caso en el que $V_{DD} = 3V$ la corriente que se copia es

$$I_o = 110.8\mu A \quad (3.29)$$

3.7.2. Escalador de corriente

En algunas aplicaciones se requiere múltiplos de la corriente de polarización (I_B) un circuito que cumple con esta condición se muestra en la Figura 3.27. En este caso la corriente que se obtiene es

$$I_o = 5I_B \quad (3.30)$$

De manera general la corriente se multiplica de acuerdo con el número de transistores conectados en paralelo como sigue

$$I_{o_i} = nI_B \quad (3.31)$$

Esta relación es válida debido siempre que las dimensiones de los transistores sean iguales.

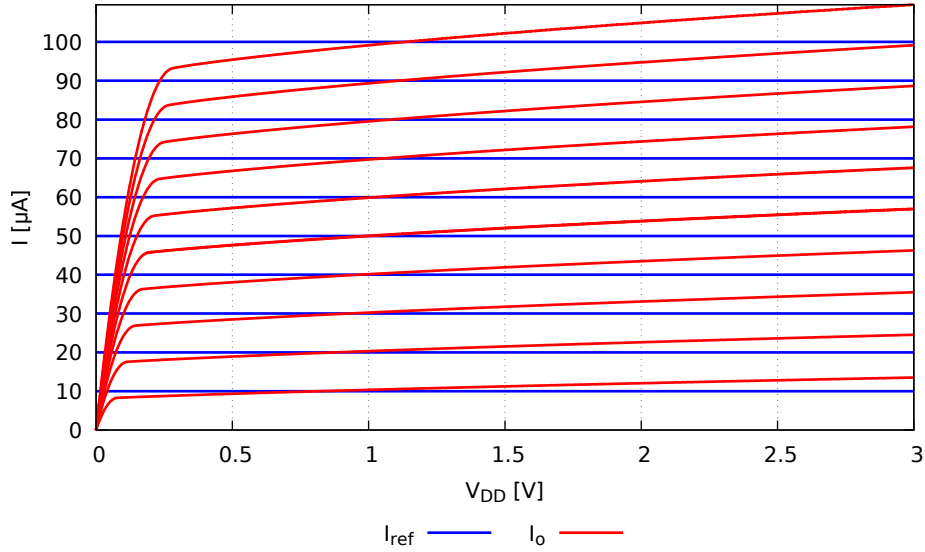


FIGURA 3.26: Simulación del espejo simple para varias corrientes de referencia.

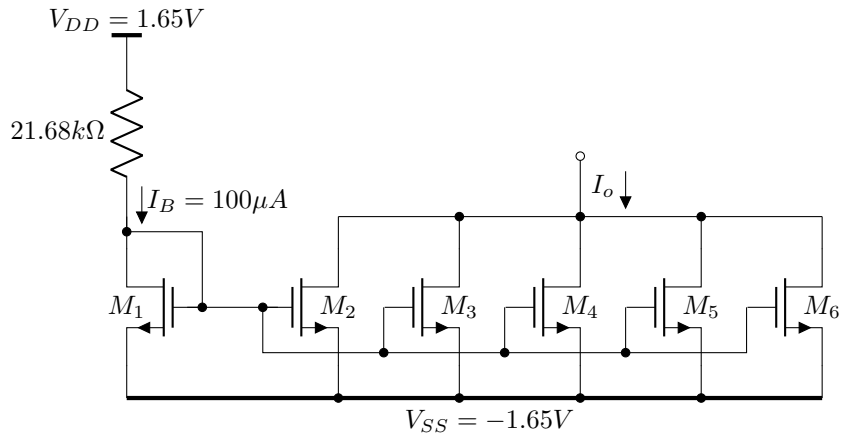


FIGURA 3.27: Circuito utilizado para la simulación del escalador de corriente.

3.7.3. Par diferencial

El circuito del par diferencial que se simuló se muestra en la Figura 3.28.

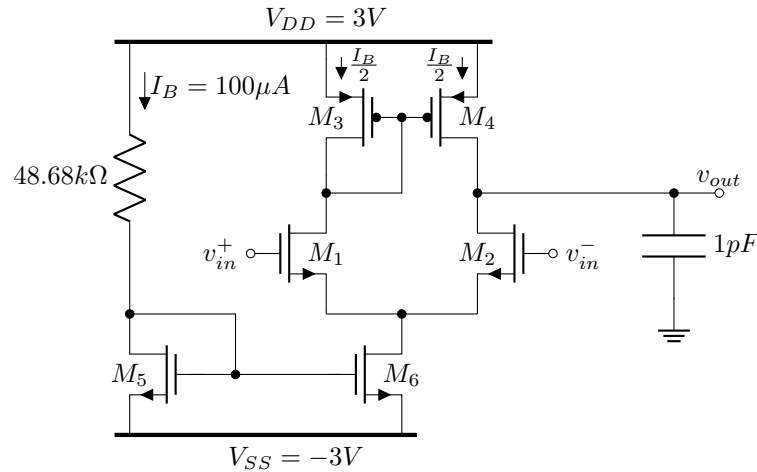


FIGURA 3.28: Circuito utilizado para la simulación del amplificador par diferencial.

3.7.3.1. Punto de operación

Los datos del punto de operación que reporta el simulador se muestran en la Tabla 3.3, de donde se corrobora que el amplificador par diferencial esta polarizado de manera adecuada, y se da el valor de r_o y g_m para cada transistor.

	M_1	M_2	M_3	M_4	M_5	M_6
$I_D[\mu A]$	51.04	51.04	-51.04	-51.04	100.1	102.08
$V_{GS}[V]$	1.52	1.52	-0.97	-0.97	1.13	1.13
$V_{DS}[V]$	3.54	3.54	-0.97	-0.97	1.13	1.47
$V_{DSAT}[V]$	0.21	0.21	-0.19	-0.19	0.28	0.29
$g_m[mS]$	0.33	0.33	0.35	0.35	0.42	0.42
$r_o[k\Omega]$	258.61	258.61	401.17	401.17	151.50	167.25

TABLA 3.3: Punto de operación del amplificador par diferencial reportado por el simulador.

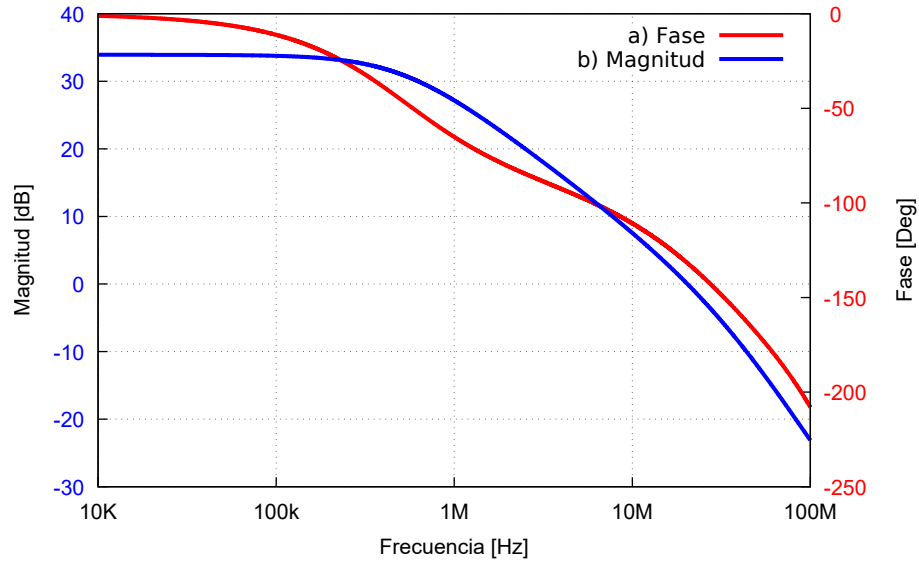


FIGURA 3.29: Respuesta en frecuencia del par diferencial a) fase, b) Magnitud.

3.7.3.2. Ganancia de lazo abierto

En la gráfica de la Figura 3.29 se muestra la magnitud y fase de par diferencial en lazo abierto. La ganancia en dB's es

$$A_{dB} = 33.92dB \quad (3.32)$$

El ancho de banda es

$$BW = 517.6kHz$$

Por último, el producto ganancia ancho de banda es

$$GBW = 20.4MHz \quad (3.33)$$

3.7.3.3. Rango lineal

Se hace un barrido del voltaje de entrada, $-3 \leq V_{in} \leq 3$, en pasos discretos de $10mV$. El rango lineal del par diferencias es

$$-3 < RL < 3$$

como se ilustra en la gráfica de la Figura 3.30.

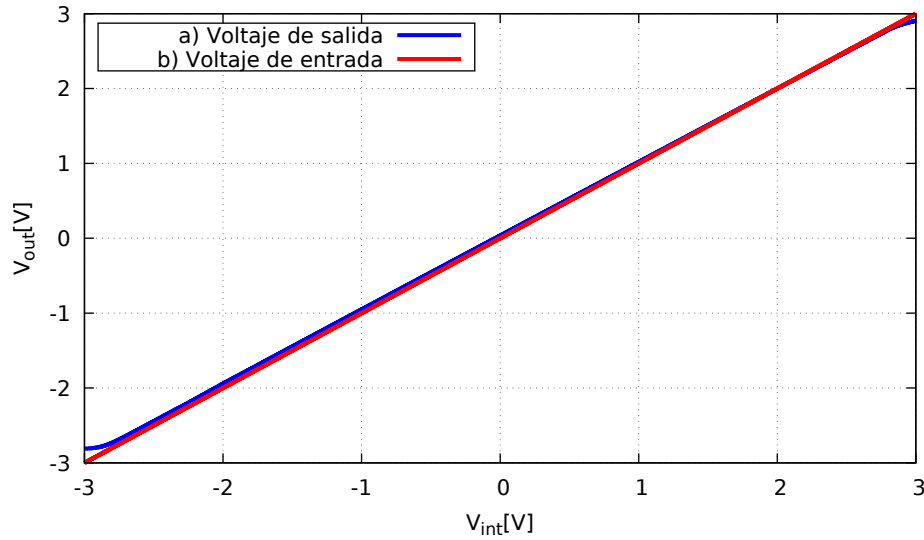


FIGURA 3.30: Rango lineal del par diferencial.

3.7.3.4. Slew Rate

Se aplica una señal cuadrática a una frecuencia de 1.66MHz y amplitud $V = 2\text{V}$, para poder medir el SR y se obtiene la respuesta que se muestra en la Figura 3.31.

El valor numérico del SR es

$$SR^+ = 23\text{V}/\mu\text{s} \quad (3.34)$$

$$SR^- = -9.85\text{V}/\mu\text{s} \quad (3.35)$$

El tiempo de subida es $T_r = 104\text{nS}$ mientras que el tiempo de bajada es $T_D = 229\text{nS}$.

3.7.3.5. Razón de rechazo de modo común (CMRR)

Para probar la ganancia de modo diferencial y la ganancia de modo común se fija una ganancia de 1 con valores de resistencias $R_i = R_f = 10\text{M}\Omega$, para el circuito de la Figura 2.65.

Es conveniente resaltar el motivo por el cual se utilizan resistencias en el orden de $\text{M}\Omega$. La relación de voltaje de alimentación y corriente de polarización es $(V_{DD} - V_{SS})/I_{bias} = 60\text{K}\Omega$, en base a pruebas de simulación se comprobó que para resistencias menores a este valor el amplificador sale de su punto de operación y en consecuencia no opera bien, por ende, se optó por utilizar resistencias de esta magnitud con las cuales se tiene un buen funcionamiento.

La ganancia diferencial que da el simulador es 5.69dB , la ganancia de modo común es -47.66dB , esto se muestra gráficamente en la Figura 3.32, el CMRR queda como sigue

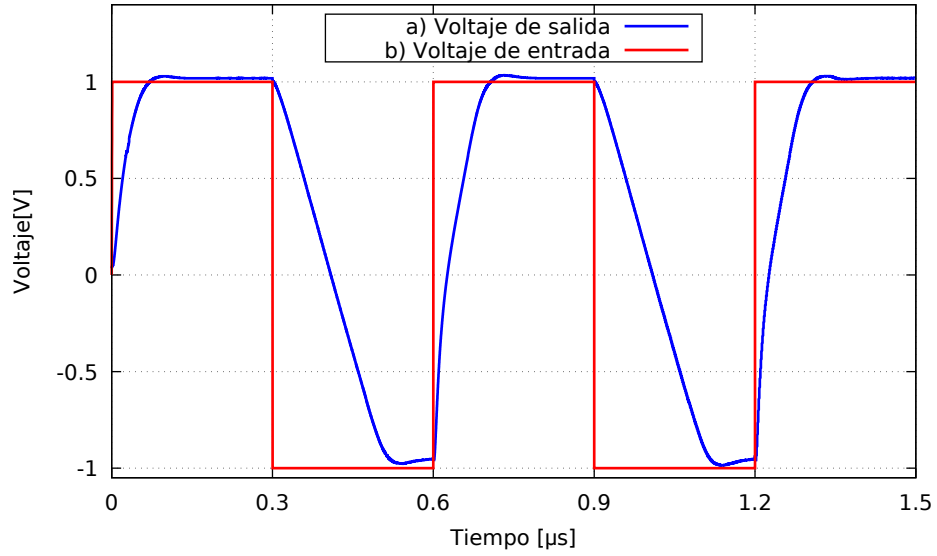


FIGURA 3.31: *Slew Rate del par diferencial.*

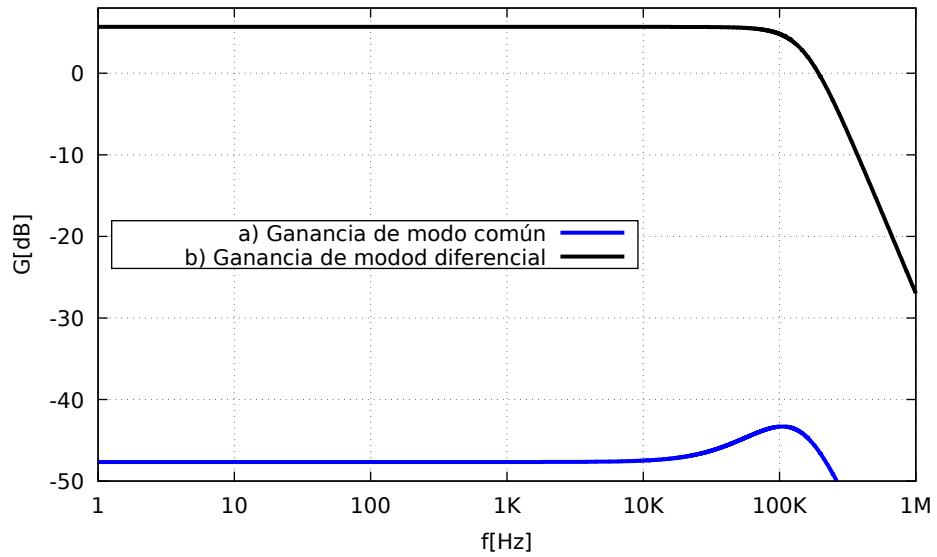


FIGURA 3.32: *CMRR del amplificador par diferencial.*

$$CMRR = 5.69dB - (-47.66)dB = 53.35dB \tag{3.36}$$

3.7.4. Par diferencial cascode

El circuito del par diferencial cascode que se simuló se muestra en la Figura 3.33. Se requiere de dos voltajes de polarización $V_1 = 1.404V$ y $V_2 = 2V$, los cuales son calculados con ayuda del simulador.

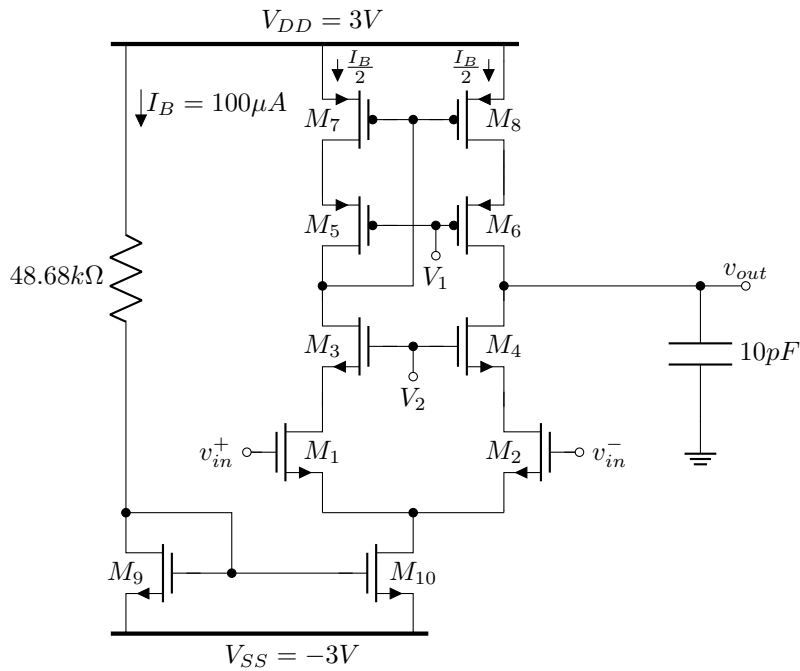


FIGURA 3.33: Circuito utilizado para la simulación del amplificador par diferencial cascode.

3.7.4.1. Punto de operación

Los datos del punto de operación que reporta el simulador se muestran en la tabla 3.4.

3.7.4.2. Ganancia de lazo abierto

En la gráfica de la Figura 3.34 se muestra la magnitud y fase de par diferencial en lazo abierto. La ganancia en dB es

$$A_{dB} = 72.29dB \tag{3.37}$$

El ancho de banda es

$$BW = 1.16kHz \tag{3.38}$$

	M_1	M_2	M_3	M_4	M_5	M_6	M_7	M_8	M_9	M_{10}
$I_D [\mu A]$	51.01	51.01	51.02	51.01	-50.99	-51	-50.99	-50.99	100.01	101.98
$V_{GS} [V]$	1.54	1.54	1.92	1.92	-1.1	-1.1	-0.98	-0.98	1.13	1.13
$V_{DS} [V]$	1.61	1.61	1.94	1.94	-0.49	-0.49	-0.48	-0.48	1.13	1.45
$V_{DSAT} [V]$	0.21	0.21	0.22	0.22	-0.2	-0.2	-0.19	-0.19	0.28	0.29
$g_m [mS]$	0.33	0.33	0.34	0.34	0.36	0.36	0.35	0.35	0.42	0.42
$r_o [k\Omega]$	200.22	200.22	193.21	193.21	326.29	326.29	341.21	341.21	151.58	166.45

TABLA 3.4: Punto de operación del amplificador par diferencial cascode obtenido por el simulador.

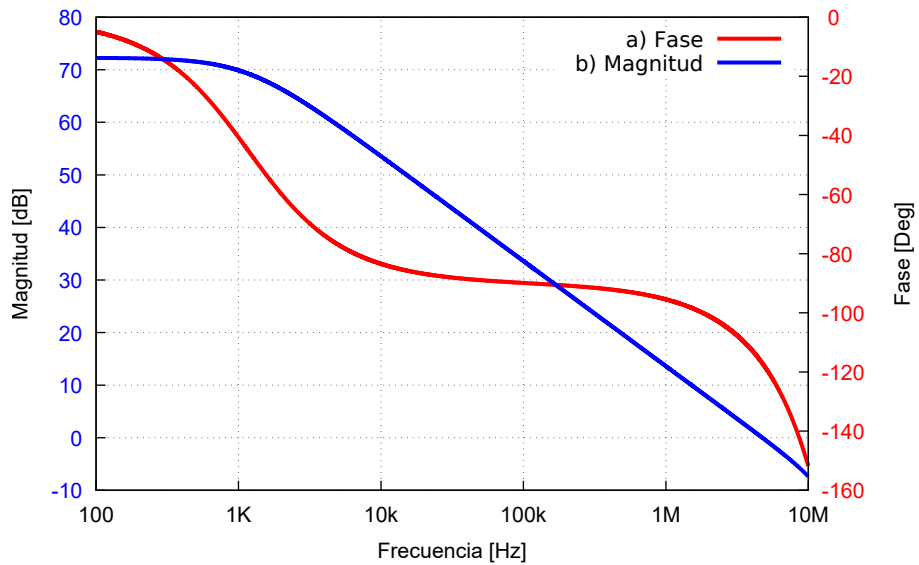


FIGURA 3.34: Respuesta en frecuencia del par diferencial cascode a) fase, b) magnitud.

Por último, el producto ganancia ancho de banda es

$$GBW = 4.75MHz \tag{3.39}$$

3.7.4.3. Rango lineal

Se hace un barrido en DC del voltaje de entrada de $-3V \leq V_{in} \leq 3V$, en pasos discretos de $1mV$. Esto se ilustra en la gráfica de la Figura 3.35.

El rango lineal del par diferencias cascode esta en el siguiente rango

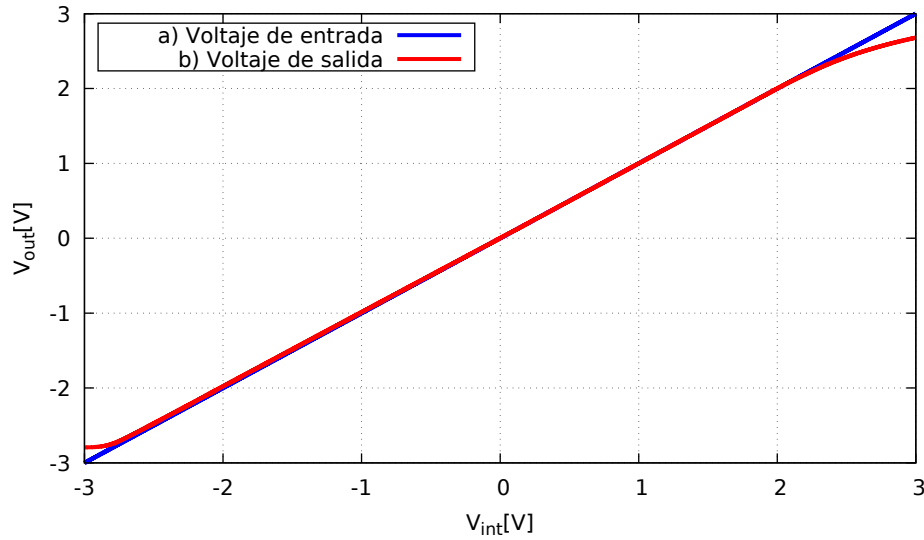


FIGURA 3.35: Rango lineal del par diferencial cascode.

$$-2.5 < RL < 2.5$$

3.7.4.4. Slew Rate

Se aplica una señal cuadrática de entrada a una frecuencia de $f = 1MHz$, y amplitud $V = 2V$ y se obtiene la respuesta que se muestra en la Figura 3.36.

El valor numérico del SR es

$$SR^+ = 10.37V/\mu s \quad (3.40)$$

$$SR^- = -6.56V/\mu s \quad (3.41)$$

El tiempo de subida de la señal de salida es $T_r = 200ns$, y el tiempo de bajada es $T_d = 350ns$.

3.7.4.5. Razón de rechazo de modo común (CMRR)

Para medir el CMRR del amplificador par diferencial cascode se utilizan las configuraciones que se muestran en la Figura 2.65, estableciendo una ganancia de modo diferencias $A_v = 0dB$ ($R_i = R_f = 10k\Omega$). La ganancia en modo diferencial y en modo común se muestran en la Figura 3.37.

La ganancia de modo diferencial que se obtiene es $A_v = -5.8m dB$, la atenuación de modo común es $A_{CM} = -86.65dB$ (a una frecuencia de $8.63kHz$), por ende, el CMRR del amplificador par diferencial cascode es

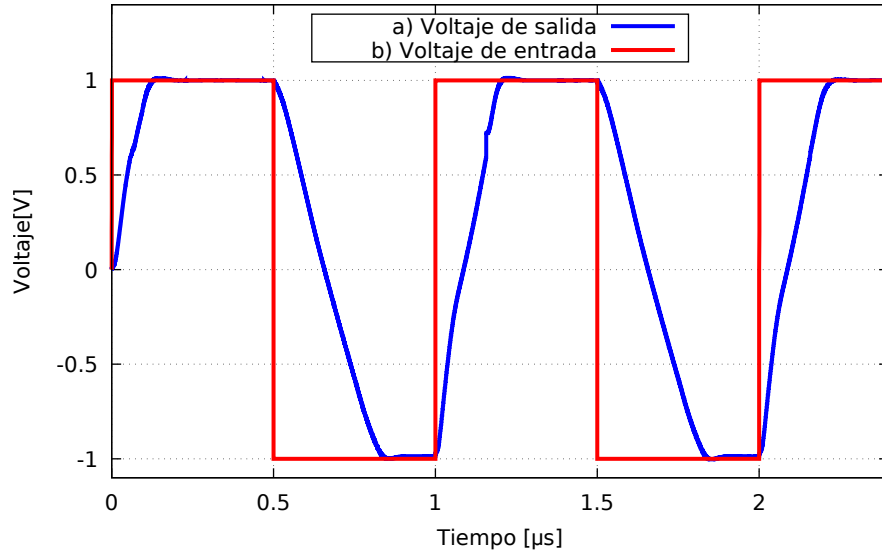


FIGURA 3.36: Slew Rate del par diferencial cascode.

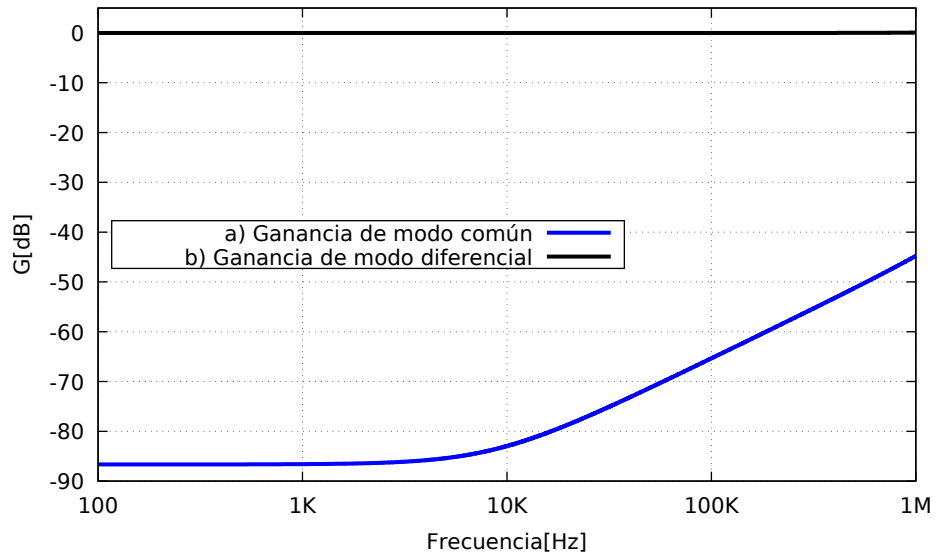


FIGURA 3.37: Medición del CMRR del amplificador par diferencial cascode.

$$CMRR_{dB} = -5.8\text{dB} - (-86.65\text{dB}) = 86.65\text{dB}$$

3.7.5. Amplificador Miller de dos etapas

En esta sección se presentan los resultados de la simulación del amplificador Miller de dos etapas compensado (Figura 2.59), los parámetros de simulación se enlistan a continuación

$$\begin{array}{lll}
 * V_{DD} = 3V & * V_{SS} = -3V & * I_{Bias} = 100\mu A \\
 * C_L = 1pF & * C_c = 7pF & * R_c = 3k\Omega
 \end{array}$$

3.7.5.1. Punto de operación

Los datos del punto de operación y el valor de r_o y g_m para cada transistor que reporta el simulador se muestran en la tabla 3.5.

	M_1	M_2	M_3	M_4	M_5	M_6	M_7	M_8
$I_D[\mu A]$	101.5	101.52	-101.43	-101.45	-109.55	109.56	100	202.96
$V_{GS}[V]$	1.62	1.62	-1.1	-1.1	-1.1	1.13	1.13	1.13
$V_{DS}[V]$	3.51	3.51	-1.1	-1.1	-3	3	1.13	1.37
$V_{DSAT}[V]$	0.3	0.3	-0.29	-0.29	-0.3	0.3	0.28	0.29
$g_m[mS]$	0.46	0.46	0.49	0.49	0.51	0.44	0.42	0.85
$r_o[k\Omega]$	179.96	179.83	269.12	269.46	349.16	221.	151.62	81.49

TABLA 3.5: *Punto de operación del amplificador Miller de dos etapas reportado por el simulador.*

3.7.5.2. Ganancia de lazo abierto

En la gráfica de la Figura 3.38 se muestra la magnitud y fase en lazo abierto. La ganancia es

$$G = 73.67dB \quad (3.42)$$

El ancho de banda es

$$BW = 1.409kHz \quad (3.43)$$

El margen de fase es

$$FM = 63.7^\circ \quad (3.44)$$

Por último, el producto ganancia ancho de banda es

$$GBW = 6.59MHz \quad (3.45)$$

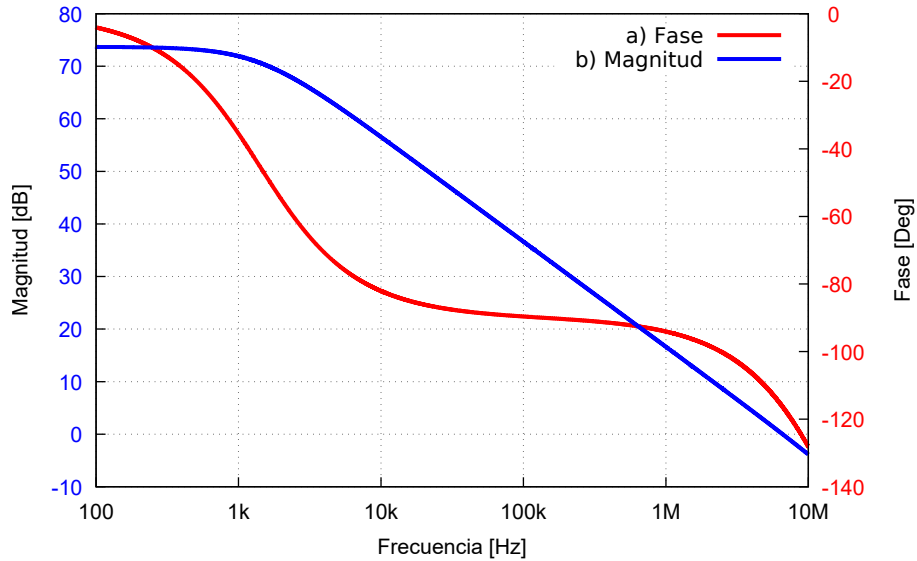


FIGURA 3.38: *Ganancia en lazo abierto del amplificador Miller de dos etapas, a) fase, b) Magnitud.*

3.7.5.3. Rango lineal

Se hace un barrido del voltaje de entrada, $-3.5 \leq V_{in} \leq 3.5$, en pasos discretos de $10mV$. El rango lineal del amplificador es

$$-3 < RL < 3$$

como se ilustra en la gráfica de la Figura 3.39.

3.7.5.4. Slew Rate

Se aplica una señal cuadrática de entrada a una frecuencia de $f = 1MHz$, amplitud $V = 2V$ y se obtiene la respuesta que se muestra en la Figura 3.40.

El valor numérico del SR es

$$SR^+ = 7.7V/\mu s \quad (3.46)$$

$$SR^- = -6.77V/\mu s \quad (3.47)$$

El tiempo de subida de la señal de entrada es $T_r = 225ns$, y el tiempo de bajada es $T_d = 323ns$.

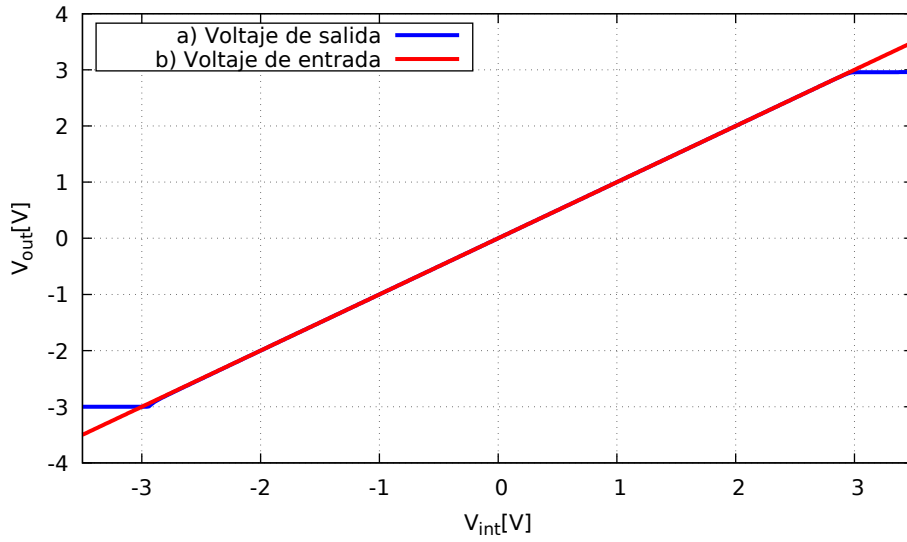


FIGURA 3.39: *Rango lineal del Amplificador Miller de dos etapas.*

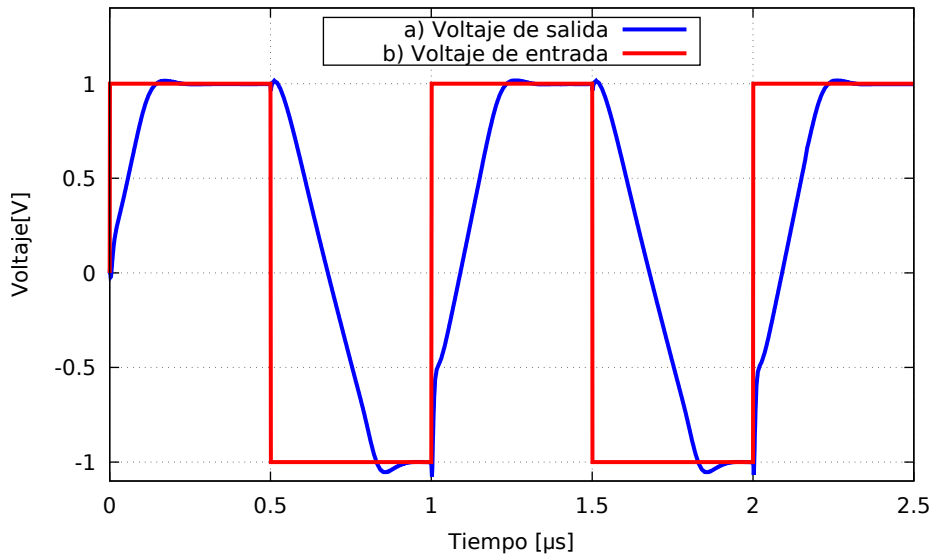


FIGURA 3.40: *Slew Rate del amplificador Miller de dos etapas.*

3.7.5.5. Razón de rechazo de modo común (CMRR)

Para probar la ganancia de modo diferencial y la ganancia de modo común se fija una ganancia de 1 con valores de resistencias $R_i = R_f = 10M\Omega$, para el circuito de la Figura 2.65.

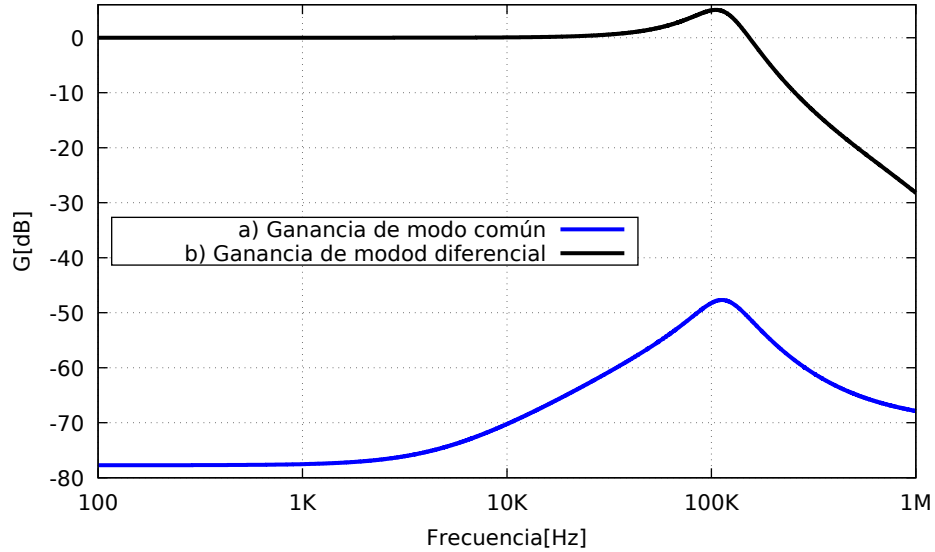


FIGURA 3.41: *CMRR del amplificador Miller de dos etapas.*

La ganancia diferencial que dá el simulador es $0dB$, la ganancia de modo común es $-77.72dB$, hasta una frecuencia $f = 4.66kHz$, tal como se muestra en la figura 3.41, entonces

$$CMRR = 0dB - (-77.72)dB = 77.72dB$$

3.7.6. Amplificador Miller de dos etapas clase AB

Por último, se presentan los resultados de la simulación del amplificador Miller de dos etapas clase AB (figura 2.63), los parámetros de simulación se enlistan a continuación

* $V_{DD} = 3V$	* $V_{SS} = -3V$	* $I_{Bias} = 100\mu A$
* $C_L = 1pF$	* $C_c = 7pF$	* $R_c = 3k\Omega$
* $R_{large} = 10M\Omega$	* $C_{Bat} = 1\mu F$	

3.7.6.1. Punto de operación

Los datos del punto de operación y el valor de r_o y g_m para cada transistor que reporta el simulador se muestran en la Tabla 3.6.

3.7.6.2. Ganancia de lazo abierto

En la gráfica de la Figura 3.42 se muestra la magnitud y fase de par diferencial en lazo abierto. La ganancia es

	M_1	M_2	M_3	M_4	M_5	M_6	M_7	M_8
$I_D[\mu A]$	101.54	101.56	-101.51	-101.52	-109.63	109.62	100	203.04
$V_{GS}[V]$	1.62	1.62	-1.1	-1.1	-1.1	1.13	1.13	1.13
$V_{DS}[V]$	3.51	3.51	-1.1	-1.1	-3	2.99	1.13	1.37
$V_{DSAT}[V]$	0.3	0.3	-0.29	-0.29	-0.3	0.3	0.28	0.29
$g_m[mS]$	0.46	0.46	0.49	0.49	0.51	0.44	0.42	0.85
$r_o[k\Omega]$	179.9	179.7	269.01	269.34	348.99	220.93	151.58	81.49

TABLA 3.6: Punto de operación del amplificador Miller clase AB reportado por el simulador.

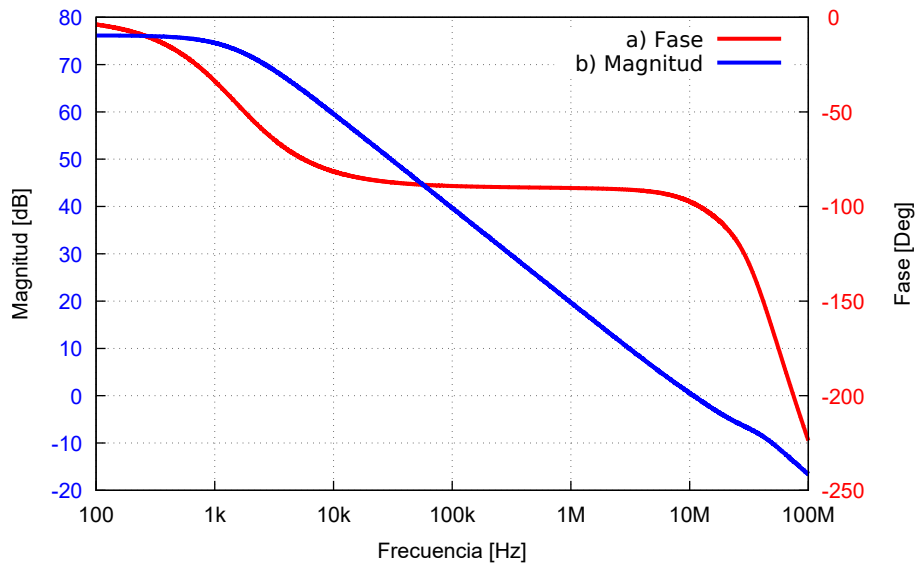


FIGURA 3.42: Ganancia en lazo abierto del amplificador Miller clase AB a) fase, b) Magnitud.

$$G = 76.17dB \tag{3.48}$$

El ancho de banda es

$$BW = 1.49kHz \tag{3.49}$$

El producto ganancia ancho de banda es

$$GBW = 10.79MHz \quad (3.50)$$

El margen de fase es

$$PM = 81.66^\circ \quad (3.51)$$

3.7.6.3. Rango lineal

Se hace un barrido del voltaje de entrada, $-3.5 \leq V_{in} \leq 3.5$, en pasos discretos de $10mV$. El rango lineal del amplificador es

$$-3 < RL < 3 \quad (3.52)$$

como se ilustra en la gráfica de la Figura 3.43.

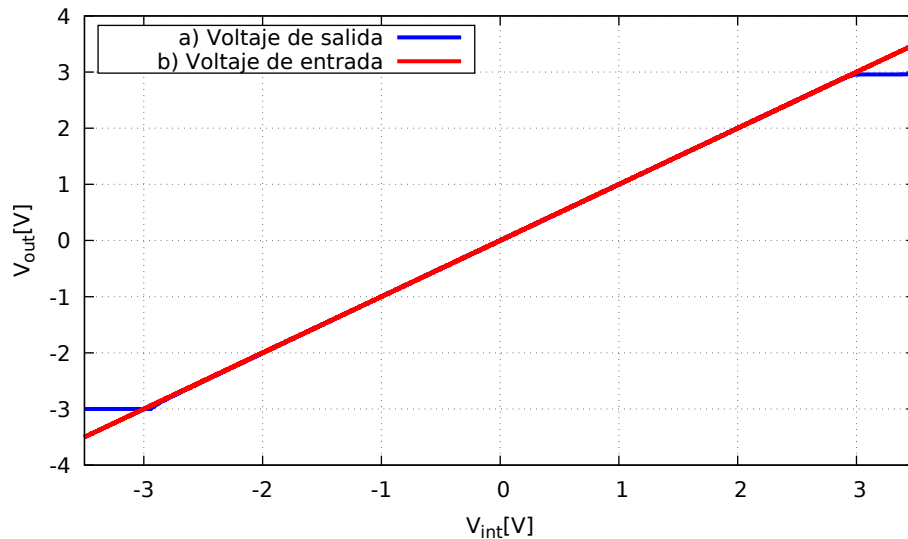


FIGURA 3.43: Rango lineal del Amplificador Miller clase AB.

3.7.6.4. Slew Rate

Se aplica una señal cuadrática de entrada a una frecuencia de $f = 2MHz$, amplitud $V = 2V$ y se obtiene la respuesta que se muestra en la Figura 3.44.

El valor numérico del SR es

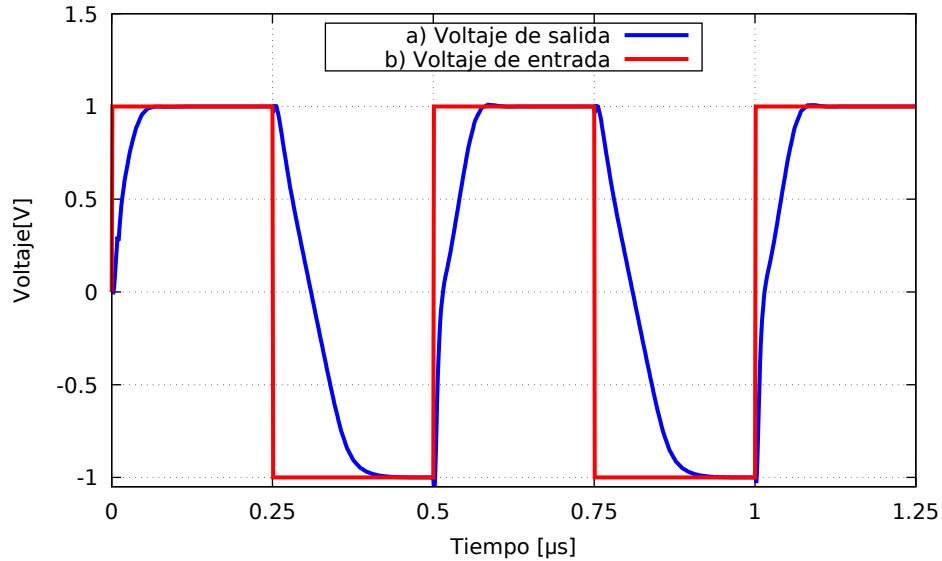


FIGURA 3.44: *Slew Rate del amplificador Miller clase AB.*

$$SR^+ = 20.9V/\mu s \quad (3.53)$$

$$SR^- = -16.91V/\mu s \quad (3.54)$$

El tiempo de bajada de la señal de entrada es $T_d = 166ns$, y el tiempo de subida es $T_r = 74ns$.

3.7.6.5. Razón de rechazo de modo común (CMRR)

Para medir el CMRR se utilizan las configuraciones de la Figura 2.65 fijando una ganancia de modo diferencial $A_d = 0dB$ estableciendo $R_i = R_f = 10M\Omega$, el resultado de la simulación se muestra en la Figura 3.45.

La ganancia de modo diferencial es $A_d = -2.71m dB$ y la atenuación de modo común es $A_{CM} = -72.86dB$ (hasta una frecuencia de $5.45kHz$). El CMRR del amplificador Miller clase AB queda como sigue

$$CMRR_{dB} = -2.71m dB - (-72.86dB) = 72.85dB$$

3.7.6.6. Amplificador Clase AB

Para probar que el amplificador es clase AB se mide la corriente que fluye a través de la impedancia de carga (i_o) y se compara con la corriente de polarización I_{Bias} para una carga resistiva

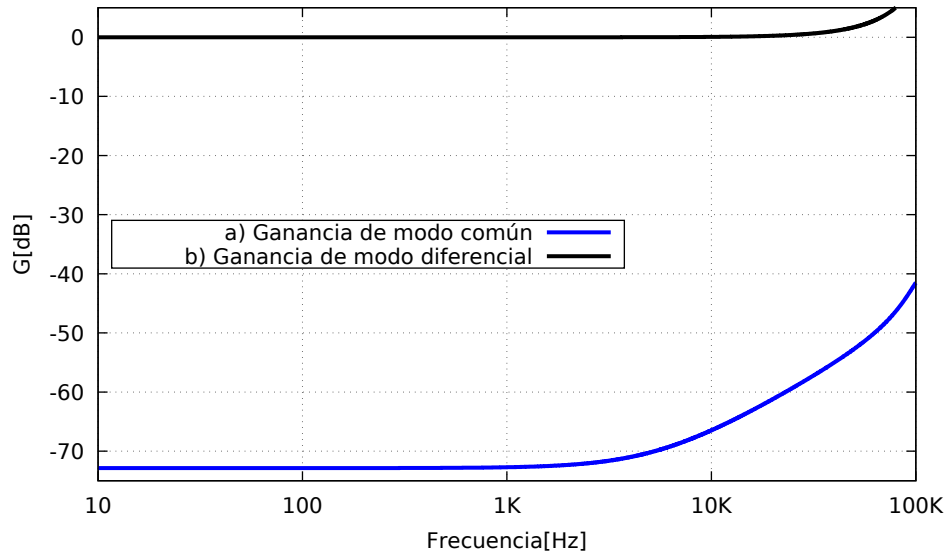


FIGURA 3.45: *CMRR del amplificador Miller de dos etapas clase AB.*

$R_L = 1\Omega$, sin embargo, este valor de carga tiene impacto en la respuesta del amplificador, esto se ilustra gráficamente en la Figura 3.46, el voltaje de salida en función de la resistencia de carga R_L y el voltaje de entrada v_{in} , se muestra que para resistencias de carga $R_L < 30k\Omega$ la amplificación de voltaje no es simétrica, pues las señales negativas son recortadas, por otra parte, si la resistencia de carga $R_L \geq 30k\Omega$ entonces la salida es simétrica. Se atribuye este hecho a que no el capacitor C_{bat} no es capaz de proporcionar el voltaje necesario cuando la respuesta es negativa.

Para fines de poder medir en simulación la corriente de salida i_o sin tener el problema de recorte de la señal negativa se aplica un voltaje $V_{Bat} = 2.4V$ en lugar de C_{Bat} con una resistencia de carga $R_L = 1\Omega$, una señal cuadrática como entrada con un voltaje de $V = 100V$ de amplitud a una frecuencia de $f = 666.66Hz$. La corriente de salida i_o comparada con la corriente de polarización $I_{Bias} = 100\mu A$ se muestra en la Figura 3.47. La relación entre la máxima corriente de salida con respecto a la corriente de polarización es $\frac{I_{o,max}}{I_{Bias}} = 30$.

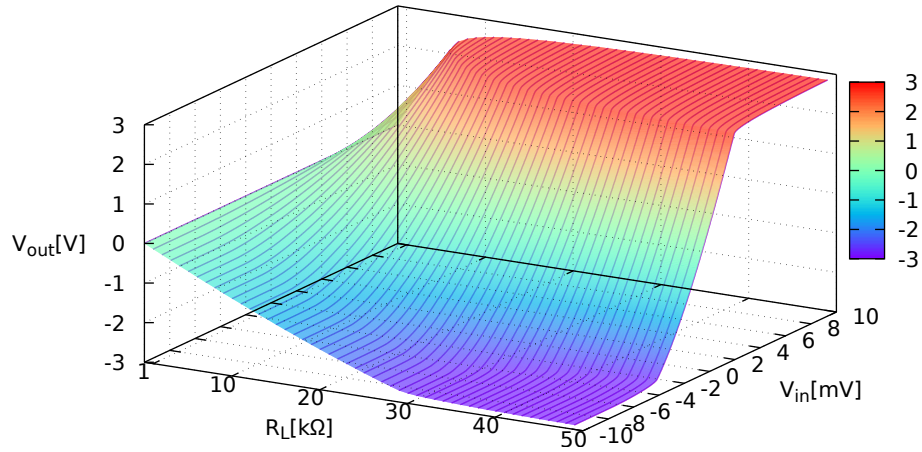


FIGURA 3.46: Caracterización de la excursión del voltaje de salida en función de la resistencia de carga R_L y el voltaje de entrada v_{in} .

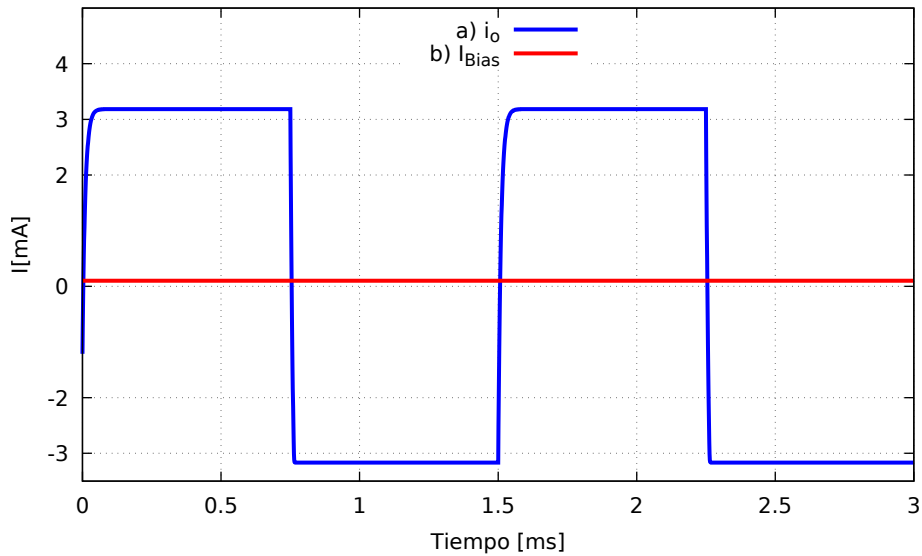


FIGURA 3.47: Corriente de salida i_o comparada con I_{Bias} .

Capítulo 4

Implementación

En este capítulo se presentan todas las mediciones experimentales que se hicieron. Partiendo de las caracterizaciones de las curvas características de los transistores de los ALD1106 y ALD1107, las cuales sirvieron para ajustar W_n , W_p , L_n , y L_p en el modelo utilizado para simular, y de esta manera tener concordancia entre simulación y medición. En base a las simulaciones se comenzó a implementar desde el espejo de corriente simple hasta el amplificador Miller de dos etapas clase AB.

4.1. Mediciones experimentales de las curvas características

Para poder caracterizar experimentalmente las curvas de los transistores del ALD1106 y ALD1107 se utilizó un sistema de caracterización de semiconductores (KEITHLEY 4200-SCS).

4.1.1. ALD1106

Para la caracterización del transistor NMOS del ALD1106 se realizó un barrido de voltaje de las fuentes de voltaje en DC en el siguiente rango de valores

$$\begin{aligned} 0V &\leq V_{DS} \leq 3V \\ 0.6V &\leq V_{GS} \leq 1.2V \end{aligned}$$

El resultado de la caracterización del NMOS se muestra en la gráfica de la Figura 4.1.

Ya que se va a trabajar con corrientes del orden de $100\mu A$, entonces se toma la curva más cercana a este valor de corriente y se calcula la resistencia que modela el efecto de modulación de canal como sigue

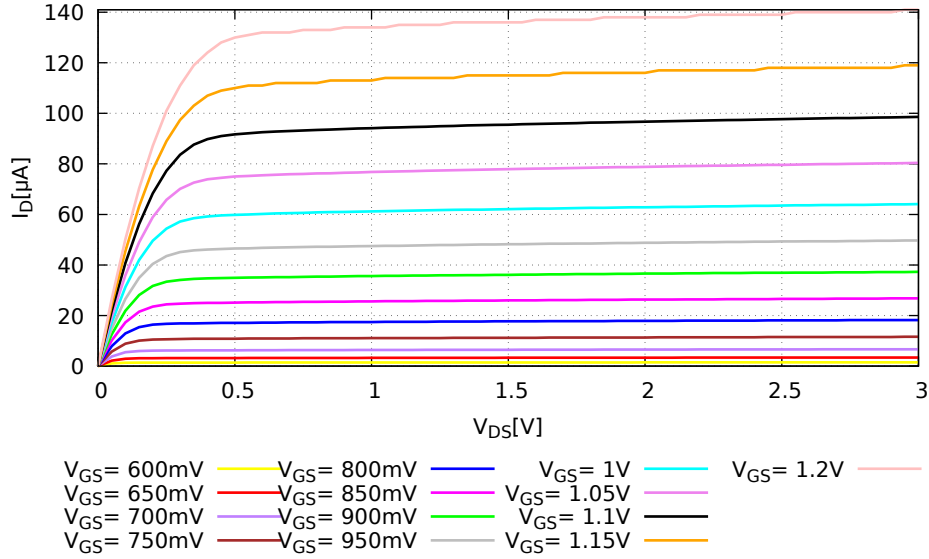


FIGURA 4.1: Curvas características del transistor NMOS del ALD1106 medida experimentalmente.

$$r_o = \left(\frac{\Delta I_d}{\Delta V_{DS}} \right)^{-1} = 391.3k\Omega$$

Tomando en cuenta que $r_o = \frac{1}{\lambda I_D}$, se puede calcular λ como

$$\lambda = \frac{1}{r_o I_D} = 25.5m \left[\frac{1}{V} \right]$$

4.1.2. ALD1107

Para la caracterización del transistor PMOS del ALD1107 los valores de las fuentes de voltaje en DC están en el rango de

$$\begin{aligned} -3V &\leq V_{DS} \leq 0V \\ -1.85V &\leq V_{GS} \leq 1.3V \end{aligned}$$

El resultado de esta caracterización del PMOS se muestra en la gráfica de la Figura 4.2.

Se calcula la resistencia que modela el efecto de modulación de canal (para corriente $I_D = 100\mu A$) como sigue

$$r_o = \left(\frac{\Delta I_d}{\Delta V_{DS}} \right)^{-1} = 219.17k\Omega$$

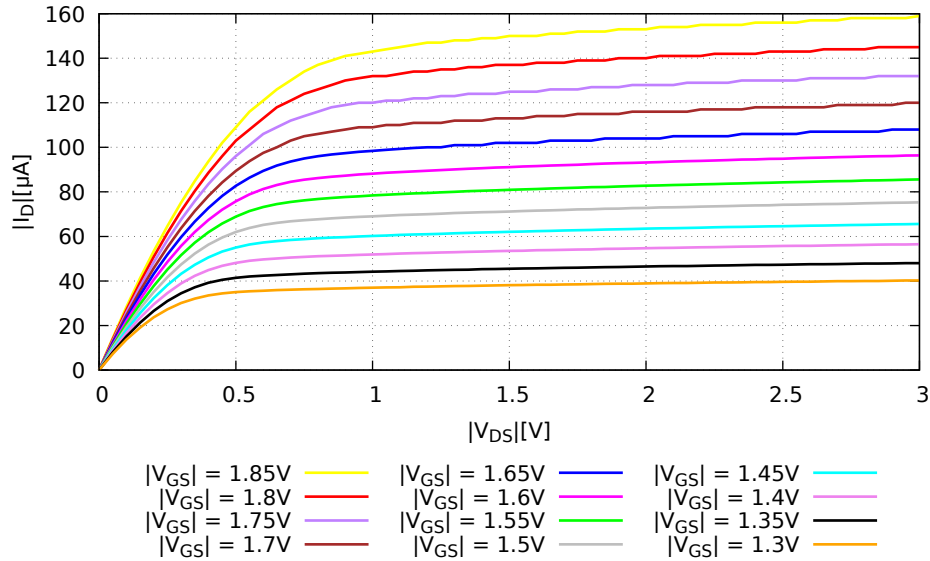


FIGURA 4.2: Curvas características del transistor PMOS del ALD1107 medida experimentalmente.

Se calcula λ como sigue

$$\lambda = \frac{1}{r_o I_D} = 45.62m \left[\frac{1}{V} \right]$$

4.2. Comparación simulación VS mediciones

Con el fin de tener una referencia de que tan cercanas a la realidad son las simulaciones, se graficaron sobrepuestos los datos de simulación y los medidos de las curvas características del transistor NMOS del ADL1106 lo cual se ilustra en la gráfica de la Figura 4.3.

Las dimensiones que se utilizan para la simulación del NMOS son

$$\begin{aligned} W_n &= 194.2\mu m \\ L_n &= 7.8\mu m \end{aligned}$$

Los resultados de simulación y las mediciones coinciden en un rango relativamente cercano y son fiables para poder hacer simulaciones de circuitos diseñados con estos transistores.

De la misma manera se hace la comparación entre resultados de simulación y resultados de medición de los transistores PMOS del ALD1107 la cual se muestra en la gráfica de la Figura 4.4.

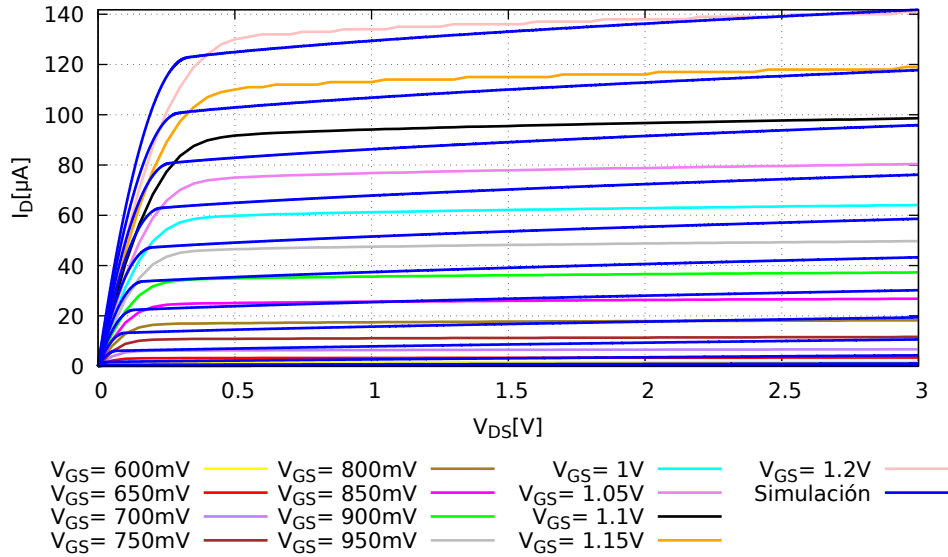


FIGURA 4.3: Comparación entre curvas características experimentales vs simulación del transistor NMOS.

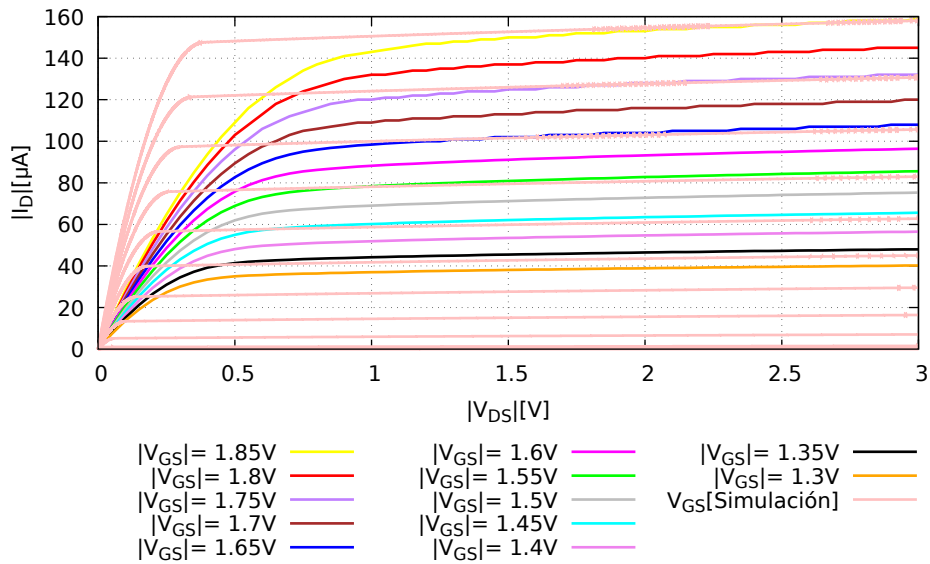


FIGURA 4.4: Comparación entre curvas características experimentales vs simulación del transistor PMOS.

Desafortunadamente no todas las mediciones concuerdan con la simulación, sin embargo, para corrientes $I_D \geq 80\mu\text{A}$ los datos comienzan a coincidir en mayor medida, por tal motivo

se decide operar con corrientes de aproximadamente $100\mu A$ y con esto asegurar una cierta precisión en las simulaciones.

Las dimensiones que se utilizan para la simulación son del PMOS son

$$\begin{aligned} W_p &= 740\mu m \\ L_p &= 7.8\mu m \end{aligned}$$

4.3. Mediciones

En esta sección se presentan las mediciones de los espejos de corriente y los amplificadores de transconductancia que se implementaron en base a los diagramas esquemáticos que se presentaron en la sección anterior. Todo lo que se implementó fue con transistores discretos MOS ALD1106 y ALD1107.

4.3.1. Espejo de corriente

Se implementó y caracterizó el espejo de corriente (Figura 3.25), para ello se realizó una variación del voltaje V_{DS_2} del transistor M_2 en tanto el voltaje del transistor M_1 se mantiene fijo $V_{DS_1} = V_{DD} = 3V$, el resultado se muestra en la Figura 4.5.

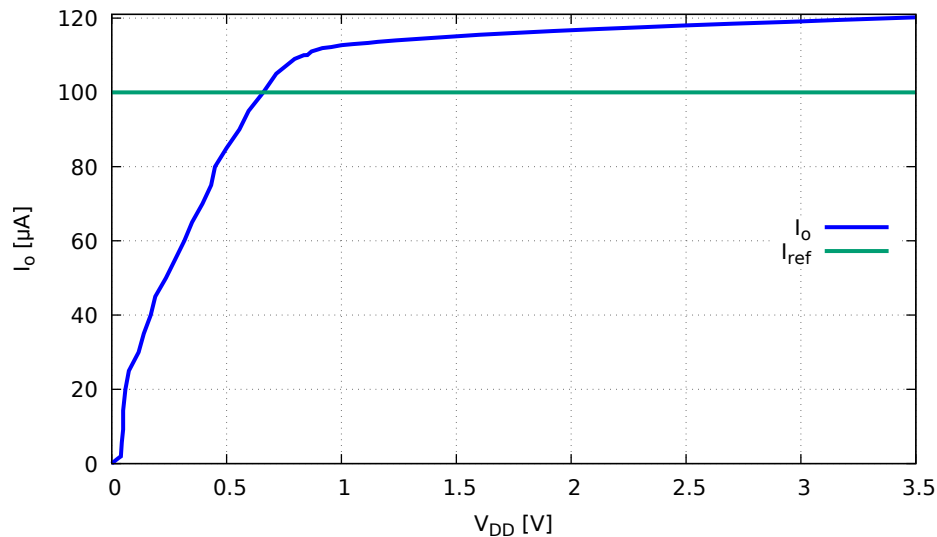


FIGURA 4.5: Corriente de salida I_o en función del voltaje de polarización V_{DD} .

En el punto de operación ($V_{DD} = 3V$) la corriente que se copia es

$$I_o = 119.7\mu A$$

4.3.2. Escalador de corriente

Se implementó el circuito de la figura 3.27 con una corriente de polarización $I_B = 100\mu A$ y se obtuvo una corriente de salida

$$I_o = 458\mu A$$

4.3.3. Par diferencial

El par diferencial se implementó en base al diagrama esquemático de la Figura 3.28.

4.3.3.1. Punto de operación

Los datos del punto de operación que se midieron se muestran en la Tabla 4.1, de donde se corrobora que el amplificador par diferencial esta polarizado de manera adecuada.

	M_1	M_2	M_3	M_4	M_5	M_6
$I_D[\mu A]$	53.79	53.83	-53.79	-53.83	100	106.8
$V_{GS}[V]$	1.44	1.44	-1.4	-1.4	1.13	1.13
$V_{DS}[V]$	3.05	3.27	-1.4	-1.1	1.13	1.58

TABLA 4.1: *Punto de operación del amplificador par diferencial implementado con ALD1106 y ALD1107.*

4.3.3.2. Ganancia de lazo abierto

En la Figura 4.6 se muestra la magnitud y fase de par diferencial (en lazo abierto) medida experimentalmente. La ganancia es

$$A_{dB} = 33.22dB \quad (4.1)$$

El ancho de banda es

$$BW = 19.12kHz \quad (4.2)$$

Por último, el producto ganancia ancho de banda es

$$GBW = 766kHz \quad (4.3)$$

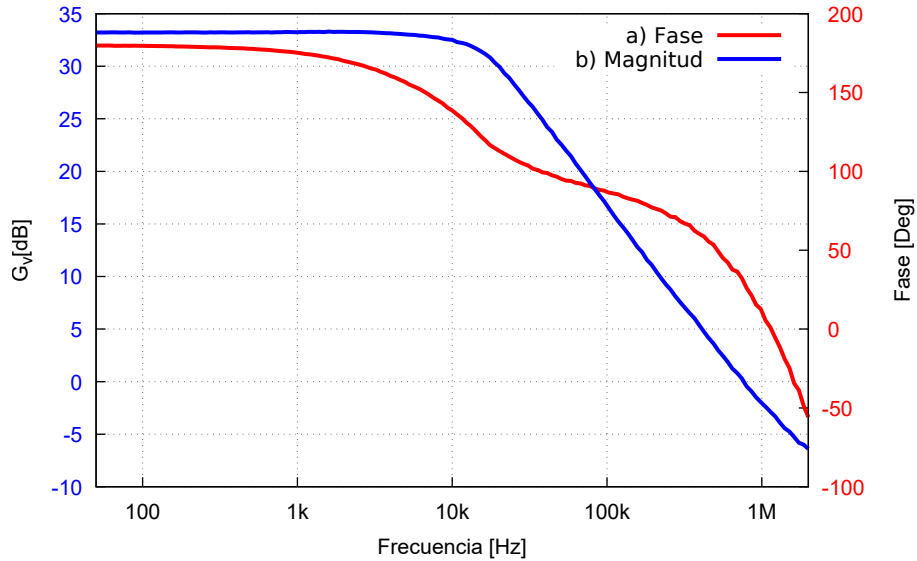


FIGURA 4.6: Respuesta en frecuencia del par diferencial, medida experimentalmente. a) Fase, b) Magnitud.

4.3.3.3. Ganancia en lazo cerrado

En la Figura 4.7 se muestra la variación de la ganancia del par diferencial, para obtener esta gráfica se implementa la configuración de la figura 2.65(b) fijando la ganancia con la relación $-\frac{R_f}{R_i}$.

4.3.3.4. Razón de rechazo de modo común (CMRR)

Para poder medir el CMRR se utilizan las configuraciones de la Figura 2.65, igual que en simulación, los resultados de la medición se muestran en la Figura 4.8.

Se obtuvo una ganancia de modo diferencial de $-0.17dB$, y una ganancia de modo común de -35.77 a una frecuencia de $4.75kHz$, entonces

$$CMRR_{dB} = -0.17dB - (-35.77dB) = 35.6dB \quad (4.4)$$

4.3.3.5. Rango lineal

Experimentalmente el rango lineal del amplificador par diferencial es

$$-2.5 < RL < 2.5 \quad (4.5)$$

como se ilustra en la gráfica de la Figura 4.9.

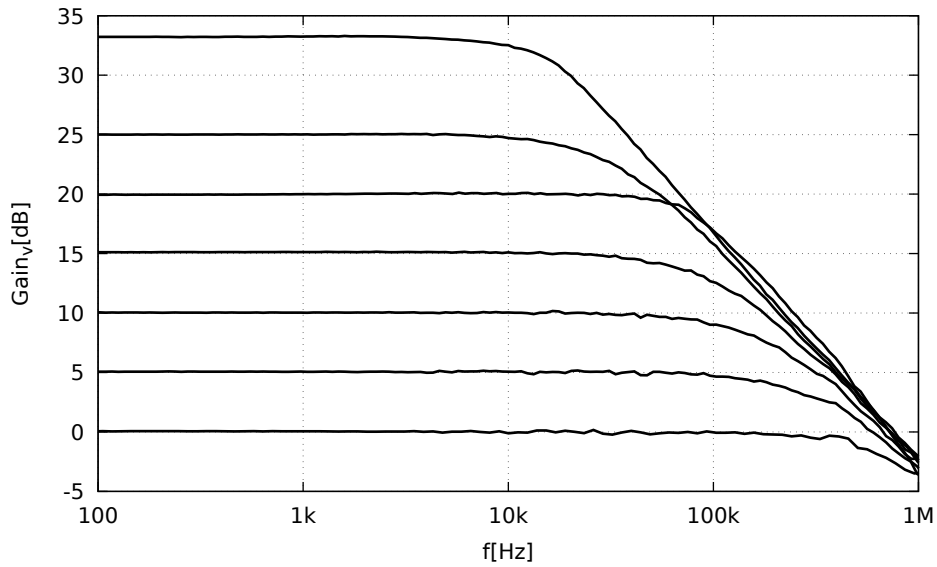


FIGURA 4.7: Respuesta en frecuencia del par diferencial, para diferentes ganancias medido experimentalmente.

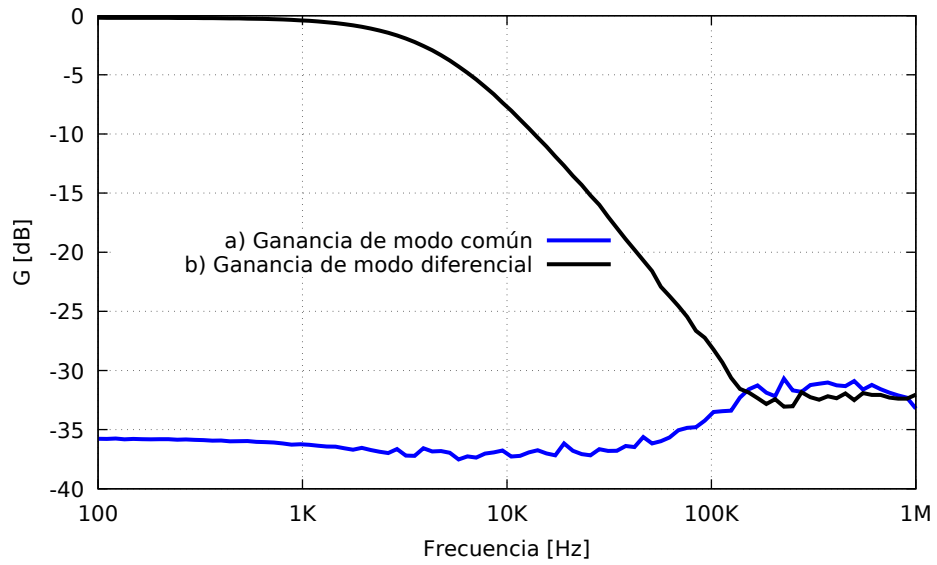


FIGURA 4.8: Gráfica para medir el CMRR del par diferencial medido experimentalmente.

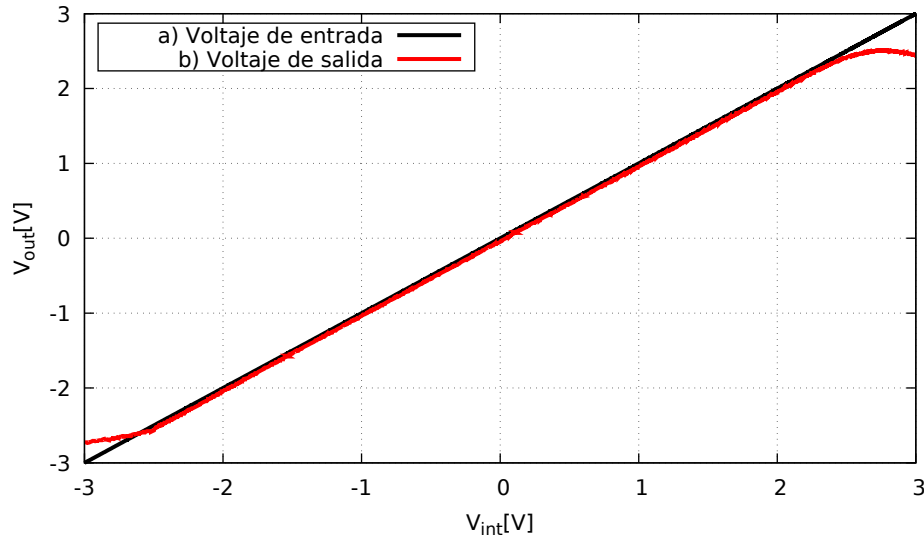


FIGURA 4.9: Rango lineal del par diferencial medido experimentalmente.

4.3.3.6. Slew Rate

Se aplica una señal cuadrada como entrada con una amplitud de voltaje $V = 2V$, a una frecuencia de $100kHz$ para poder medir el SR y se obtiene la respuesta que se muestra en la Figura 4.10.

El SR es

$$SR^+ = 2.954V/\mu s \quad (4.6)$$

$$SR^- = -1.37V/\mu s \quad (4.7)$$

El tiempo de subida de la señal de entrada es $T_r = 0.85\mu s$, mientras que el tiempo de bajada es $T_d = 1.45\mu s$.

Se puede calcular el valor de la capacitancia presente en el nodo de salida debida a el alambrado y las conexiones en el protoboard tomando en consideración que $SR = \frac{I_b}{C_{Lp}}[4]$. Entonces

$$C_{Lp} = \frac{I_b}{SR} = \frac{100\mu A}{|SR^-|} = 72.99pF \quad (4.8)$$

Lo que nos indica que esta capacitancia es mayor que la de carga que se manejó en simulación ($C_L < C_{Lp}$), lo cual repercute directamente en el ancho de banda y el SR.

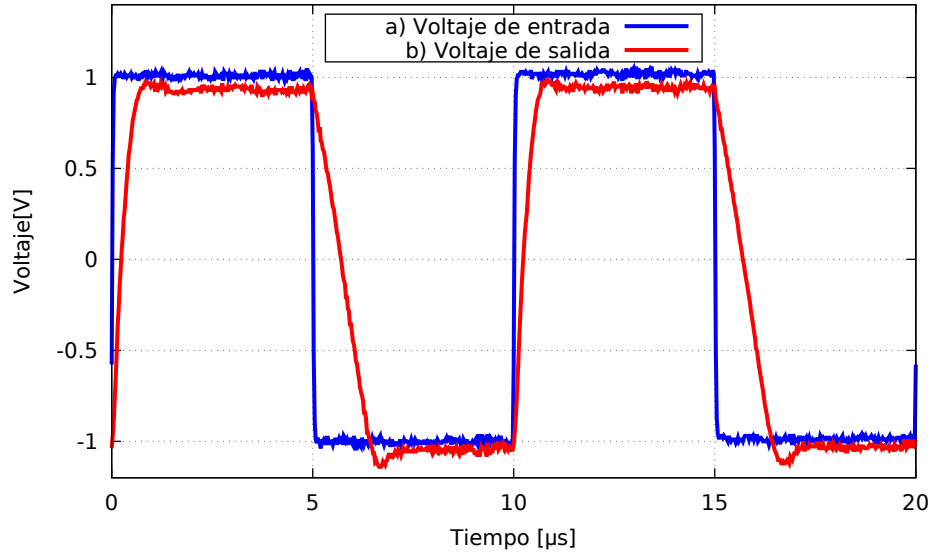


FIGURA 4.10: *Slew Rate del par diferencial medido experimentalmente.*

4.3.4. Amplificador Miller de dos etapas

Se armó el circuito de la Figura 2.59 con los siguientes valores

$$\begin{array}{lll}
 * V_{DD} = 3V & * V_{SS} = -3V & * I_{Bias} = 100\mu A \\
 * C_L = 73pF & * C_c = 100pF & * R_c = 9k\Omega
 \end{array}$$

El capacitor de carga C_L es más grande que el que se utilizó para la simulación esto debido a que en conjunto el protoboard y el alambrado proporcionan una capacitancia $C_L = 73pF$, lo que también repercute en el capacitor de compensación que se tuvo que ajustar.

4.3.4.1. Punto de operación

Los datos del punto de operación medidos experimentalmente se muestran en la Tabla 4.2.

4.3.4.2. Ganancia de lazo cerrado

Se fija una ganancia de $35dB$ utilizando la configuración de la Figura 2.65(b), en la Figura 4.11 se muestra la magnitud y fase del amplificador Miller de dos etapas medida experimentalmente.

La ganancia es

$$A_{dB} = 37.2dB \quad (4.9)$$

	M_1	M_2	M_3	M_4	M_5	M_6	M_7	M_8
$I_D[\mu A]$	105.2	106.4	-105.2	-106.4	-118.7	118.7	100	207.4
$V_{GS}[V]$	1.56	1.56	-1.67	-1.67	-1.7	1.13	1.13	1.13
$V_{DS}[V]$	2.9	2.88	-1.676	-1.7	-3.01	3.02	1.13	1.45

TABLA 4.2: Punto de operación del amplificador Miller de dos etapas medido experimentalmente.

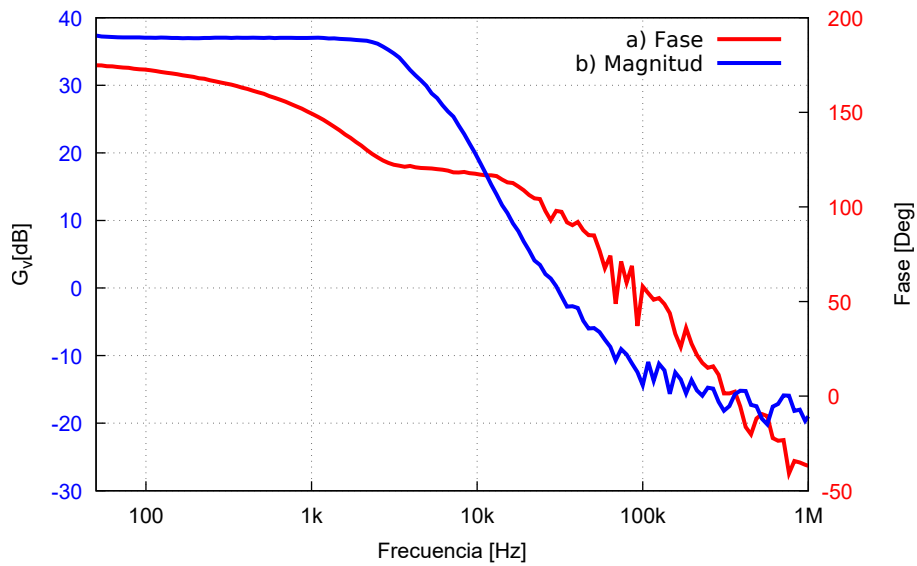


FIGURA 4.11: Magnitud y fase del amplificador Miller de dos etapas, medida experimentalmente. a) Fase, b) Magnitud.

Es importante destacar que se fija una ganancia menor a la que se obtiene en simulación, debido a que si se establece una ganancia mayor la salida es recortada, pues la mínima amplitud pico que se obtiene del generador utilizado es de $50mV$, la cual después de ser amplificada resulta en un voltaje de salida de $v_{out_p} = 2.8V$, en otras palabras, se alcanza el riel de alimentación.

El ancho de banda es

$$BW = 3.36kHz \quad (4.10)$$

Margen de fase

$$PM = 82.35^\circ \quad (4.11)$$

Por último, el producto ganancia ancho de banda es

$$GBW = 31.13KHz \quad (4.12)$$

4.3.4.3. Variación de la Ganancia de lazo cerrado

En la Figura 4.12 se muestran varias gráficas correspondientes a la variación de ganancia utilizando una configuración de amplificador inversor.

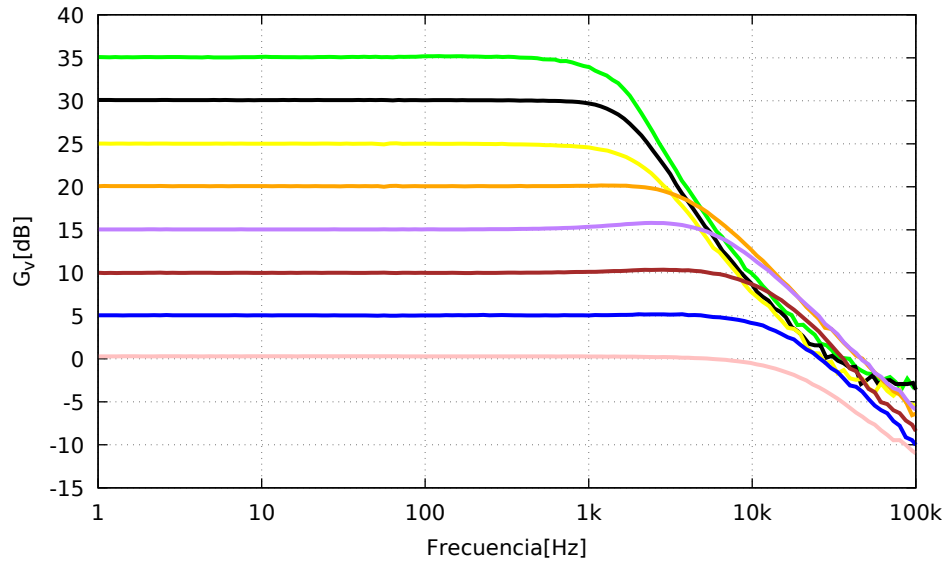


FIGURA 4.12: *Ganancia en lazo cerrado del amplificador Miller.*

4.3.4.4. Razón de rechazo de modo común (CMRR)

Para poder medir el CMRR se utilizan las configuraciones de la Figura 2.65, ajustando la ganancia diferencial en $G_d = 0dB$, los resultados de la medición se muestran en la Figura 4.13.

Se obtuvo una ganancia de modo diferencial de $0.31dB$, y una ganancia de modo común de $-40dB$, entonces

$$CMRR_{dB} = 0.31dB - (-40dB) = 40.31dB \quad (4.13)$$

4.3.4.5. Rango lineal

Experimentalmente el rango lineal del amplificador Miller de dos etapas es

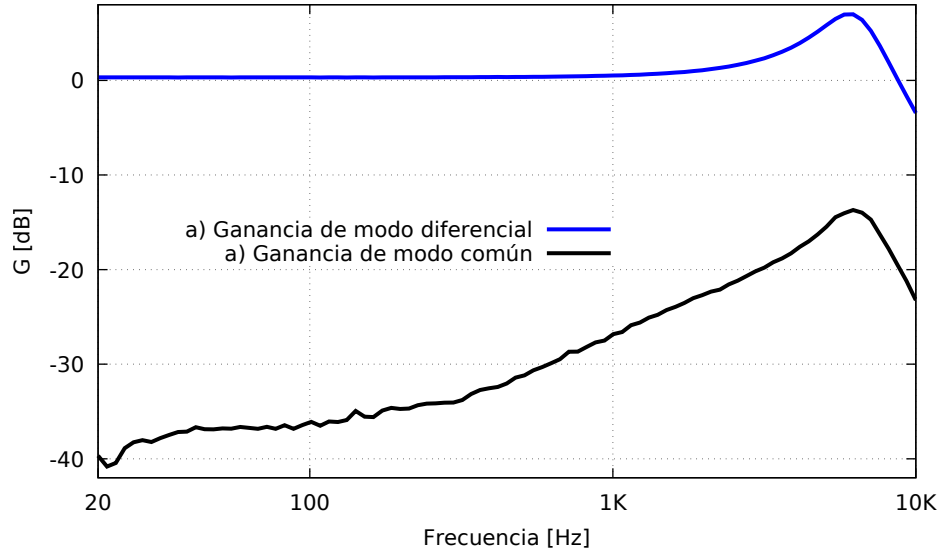


FIGURA 4.13: *CMRR del amplificador Miller dos etapas medido experimentalmente.*

$$-2.5 < RL < 2.5 \quad (4.14)$$

como se ilustra en la gráfica de la Figura 4.14.

4.3.4.6. Slew Rate

Se aplica una señal cuadrada como entrada a una frecuencia de $1kHz$, amplitud de voltaje $V = 2V$, y se obtiene la respuesta que se muestra en la Figura 4.15.

El SR es

$$SR^+ = 1.0944V/\mu s \quad (4.15)$$

$$SR^- = -0.443V/\mu s \quad (4.16)$$

El tiempo de subida de la señal de salida es $T_r = 2.05\mu s$, y el tiempo de bajada es $T_d = 4.51\mu s$.

4.3.5. Amplificador Miller de dos etapas clase AB

Para este amplificador se armó el circuito de la Figura 2.63 con los siguientes valores

* $V_{DD} = 3V$	* $V_{SS} = -3V$	* $I_{Bias} = 100\mu A$
* $C_L = 73pF$	* $C_c = 100pF$	* $R_c = 9k\Omega$
* $C_{Bat} = 1\mu F$	* $R_{large} = 10M\Omega$	

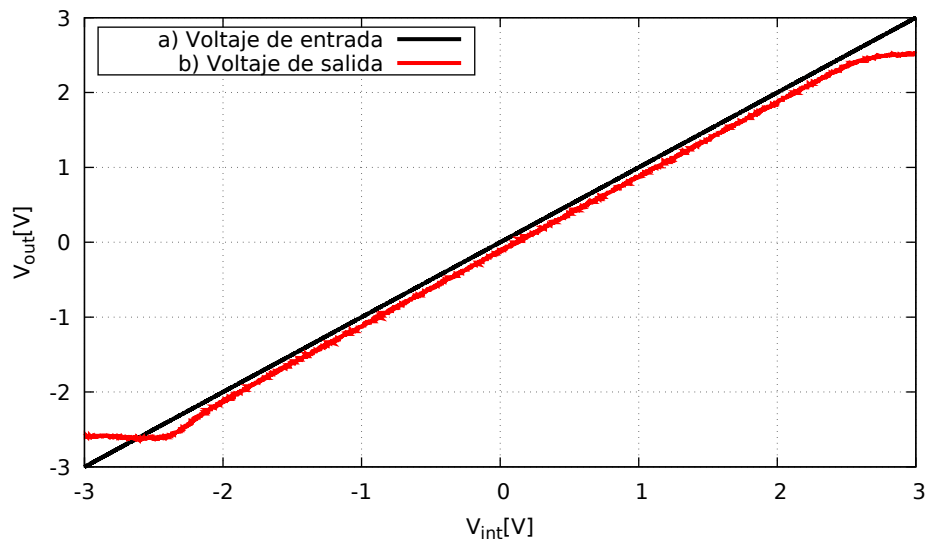


FIGURA 4.14: *Rango lineal del amplificador Miller de dos etapas.*

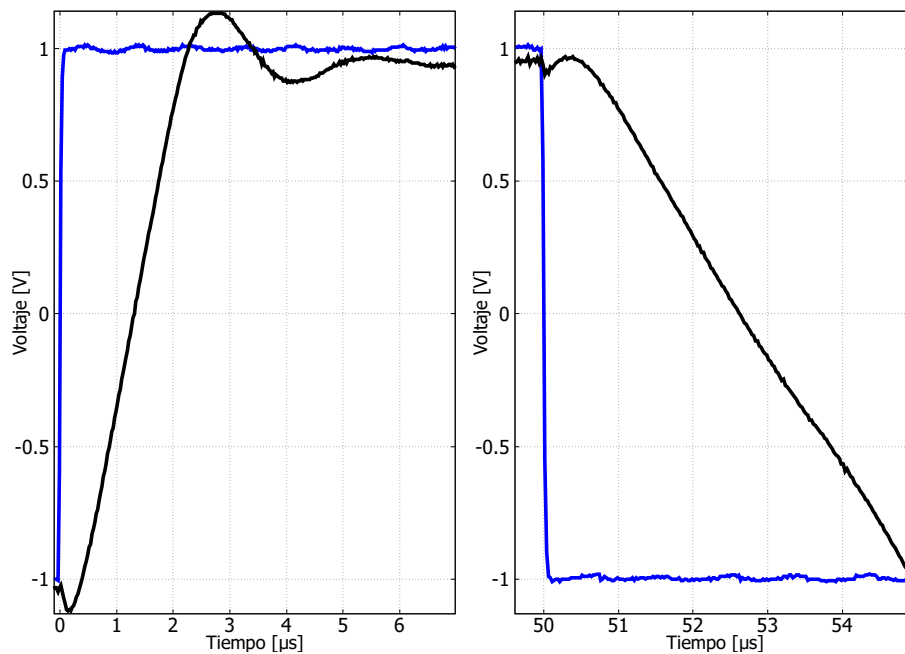


FIGURA 4.15: *Slew Rate del amplificador Miller de dos etapas medido experimentalmente.*

4.3.5.1. Slew Rate

La característica que mejoró del clase AB en simulación fue el SR por lo se aplica una señal cuadrada a una frecuencia de $10kHz$, amplitud $V = 2V$, como se muestra en color azul en la Figura 4.16, en color rojo la respuesta del amplificador Miller dos etapas clase AB y en color negro la respuesta del amplificador Miller de dos etapas.

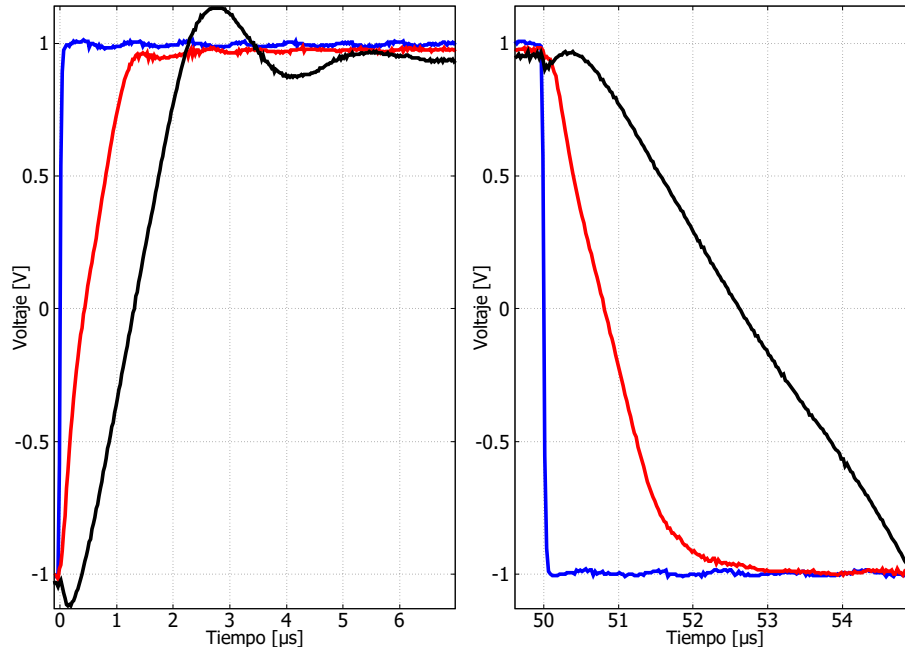


FIGURA 4.16: *Slew Rate del amplificador Miller de dos etapas clase AB medido experimentalmente.*

El valor del SR del amplificador clase AB es

$$SR^+ = 1.5376V/\mu s \quad (4.17)$$

$$SR^- = -1.1809V/\mu s \quad (4.18)$$

El tiempo de subida de la señal de salida es $T_r = 1.3\mu s$, por otra parte, el tiempo de bajada es $T_d = 2\mu s$.

En base a los resultados de simulación y de implementación se observó que una de las características que mejoran es el SR tal como se muestra en la Figura 4.16, por lo que, se puede considerar a este amplificador como un amplificador clase AB.

A continuación, se condensan las características que se midieron en simulación y experimentalmente de los amplificadores par diferencial, Miller de dos etapas y Miller de dos etapas clase AB.

En la Tabla 4.3 se enlistan las características medidas en simulación de los tres amplificadores, el que tiene menor ganancia es el par diferencial, por otro lado, el Miller clase AB mejora en ganancia, slew rate y CMRR.

	Par diferencial	Miller de dos etapas	Miller clase AB
$G_o[dB]$	33.92	73.67	76.17
$G_d[dB]$	5.69	0	0
$G_{cm}[dB]$	-47.66	-77.72	-72.8
$CMRR[dB]$	53.35	-77.72	-72.8
$BW[kHz]$	517.6	1.4	1.4
$GBW[MHz]$	20.4	6.59	10.79
$FM[^\circ]$		63.7	81.66
Slew Rate ⁺ [$\frac{V}{\mu s}$]	23	7.7	20.9
Slew Rate ⁻ [$\frac{V}{\mu s}$]	-9.85	-6.77	-16.91
Tiempo de subida [ns]	104	225	74
Tiempo de bajada [ns]	229	323	166

TABLA 4.3: Características obtenidas en simulación con el modelo de los ALD1106 y ALD1107.

En la Tabla 4.4 se enlistan las características medidas físicamente, uno de los puntos que se redujo notablemente fue el ancho de banda respecto a los rangos que se obtienen en la simulación, esto debido a las capacitancias parásitas producto del cableado y el protoboard, lo cual también impacta en el slew. Sin embargo, en comparación con el Miller de dos etapas el slew rate mejora en el Miller clase AB. Por otra parte, la máxima ganancia de estos dos amplificadores no se puede obtener con el instrumento de medición utilizado.

	Par diferencial	Miller de dos etapas	Miller clase AB
$G_o[dB]$	33.22	37.2*	37.2*
$G_d[dB]$	-0.17	0.31	0.17
$G_{cm}[dB]$	-35.77	-40	-45.64
$CMRR[dB]$	35.6	-40.31	-45.81
$BW[kHz]$	19.12	3.36	3.36
$GBW[KHz]$	766	31.13	31.13
$FM[^\circ]$		82.35	82.35
Slew Rate ⁺ [$\frac{V}{\mu s}$]	2.95	1.09	1.53
Slew Rate ⁻ [$\frac{V}{\mu s}$]	-1.37	-0.44	-1.18
Tiempo de subida [μs]	0.85	2.05	1.3
Tiempo de bajada [μs]	1.45	4.51	2

TABLA 4.4: Características medidas de la implementación con los transistores discretos ALD1106 y ALD1107.

Capítulo 5

Conclusiones

Los amplificadores de etapa única son la base para diseños más elaborados, pues cuando se conocen sus características (por ejemplo, impedancia de entrada y de salida), se pueden emplear para construir etapas en cascada que cumplan los requerimientos de uno de los cuatro tipos de amplificadores electrónicos.

Se mostró que es posible implementar un OTA con transistores discretos, operando con corrientes de polarización de $I_{Bias} = 100\mu A$, a partir de la caracterización que se realizó para esa magnitud de corriente. Los transistores discretos son de utilidad cuando se quiere prototipar diseños que posteriormente se pueden fabricar en un CI de propósito específico.

Un aspecto importante a tomar en cuenta es la capacitancia de carga, ya que en simulación se utilizó un capacitor $C_L = 1pF$, sin embargo, en la práctica se calculó (de acuerdo a las mediciones) $C_L = 73pF$, esta cantidad elevada se debe mayormente a las capacitancias parásitas tanto del alambrado como del protoboard, este parámetro es relevante ya que implica una reducción en el GBW, y el SR.

La adición de etapas en un amplificador requiere de técnicas de compensación que aseguren la estabilidad del sistema, en particular la compensación Miller que se utilizó en este trabajo emplea una resistencia, sin embargo, en CI no es común tener resistencias, por lo en un trabajo futuro se puede remplazar por transistores, o indagar en diferentes técnicas de compensación. Por otra parte, la red que se empleó para convertir el amplificador en un clase AB también consta de un capacitor y un resistor, con valores grandes, aquí el punto importante es poder tener control sobre el voltaje en C_{bat} y que tanto el capacitor como el resistor no impliquen tamaños relativamente grandes para un CI.

Los requerimientos de un amplificador son importantes en el proceso de diseño pues se pudo constatar en este trabajo como mayor ganancia significa menor ancho de banda y viceversa, en general cuando se mejoran ciertas características se tiende a desfavorecer otras, por ende,

Conclusiones

es importante proponer diseños manteniendo una buena relación entre lo que se está dispuesto a ceder para ganar en otros aspectos, en otras palabras, un punto de equilibrio entre los requerimientos generales.

Capítulo 6

Apéndice A

En este capítulo se condensan los códigos que se emplearon para las simulaciones con ALD1106 y ALD1107.

A continuación, se enlista el código para obtener las curvas características del transistor NMOS del ALD1106 que se muestran en color azul en la Figura 4.3.

```
* Project library/model file links:
.LIB ald1106.lib
* End of library/model file links

M1 1 2 0 0 ald1106 L=7.8u W=194.2u
as=0.603e-8 ps=0.478e-3 ad=0.161e-8
V2 1 0 3.3
V3 2 0 1.4185

.OP
.DC V2 0 3 0.0006 V3 0.6 1.2 0.05
.PROBE
.PRINT DC ID(M1)
.OPTION SAVEOPB
.END
```

A continuación, se enlista el código para obtener las curvas características del transistor PMOS del ALD1107 que se muestran en color rosa en la Figura 4.4.

```
* Project library/model file links:
.LIB ald1107.lib
* End of library/model file links

V1 1 0 -3
M1 0 2 1 0 ald1107 l=7.8e-6 W=740u
as=0.603e-8 ps=0.478e-6 ad=0.161e-8
V2 2 0 -1.2

.OP
.DC V1 -3 0 0.0001 V1 -1.2 -0.6 0.05
.PROBE
* .PRINT DC ID(M1)
.OPTION SAVEOPB
.END
```

En seguida se muestra el código para simular el espejo de corriente de la Figura ??.

Apéndice A

```
* Project library:
.LIB ald1106.lib                R2 4 2 978
* End of library                V2 4 0 3.3
M1 1 1 0 0 ald11061 L=7.8u W=194.2u
as=0.603e-8 ps=0.478e-6 ad=0.161e-8 .OP
M2 2 1 0 0 ald11061 L=7.8u W=194.2u .DC V2 0 4 0.001
as=0.603e-8 ps=0.478e-6 ad=0.161e-8 .PROBE
V1 3 0 3.3                      .PRINT DC ID(M1) ID(M2)
R1 1 3 21.681k                  .END
```

A continuación, se muestra el código para obtener la ganancia en lazo abierto del par diferencial de la Figura 3.28.

```
* Project library/model file links:
.LIB ald1106.lib                M4 Vout 4 6 6 ald1107 l=7.8e-6
.LIB ald1107.lib                W=740u as=0.603e-8 ps=0.478e-6
* End of library/model file links ad=0.161e-8
M3 4 4 6 6 ald1107 l=7.8e-6 W=740u
M2 Vout 1 2 3 ald1106 L=7.8u as=0.603e-8 ps=0.478e-6 ad=0.161e-8
W=194.2u as=0.603e-8 ps=0.478e-6 C1 0 Vout 3E-9
ad=0.161e-8                      R1 1 Vout 1e9
M1 4 5 2 3 ald1106 L=7.8u W=194.2u C2 0 1 1u
as=0.603e-8 ps=0.478e-6 ad=0.161e-8 V4 5 0 AC 1
I2 6 7 100u
V2 6 0 3                          .OP
V3 3 0 -3                          .AC DEC 1000 1 1E+008
M5 2 7 3 3 ald1106 L=7.8u W=194.2u .PROBE
as=0.603e-8 ps=0.478e-6 ad=0.161e-8 .PRINT AC V(Vout) VDB(Vout)
M6 7 7 3 3 ald1106 L=7.8u W=194.2u VP(Vout)
as=0.603e-8 ps=0.478e-6 ad=0.161e-8 .END
```

A continuación, se muestra el código para obtener el punto de operación del amplificador Miller de dos etapas clase AB de la Figura 2.63.

```

* Project library:
.LIB ald1106.lib
.LIB ald1107.lib
* End of library

M2 vo1 0 1 2 ald1106 L=7.8u
W=194.2u as=0.603e-8 ps=0.478e-6
ad=0.161e-8
M1 3 4 1 2 ald1106 L=7.8u W=194.2u
as=0.603e-8 ps=0.478e-6 ad=0.161e-8
I3 5 v1 100u
V3 5 0 3
V4 2 0 -3
M8 1 v1 2 2 ald1106 L=7.8u W=194.2u
as=0.603e-8 ps=0.478e-6 ad=0.161e-8
M=2
M7 v1 v1 2 2 ald1106 L=7.8u
W=194.2u as=0.603e-8 ps=0.478e-6
ad=0.161e-8
M4 vo1 3 5 5 ald1107 l=7.8e-6 W=740u
as=0.603e-8 ps=0.478e-6 ad=0.161e-8

M3 3 3 5 5 ald1107 l=7.8e-6 W=740u
as=0.603e-8 ps=0.478e-6 ad=0.161e-8
M5 Vout vo1 5 5 ald1107 l=7.8e-6
W=740u as=0.603e-8 ps=0.478e-6
ad=0.161e-8
M6 Vout v2 2 2 ald1106 L=7.8u
W=194.2u as=0.603e-8 ps=0.478e-6
ad=0.161e-8
R2 vo1 6 9k
C3 6 Vout 100e-12
R3 v1 v2 10e6
C4 0 Vout 73e-12
R4 4 Vout 10e6
C5 v2 vo1 1u

.OP
.PROBE
.END

```

El modelo del ALD1106 que se usó para las simulaciones es

```

* From library: ALD1106.LIB
.model ald1106 nmos (level=2
+ gamma=1.09
*+ vto=.750+vtm
+ vto=.750
+ Uo=650
+ Ucrit=0.7e4 Uexp=.1 Vmax=1.6e5
+ phi=.70 tpg=+1
+ nsub=1e16 neff=10 nss=.7e11
nfs=1.17e11
+ tox=.055u
+ Cgso=.94n Cgdo=.59n Cgbo=.138n
Xqc=.42
+ cj=.39m cjsw=264p
+ xj=2.0u
+ ld=1.6u
+ wd=1.05u
+ pb=.9 js=20e-6 mj=.5 mjsw=0.18
+ kf=.75e-28 rsh=10 )

```

El modelo del ALD1107 que se usó para las simulaciones es

```
* From library: ALD1107.LIB
.model ald1107 pmos (level=2
*+ vto=-.74+vtp
+ vto=-.74
+ gamma=.58
+ Uo=260
+ Ucrit=1.0e4 Uexp=.16 Vmax=3.0e5
+ phi=.70 tpg=-1
+ nsub=1e16 Neff=1 nss=1e11
nfs=1.06e11
+ tox=.055u
+ Cgso=.31n Cgdo=.39n Cgbo=.138n
Xqc=.42
+ cj=.18m cjsw=322p
+ xj=1.2u ld=.96u wd=.5u pb=.9
js=20e-6 mj=.57 mjsw=0.33
+ kf=.75e-28 rsh=90
```

Bibliografía

- [1] M. Waldrop, “The chips are down for Moore’s law”, *Nature*, vol. 530, no. 7589, pp. 144-147, 2016. Available: https://www.nature.com/news/polopoly_fs/1.19338!/menu/main/topColumns/topLeftColumn/pdf/530144a.pdf. [Accessed 14 March 2020].
- [2] F. Maloberti and A. Davies, *A Short History of Circuits and Systems*. Aalborg: River Publishers, 2016
- [3] S. Ravi, “Worldwide Semiconductor Sales Decrease 12 Percent to \$412 Billion in 2019”, Semiconductor Industry Association, 2020. [Online]. Available: <https://www.semiconductors.org/worldwide-semiconductor-sales-decrease-12-percent-to-412-billion-in-2019/>. [Accessed: 04- Mar- 2020]
- [4] F. Maloberti, *Analog Design for CMOS VLSI Systems*. New York: Kluwer Academic Publishers, 2001.
- [5] B. Razavi, *Fundamentals of microelectronics*, 2nd ed. Los Angeles: J. Wiley & Sons, 2014.
- [6] M. Rashid, *Microelectronic Circuits Analysis and Design*, 2nd ed. USA: Cengage Learning, 2011.
- [7] A. Sedra, K. Smith and E. Ramírez Grycuk, *Circuitos microelectrónicos*, 4th ed. México: Oxford University Press, 2002.
- [8] P. Allen and D. Holberg, *CMOS analog circuit design*, 3rd ed. New Delhi, India: Oxford University Press, 2012.
- [9] W. Sansen, *Analog Design Essentials*. Netherlands: Springer, 2006.
- [10] B. Razavi, *Design of analog CMOS integrated circuits*. New York, NY: McGraw-Hill Education, 2001.
- [11] Boylestad, R. and Nashelsky, L. (2014). *Electronic Devices and Circuit Theory*. 10th ed. London: Pearson.
- [12] M. Van Valkenburg, *Analog filter design*. New York: Holt, Rinehart and Winston, 1982.

- [13] Graeme, G. Tobey and L. Huelsman, Operational amplifiers. New York: McGraw-Hill, 1971.
- [14] S. Franco and J. Enríquez Brito, Diseño con amplificadores operacionales y circuitos integrados analógicos, 3rd ed. México: McGraw-Hill, 2005.
- [15] K. Ogata, Modern control engineering, 5th ed. Delhi: Pearson, 2016
- [16] C. Alexander, Fundamentals of Electric Circuits, 5th ed. New York: Mcgraw-Hill Interamerican, 2013
- [17] McKelvey, Solid state and semiconductor physics. New York: Harper & Row, 1966.
- [18] R. Carvajal, “The flipped voltage follower: a useful cell for low-voltage low-power circuit design”, IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 52, no. 7, pp. 1276-1291, 2005.
- [19] Colinge and J. Greer, Nanowire transistors physics of devices and material in one dimension. United Kingdom: Cambridge university press, 2016.
- [20] R. Bolaños, “Diseño de un Circuito de Acondicionamiento de Señal de Ganancia y Ancho de Banda Variable Optimizado en Ruido”, M.C. tesis, Benemérita Universidad Autónoma de Puebla (BUAP), México, 2017.
- [21] F. Martínez “Diseño de Bloques Analógicos para Aplicaciones Biomédicas Usando Resistores de Alto Valor”, M.C. tesis, Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE), México, 2019.