



BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA
MAESTRÍA EN INGENIERÍA ELECTRÓNICA, OPCIÓN
INSTRUMENTACIÓN ELECTRÓNICA

TESIS PARA OBTENER EL GRADO DE
MAESTRA EN INGENIERÍA ELECTRÓNICA

“DISEÑO DE UN CONVERTIDOR CD-CD PARA APLICACIONES
DE MICROPOTENCIA”

PRESENTA:

LIC. DIANA MATA HERNÁNDEZ*

Asesores

Dr. Víctor Rodolfo González Díaz

Dr. Gerardo Mino Aguilar

Agradecimientos

Agradezco a mis asesores de tesis, el Dr. Víctor Rodolfo González Díaz y el Dr. Gerardo Mino Aguilar por su confianza y conocimientos que han hecho posible la realización de este proyecto.

Al comité revisor, el Dr. Jesús Manuel Muñoz Pacheco, la M.C. Selene Edith Maya Rueda y el Dr. Germán Ardul Muñoz Hernández, cuyas observaciones han enriquecido este trabajo de tesis.

A CONACyT por el apoyo brindado para realizar mis estudios de posgrado, a la BUAP y a la Facultad de Ciencias de la Electrónica por los años de formación brindados, a mis profesores por la excelencia y calidad humana, a mis compañeros y amigos.

Índice general

Agradecimientos	I
Introducción	v
Justificación y Objetivos	vi
1. Características de Convertidores CD-CD	1
1.1. Conversión CD-CD	1
1.2. Características estáticas	2
1.2.1. Relación de conversión de tensión VCR	2
1.2.2. Ruido	3
1.2.3. Eficiencia	3
1.2.4. Densidad de potencia	3
1.2.5. Factor de mejora de eficiencia EEF	4
1.2.6. Precisión	4
1.3. Características dinámicas	4
1.3.1. Regulación de línea	5
1.3.2. Regulación de carga	5
1.3.3. Ancho de banda	5
1.3.4. Sobreimpulso	6
1.4. Técnicas de conversión	6
1.5. Convertidores CD-CD inductivos	7
1.5.1. Convertidores <i>step-down</i>	8
1.5.1.1. Convertidor Buck	8
1.5.2. Convertidores <i>step-up</i>	10
1.5.2.1. Convertidor Boost	10
2. Modelo en espacio de estados y diseño del controlador	13
2.1. Técnicas de control	13
2.1.1. Modulación por ancho de pulso	14
2.1.2. Modulación por frecuencia de pulso	15
2.2. Análisis del convertidor Buck (<i>step-down</i>)	15
2.2.1. Modelo matemático del convertidor CD-CD	16

2.2.2.	Simulación en lazo abierto en Matlab del modelo simple del convertidor CD-CD	17
2.2.3.	Simulación en lazo abierto con variaciones de carga	20
2.3.	Métodos de control para el convertidor Buck	21
2.3.1.	Control en modo deslizante	22
2.3.1.1.	Ejemplo de control en modo deslizante con control de corriente	23
2.4.	Diseño del controlador para el convertidor CD-CD Buck	26
2.4.1.	Modelo promedio en variables de estado	27
2.4.2.	Uso de la modulación Σ - Δ en el control del convertidor CD-CD	30
2.4.2.1.	Modulador Σ - Δ para control en lazo cerrado	31
2.4.3.	Control LQR	31
2.5.	Resultados preliminares obtenidos de las simulaciones realizadas en Matlab®	32
3.	Diseño e implementación en un circuito integrado de aplicación específica	34
3.1.	Modelado y simulación del convertidor CD-CD en Verilog A	34
3.1.1.	Resultados previos en Verilog A	35
3.2.	Simulación del sistema sustituyendo el modelo matemático en Verilog A por elementos eléctricos	37
3.3.	Controlador con elementos eléctricos	41
3.4.	Diseño del controlador a nivel transistor	44
3.4.1.	Interruptor	44
3.4.1.1.	Interruptor bootstrapped	44
3.4.1.2.	Interruptor empleando cadena de inversores	45
3.4.1.3.	Comparación de funcionamiento con ambos interruptores	47
3.4.2.	Diseño del amplificador para el modulador Σ - Δ	48
3.4.2.1.	Teoría de operación del CSDA	49
3.4.3.	Diseño del comparador para el modulador Σ - Δ	50
3.4.4.	Modulador Σ - Δ	53
3.4.5.	Restador	55
3.4.5.1.	Interruptor para el restador	56
4.	Resultados del sistema eléctrico y conclusiones	57
4.1.	Análisis de esquina del sistema	58
4.2.	Consumo de potencia del sistema	59
4.3.	Características estáticas y dinámicas del convertidor	62
4.4.	Comparación del convertidor CD-CD Buck con otros convertidores	64
5.	Conclusiones	65
	Bibliografía	67

A mis padres, a mi hermana y a quienes han estado conmigo, ya que sin su apoyo y comprensión no hubiera podido concluir este trabajo.

Introducción

Los convertidores CD-CD han estado presentes desde que el uso de la electricidad se convirtió en una práctica común. A través de los años muchos avances tecnológicos han dado lugar a una amplia variedad de diferentes tipos y aplicaciones para convertidores CD-CD.

Existen varias técnicas de conversión de voltaje: conversión de voltaje CA en voltaje regulado CD, conversión de voltaje de CD no regulado en voltaje CA (esta operación es normalmente llamada inversión), conversión de voltaje no regulado CD en voltaje CD regulado (este trabajo de tesis se enfoca en esta categoría), la última técnica es acerca de la generación de alto voltaje de CD [1].

En los últimos años ha surgido una tendencia hacia la baja potencia (100mW - 1W) y convertidores CD-CD de baja tensión (1V - 80V), para su uso principal en aplicaciones que funcionan con baterías. Las dos especificaciones clave para esta reciente generación de convertidores CD-CD son la eficiencia de conversión de energía y densidad de potencia. La primera especificación determina la autonomía de la batería de la aplicación de destino y la segunda especificación determina el espacio requerido del convertidor.

Los convertidores CD-CD se emplean para tener un control de la corriente de salida a un nivel de tensión deseado. Por lo regular, la entrada a estos convertidores es una tensión de corriente continua no regulada, que se obtiene mediante la rectificación de la tensión de línea, y por lo tanto hay fluctuaciones provocadas debido a los cambios en la magnitud de voltaje de línea. Las principales características de los convertidores CD-CD es que son de alta eficiencia energética, bajo costo y son compactos [2].

Este trabajo presentará un diseño de un convertidor CD-CD con un equilibrio entre características de frecuencia de conmutación y consumo de potencia, permitiendo el uso de frecuencias de conmutación variables, logrando obtener un control con la mínima frecuencia posible, lo que permitirá disminuir el consumo de potencia en una cantidad considerable y el control de voltaje de salida (menor frecuencia de conmutación), implementando un controlador eficaz con un ahorro de área en un proceso de IC de 65nm.

Justificación y Objetivos

Justificación

En la actualidad, debido al aumento del consumo de dispositivos portátiles que utilizan baterías, hay una necesidad de sistemas de gestión de energía con una mayor eficiencia, por lo que los convertidores de corriente directa a corriente directa (CD-CD) juegan un papel importante en el mantenimiento de la larga duración de la batería al mismo tiempo que proporciona voltajes de alimentación estables con la corriente requerida. Casi, todos los convertidores CD-CD se basan en una arquitectura de conmutación y se controlan con técnicas de modulación por ancho de pulso (PWM), una de las principales desventajas de PWM es el alto contenido de armónicos en los múltiplos de la frecuencia de conmutación.

Los convertidores CD-CD deben por lo general proporcionar una tensión de salida regulada con buenas propiedades de robustez con respecto a las perturbaciones de entrada y de carga, un convertidor es generalmente accionado por un bucle de control cerrado.

La eficiencia es una de las características más importantes del convertidor de CD-CD; esta característica disminuye, mientras que la disminución de la tensión de entrada. Por esta razón, se han propuesto muchos métodos para alcanzar una solución de compromiso entre el control robusto y eficiencia.

Objetivo General

Diseñar y caracterizar un convertidor de corriente continua CD-CD step-down, empleando estrategias de control, para obtener una salida de tensión a un nivel deseado, con limitación de corriente para aplicaciones de micropotencia. El diseño se hará con herramientas CAD con un proceso de manufactura de IC en 65nm.

Objetivos particulares

- Analizar las topologías actuales de convertidores CD-CD, para elegir una técnica de conversión.
- Investigar y comparar las principales técnicas de control (de acuerdo a la técnica de conversión elegida) para la topología del convertidor a diseñar.
- Analizar el modelo del convertidor CD-CD (inductivo o capacitivo) y diseñar el controlador.
- Modelar el sistema de control en Verilog-A en la herramienta de diseño asistido por computadora (Cadence® , Virtuoso).
- Diseñar el control del convertidor CD-CD a nivel transistor en un proceso CMOS de 65 nm.
- Caracterizar el desempeño del convertidor CD-CD (Cadence ®, Virtuoso).

Este documento de Tesis se encuentra organizado en los siguientes cuatro capítulos:

Capítulo I: presenta las características estáticas y dinámicas de los convertidores CD-CD, las cuales son importantes para establecer las especificaciones de un convertidor de este tipo, se describen brevemente las principales técnicas de conversión CD-CD, las arquitecturas principales basadas en la técnica de conversión elegida para el trabajo de tesis (convertidor CD-CD inductivo) y un primer análisis de la arquitectura step-down.

Capítulo II: ofrece una introducción a las estrategias de control más comunes para convertidores CD-CD y expone un análisis del modelo elegido del convertidor CD-CD step-down, en lazo abierto con modulación por ancho de pulso, su comparación con el uso de un modulador Σ - Δ , el diseño del controlador y los resultados obtenidos en Matlab.

Capítulo III: se presentan las pruebas del sistema modelado en Verilog A (Cadence ® , Virtuoso) a partir de los parámetros obtenidos en Matlab; los parámetros integrables y no integrables para el diseño del convertidor obtenidos mediante Verilog A, posteriormente se realiza el diseño con elementos eléctricos, por último el diseño del sistema a nivel transistor.

Capítulo IV: se muestran los resultados obtenidos de la caracterización del sistema completo a nivel transistor (Cadence ®, Virtuoso) y las conclusiones del trabajo.

Capítulo 1

Características de Convertidores CD-CD

El incremento en el uso de aparatos portátiles como teléfonos celulares, computadora, sistemas de diagnóstico médico, tablets, entre muchos otros, se requieren sistemas de manejo de potencia más eficientes y en ocasiones, son necesarios diferentes niveles de voltaje de CD para operar varios circuitos electrónicos construidos con diferentes tecnologías contenidos en este tipo de aparatos; por lo que los convertidores CD-CD juegan un papel importante para el mantenimiento de larga vida en baterías, sin dejar de ofrecer tensiones de alimentación estables, junto con la capacidad de conducción requerida [3].

Existe una amplia gama de arquitecturas de convertidores CD-CD, donde uno de los objetivos principales, es generar diferentes niveles de voltajes de CD de una manera más eficiente impulsando a la búsqueda de nuevas alternativas de este tipo de convertidores.

1.1. Conversión CD-CD

El objetivo de los convertidores CD-CD es convertir una tensión V_{in} de corriente continua (CD) en una tensión de salida de CD mayor o menor V_{out} como se presenta en la Figura 1.1. El proceso de conversión mencionado debe realizarse a pesar de que la tensión de entrada y la carga de salida presenten variaciones.

Los convertidores CD-CD pueden tener dos modos distintos de funcionamiento: conducción de corriente continua y conducción de corriente discontinua [4]. En la práctica, un convertidor puede funcionar en ambos modos, con características significativamente diferentes. Para cumplir esta

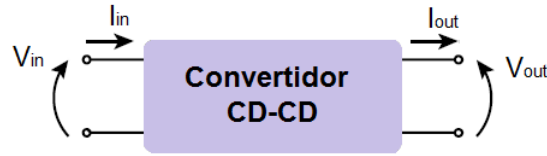


FIGURA 1.1: Convertidor CD-CD

Para esta tarea existe un número de características, las cuales describen el rendimiento de un convertidor CD-CD, pero también para comparar diferentes tipos de convertidores.

Las características del convertidor CD-CD se dividen en dos categorías principales: características estáticas y características dinámicas. Las características estáticas denotan la naturaleza del convertidor en estado estacionario, mientras que todas las condiciones ambientales son fijas y el comportamiento transitorio se resuelve fuera. Las características dinámicas denotan la naturaleza del convertidor durante los transitorios.

1.2. Características estáticas

Los requisitos estáticos están fuertemente relacionados con la naturaleza de la etapa de convertidor y no con la técnica de control utilizado por el convertidor de CD-CD. Las más importantes son:

1.2.1. Relación de conversión de tensión VCR

Es la relación entre la tensión de salida V_{out} y la tensión V_{in} de entrada de la etapa de conversión¹[5]:

$$VCR = \frac{V_{out}}{V_{in}} \quad (1.1)$$

Un convertidor CD-CD con una VCR mayor que “1” es un convertidor *step-up* y cuando es menor es un convertidor *step-down*. En el caso de una VCR negativa, el convertidor es de tipo inversor.

La corriente de salida (I_{out}) puede ser menor o mayor que la corriente de entrada (I_{in}). Por lo tanto, un convertidor CD-CD puede considerarse también como un transformador de impedancia.

¹VCR también se denota como k en [6]

1.2.2. Ruido

Idealmente una fuente de voltaje puede ser modelada como una fuente de voltaje ideal con impedancia de salida cero. Una tensión de alimentación adecuada proporciona un voltaje CD-CD libre de ruido independientemente de la corriente de carga.

La mayoría de las fuentes de tensión tienen una impedancia de salida intrínseca debido a elementos parásitos (capacitancias, resistencias e inductancias). Si una variación de la corriente fluye a través de los elementos parásitos, aparece una señal de AC, denominada ruido de entrada, el ruido es provocado por la combinación de una impedancia distinta de cero y una corriente pulsante.

1.2.3. Eficiencia

La eficiencia η de un convertidor CD-CD es la característica más importante, ya que el objetivo en la realización del convertidor es minimizar la disipación de potencia P_{loss} ². Desde este punto de referencia la eficiencia η es la relación de la potencia de salida del convertidor P_{out} y la potencia de entrada P_{in} , se calcula como [5]:

$$\eta = \frac{P_{out}}{P_{in}} \quad (1.2)$$

que equivale a[5]:

$$\eta = \frac{P_{out}}{P_{loss} + P_{out}} \quad (1.3)$$

En convertidores CD-CD de modo conmutado se pueden alcanzar niveles altos, ya que el cambio puede ser teóricamente sin pérdidas [5][7].

1.2.4. Densidad de potencia

Si la potencia de salida del un convertidor CD-CD es normalizada con respecto al área requerida para realizar la conversión [5]:

$$PD = \frac{P_{out}}{A} \quad (1.4)$$

²La diferencia entre la potencia de entrada y la potencia de salida es la potencia perdida o disipada : P_{loss}

La densidad de energía es sólo calculada para implementaciones de convertidores CD-CD monolíticamente integrados [8]. Para los convertidores de tipo discreto, se debe tomar en cuenta el volumen.

1.2.5. Factor de mejora de eficiencia EEF

Los convertidores CD-CD se evalúan principalmente por medio de su densidad de potencia o su índice de eficiencia. Pero para convertidores *step-down* los índices de eficiencia son una cifra insuficiente para calificar este tipo de convertidores. Ya que no existe una relación evidente entre la eficiencia del convertidor y la reducción de la pérdida de potencia debida al convertidor porque la eficiencia debe ser normalizada con respecto al factor de conversión [9]. Un convertidor CD-CD *step-down* puede verse desde un punto de referencia más sencillo, como un regulador lineal³. Como consecuencia de ello la eficiencia máxima teórica para los reguladores lineales con una pequeña VCR es pequeña [10][9].

Si un convertidor es seguido por un regulador lineal, el EEF del sistema final (CD-CD + regulador) es igual a la EEF independiente del convertidor [9].

1.2.6. Precisión

Es deseable que el convertidor CD-CD sea controlable externamente y siga la señal de control lo más cerca posible independientemente de las circunstancias [11]. Esta precisión puede expresarse como [5]:

$$e_{control} = \frac{V_{out}}{k_{control}V_{control}} \times 100\% \quad (1.5)$$

donde $e_{control}$ es el porcentaje de error de la salida de voltaje con respecto al voltaje de control. Tomando en cuenta que $k_{control}$ es un factor de escalamiento dependiendo del método de detección de voltaje de salida [12].

1.3. Características dinámicas

Las características dinámicas son influenciadas por el método de control y el circuito de conversión CD-CD.

³ El regulador lineal en serie es un circuito de lazo cerrado que disipa el exceso de tensión en un dispositivo de paso, tiene el inconveniente de que la ejecución de esta conversión tiene una eficiencia que corresponde a la relación entre la salida y la tensión de entrada

1.3.1. Regulación de línea

La regulación de línea denota el potencial de un convertidor CD-CD para hacer frente a las variaciones de la tensión de línea ($V_{in2} - V_{in1}$). Mediante la medición de la variación del voltaje de salida ($V_{out,in2} - V_{out,in1}$) en las dos líneas de voltaje de entrada distintas y normalizando esta variación con respecto a la variación de la línea, un porcentaje de regulación de línea es calculada [5][6]:

$$R_{line} = \frac{V_{out,in2} - V_{out,in1}}{V_{in2} - V_{in1}} \times 100 \% \quad (1.6)$$

Ya que la regulación de línea no es necesariamente lineal en toda la gama de entrada, la variación de salida se calcula para el voltaje máximo y mínimo de entrada.

1.3.2. Regulación de carga

La regulación de carga expresa el potencial de un convertidor CD-CD para lidiar con las variaciones de corriente de carga. Por medio de la medición de la variación del voltaje de salida en dos distintas corrientes de carga $I_{[1/2]}$ y su normalización con respecto a la variación de carga, la regulación de la carga se calcula como [5]:

$$R_{load} = \frac{V_{out,I2} - V_{out,I1}}{I_2 - I_1} \Omega \quad (1.7)$$

La regulación de la carga no es necesariamente lineal en todo el rango de carga. Por lo tanto, la variación de salida se calcula para la corriente de carga máxima y mínima.

1.3.3. Ancho de banda

El ancho de banda de un convertidor CD-CD describe que tan eficiente puede ser frente a los cambios de carga, tensión de línea y señales de control. El ancho de banda de regulación de carga da la mayor frecuencia de variación de la carga tolerada sin violar otros requerimientos. Esta característica se prueba mediante la aplicación de una carga mínima a una carga máxima con un tiempo de incremento definido previamente.

El ancho de banda de regulación de línea da la frecuencia máxima de variación que es tolerada en la entrada del convertidor, esto es de gran importancia para convertidores con múltiples entradas.

1.3.4. Sobreimpulso

Es la desviación de la tensión de salida nominal debido a un transitorio en la carga de línea o control. Conviene precisar exactamente en que circunstancias y puntos de operación es producido.

1.4. Técnicas de conversión

Existen varios métodos para lograr la conversión de voltaje CD-CD. Cada uno de estos métodos tiene sus ventajas y desventajas, dependiendo de las condiciones y especificaciones de operación. Algunas especificaciones son el rango de conversión de voltaje, la potencia máxima de salida, la eficiencia de potencia de conversión, número de componentes, etc. Las principales son:

- Conversión lineal de voltaje: son los convertidores más sencillos, estos realizan la conversión de voltaje por medio de la disipación del exceso de potencia en un resistor, haciendo divisores resistivos, sólo puede disminuir la tensión de salida y está basado en disipar el exceso de energía. La eficiencia de potencia es proporcional a la relación de conversión de voltaje.
- Conversión capacitiva: la conversión capacitiva se basa en la capacidad de almacenamiento de energía de los condensadores (la energía se almacena en forma de campo eléctrico \vec{E}) para la transferencia de carga desde la entrada a la salida del convertidor. La capacidad de almacenar carga es expresada como la capacitancia (C) del condensador. Este convertidor puede tanto disminuir o aumentar la tensión de salida. La eficiencia de conversión de energía, idealmente, sólo llegan a 100 % en la proporción de conversión de voltaje óptimo, que depende de la topología utilizada, y es independiente de la potencia de salida.
- Conversión inductiva: Los convertidores inductivos emplean componentes activos (inductores) que almacenan energía en un campo magnético (\vec{B}), que son usados para la transferencia de energía de la entrada a la salida. Este convertidor puede tanto disminuir o aumentar la tensión de salida. La eficiencia de conversión de energía idealmente siempre llegará a 100 %, independientemente de la relación de conversión de voltaje y potencia de salida.

En las técnicas de conversión capacitiva e inductiva se tienen limitantes. Los convertidores CD-CD inductivos son una opción atractiva cuando inductores de baja resistencia (factor de calidad) están disponibles y para las tecnologías de producción donde los condensadores con

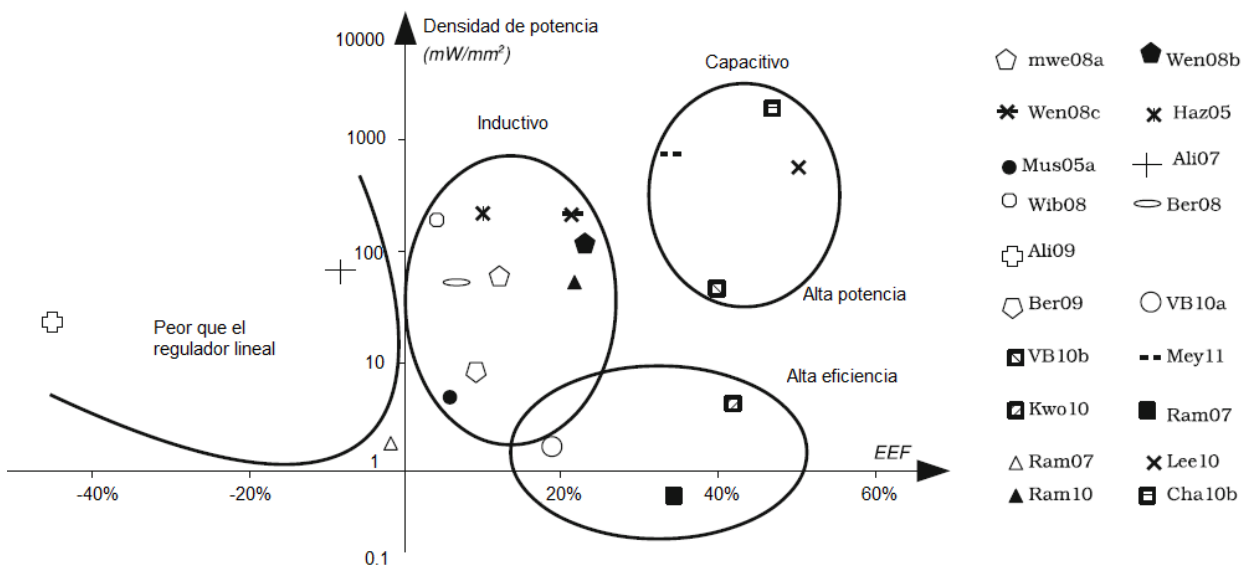


FIGURA 1.2: Convertidores CD-CD basados en la naturaleza de conversión [5]

una alta densidad de capacitancia están presentes, los convertidores CD-CD capacitivos son una alternativa viable [5].

En el caso de los convertidores de potencia: la eficiencia y la densidad de potencia son las características más importantes de FOM⁴ estáticas mientras que la tensión de línea y la regulación de la carga caracterizan la calidad del sistema de control (FOM dinámicas).

En la Figura 1.2 se muestra una visión general, se da de los convertidores publicados recientemente dada su densidad de potencia y EEF. De acuerdo a la Figura 1.2, se observa que los convertidores inductivos tienen puntuación especialmente alta en la densidad de potencia, sin embargo no tienen una baja EEF. El problema principal se debe a la falta de inductores de alta calidad en tecnologías CMOS (es decir, inductores integrados), por otro lado, los convertidores capacitivos se dividen en dos grupos, los tienen alta EEF pero tienen una baja densidad de potencia y los que son particularmente buenos en ambas.

1.5. Convertidores CD-CD inductivos

A continuación se presentan las diferentes topologías de convertidores inductivos, la descripción de sus principios básicos de funcionamiento.

⁴Para realizar un seguimiento de las evoluciones tecnológicas se utilizan figuras de mérito (FOM) para comparar el rendimiento de un circuito.

Los convertidores CD-CD de tipo inductivo pertenecen al grupo de convertidores conmutados, consisten en uno o más inductores y condensadores y al menos dos switches. Existen varios tipos de convertidores CD-CD atendiendo a sus características de funcionamiento. Los principales tipos son [2]:

- Convertidor de bajada (Step-down o Buck).
- Convertidor de subida (Step-up o Boost).
- Convertidor de subida/bajada (Buck-Boost).
- Convertidor de Cúk.
- Convertidor Full-bridge.

De los convertidores anteriores sólo el convertidor *step-down* y el convertidor *step-up*, son las topologías básicas de convertidores. Los convertidores Buck-Boost y Cúk son combinaciones de las dos topologías básicas y el convertidor Full-bridge se deriva del convertidor *step-down*[?]. Sólo se realizará el análisis de las topologías básicas, para la elección de una de ellas.

1.5.1. Convertidores *step-down*

Los convertidores CD-CD inductivos *step-down* se utilizan para convertir la tensión de entrada V_{in} a una tensión de salida V_{out} menor. En esta sección se analizan y se comparan las diferentes topologías de convertidores *step-down* ideales. Las topologías *step-down* son [13]:

- El convertidor Buck
- El convertidor de puente
- El convertidor Buck de tres niveles
- El convertidor $Buck^2$
- El convertidor de Watkins-Johnson

1.5.1.1. Convertidor Buck

El circuito de un convertidor Buck ideal (Figura 1.3(a)), es la base de muchas de las implementaciones de convertidores *step-down*. En el principio de funcionamiento en Modo de Conducción Continua (CCM), la corriente $i_L(t)$ a través del inductor L siempre tiene un valor positivo finito y se describe en dos fases:

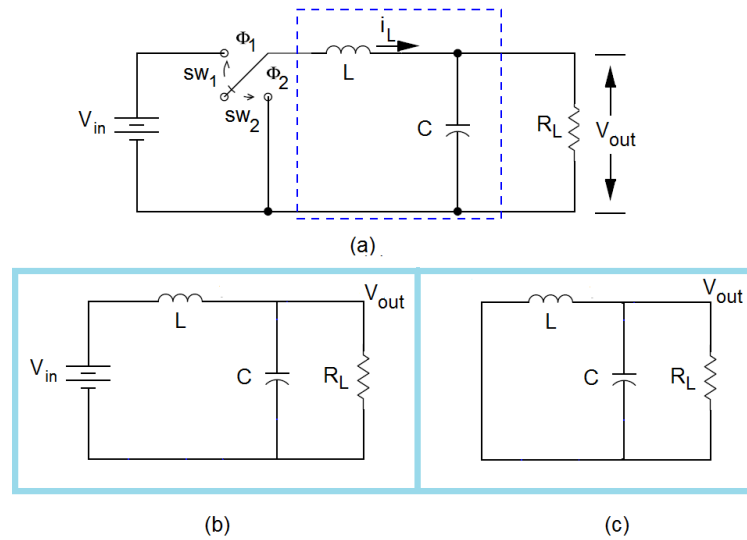


FIGURA 1.3: Topología del convertidor Buck

1. El inductor se carga en la fase 1 ϕ_1 (Figura 1.3(b)), cuando el interruptor sw_1 está cerrado y el interruptor sw_2 está abierto por un tiempo t_{on} L se carga en serie con C y R_L a V_{in} , causando un incremento en $i_L(t)$ desde su mínimo valor $I_{L_{min}}$ hasta su máximo valor $I_{L_{max}}$, cuando $i_L(t)$ es mayor que la corriente de salida en $i_{out}(t)$, C también comienza a cargarse. Antes de este punto la corriente fluye de C a R_L y posteriormente la corriente cambia de dirección debido a la diferencia de potencial es decir de V_{in} a R_L , debido a que la componente de CD de $i_L(t)$ fluye a través de R_L .
2. Descarga del inductor fase 2 ϕ_2 (Figura 1.3(c)), el interruptor uno (sw_1) se abre y el interruptor dos (sw_2) se cierra por un tiempo t_{off} , L se descarga en C y R_L , causando que $i_L(t)$ disminuya de $I_{L_{max}}$ a $I_{L_{min}}$, durante la primera parte de ϕ_2 , $i_L(t)$ es mayor que $i_{out}(t)$, causando que C se cargará más por L y R para ser accionado por la componente en DC de $i_L(t)$. Después de esta primera parte de ϕ_2 , L y C se descargan en R_L .

En esta configuración, debido a que L no se descarga en serie con V_{in} , V_{out} siempre será menor que V_{in} .

En modo de conducción discontinuo (DCM) $i_L(t)$ varía entre un valor positivo y cero. El funcionamiento de un convertidor Buck ideal en modo discontinuo consta de tres fases, las primeras dos son equivalentes a las de CCM y la tercera es la fase de tiempo muerto ϕ_3 que consiste en la conexión en serie de C y R_L , por la apertura de sw_1 y sw_2 durante un tiempo muerto t_d . Esto evita que $i_L(t)$ se convierta en negativa, cortocircuitando de ese modo C a tierra.

El convertidor Buck requiere el menor número de componentes en comparación con otros convertidores *step-down*: un inductor, un condensador y dos interruptores. Debido a que sólo utiliza

dos interruptores, tiene el potencial de lograr la mayor eficiencia de conversión de energía, ya que estos interruptores causan pérdidas de conducción y conmutación. Esto es especialmente el caso para convertidores CD-CD monolíticos, debido a sus altas frecuencias de conmutación. La Figura 1.4 muestra la C_{tot} requerida en función de la potencia de salida para cada una de las topologías de convertidores *step-down*, en esta comparación el convertidor Buck demuestra ser la mejor opción para la integración monolítica logrando una potencia de salida de $P_{out} > 1W$, con la C_{tot} más baja requerida [13].

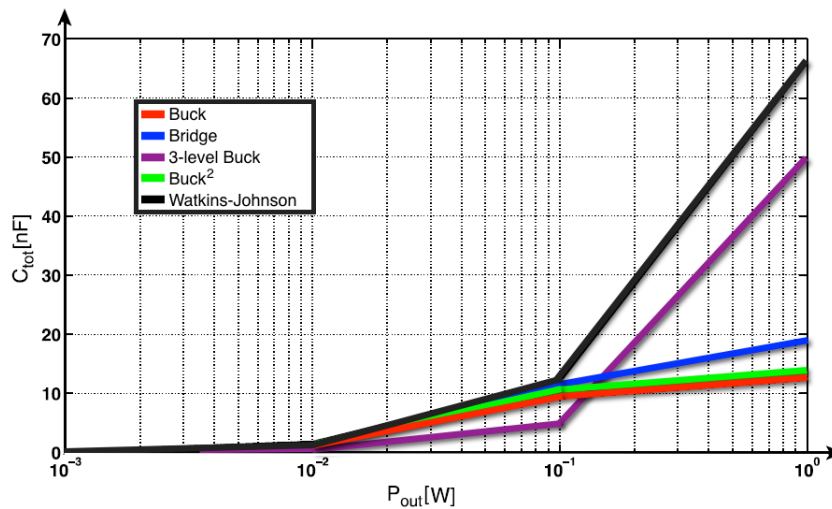


FIGURA 1.4: C_{tot} vs P_{out} en las topologías de los convertidores *step-down* [13].

1.5.2. Convertidores *step-up*

Los convertidores *step-up* se utilizan para convertir la tensión de entrada V_{in} a una tensión de salida mayor V_{out} .

Las topologías de convertidores Step-up son [13]:

- El convertidor Boost
- Convertidor Bridge Current-Fed
- Convertidor inversor Watkins-Johnson

1.5.2.1. Convertidor Boost

El circuito de un convertidor CD-CD se muestra en la Figura 1.5. En el modo de conducción continua (CCM) la corriente a través del inductor $i_L(t)$ tiene un valor finito, positivo que no es cero y el modo de funcionamiento consta de dos fases:

1. Fase de carga inductor ϕ_1 (Figura 1.5(b)), sw_1 está cerrado y sw_2 abierto para un tiempo t_{on} , el inductor L se carga con V_{in} , haciendo que la corriente del inductor $i_L(t)$ aumente de su mínimo valor $I_{L_{min}}$ al máximo $I_{L_{max}}$. Simultáneamente, el condensador de salida C se descarga a través de la carga R_L .
2. Fase de descarga inductor ϕ_2 , (Figura 1.5(c)), sw_1 está abierto y sw_2 cerrado durante un tiempo t_{off} . L se descarga por medio de C y R_L , causando que $i_L(t)$ disminuya de $I_{L_{max}}$ a $I_{L_{min}}$, como resultado $i_L(t)$ se divide en C y R, cargando C y activando a R.

Debido a que L se descarga en serie con V_{in} se puede ver que el voltaje de salida V_{out} siempre será mayor que V_{in} .

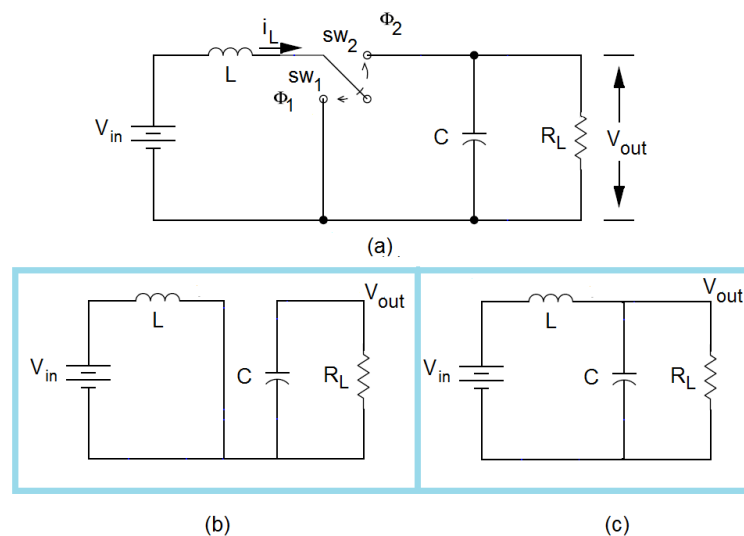


FIGURA 1.5: Funcionamiento del convertidor Boost.

Haciendo una comparación entre las topologías anteriores, el convertidor Boost requiere el menor número de componentes por lo que tiene mayor potencial para lograr la mayor eficiencia de conversión de energía, ya que cada interruptor causará pérdidas de conducción y conmutación significativas.

Las clases principales de convertidores CD-CD inductivos, tienen subclases, como son los multifase, los de un solo inductor y los de múltiple salida (SIMO), en este caso solo se toma en cuenta el de un solo inductor.

En conclusión, para una potencia de salida máxima las siguientes topologías son los más adecuados:

- Step-down: Convertidor Buck.

- Step-up: Convertidor Boost.

Debido a que el convertidor a diseñar es un convertidor *step-down*, se elige la topología Buck.

Capítulo 2

Modelo en espacio de estados y diseño del controlador

El control de convertidores CD-CD se refiere a la manipulación de los parámetros del convertidor para que el comportamiento de éste coincida con las necesidades de alimentación del sistema, su objetivo es garantizar una tensión de salida y una respuesta predecibles, aun cuando se tengan perturbaciones en ambas.

2.1. Técnicas de control

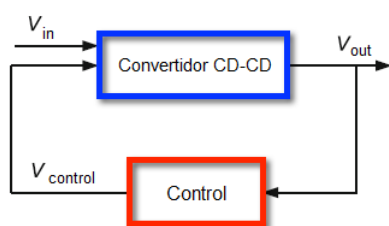


FIGURA 2.1: Esquema de Control.

Para controlar un convertidor CD-CD se utiliza un bloque de procesamiento de señal. Este bloque observa las características del sistema e interviene en el comportamiento del convertidor para cumplir con las características de conversión definidas como se presenta en el diagrama de la Figura 2.1.

Las técnicas de modulación para convertidores CD-CD inductivos básicamente se pueden dividir en dos categorías: la modulación de ancho de pulso (PWM) y Modulación por frecuencia de pulso (PFM). PWM es la opción más utilizada para convertidores CD-CD que no son integrados

totalmente. Sin embargo, PFM es la mejor opción para convertidores CD-CD monolíticos por los criterios que se presentan a continuación.

2.1.1. Modulación por ancho de pulso

PWM es un método ampliamente utilizado para el control de convertidores CD-CD inductivos con componentes fuera del chip. Modelar el comportamiento de pequeña señal del convertidor, ya que es un modelo no lineal, se lleva a cabo a través de un modelo promediado en el espacio de estado, que puede ser utilizado tanto para modo de conducción continuo (CCM) [14] y modo de conducción discontinuo (DCM) [15], este tipo de modelos son utilizados para simular el comportamiento, respuesta de frecuencia dinámica y la estabilidad del convertidor CD-CD con un lazo de control PWM. Sin embargo, estos modelos deben adecuarse para que los elementos activos del convertidor se encuentren una década por debajo de la frecuencia de conmutación f_{sw} [16], que los hace inadecuados para convertidores CD-CD de alta frecuencia, debido a la dificultad para integrarlos como dispositivos confiables y de dimensiones escaladas.

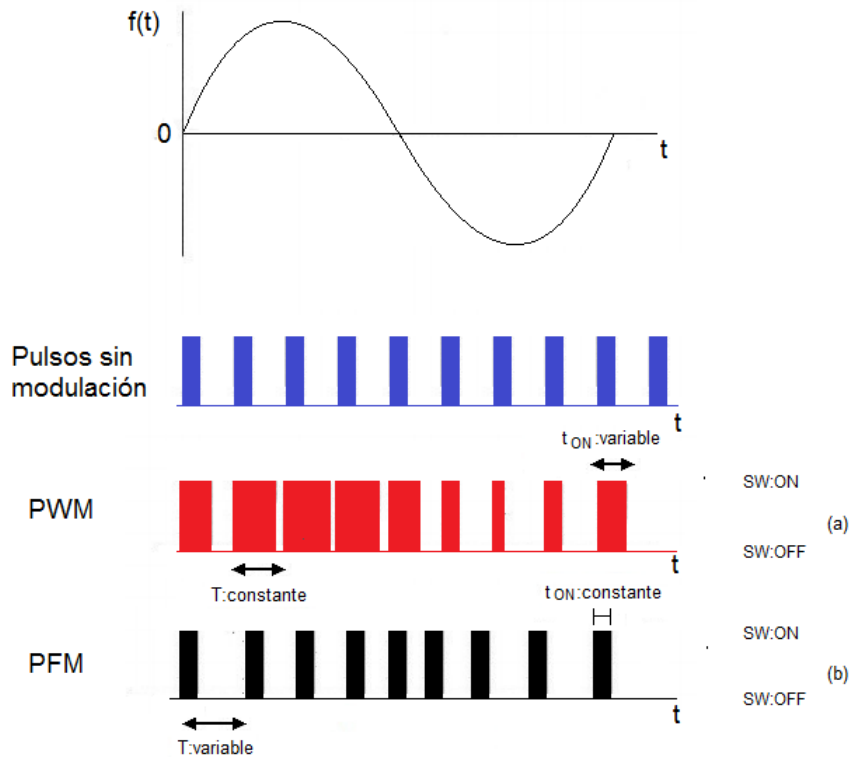


FIGURA 2.2: Modulación por ancho de pulso (PWM) y modulación por frecuencia de pulso (PFM).

La Figura 2.2 (a) muestra una señal PWM, la cual se genera por medio de la comparación entre una señal triangular con una frecuencia constante y un voltaje de referencia V_{ref} . Cuando

V_{ref} es mayor a la amplitud de la señal triangular, la señal PWM es positiva, y viceversa. Por lo tanto, el tiempo en alto t_{on} se incrementa con un valor creciente de V_{ref} , dando como resultado que el ciclo de trabajo δ sea proporcional a la amplitud de V_{ref} . V_{ref} no debe ser mayor ni menor que los límites de la amplitud de la señal triangular, ya que esto puede conducir a la inestabilidad. El método de control PWM para CCM y para ciclos de trabajo mayores al 50 % puede comprometer la estabilidad del convertidor debido a las oscilaciones subarmónicas [17][18].

2.1.2. Modulación por frecuencia de pulso

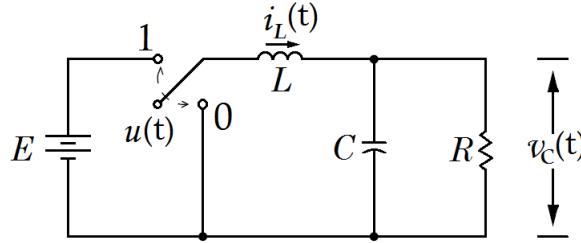
La modulación por frecuencia de pulso (PFM) es también un método para el control de convertidores CD-CD. Consta de un t_{on} constante como se presenta en la Figura 2.2 (b), el tiempo para cargas bajas operación de baja frecuencia y el tiempo para cargas altas operación de alta frecuencia son iguales $t_{on1} = t_{on2}$. Como consecuencia, cuando V_{in} y V_{out} se supone constante, la regulación de V_{out} bajo cargas variables se logra cambiando la frecuencia de conmutación f_{sw} de los interruptores. Esto es contrario a PWM, donde f_{sw} es constante y la regulación de V_{out} bajo cargas variables se logra mediante la alteración del tiempo t_{on} . Al igual que PWM, PFM no sufre problemas de inestabilidad en DCM [19].

La principal diferencia en estas dos técnicas básicas de control es el hecho de que PWM utiliza un tiempo t_{on} para regular el voltaje de salida del convertidor V_{out} , mientras que PFM utiliza un cambio en la frecuencia de conmutación f_{sw} . El impacto de estas técnicas se da en las especificaciones importantes de los convertidores CD-CD, existen otras técnicas de control PFM [19], como el control t_{off} constante, control por histéresis, entre otras que son derivadas de las técnicas básicas anteriormente mencionadas.

2.2. Análisis del convertidor Buck (*step-down*)

Los convertidores conmutados se caracterizan por ser sistemas que admiten descripciones matemáticas durante periodos de operación diferentes [20]. En la literatura se encuentran diferentes análisis de este tipo de convertidores [21][22], en este caso se propone un modelo sintetizado, pero sin perder la profundidad requerida para una aplicación en ingeniería.

El convertidor Buck es un circuito que multiplica la tensión de entrada constante E por un factor escalar, menor que la unidad, en la salida. Las características del inductor y el capacitor como elementos almacenadores de energía dividen la corriente proveniente de la fuente de alimentación produciendo así niveles de voltaje menores en la carga que los de la fuente. El interruptor en el esquema de la Figura 2.3, consiste de dos elementos: un elemento de conmutación rápida y


 FIGURA 2.3: Convertidor CD-CD *step-down*.

el otro con un tiempo de recuperación mucho menor que el periodo de la señal de control. La función de éste último, es impedir que la corriente de descarga del condensador se devuelva. Cuando el transistor está en conducción (interruptor en 1), la inductancia almacena energía para luego suministrarla simultáneamente a la carga y al condensador a otro nivel de voltaje en los intervalos en los que el transistor esté en corte (interruptor en 0) es mas conveniente emplear un diodo, ya que este no depende de la fase de reloj. Lo que permite el uso de un interruptor no controlado (o diodo).

2.2.1. Modelo matemático del convertidor CD-CD

El convertidor Buck exhibe un comportamiento no lineal en virtud de su sistema de conmutación, por lo cual se deben obtener las ecuaciones diferenciales no lineales que describen el comportamiento del circuito.

Para obtener las ecuaciones diferenciales que describen el convertidor Buck, se considera la topología ideal de la Figura 2.3, el sistema de ecuaciones diferenciales que describen la dinámica del convertidor se obtiene a través de la aplicación directa de las leyes de Kirchoff de tensión y de corriente para cada una de las posibles topologías derivadas de la posición del interruptor.

Cuando la función de la posición del interruptor exhibe el valor $u = 1$, se obtiene la topología correspondiente a la modalidad de no conducción, alternativamente, cuando la posición del interruptor exhibe el valor $u = 0$ se obtiene la segunda topología del circuito correspondiente al modo de conducción.

Comparando las descripciones de los sistemas dinámicos concretos obtenidos para cada valor de u , se obtiene el modelo del sistema dinámico unificado [23]:

$$\begin{aligned} L \frac{di}{dt} &= -v + uE \\ C \frac{dv}{dt} &= i - \frac{v}{R} \end{aligned} \quad (2.1)$$

El comportamiento descrito por 2.1 es usualmente conocido como el modelo conmutado donde $u \in \{0, 1\}$.

Al tener un solo grupo de ecuaciones para modelar el circuito bajo cualquier condición de operación en el interruptor, las ecuaciones se transforman en ecuaciones no lineales debido a la multiplicación de las variables de estado con el parámetro u .

$$\begin{aligned} \dot{x}_1 &= -\frac{1}{L}x_2 + \frac{uE}{L} \\ \dot{x}_2 &= \frac{1}{C}x_1 - \frac{1}{RC}x_2 \end{aligned} \tag{2.2}$$

2.2.2. Simulación en lazo abierto en Matlab del modelo simple del convertidor CD-CD

Una vez obtenido el modelo, se realiza la representación a nivel bloque en Matlab® para obtener su respuesta en lazo abierto, empleando modulación por ancho de pulso y un modulador Σ - Δ .

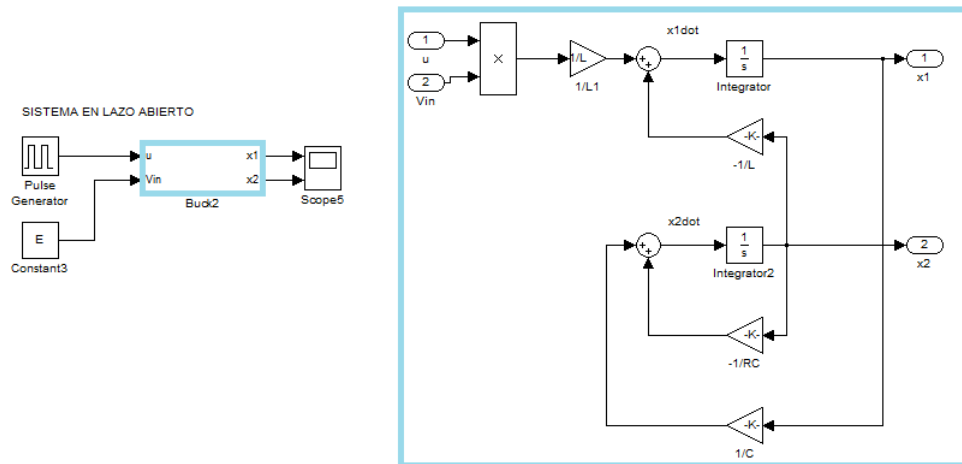


FIGURA 2.4: Simulación en lazo abierto, y diagrama de bloques del convertidor Buck.

La Figura 2.4 en la parte derecha presenta el diagrama de bloques del subsistema correspondiente al modelo de la ec. 2.2 y el sistema completo de simulación en lazo abierto con PWM en Simulink, con un ciclo de trabajo de 50%, para obtener a la salida una división por dos del voltaje de entrada (E)¹.

La respuesta en lazo abierto se muestra en la Figura 2.5, donde en la parte superior se observa el voltaje en el capacitor (x_2), mientras que en la parte inferior la corriente en el inductor (x_1). El voltaje obtenido es aproximadamente $\frac{E}{2}$ que corresponde al ciclo de trabajo de 50%.

¹Los valores de los elementos L y C para desarrollar las simulaciones son de acuerdo a las fórmulas mencionadas en: Castro Morales, Christian; "Control en tiempo real de convertidores electrónicos"; Tesis de maestría, Instituto Politécnico Nacional, México, 2009

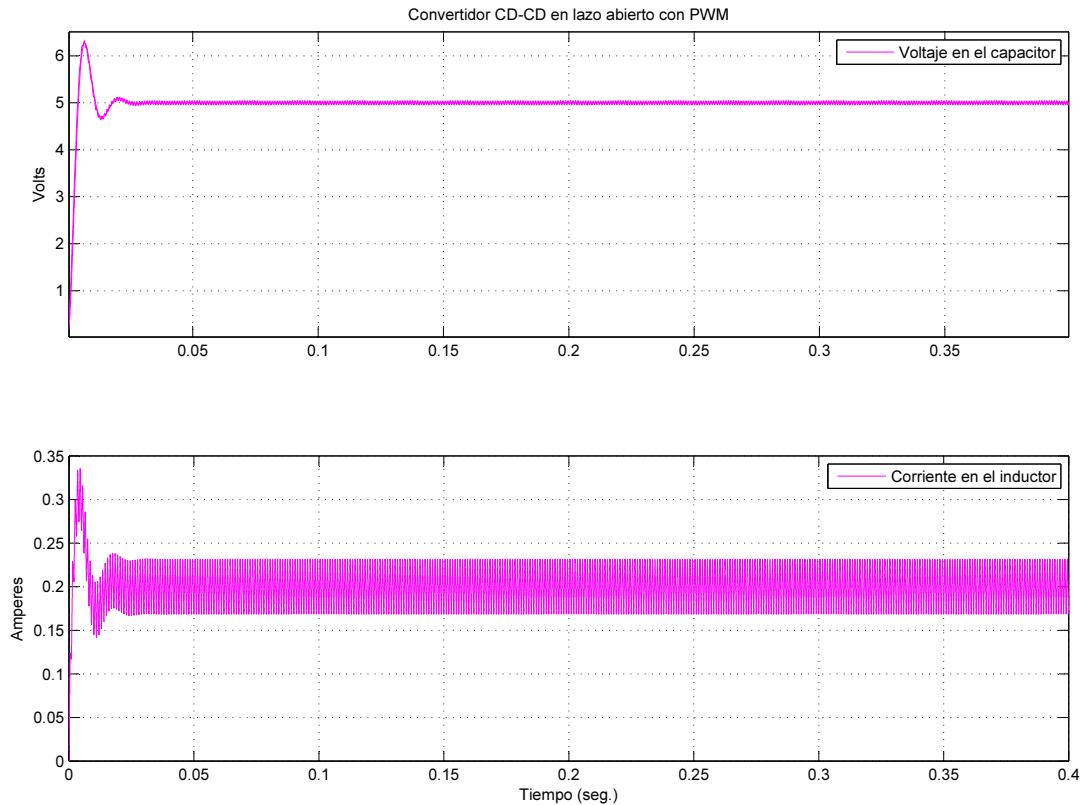


FIGURA 2.5: Respuesta en lazo abierto del convertidor *step-down* con PWM.

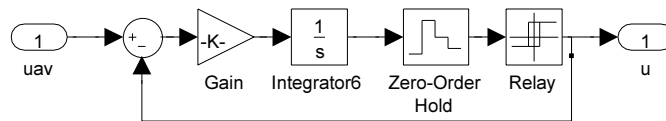


FIGURA 2.6: Esquema del modulador Σ - Δ en simulink.

Una alternativa al uso de PWM es usar un modulador Σ - Δ [24], por lo que el mismo modelo del convertidor CD-CD se simula ahora en lazo abierto, pero con un modulador Σ - Δ , la Figura 2.6 muestra la representación de este bloque en simulink² con un valor constante dentro del rango dinámico del modulador igual a 0.5 para manejar la modulación adecuada para el voltaje de salida deseado, a diferencia de PWM en el que se varía el ciclo de trabajo, se obtiene una cadena de unos y ceros correspondiente a la entrada que varia de acuerdo al voltaje de salida requerido.

La respuesta en lazo abierto del convertidor con el modulador Σ - Δ con una constante de 0.5 (50% de la salida), para obtener a la salida una división por dos del voltaje de entrada se muestra en la Figura 2.7, donde en la parte superior se observa el voltaje (x_2), mientras que

²La representación del convertidor modulador Σ - Δ se ira perfeccionando a lo largo de este trabajo de tesis

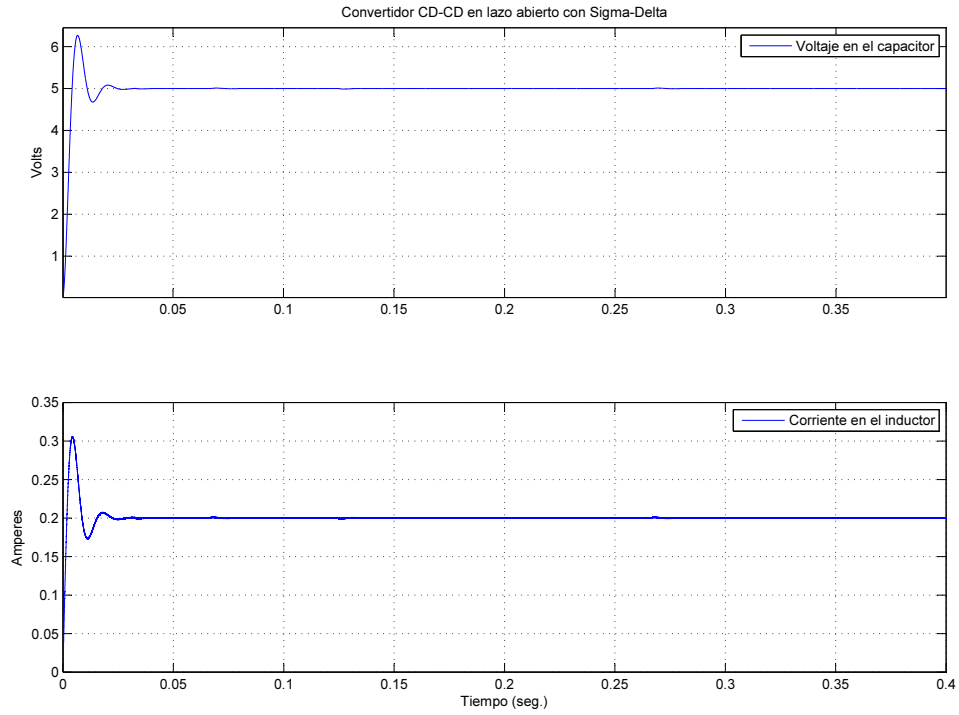


FIGURA 2.7: Respuesta en lazo abierto del convertidor *step-down* con modulador Σ - Δ .

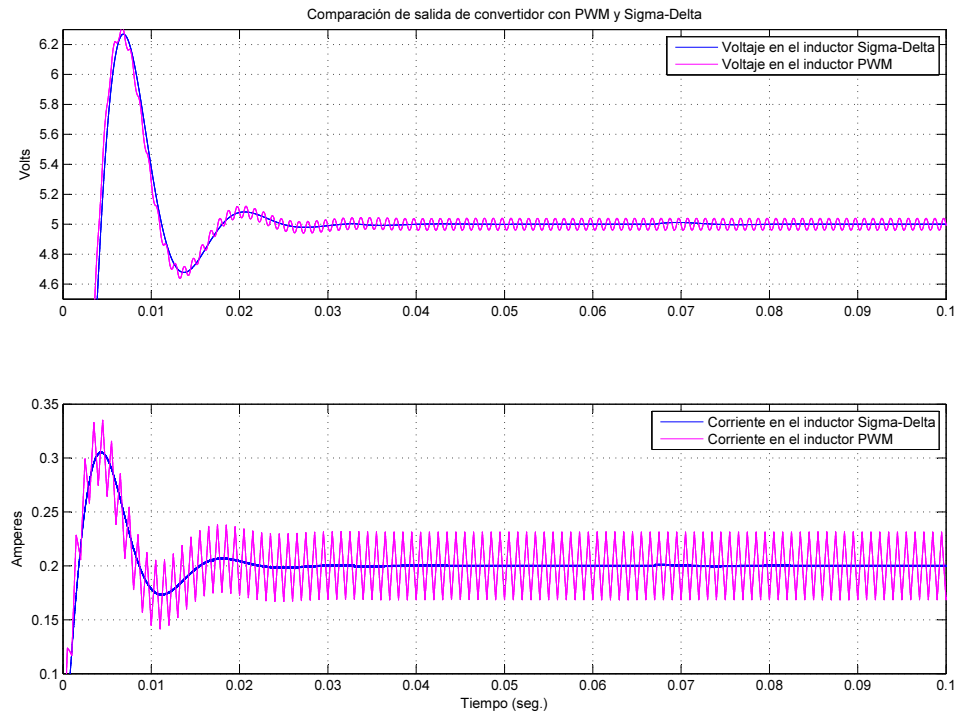


FIGURA 2.8: Comparación de la respuesta en lazo abierto del convertidor *step-down* con PWM vs modulador Σ - Δ .

en la parte inferior la corriente (x_1), a la salida se tiene el voltaje $\frac{E}{2}$ correspondiente al valor constante de 0.5 de la entrada del convertidor ADC.

Las comparación de la respuesta del sistema en lazo abierto, con PWM y un modulador $\Sigma\text{-}\Delta$ se presenta en la Figura 2.8, en la cual se observa que el rizo de salida de voltaje y de corriente es mayor cuando se tiene PWM aproximadamente -0.038 y $+0.04$ en voltaje y -0.015 y $+0.015$ en corriente, mientras que con el modulador $\Sigma\text{-}\Delta$, el rizo no es apreciable debido a que se encuentra en un rango de -0.012 y $+0.012$ en voltaje y -0.0012 y $+0.0010$ en corriente, por lo que con el modulador $\Sigma\text{-}\Delta$ se obtiene una reducción del rizo de voltaje en un 70 % y un 92 % en corriente.

Una vez obtenidos los resultados de las simulaciones en lazo abierto, se pudo observar que existe una reducción significativa en cuanto al rizo de corriente y de voltaje empleando un modulador $\Sigma\text{-}\Delta$ en lugar de PWM.

2.2.3. Simulación en lazo abierto con variaciones de carga

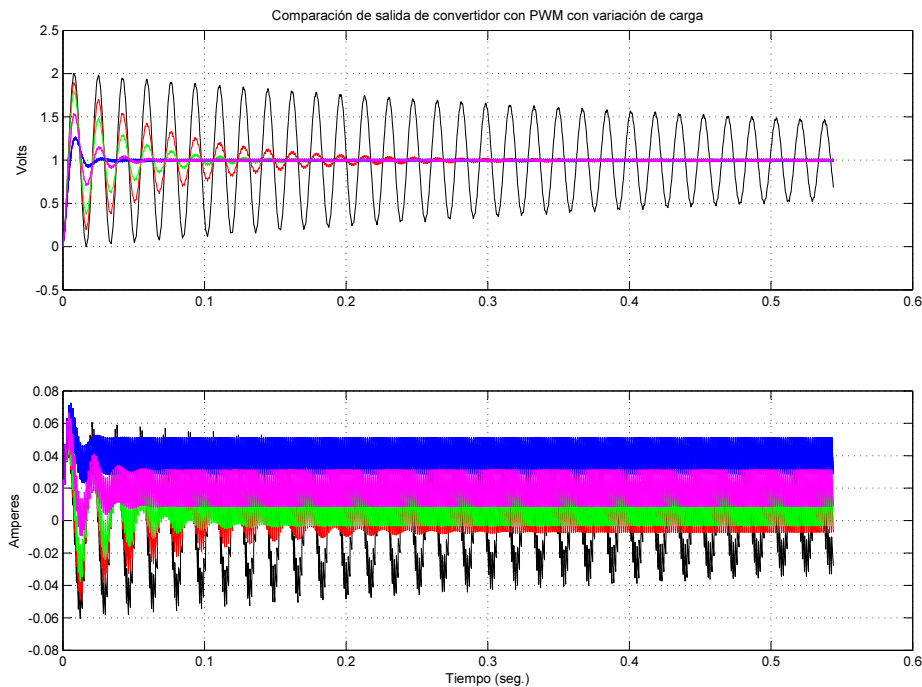


FIGURA 2.9: Comparación de las respuestas en lazo abierto del convertidor *step-down* con PWM con variación de carga.

Las gráficas correspondientes a la simulación con variación de carga se presentan en las Figuras 2.9 y 2.10. En las que se fijó un valor de $R=25$, y éste se multiplica por los factores: 2, 5, 10 y 100. En los factores multiplicativos de 2 y 5 se tiene un comportamiento aceptable en voltaje, ya que el valor del voltaje siempre tiende al valor deseado (5V en este caso) sin embargo,

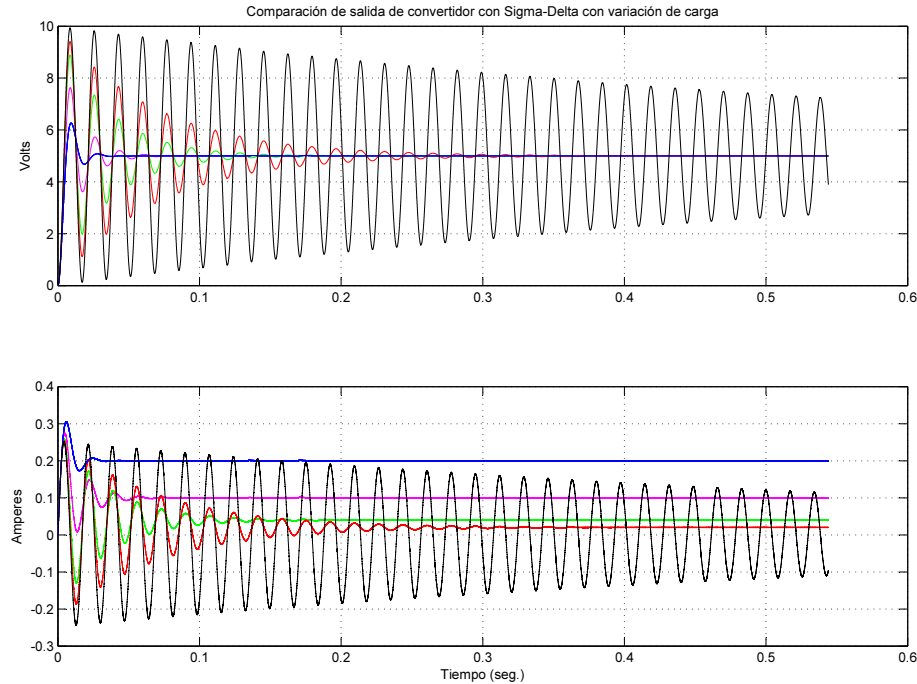


FIGURA 2.10: Comparación de la respuesta en lazo abierto del convertidor *step-down* con modulador Σ - Δ con variación de carga.

cuando la carga sigue incrementándose, el tiempo de establecimiento tiende a ser muy grande, en cuanto a las curvas de corriente la oscilación crece y el valor de la corriente varía, y no se estabiliza. De acuerdo a la literatura [25][26][27][28], las variaciones típicas de carga son del 5% al 10% en general.

2.3. Métodos de control para el convertidor Buck

La filosofía del método de linealización aproximada en el control de dispositivos conmutados de potencia es simple, puede realizarse por medio del diseño de un estado o salida, controlador de retroalimentación sobre la base del modelo de tangente, linealización promedio en torno a un equilibrio deseado o trayectoria de referencia, el uso de controladores de retroalimentación promedio incrementales derivados también han demostrado tener éxito en el sistema no lineal completo [23]. El equilibrio deseado o la trayectoria de referencia se lograrán, siempre que el estado del sistema controlado (inicial) esté lo suficientemente cerca del objetivo de control deseado. Existe una propiedad única para los convertidores de potencia media de CD-CD que es el diseño de la parte de control mediante linealización aproximada promedio, el cual tiene éxito en el control semi-global del sistema no lineal, lo cual es válido para la estabilización y seguimiento de trayectorias.

Existen Varios métodos de control para el convertidor Buck, la mayoría de ellos analizados en [23] donde se presentan las respuestas al convertidor Buck que se muestra en la Tabla 2.1.

De acuerdo a los diferentes tipos de control para el convertidor Buck y su mejora empleando moduladores $\Sigma\text{-}\Delta$, se realiza un análisis mas a fondo del control en modo deslizante.

Controles para el convertidor Buck	
Controlador	Resumen
Proporcional Derivativo, P-D empleando modulador $\Sigma\text{-}\Delta$ con diferentes pasos de integración	EL problema de estabilización del estado es más eficiente acompañado de consideración en la relación entrada salida asociados a solo a la variable de voltaje.
Seguimiento de trayectoria con P-D, posteriormente añadiendo un con modulador $\Sigma\text{-}\Delta$	Incremento considerable en el tiempo de asentamiento, el cual disminuye empleando un modulador $\Sigma\text{-}\Delta$.
Retroalimentación lineal de estado completo con observador de orden reducido con $\Sigma\text{-}\Delta$	Se tiene un tiempo de asentamiento menor, incluso se llega al valor deseado con diferentes condiciones iniciales.
Proporcional-Integral Generalizado	Se comporta muy similar al controlador anterior.
Seguimiento basado en pasividad y logro de una maniobra de rest-to-rest para la tensión del condensador	Tiempo de asentamiento se incrementa en consideración a los dos controles anteriores, pero no supera al de P-D de seguimiento de trayectoria.
Controlador anterior con modulador $\Sigma\text{-}\Delta$	Disminuye el tiempo de asentamiento pero se tiene un incremento en el rizo de corriente.
Retroalimentación lineal promedio con modulador $\Sigma\text{-}\Delta$	No hay rizo de voltaje, se tiene un sobreimpulso y el tiempo de asentamiento disminuye considerablemente

TABLA 2.1: Comparación de controladores para el convertidor Buck.

2.3.1. Control en modo deslizante

Dado que los convertidores de potencia incluyen inherentemente dispositivos de conmutación, es apropiado el diseño de control en modo deslizante, ya que produce una ley de control discontinuo.

Para circuitos controlados por dispositivos conmutados donde la variable de control puede suponer sólo un conjunto discreto de valores, es natural considerar estrategias de modo deslizante para sintetizar la conmutación.

Las técnicas de modo deslizante pertenecen a la categoría de diseño en el dominio del tiempo que pueden ser utilizados para caracterizar el sistema bajo condiciones de pequeñas señal y de gran señal, utiliza retroalimentación de estado y directamente configura la respuesta en lazo cerrado deseada en el dominio del tiempo o en términos de ecuaciones diferenciales. La característica más importante del enfoque de modo deslizante es la baja sensibilidad a variaciones de los parámetros del sistema. El esquema de control en modo deslizante se presenta en la Figura 2.11 en donde se presenta el espacio de estados sobre el cual se sitúa la superficie deslizante formada por la relación entre las variables de estado, donde la trayectoria de estado converge hacia la superficie deslizante.

En términos generales, la implementación hardware es mucho más fácil para el control en modo deslizante que para el control PWM, debido a que la frecuencia máxima de elementos de conmutación disponibles en el mercado crece más y más.

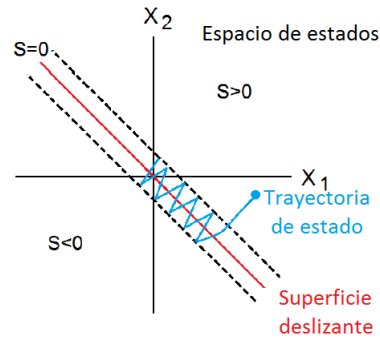


FIGURA 2.11: Esquema de SMC

Para la mayoría de los convertidores usados en la práctica, la tasa de movimiento de la corriente es mucho más rápida que la tasa de movimiento del voltaje de salida.

2.3.1.1. Ejemplo de control en modo deslizante con control de corriente

El control de voltaje por lo general se realiza con las técnicas de control lineales estándar, mientras que el control de corriente se implementa utilizando ya sea PWM o de control de histéresis. Aquí se presenta un ejemplo desde el enfoque de control en modo deslizante para el control de la corriente del inductor. La Figura 2.12 muestra la estructura general del sistema de control para convertidores CD-CD.

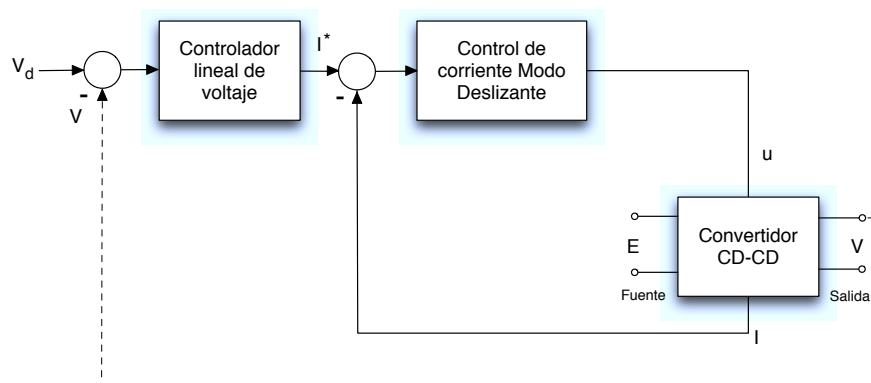


FIGURA 2.12: Estructura de control para convertidores CD-CD.

El objetivo del control es lograr una tensión de salida constante denotado por V_d . El comportamiento en estado estable del convertidor Buck (ec. 2.2) debe ser:

$$\begin{aligned} x_2 &= V_d \\ \dot{x}_2 &= \dot{V}_d = 0 \end{aligned} \tag{2.3}$$

En primer lugar, se supone que x_1 en la segunda ecuación de 2.2 puede ser manejado como una entrada de control. Sin embargo, ya que x_1 es la salida del bucle de corriente en la primera ecuación de 2.2, la corriente deseada se denotará como x_1^* . Para producir la corriente deseada, x_1^* se sustituye en el lazo de tensión:

$$x_1^* = V_d/R \tag{2.4}$$

Para asegurar la corriente x_1 deseada (ec. 2.4), el enfoque de modo deslizante es una herramienta ideal para esta tarea. Si el modo de deslizamiento se ejecuta en:

$$s = x_1 - x_1^* = 0 \tag{2.5}$$

Por lo tanto $x_1 = V_d/R$. Con el fin de hacer cumplir el control de modo deslizante en múltiples $s = 0$ en 2.5, u toma sólo dos valores 0 ó 1; en la primera ecuación de 2.2 se define como:

$$u = \frac{1}{2}(1 - \text{sign}(s)) \tag{2.6}$$

EL diagrama de bloques del control se presenta en la Figura 2.13, donde no es necesario de acuerdo a la ley de control, la retroalimentación de voltaje.

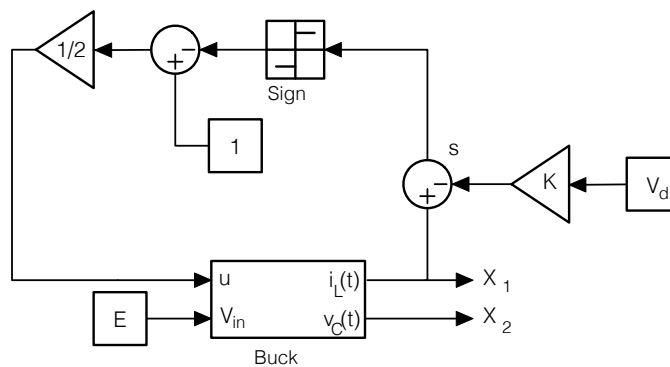


FIGURA 2.13: Control en modo deslizante en simulink.

La condición para que exista el modo deslizante se deriva de $s\dot{s} < 0$, la cual existe si:

$$0 < x_2 < E \tag{2.7}$$

Esta condición define un dominio en la superficie deslizante. Dado que el control (ec. 2.6) no contiene ninguna ganancia de control, debe ajustarse. En estado estacionario, la condición de la ec. 2.7) se cumple por la definición de un convertidor Buck: la tensión de salida es menor que

el voltaje de la fuente. Después de que el estado del bucle interno de corriente converge para $s = 0$ en el tiempo $t = t_h$, $x = x^*1 = V_d/R$ se cumple para $t > t_h$. El lazo de tensión exterior se rige por:

$$\dot{x}_2 = -\frac{1}{RC}x_2 + \frac{1}{RC}V_d \quad (2.8)$$

La solución de este sistemas es:

$$x_2(t) = V_d + (x_2(t_h) - V_d)e^{-(t-t_h)/RC} \quad (2.9)$$

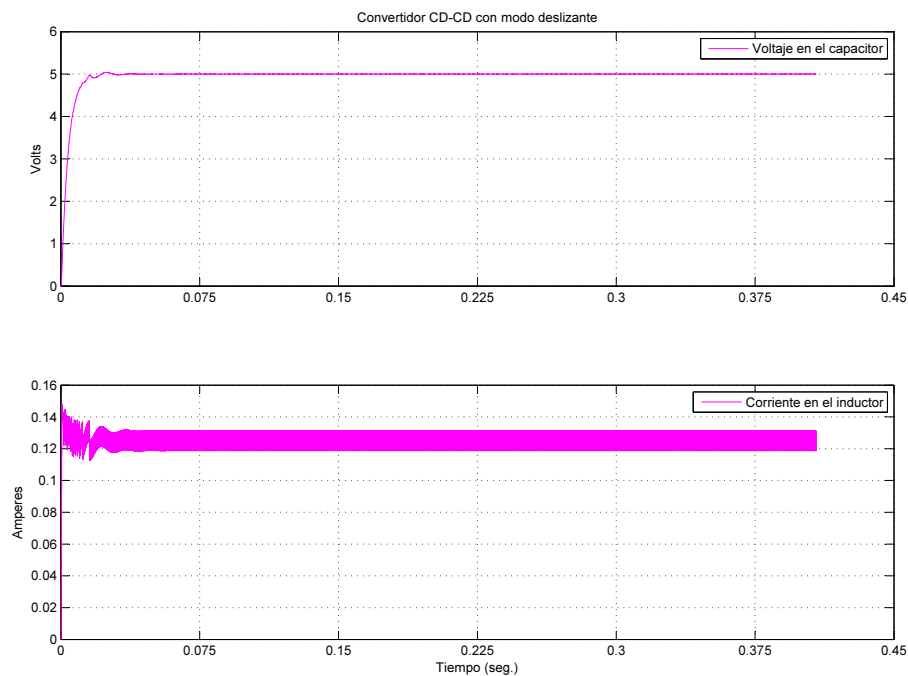


FIGURA 2.14: Control en modo deslizante del convertidor *step-down*.

Donde x_2 tiende exponencialmente a V_d logrando el objetivo de control. En la Figura 2.14 se puede observar que el voltaje de salida deseado (en este caso $V_d = 5$), la corriente del inductor y el voltaje de salida del capacitor convergen rápidamente a los valores de referencia.

Haciendo variaciones en la carga del convertidor CD-CD Figura 2.15, debido a la retroalimentación el valor del rizo de voltaje disminuye aun cuando la carga se incrementa al orden de kilos (línea amarilla) el tiempo de asentamiento es menor en comparación a la respuesta en lazo abierto.

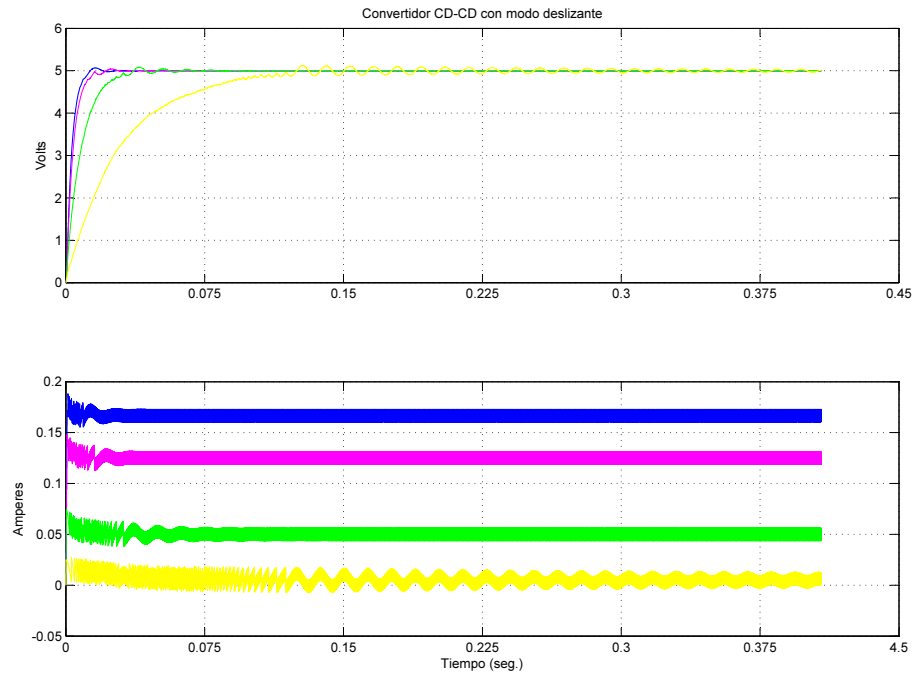


FIGURA 2.15: Control en modo deslizante del convertidor *step-down* con variación de carga.

2.4. Diseño del controlador para el convertidor CD-CD Buck

Los convertidores CD-CD están diseñados para funcionar en lazo abierto. Sin embargo, estos tipos de convertidores son no lineales, debido a los interruptores y las características de los componentes del convertidor.

La mayoría del estado del arte de los convertidores conmutados son controlados usando la técnica PWM debido a que proporciona una alta eficiencia de conmutación y un ruido de piso bajo. Una de las principales desventajas de PWM es alto contenido de armónicos en múltiplos enteros de la frecuencia de funcionamiento. Por lo que la eficiencia del convertidor disminuye al disminuir las tensiones de entrada, ya que el contenido de armónicos no deseados para ciclos de trabajo pequeños tiene alta potencia con respecto a la potencia de la señal de salida deseada [29].

Para algunas aplicaciones, los convertidores CD-CD deben proporcionar una tensión de salida regulada con un bajo rizo. Además, el convertidor debe ser robusto frente a la variación de parámetros como la carga o la tensión de entrada. Por lo tanto, la tensión de salida debe ser regulada utilizando un modo de control de lazo cerrado [30] [31]. El control integral-proporcional y control por histéresis son las soluciones de control de lazo cerrado más utilizados en convertidores CD-CD [31][32]. Sin embargo, el diseño de tales controladores lineales se basa en el

modelo de convertidor linealizado alrededor del punto de equilibrio cerca de la cual el controlador da buenos resultados [33] [34]. Sin embargo, para algunos casos este enfoque de control no es eficiente.

El control en modo deslizante (SM) es un control no lineal que fue introducido para controlar sistemas de estructura variable (VSS) su desarrollo se discute en [35][36]. Idealmente controladores en SM operan a una frecuencia de conmutación infinita y variable que puede seguir una cierta trayectoria de referencia para lograr la operación en estado estacionario deseada.

Las mayores ventajas de SMCs es la estabilidad garantizada y robustez ante variación de parámetros, es especialmente adecuado para el manejo de los sistemas no lineales con dinámica de incertidumbre y perturbaciones a causa de sus propiedades de reducción de orden, que relaja la necesidad del modelado exacto, su principal ventaja sobre un controlador PI es un menor tiempo de respuesta.

Por lo tanto, es apropiado utilizar controladores en modo deslizante para el control de convertidores CD-CD. La teoría de modos deslizantes, en la práctica hace que su implementación ideal no sea posible debido a que no se pueden emplear frecuencias infinitas. Un modulador $\Sigma\text{-}\Delta$ puede representar un modo deslizante práctico debido a que es un convertidor de sobremuestreo, por lo que usa frecuencias muy altas, del orden de GHz como máximo. Al sustituir los controladores PWM lineales utilizados en convertidores de potencia con controladores en modo deslizante, una mejor regulación se puede lograr para un amplio rango de operación.

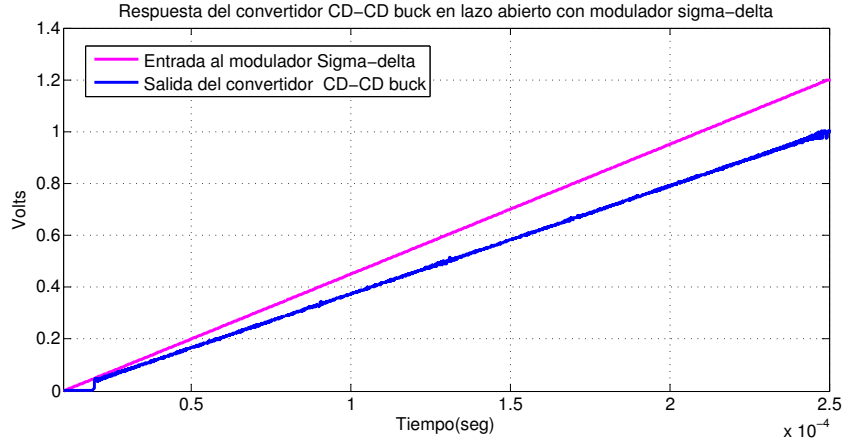
Se considerará al convertidor Buck de la Figura 2.3, donde los elementos pasivos están diseñados de acuerdo las ecuaciones presentadas en [37].

Anteriormente, se presentó el modelo que describe la dinámica del convertidor y el modelo unificado (tomando en cuenta a $u = 1$ y $u = 0$ de la Figura 2.3), a partir del cual se realizó el diseño del controlador.

2.4.1. Modelo promedio en variables de estado

De acuerdo a las variables de estado obtenidas en la sección 2.2.1, mientras la entrada de control u del convertidor es por modulación de ancho de pulso (PWM) o por medio de un modulador $\Sigma\text{-}\Delta$, el modelo promedio del sistema está dado por:

$$\begin{aligned}\dot{\bar{x}}_1 &= -\frac{1}{L}\bar{x}_2 + \frac{\mu E}{L} \\ \dot{\bar{x}}_2 &= \frac{1}{C}\bar{x}_1 - \frac{1}{RC}\bar{x}_2\end{aligned}\tag{2.10}$$


 FIGURA 2.16: Respuesta del convertidor CD-CD a una entrada rampa al modulador Σ - Δ .

donde \bar{x}_1 y \bar{x}_2 son las variables promedio de corriente y voltaje respectivamente. Se realiza un cambio de variable discreta u a μ , la cual se asume como continua en el rango de $\mu[0, 1]$ y está dada por el valor promedio de u .

Indicando con $\bar{x}_{1,ss}$ y $\bar{x}_{2,ss}$ las variables de estado estacionario (es decir, x_1 y x_2 en un punto de equilibrio), pueden ser simplemente encontradas para cada valor de μ .

En realidad se ha observado empíricamente que, bajo el supuesto de que la señal de control binaria u se genera por medio de un modulador Σ - Δ , el sistema de la ec. 2.10 se puede utilizar para determinar $\bar{x}_{1,ss}$ y $\bar{x}_{2,ss}$ reemplazando μ con una función U entonces:

$$\begin{aligned}\bar{x}_{1,ss} &= \bar{x}_1(U) = \frac{U \cdot E}{R} \\ \bar{x}_{2,ss} &= \bar{x}_2(U) = U \cdot E\end{aligned}\tag{2.11}$$

U es el valor de entrada del modulador Σ - Δ requerida para alcanzar la tensión de salida deseada en el convertidor Buck en estado estacionario cuando emplea modulación Σ - Δ , la cual se asemeja al valor de referencia para obtener un ciclo de trabajo determinado para un modulador *PWM*. El valor de U obtiene a partir de la respuesta en lazo abierto del convertidor Buck CD-CD controlado por un modulador Σ - Δ , que corresponde a un barrido (con el fin de estar seguro de obtener una operación en estado estacionario) de la entrada que se muestra en la Figura 2.16. Para los siguientes análisis se considera esta relación obtenida empíricamente, debido a las dificultades de la inclusión de un modelo continuo del modulador en la ley de control desarrollada.

Del sistema de la ec. 2.11, se puede observar que existe una relación entre las variables de estado estacionario $\bar{x}_{1,ss} = 1/R * \bar{x}_{2,ss}$, por lo que el punto de equilibrio está en una línea cuya pendiente es $1/R$, y la ubicación real en la línea depende del valor de U . Esta línea es la superficie

deslizante como en un sistema con control en modo deslizante (*SMC*), en el que un control de retroalimentación adecuada mueve la variable de estado al valor deseado.

Con el fin de desarrollar un control de retroalimentación basado en la teoría de *SMC*, se consideró el sistema de la ec. 2.10 y se reescribió en términos de distancia del estado real del sistema desde el punto de equilibrio de estado estacionario dadas por $\bar{x}_{1,ss}$ y $\bar{x}_{2,ss}$ y sustituyendo μ con el valor medio \bar{u} de u requerido para conseguir el punto de equilibrio en estado estacionario (es decir, tomando en cuenta el efecto no lineal de la Figura 2.16), considerando la desviación de \bar{u} de su valor nominal U . Mediante la definición de $z = x - \bar{x}_{ss}(U)$ y $v = \bar{u} - U$, e incluyendo y como la salida del sistema (es decir, la variable de estado que puede ser detectada, ya sea la corriente o el voltaje) se obtuvo el sistema:

$$\begin{cases} \dot{z} = Az + Bv \\ y = C_i z \end{cases} \quad (2.12)$$

Donde las matrices resultantes A y B son [23]:

$$A = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} \quad (2.13)$$

$$B = \begin{bmatrix} \frac{E}{L} \\ 0 \end{bmatrix}$$

donde

$$\begin{cases} C_i = (1 \ 0) \text{ if current measured} \\ C_i = (0 \ 1) \text{ if voltage measured} \end{cases} \quad (2.14)$$

Se propuso un control de la forma $v = Kz$, obteniendo el control por retroalimentación de estado que se presenta en la Figura 2.17, y donde se genera la señal real control de u sobre el valor \bar{u} por medio de un modulador Σ - Δ de primer orden.

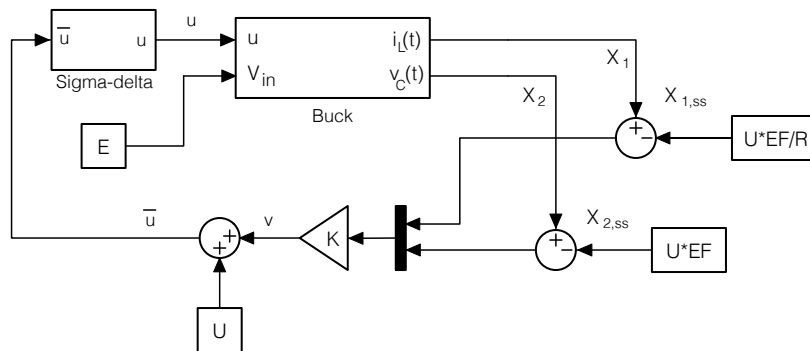


FIGURA 2.17: Sistema de control por retroalimentación de estado con modulación Σ - Δ del convertidor CD-CD.

2.4.2. Uso de la modulación Σ - Δ en el control del convertidor CD-CD

Los moduladores Σ - Δ codifican señales analógicas a señales moduladas por densidad de pulso (PDM) a través de la cuantización, el sobremuestreo y el filtrado del ruido. El resultado es una trama de un bit de alta frecuencia la cual representa a la señal analógica. Aplicando lazos de retroalimentación para mover el ruido de cuantización fuera de la banda de interés asegurando una ventaja para lograr altas resoluciones digitales, por esta razón esta clase de moduladores son utilizados en audio. La cuantización con moduladores Σ - Δ es un método derivado de la técnica de modulación delta [38].

En el proceso de modulación la señal necesita ser muestreada por una frecuencia (f_s), dicha frecuencia debe ser por lo menos dos veces la frecuencia de la componente mayor de la señal (f_o). El sobremuestreo ocurre si la señal es muestreada a una frecuencia $f_s > 2f_o$. La relación de sobremuestreo se define como $OSR = \frac{f_s}{2f_o}$, normalmente se emplean múltiplos enteros de potencias de dos para dicha relación [39].

Por medio del sobre muestreo la magnitud del ruido contenido en la banda de la señal es menor que antes, (Fig. 2.18) por lo que un simple incremento en la relación de sobremuestreo resulta en un alto SNR mejorando 3 dB para cada duplicación de la tasa de muestreo, o 0.5 bits. Una aproximación de la función de transferencia de un modulador Σ - Δ de primer orden es

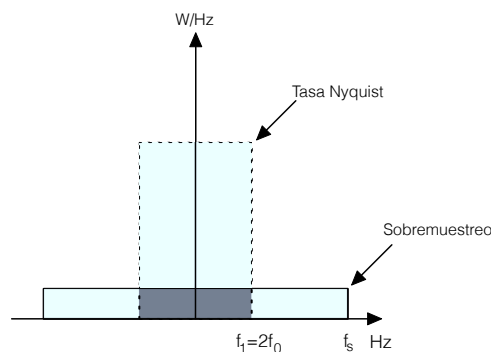


FIGURA 2.18: Efecto del muestreo y de sobremuestreo en el ruido.

$H(z) = \frac{1}{1-z^{-1}}$ [39], esta estructura tiene solo un lazo de retroalimentación (Figura 2.20). La función de transferencia puede verse como un retardo hecho por un filtro, después del proceso de filtrado el ruido aún sigue presente en la señal, pero es llevado a frecuencias altas. Para el caso de un modulador en modo continuo se emplea la transformada bilineal para obtener el equivalente de la función en tiempo discreto.

2.4.2.1. Modulador Σ - Δ para control en lazo cerrado

La variable de conmutación u se incorpora en el lazo de control como la transformación de la señal de error $v + U$ que es continua a una señal discreta. Un bloque PWM puede convertir fácilmente la señal analógica a un ciclo de trabajo de 1 bit, sin embargo, en este trabajo se propuso el uso de un modulador Σ - Δ de primer orden. Esto se debe a que se usa un control en modo deslizante por la simplicidad de generación de la superficie deslizante para el convertidor CD-CD Buck. La superficie deslizante de acuerdo a la definición $S = \{x \in R^n | h(x) = 0\}$ puede verse como $h(x) = i - \bar{i} = x_1 - I_d$ y $h(x) = v - \bar{v} = x_2 - V_d$ se presenta en sentido físico en la Figura 2.19

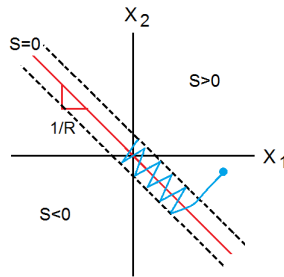


FIGURA 2.19: Superficie deslizante para el convertidor CD-CD Buck.

De acuerdo a esta definición el modulador Σ - Δ en modo continuo empleado en el convertidor CD-CD Buck, también puede modelarse desde el punto de vista de modos deslizantes, de acuerdo al esquema presentado en la Figura 2.20 donde la superficie deslizante S se denota como $\mu(t) \implies e(t)$ tienda a cero en un tiempo finito t_h . Desde cualquier valor arbitrario $e(t_0)$, existe un movimiento tal que $e = 0$ que se cumple para todo $t: 0 < \mu(t) < 1; \dot{e} = \mu(t) - u$ y $u = \frac{1}{2}[1 + \text{sign}(e)]$

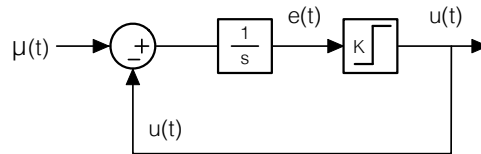


FIGURA 2.20: Diagrama de bloques del modulador Σ - Δ de primer orden.

La entrada analógica es la señal de tiempo continuo \bar{u} entra al modulador Σ - Δ y su salida, una señal signo equivale a tener a la salida del mismo un flujo de bits correspondiente al contenido de la señal de control u .

2.4.3. Control LQR

Las ubicaciones de los polos en lazo cerrado tienen un impacto directo sobre las características de tiempo de respuesta, tales como tiempo de subida, tiempo de establecimiento, y oscilaciones

transitorias. Puede, sin embargo, utilizar técnicas de espacio de estado para asignar polos en lazo cerrado. Una de tales técnicas se conoce como control Lineal Cuadrático regulador (LQR). Las principales hipótesis en el uso de este control técnica consiste en considerar el sistema en estudio expresando el modelo lineal del sistema, que se obtiene mediante un procedimiento de linealización anterior (ecuaciones (2.13) y (2.12)) a partir del modelo no lineal (ec. (2.2)) con el propósito de la estrategia de control es encontrar la señal de control del vector $v(t)$ tal que la función de costo se minimize [40]:

$$J = \int_0^{\infty} ([z^T Q z + v^T R_j z] dt) \quad (2.15)$$

donde se seleccionan las matrices de ajuste Q y R_j para cumplir adecuadamente las condiciones de diseño $Q = C_i^T * C_i$ y $R_j = \lambda * I$ con $\lambda > 0$. Las matrices Q y R_j se conocen como matrices de penalización de estado y de entrada, respectivamente. dichas matrices son las responsables de dar prioridad o bien seguir un camino por los estados o la penalización de alimentación de control requerida por el sistema para lograr los objetivos de control deseados. Encontrar el $v(t)$ óptimo, consiste en determinar una ganancia K de estabilización, que se aplica al sistema por una ley de retroalimentación de estado que se expresa como $v(t) = -Kz(t)$ con $K = R_j^{-1} B^T P$, donde P es la única solución definida positiva de la ecuación algebraica de Riccati. En este caso los valores particulares para λ del orden de 10^{-2} son elegidos, minimizando el tiempo de establecimiento y el rizo de voltaje. El proceso de ajuste de las matrices se llevó a cabo con funciones existentes de Matlab®.

2.5. Resultados preliminares obtenidos de las simulaciones realizadas en Matlab®

Los resultados obtenidos en Matlab a partir del diseño del control, fueron aceptables únicamente para frecuencias bajas. Con variación de carga el circuito respondió de manera óptima como se presenta en la Figura 2.21 para un voltaje deseado de 500mV, sin embargo, al aumentar la frecuencia de conmutación del circuito al orden de MHz que es la frecuencia necesaria para reducir el tamaño de los elementos activos del circuito a nanos, el controlador mostró un comportamiento deficiente (Figura 2.22), debido que se requerían pasos de simulación del orden de picosegundos o menores lo que incrementaba el tiempo de simulación significativamente, por lo que en ocasiones el simulador dejaba de responder o mostraba resultados inexactos.

Los resultados obtenidos serán la base a partir de la cual se puede comenzar el diseño del convertidor CD-CD Buck en un software especializado para diseño de circuitos integrados, permitiendo el empleo de pasos de simulación adecuados para los valores de los elementos activos.

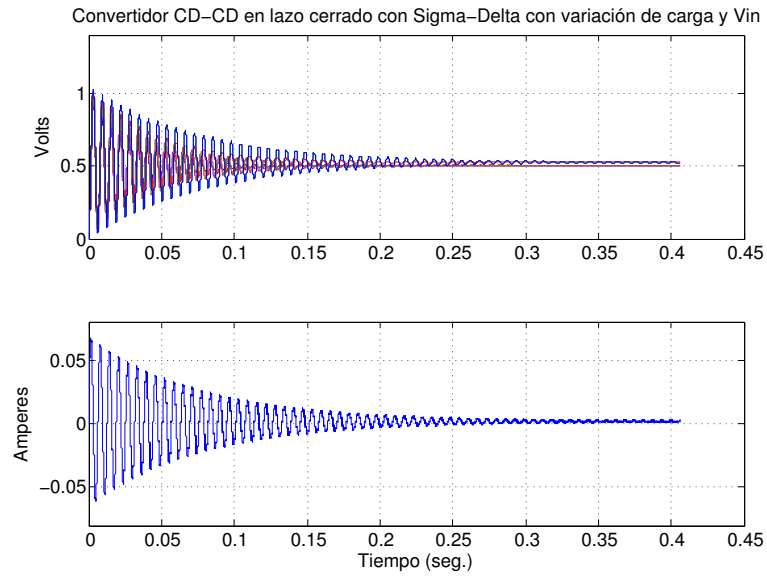


FIGURA 2.21: Respuesta del circuito con el control propuesto en matlab a bajas frecuencias con variación de carga y voltaje de entrada en un $\pm 20\%$ y $\pm 5\%$.

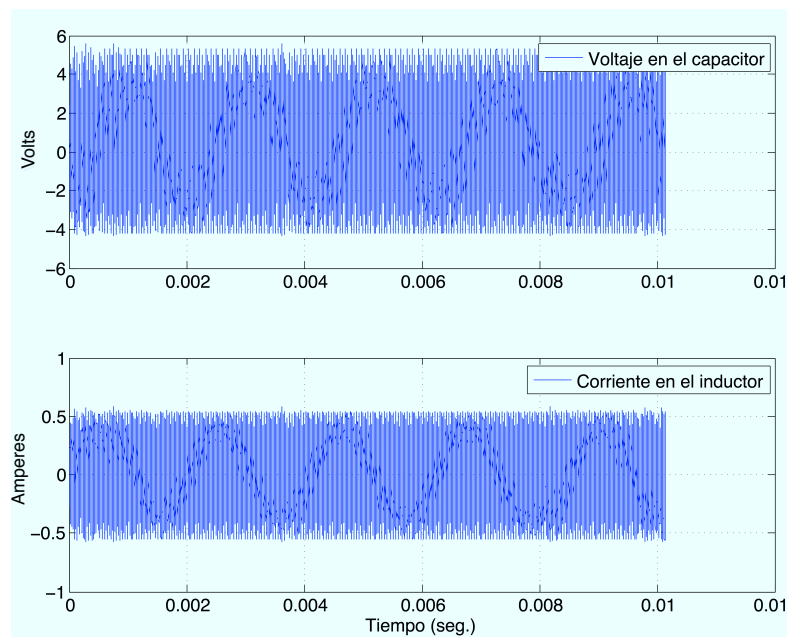


FIGURA 2.22: Respuesta del circuito con el control propuesto en altas frecuencias.

Capítulo 3

Diseño e implementación en un circuito integrado de aplicación específica

3.1. Modelado y simulación del convertidor CD-CD en Verilog A

El modelado del circuito en Verilog A se realizó a partir de los resultados obtenidos de Matlab[®]. La arquitectura del convertidor CD-CD Buck se modeló de acuerdo al modelo matemático del mismo (a partir del espacio de estados). Los bloques del sistema se presentan en la Figura 3.1. El modulador Σ - Δ contiene elementos eléctricos (en este caso resistores) para obtener los coeficientes necesarios de acuerdo a la frecuencia necesaria para el modulador.

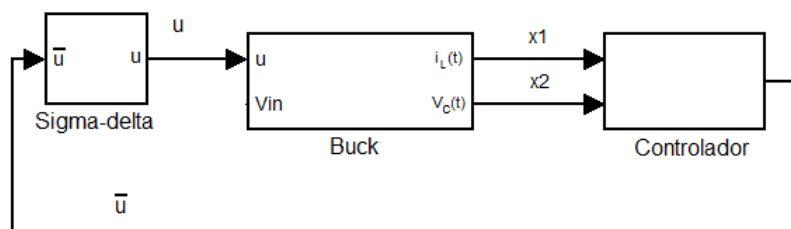


FIGURA 3.1: Bloques que forman el sistema de conversión CD-CD

Realizando pruebas se obtuvo un comportamiento favorable en cuanto a seguimiento del voltaje deseado, pero con un gran rizo de voltaje, esto debido a que los valores de los elementos activos del circuito no pueden ser tan pequeños (inductancia y capacitancia). Por lo que la frecuencia

del modulador sigma-delta tendría que incrementarse al orden de GHz para poder implementar la topología del convertidor CD-CD con elementos integrables (del orden de fF y en el inductor de nH).

Por lo que se realizó un ajuste en las constantes de control para obtener un buen funcionamiento del circuito, pero relajando las especificaciones en cuanto a tamaño de los elementos activos.

El modulador Σ - Δ empleado en el control tiene una frecuencia de muestreo de $100MHz$, la cual se obtiene mediante un amplificador operacional descrito en Verilog A [®], con los siguientes parámetros: ganancia $A_v = 1000$, ancho de banda $BW = 1GHz$, voltaje en modo común $0.6V$ e impedancia de entrada de $500M\Omega$. El espectro del modulador se muestra en la Figura 3.2 donde se observa una relación señal a ruido alta lo cual demuestra que tiene el comportamiento en frecuencia deseado, donde el ruido no influye en el sistema, ya que éste se diseña para una frecuencia de funcionamiento una década menor que la del modulador.

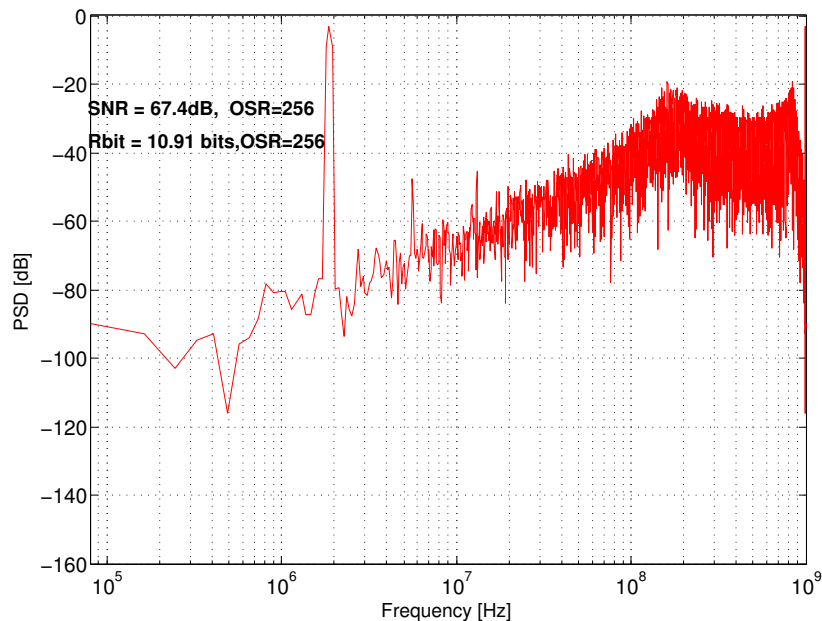


FIGURA 3.2: Espectro del modulador Σ - Δ de primer orden

3.1.1. Resultados previos en Verilog A

A continuación se presenta los parámetros de funcionamiento del sistema obtenidos a partir de las diferentes pruebas realizadas al sistema descrito en Verilog A de Cadence[®], Virtuoso, con elementos integrables y discretos.

En la Figura 3.3 se presenta un ejemplo de los resultados obtenidos en las simulaciones donde se observa la salida de voltaje del convertidor (en color azul) con el controlador realizado para elementos activos discretos (del orden de 10^{-9}), con un periodo de muestreo de $100ns$ para el

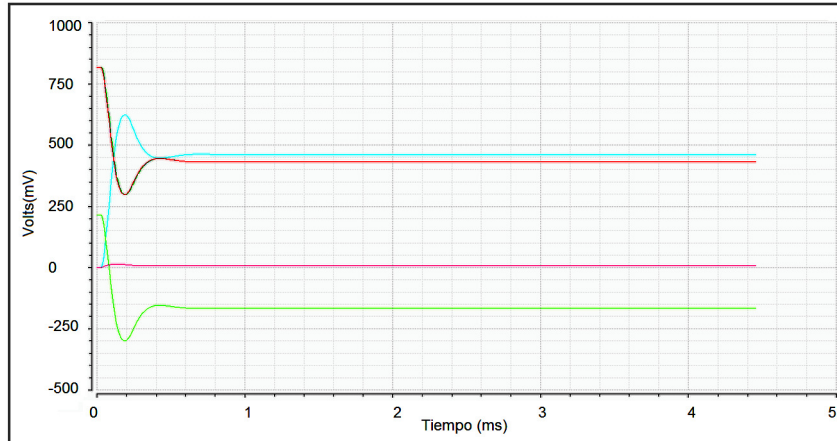


FIGURA 3.3: Respuesta del circuito con el controlador propuesto, el voltaje (azul) tiene un error, ya que no alcanza el voltaje deseado de $800mV$, sin embargo, no existe un rizo de voltaje.

modulador Σ - Δ , las demás gráficas corresponden a constantes empleadas en el controlador, el cual no alcanza el valor deseado de voltaje que es $800mV$, esto se debe a que el valor de los elementos activos necesita una frecuencia de muestreo mayor a $10MHz$.

En la Figure 3.4 se presenta el control con valores de los elementos activos del convertidor que son integrables (del orden de 10^{-15} y 10^{-12}), con un incremento de frecuencia a $1GHz$, el voltaje de salida se muestra en color azul, que sólo alcanza el 45% del voltaje deseado.

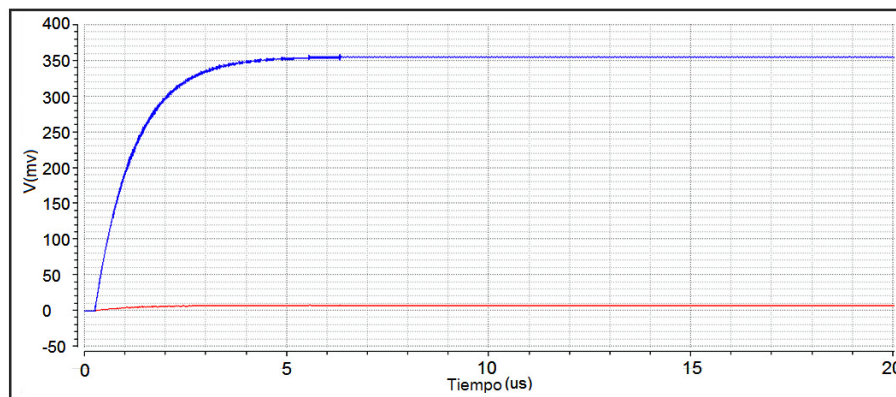


FIGURA 3.4: Respuesta del circuito con el controlador propuesto, para elementos activos integrables

La realización del sistema mediante programación en un software de un alto orden especial para circuitos integrados permite que la semejanza al modelo eléctrico real sea mayor que la obtenida con Matlab[®], lo que facilita encontrar los valores óptimos de diseño para los elementos activos

y pasivos del convertidor, variando parámetros distintos, entre ellos la frecuencia de muestreo del modulador.

Partiendo de los resultados obtenidos de Verilog A presentados en la Tabla 3.1 se puede realizar la arquitectura completa del convertidor.

Parámetros Verilog A para tecnología 65nm, Cadence [®] , Virtuoso						
Arquitectura del convertidor CD-CD	Frecuencia Σ - Δ	Capacitancia	Inductancia	Av OTA modulador	Av OTA restador	BW OTA modulador y restador
Elementos integrables	>1GHz	20fF-10nF	<10nH	>10 000	>1000	>1GHz
Elementos discretos	100KHz-100MHz	>10nF	>10nH	>1000	>1000	>Frec. del Σ - Δ

TABLA 3.1: Rangos de parámetros obtenidos a partir de Verilog A para el funcionamiento óptimo del convertidor CD-CD

3.2. Simulación del sistema sustituyendo el modelo matemático en Verilog A por elementos eléctricos

Una vez que se concluyó el buen funcionamiento del convertidor para valores discretos e integrados (aumentando la frecuencia del modulador), se implementó la arquitectura del convertidor con elementos eléctricos, es decir, se reemplazó el modelo matemático descrito en Verilog A de manera comportamental por el circuito correspondiente a la topología del convertidor CD-CD Buck, como se ilustra en la Figura 3.5.

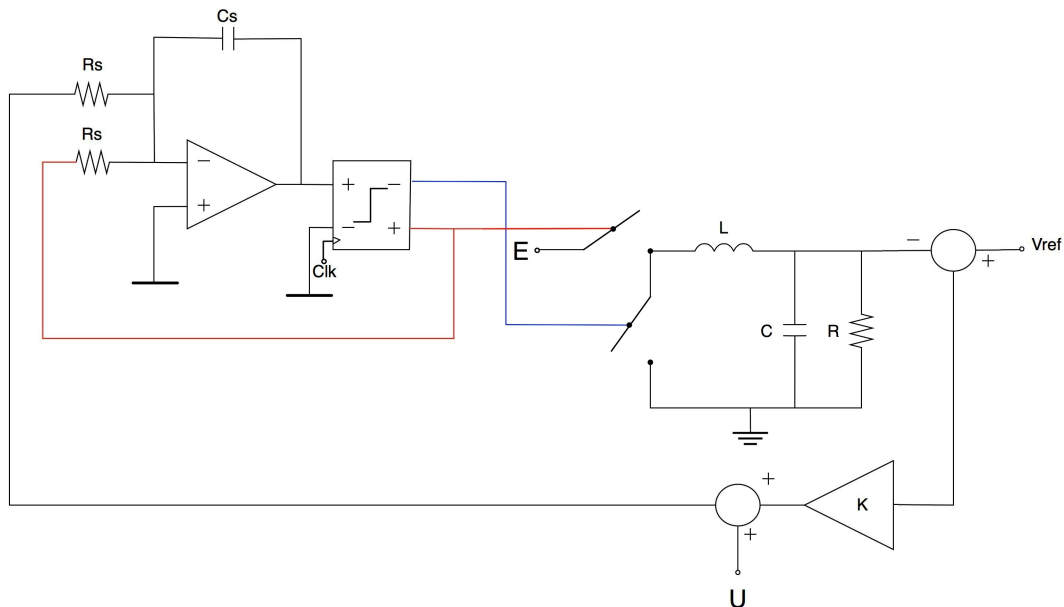


FIGURA 3.5: Diagrama del convertidor CD-CD con bloques en Verilog A y elementos eléctricos

Como consecuencia de sustituir el modelo en Verilog A (cuyo comportamiento se asemeja al ideal) por el modelo eléctrico, se obtuvo una variación en la respuesta del sistema, ya que al detectar corriente, transformarla en voltaje y después sumar dicha magnitud con el voltaje, no presenta las mismas características obtenidas con el modelo matemático debido a que las operaciones con elementos eléctricos no corresponden a modelos ideales, aun cuando se incluyeron parámetros no ideales en las simulaciones realizadas con Verilog A. En la Figura 3.6 se presenta la salida de voltaje obtenido con los mismos parámetros de la Figura 3.4 pero usando los componentes eléctricos, donde es evidente la diferencia entre ambas respuestas.

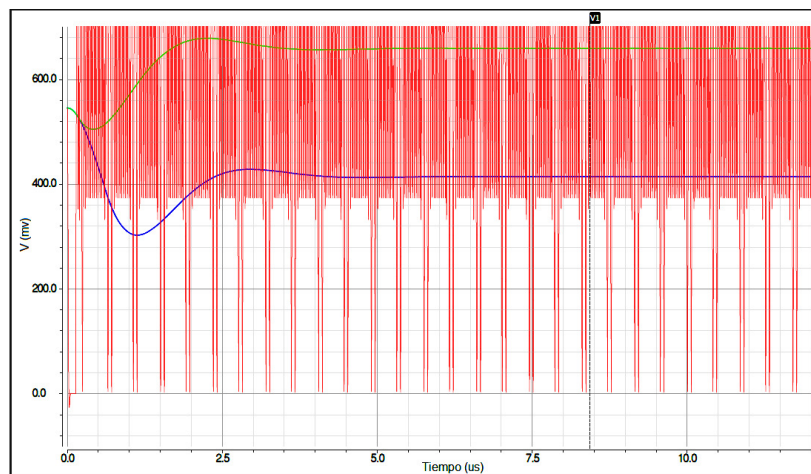


FIGURA 3.6: Respuesta del circuito con el controlador propuesto, el voltaje (rojo) no es estable

Al realizar una serie de pruebas y haciendo la constate de control de corriente igual a cero se observó un comportamiento similar que al tener las dos constantes de control (corriente y voltaje respectivamente). En la Figura 3.7, la gráfica en color rojo presenta el control incluyendo la detección de voltaje y corriente para un voltaje deseado V_d de $800mV$, la gráfica azul sólo de voltaje (para el mismo V_d), debido a estos resultados el control se realiza únicamente la detección de voltaje, la gráfica rosa presenta el mismo control pero con valores mayores para los elementos activos del circuito (Inductancia y capacitancia), y por último la gráfica verde representa el control de voltaje para un V_d de $500mV$.

Con base en las pruebas anteriores los parámetros para el diseño del convertidor CD-CD Buck se presentan en la Tabla 3.2 son:

Como se muestra en la Figura 3.8, el controlador del sistema permite una operación semejante considerando únicamente el control proporcional de voltaje que considerando control de voltaje y corriente, mostrando diferencias despreciables. Por lo que el control de corriente se omite, disminuyendo los recursos empleados para el control del sistema.

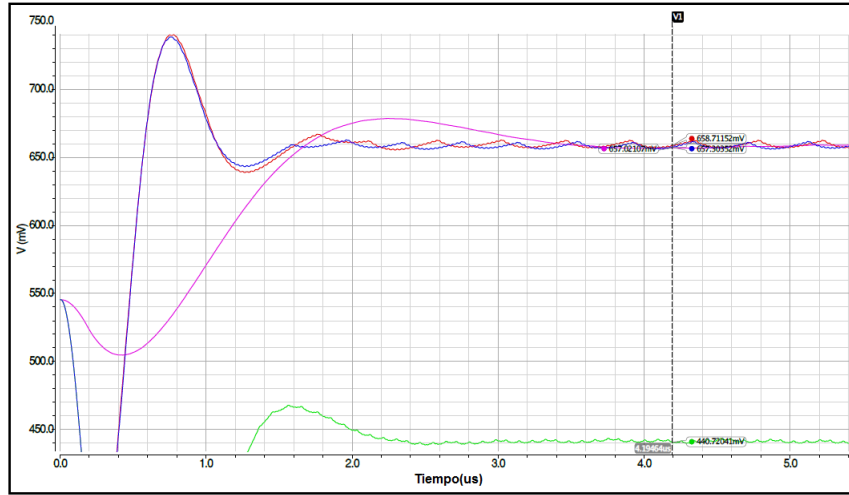


FIGURA 3.7: Respuesta del circuito con sensado de corriente y voltaje vs sensado de voltaje

Parámetros de diseño para el convertidor CD-CD Buck	
Frecuencia de muestreo (f_s)	100MHz
Voltaje de alimentación (V_{dd})	1.2V
Variación de corriente (Δi)	10 %
Variación de voltaje (Δv)	10 %
Voltaje deseado de salida ($V_c=V_d$)	800mV
Inductor (L)	533nH
Capacitor (C)	4nF
Resistencia de carga (R)	50Ω

TABLA 3.2: Parámetros del convertidor

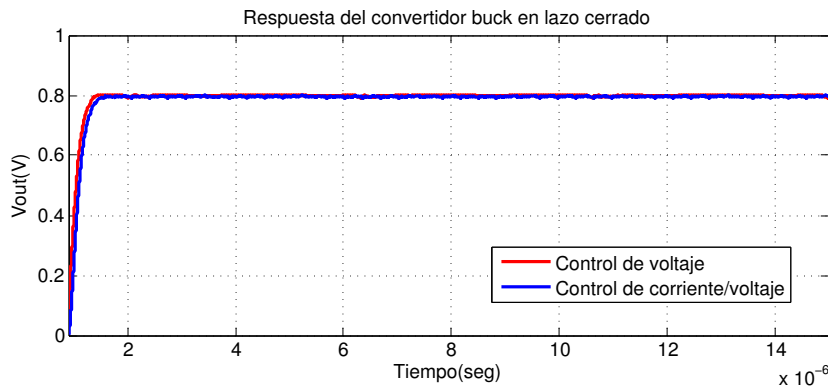


FIGURA 3.8: Respuesta del convertidor Buck con control de voltaje y control de corriente-voltaje.

La comparación entre control de voltaje y control de voltaje-corriente se realiza a través de una aproximación lineal de los resultados obtenidos de diferentes valores de K (Figura 3.9) donde se observa que los valores del orden de $\lambda = 10^{-2}$ sintonizan el control por medio de LQR para un tiempo de asentamiento menor y una reducción en el rizo de voltaje.

La respuesta del convertidor a variaciones de R se muestra en la Figura 3.10, en la cual se

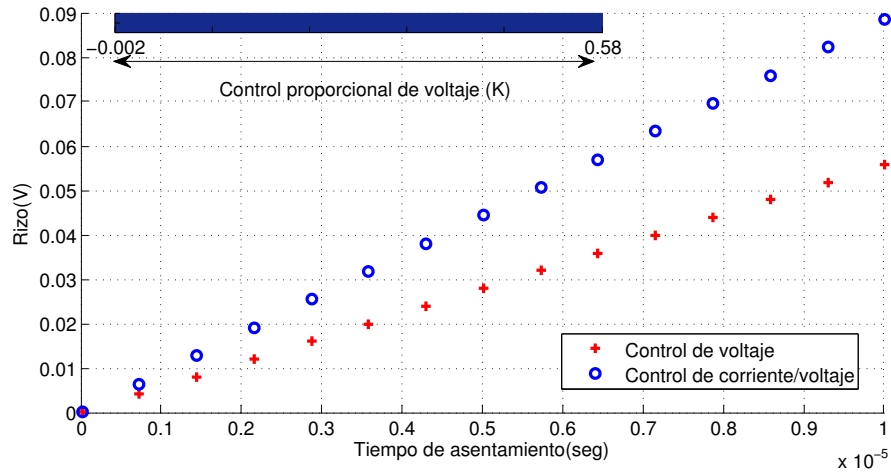


FIGURA 3.9: Control de voltaje vs control de Corriente/Voltaje.

observa que el incremento decremento del tiempo de asentamiento es proporcional al cambio en el valor de R.

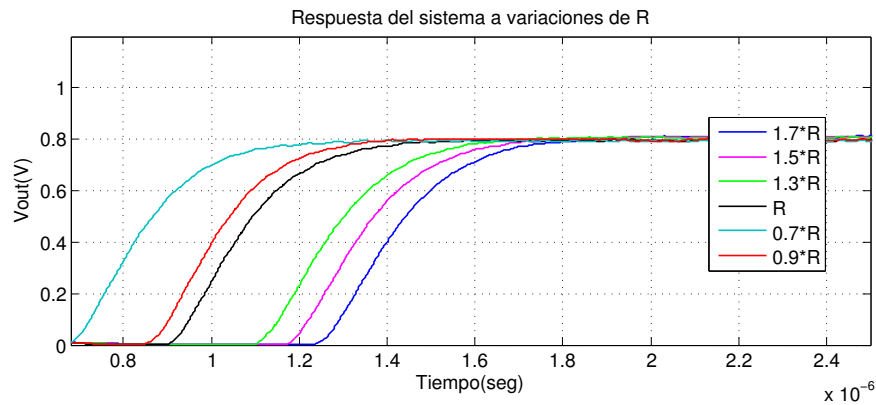


FIGURA 3.10: Respuesta del sistema a variaciones de R

El control del convertidor CD-CD es una de las propiedades cruciales para garantizar el funcionamiento de un convertidor monolítico. Realizando técnicas de control básicas usando un modulador $\Sigma\text{-}\Delta$, al cambiar el modelo matemático de la arquitectura del convertidor por elementos eléctricos se presentan variaciones en la respuesta del sistema (incremento considerable en el rizo de voltaje y en el tiempo de asentamiento) por lo que se vuelve necesario el incremento de la frecuencia del modulador, lo cual no es favorable para el consumo de potencia ni para el diseño de elementos a nivel transistor. A pesar de que las tendencias de los convertidores CD-CD es que sean integrados totalmente, la necesidad de grandes componentes hace difícil su integración, por lo que se opta por un sistema híbrido como se muestra en la Figura 3.11, donde los elementos activos que conforman la topología del convertidor se encuentran fuera del chip.

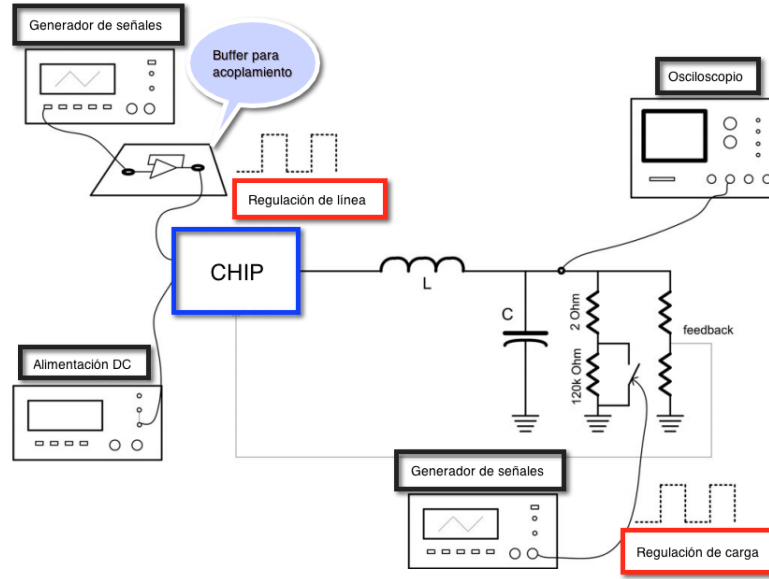


FIGURA 3.11: Sistema híbrido para el convertidor CD-CD

3.3. Controlador con elementos eléctricos

Para optimizar el diseño de la Figura 3.5 a nivel transistor, el valor de las constantes del controlador (K) se incluyen por medio de un divisor de voltaje y el error se obtiene a través del restador mostrado en la Figura 3.12 que tiene como ganancia:

$$V_{out} = V_2 \left(\frac{R_4}{R_3 + R_4} \right) \left(1 + \frac{R_2}{R_1} \right) - V_1 \frac{R_2}{R_1} \quad (3.1)$$

Lo cual se puede simplificar si $R_1 = R_3$ y $R_2 = R_4$ como:

$$V_{out} = \frac{R_2}{R_1} (V_2 - V_1) \quad (3.2)$$

Se emplea un restador de ganancia unitaria por conveniencia, con una resistencia de salida en serie (R_d) con la resistencia de entrada al modulador R_s basado en el principio de divisor de voltaje para obtener la constante de retroalimentación del controlador deseada, sin afectar los coeficientes del modulador Σ - Δ . El valor de la U se incluye por medio de un resistor que va hacia la entrada el modulador Σ - Δ . Dicho esquema se ilustra en la Figura 3.13, en el cual se sustituyen los bloques programados en Verilog A, por su diseño a nivel transistor.

La respuesta del sistema a diferentes valores de la constante de control (la cual se logra a través de R_d) se encuentra dentro del orden de $\leq 10^{-2}$ que es el rango de valores adecuados para el control a nivel integrado de acuerdo a simulaciones anteriores, como se muestra en la

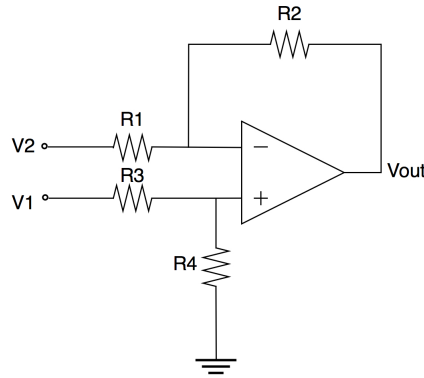


FIGURA 3.12: Restador no inversor para obtener el error.

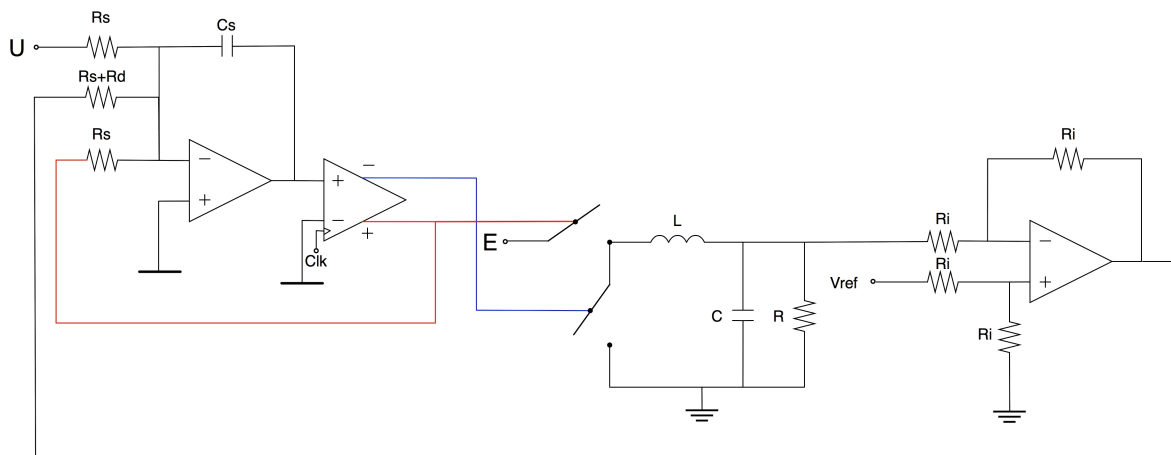


FIGURA 3.13: Convertidor CD-CD donde el controlador se realiza mediante elementos eléctricos.

Figura 3.14, donde se observa una buena respuesta a pesar de haber remplazado el controlador con elementos eléctricos, sin embargo, aún se tienen los interruptores descritos en Verilog A, por lo que se realizará un análisis del comportamiento del interruptor para definir sus parámetros de funcionamiento.

De acuerdo a la literatura, existen varias técnicas de conmutación para sistemas integrados, una de ellas es sustituyendo el interruptor que lleva al inductor a tierra por un diodo como se presenta en la Figura 3.15, lo cual hace más rápida la transición del inductor un estado a otro.

El sistema de conversión completo de la Figura 3.13 ocupa un interruptor modelado en Verilog A con una resistencia de encendido R_{on} de 10Ω (un valor semejante al ideal), dicha resistencia se varia como se muestra en la Figura 3.16 donde la respuesta de voltaje del convertidor (con la arquitectura de la Figura 3.15) se degrada cuando R_{on} se incrementa, lograr que esta resistencia tienda a cero es una tarea difícil, por lo que se realizan pruebas para encontrar el mejor interruptor para la topología a nivel transistor. Por otro lado, no se toma en cuenta la resistencia de

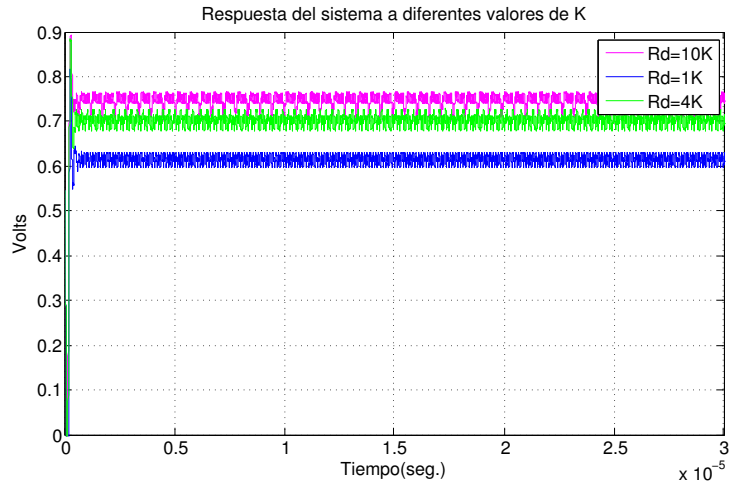


FIGURA 3.14: Respuesta del convertidor a diferentes valores de la constante de control empleando interruptores programados en Verilog A.

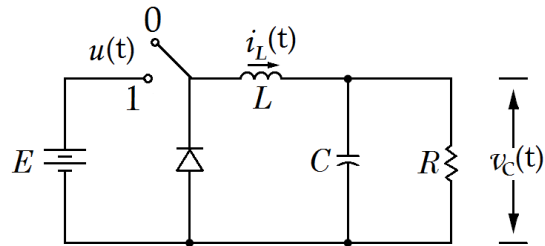


FIGURA 3.15: Convertidor CD-CD Buck con un solo interruptor.

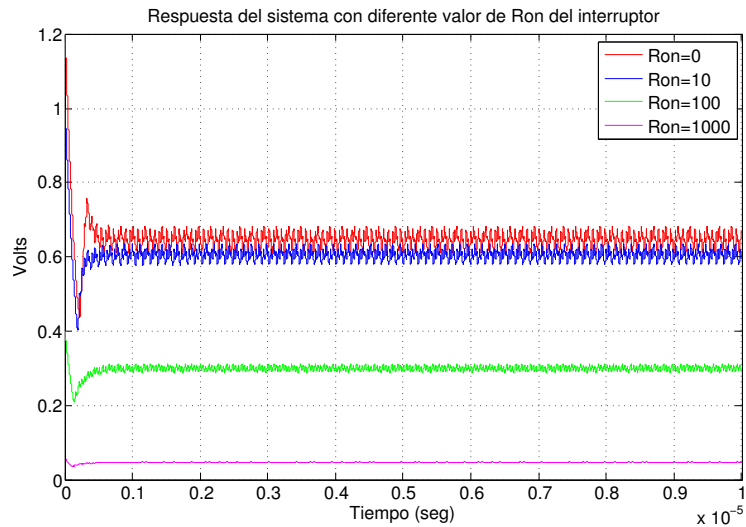


FIGURA 3.16: Respuesta del convertidor a diferentes valores de resistencia de encendido del interruptor.

apagado del interruptor R_{off} ya que dicha resistencia es del rango de $M\Omega$, lo cual no presenta problemas en cuanto a diseño.

3.4. Diseño del controlador a nivel transistor

A partir de los resultados obtenidos del funcionamiento del sistema de conversión de voltaje, se realizará la integración del controlador, los procedimientos y criterios de diseño para cada elemento se presentan a continuación.

3.4.1. Interruptor

El interruptor utilizado en la topología del convertidor CD-CD Buck debe implementarse de una manera eficiente para poder evitar pérdidas de conmutación y obtener a la salida el valor de voltaje deseado. Los interruptores utilizados en la literatura se basan en el interruptor *bootstrapped* y en drivers realizados con cadenas de inversores, por lo cual se analiza el comportamiento del sistema con cada uno de ellos.

3.4.1.1. Interruptor bootstrapped

En sistemas síncronos como los PLL (Phase locked loop) usualmente existen efectos no ideales, uno de ellos es el originado por la capacitancia finita vista desde los drenajes de las fuentes de corriente del circuito mostrado en la Figura 3.17(a), cuando S_1 y S_2 están apagados, permiten que M_1 descargue a X hacia tierra y que M_2 cargue a Y a V_{DD} , en la siguiente fase Tanto S_1 como S_2 se cierran, haciendo que V_x y V_y suban por lo que $V_x \approx V_y \approx V_{cont}$, si la caída de voltaje es despreciable, el error de fase es cero si $I_{D1} = |I_{D2}|$ como se muestra en Figura 3.17(b), el cambio en V_x no será igual al de V_y mientras $C_x = C_Y$. Por ejemplo si V_{cont} es relativamente alto, V_x cambia por mucho y V_y en pequeña magnitud, la diferencia entre los dos cambios debe subministrarse por C_p , lo que lleva a un salto en V_{cont} .

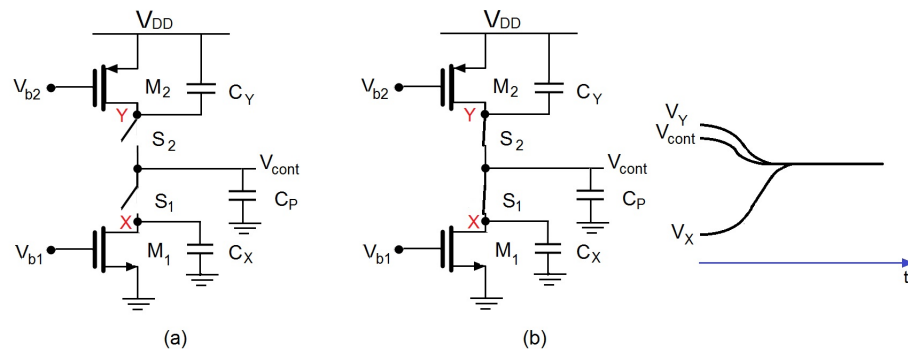


FIGURA 3.17: Efecto que requiere bootstrapping.

Este fenómeno puede suprimirse por “bootstrapping” (Figura 3.18) la idea es fijar V_x y V_y a V_{cont} después de que la comparación de fase ha terminado, cuando S_1 y S_2 se apagan S_3 y S_4

se activan, permitiendo una ganancia unitaria en el amplificador para mantener X y Y a un potencial igual a V_{cont} . En el siguiente instante de comparación de fase, S_1 y S_2 se activan, S_3 y S_4 se apagan y V_x y V_y comienzan en un valor igual a V_{cont} . Por lo que no existe la división de carga de C_p entre las capacitancias en X y Y.

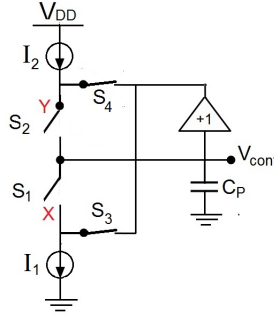


FIGURA 3.18: Ejemplo de bootstrapping.

3.4.1.2. Interruptor empleando cadena de inversores

Para manejar una gran capacitancia de carga (C_L) o para un acoplamiento de impedancias se pueden emplear cadenas de inversores, para dicha cadena el tiempo de conmutación puede describirse como:

$$\begin{aligned} t_{HL} &= s_n \tau_n^{int} + s_n \tau_n^L \\ t_{LH} &= s_p \tau_p^{int} + s_p \tau_p^L \end{aligned} \quad (3.3)$$

donde las constantes de carga son:

$$\begin{aligned} \tau_n^L &= \frac{C_L}{K_n' (W/L)_n (V_{DD} - V_{Tn})} \\ \tau_p^L &= \frac{C_L}{K_p' (W/L)_p (V_{DD} - V_{Tp})} \end{aligned} \quad (3.4)$$

Para mantener altas velocidades de conmutación, las relaciones de aspecto de los transistores que forman el inversor deben ser muy grandes, la compuerta tiene una capacitancia de entrada 3.5 que es directamente proporcional al tamaño de los dispositivos. Esto a su vez reduce la velocidad de la compuerta anterior a menos que también se haga uso de grandes transistores.

$$C_{in} = C_{ox} [(WL)_n + (WL)_p] \quad (3.5)$$

El problema continúa repitiéndose a medida que se aleja de la carga hasta llegar a una etapa en la que los transistores son de tamaño *normal*. Aunque esto requiere circuitería adicional, utilizando una cadena de compuertas en cascada puede ayudar a mantener la velocidad de conmutación de la red.

El problema de la conducción de un condensador de carga grande se gestiona mediante el uso de una cadena de inversores a escala (este método no se limita a los inversores, puede aplicarse a las compuertas lógicas estáticas más generales presentados en el), donde los tamaños de los transistores se incrementarán desde la entrada hacia la carga, esto se puede observar en la Figura 3.19 donde la cadena de inversores puede resultar en un retardo menos si la capacitancia de cada etapa se elige adecuadamente.

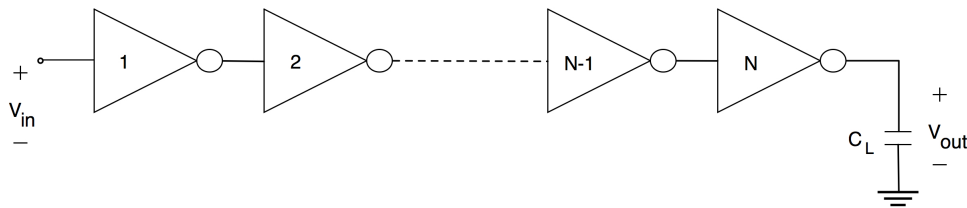


FIGURA 3.19: implementación mejorada del boo

La cadena se compone de N inversores, con la entrada aplicada al inversor 1 y el condensador de carga C_L conectado a la salida del inversor N. Si se aplica un impulso de tensión a $V_{in}(t)$, entonces la salida $V_{out}(t)$ se retrasará por un tiempo t_D que no puede ser eliminado.

Se elegirá como referencia al inversor 1 con dimensiones mínimas, se denotará como $(W/L)_1$. Una vez obtenido el tamaño las etapas restantes de la cadena tienen relaciones de aspecto que aumentan monótonicamente tal que:

$$\left(\frac{W}{L}\right)_1 < \left(\frac{W}{L}\right)_2 < \dots < \left(\frac{W}{L}\right)_n \quad (3.6)$$

el tamaño relativo de la etapa α_{th} ($2 < \alpha < N$) con respecto al inversor 1 de referencia es diseñado por medio de un factor $S_\alpha > 1$ tal que:

$$\left(\frac{W}{L}\right)_\alpha = S_\alpha \left(\frac{W}{L}\right)_1 \quad (3.7)$$

En este caso se utiliza $S_\alpha = 2$ para el diseño del driver.

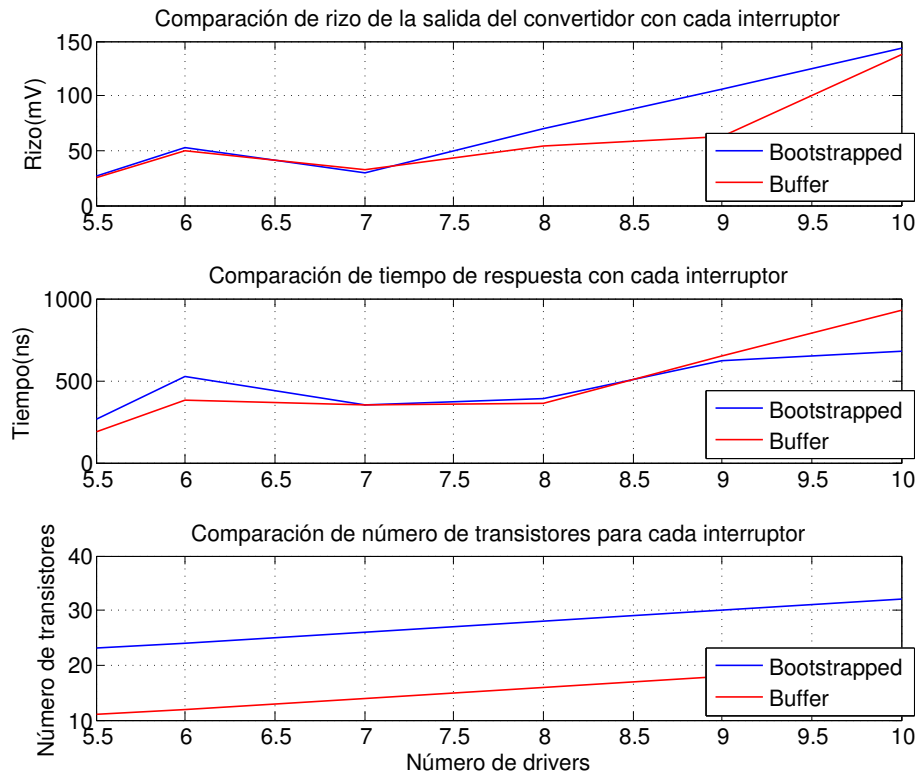


FIGURA 3.20: Comparación entre interruptores.

3.4.1.3. Comparación de funcionamiento con ambos interruptores

El punto en común que se tiene al utilizar procesos nanométricos es que los sistemas trabajan en una tensión de alimentación reducida que es inferior a su tensión nominal de alimentación. Los circuitos *bootstrap* se emplean cuando algunos voltajes de nodo internos son mayores que la tensión de alimentación. Sin embargo, con tecnologías de nanómetros el voltaje de umbral se reduce a medida que la tensión de alimentación se reduce. Esto hace posible la conducción de en circuitos sin la necesidad *bootstrapping*. Por lo tanto, las tecnologías nanométricas ayudan a reducir aún más el consumo de energía gracias al entorno de baja tensión. Es por esto que el incluir un interruptor *bootstrap* en el controlador o drivers no causo una notable diferencia en cuando a tiempo de respuesta o rizo de voltaje (Figura 3.20).

En este caso es conveniente emplear un driver realizado por medio de una cadena de inversores para lograr un ahorro de área en el diseño del chip. Si el controlador manejara altas potencias el interruptor *bootstrap* sería necesario debido al valor del voltaje de alimentación.

Los parámetros para el diseño al nivel transistor correspondientes a la tecnología de 65nm se muestran en la Tabla 3.3

TABLA 3.3: Parámetros del proceso umc65nm

Párametro	Valor
L_{min}	60nm
L_{max}	3 μ m
W_{min}	80nm
W_{max}	10 μ m
λ_{design_rule}	30nm
tox_n	2.6x10 ⁻⁹ m
tox_p	2.75x10 ⁻⁹ m
k_n	330.101010406nA/V ²
k_p	160.85322208nA/V ²

3.4.2. Diseño del amplificador para el modulador Σ - Δ

En los diseños de baja tensión la consideración principal es mantener el *swing* de salida lo más alto posible, es decir, se prefiere la oscilación de salida de riel a riel lo que significa que no hay transistores en cascode que se puedan utilizar en la etapa de salida. Por otro lado, para un consumo de energía mínimo el número de ramas de corriente debe reducirse al mínimo. El amplificador de múltiples etapas que gasta energía en la conducción de las capacitancias de compensación no es competitivo en comparación con el amplificador de una sola etapa en términos de eficiencia de potencia, al igual que la limitación en el ancho de banda para amplificadores de dos etapas. Estas limitaciones llevan a la solución más eficiente energéticamente, un amplificador de una sola etapa y sin etapas en cascode.

En tecnologías CMOS nanométricas, un OTA de dos etapas ofrece tanto una alta ganancia de CD y un *swing* de salida alto. Con una optimización cuidadosa, el rendimiento del OTA de dos etapas es comparable a la de la OTA de una sola etapa.

En este caso se realizó el diseño de un OTA *fully-differential* ya que se requiere una salida negada, en este caso se eligió la arquitectura amplificador diferencial complementario autopolarizado (*CSDA*) [41], este amplificador se usa para aplicaciones en las cuales la entrada en modo común esta relativamente limitada. Esta arquitectura presenta dos características principales:

- Es completamente complementario, por ejemplo cada dispositivo tipo N de la red push-pull cuenta con su correspondiente dispositivo P .
- Es autopolarizado *self-biased* a través de retroalimentación negativa.

Estas dos diferencias en la configuración del amplificador da como resultado varias mejoras de rendimiento:

- Menos sensibilidad de región activa a las variaciones en el procesamiento, temperatura y alimentación.
- Capacidad de suministrar corrientes de conmutación que son significativamente mayores que la corriente de polarización de reposo.
- Duplicación nominal de la ganancia en modo diferencial (+ 3 dB).

3.4.2.1. Teoría de operación del CSDA

La operación básica del CSDA tal vez se entienda más fácilmente siguiendo su derivación de configuraciones de amplificadores CMOS convencionales bien conocidos. La Figura 3.21(a) ilustra dos amplificadores diferenciales CMOS convencionales, cada uno complementa al otro. En el primer paso de la derivación de las cargas de ambos amplificadores es eliminada, y la pareja de entrada de los drenajes del amplificador son conectadas a la pareja de entradas del drenaje del otro. Resultando en la completamente complementaria configuración, pero polarizada externamente, ilustrada en la Figura 3.21(b). Una simple modificación del circuito de la Figura 3.21(b) sin embargo resulta en una completa estabilización de los voltajes de polarización. Esta modificación se ilustra en la Figura 3.21(c), en la cual las dos entradas de voltaje de polarización son desconectadas de las fuentes externas y son conectadas ahora al nodo interno del amplificador VBIAS. Esta auto-polarización del amplificador crea un lazo retroalimentación negativa que estabiliza los voltajes de polarización. Algunas variaciones en el procesamiento de parámetros o condiciones de operación que recorren los voltajes de alimentación a través de los valores nominales resultan en un corrimiento en VBIAS que corrige a los voltajes de polarización a través de la retroalimentación negativa.

En el CSDA los dispositivos $M3$ y $M4$ operan en la región lineal. Consecuentemente, los voltajes V_H y V_L pueden ser puestos muy cerca de los voltajes de alimentación. Mientras estos dos voltajes determinan el swing de salida del amplificador, el swing de salida puede estar cerca de la diferencia entre los dos rieles de alimentación. Otra consecuencia de la operación en región lineal de los dispositivos $M3$ y $M4$ es que el CSDA puede proveer unas corrientes de conmutación de salida que son significativamente mas grandes que sus corrientes de estado estacionario.

En contraste, los amplificadores diferenciales CMOS convencionales no pueden brindar corrientes de conmutación que excedan las corrientes de reposo establecidas a través de la fuente de corriente, la cual opera en la región de saturación. Esta capacidad de suministrar momentáneamente grandes impulsos de corriente hace que el CSDA especialmente adecuado para aplicaciones de comparador de alta velocidad, en los que es necesaria para cargar y descargar rápidamente las cargas capacitivas de salida sin que al mismo tiempo el consumo de cantidades excesivas de energía.

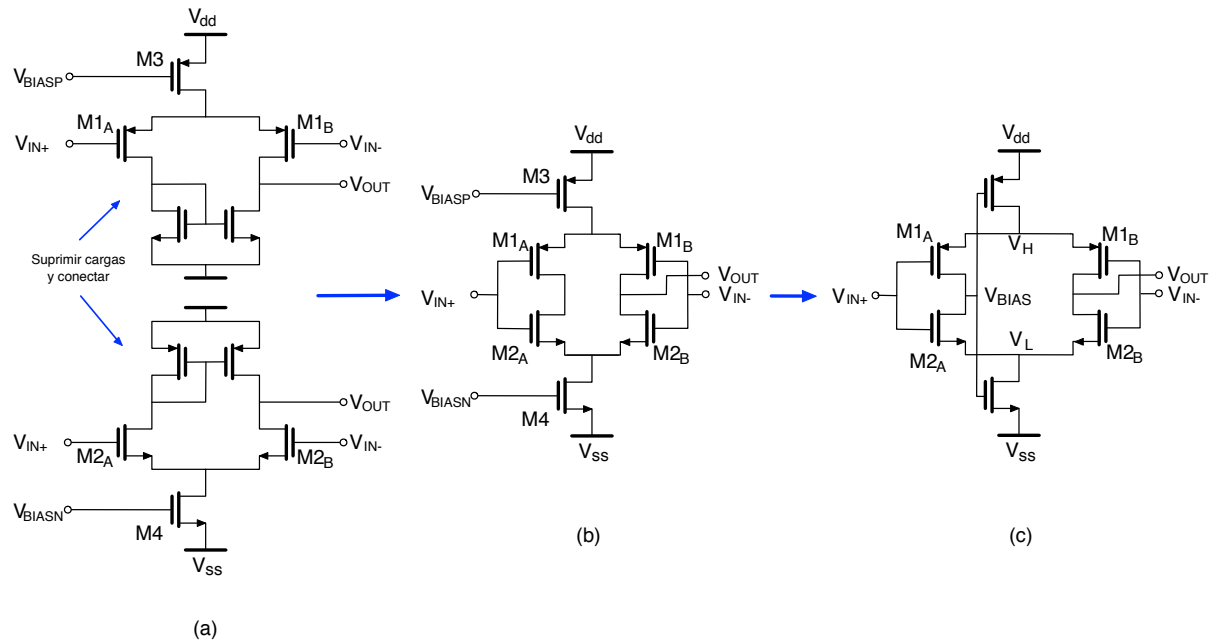


FIGURA 3.21: Amplificador diferencial complementario auto-polarizado.

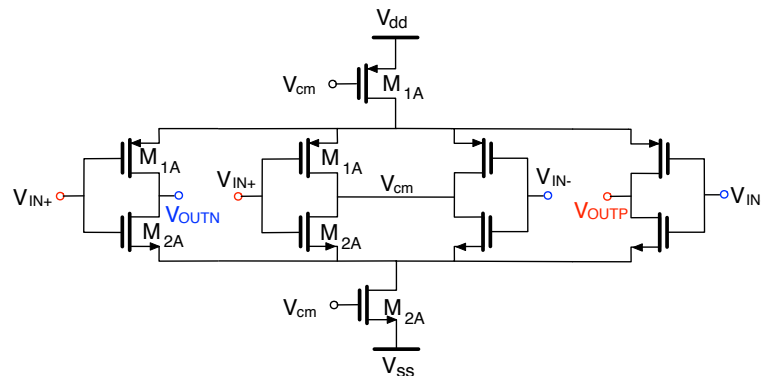


FIGURA 3.22: Amplificador Fully differential complementario auto-polarizado.

El análisis del circuito diferencial es análogo al circuito del OTA *fully-differential*, el circuito final utilizado se presenta en la Figura 3.22, con el cual solo se pudo obtener una ganancia $A_v=18.28\text{dB}$ (Figura 3.23). Esta ganancia no cumple con las especificaciones necesarias. Se diseñó un amplificador *single-ended* de dos etapas para obtener una ganancia mayor pero tampoco se pudo cumplir con las especificaciones debido a la tecnología del proceso.

Por lo anterior se optó por la realización de una etapa compensación para implementar el amplificador en el modulador $\Sigma-\Delta$.

3.4.3. Diseño del comparador para el modulador $\Sigma-\Delta$

Para el modulador $\Sigma-\Delta$ se emplea un comparador diferencial con buffer de salida .

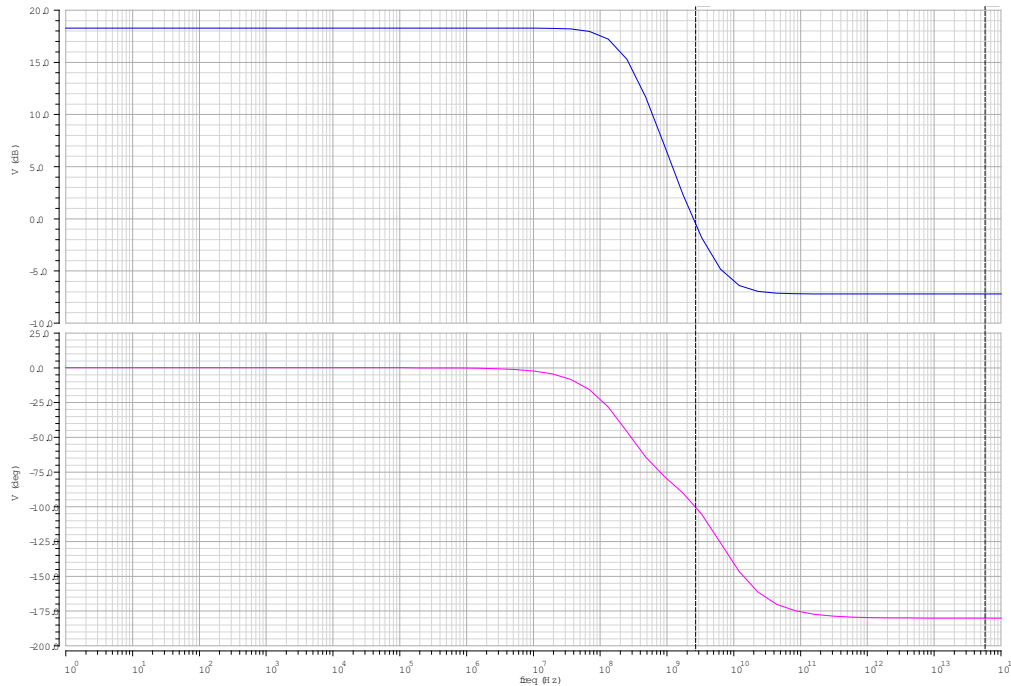


FIGURA 3.23: Diagrama de bode del amplificador CSDA

Un comparador es un circuito que compara dos señales analógicas y da una salida en forma digital, es decir, un “0” o “1” lógico, dependiendo de la comparación, también conocido como un ADC de un bit. En este caso se emplea un comparador retenedor ya que es una buena alternativa para un bajo consumo de potencia y una velocidad alta. La etapa de comparación se presenta en la Figura 3.24 donde los transistores M1c, M2c, M5c y M6c se emplean para la sincronización del circuito.

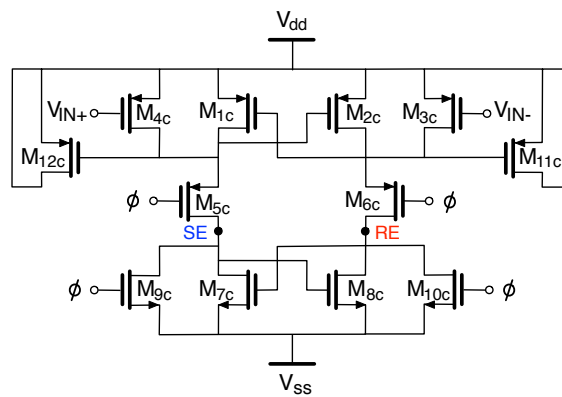


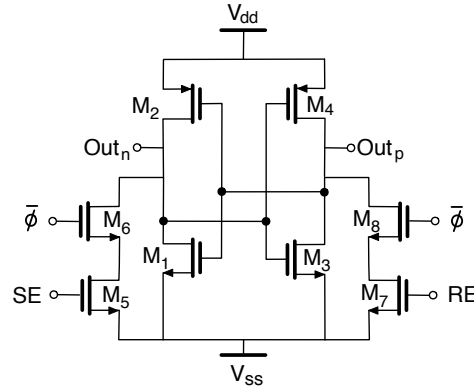
FIGURA 3.24: Diagrama de la etapa de comparación para el modulador Σ-Δ

Debido a el acoplamiento cruzado que se presenta es necesario el uso de un latch manejado por la fase contraria para la parte de retención que se presentare en la Figura 3.25, la cual es una Latch tipo SR como se presenta en la Tabla 3.4.

Cuando el voltaje de entrada $V_{in+} < V_{in-}$ se presentan dos casos:

ϕ	S	R	Q	Qn	
0	X	X	NC	NC	NC
1	0	0	Q	Qn	NC
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	0	1	1	No válido

TABLA 3.4: Tabla de funcionamiento de latch SR.


 FIGURA 3.25: Diagrama de la etapa de retención para el modulador Σ - Δ

- Cuando $\phi=0$ ó $\bar{\phi}=1$ M5c y M6c están cerrados pero M9c y M10c están abiertos poniendo el nodo SE a Vdd y RE a Vss. M6, M8 y M5 están cerrados, mientras que M7 esta abierto. Esto se debe a que SE es uno y solo ocurre cuando VIN es mayor que VIP, ya que M5 se cerrara en unos periodos pero M7 siempre permanecerá abierto.
- Cuando $\phi=1$ ó $\bar{\phi}=0$ M5c y M6c están abiertos pero M9c y M10c están cerrados por lo que SE baja a Vss y RE se mantiene a Vss. M6, M8, M5 y M7 están abiertos, por lo que se mantiene el valor anterior tanto de Out_n como Out_p . Lo que corresponde a la etapa de retención.

Cuando el voltaje de entrada $V_{in+} > V_{in-}$ se presentan dos casos:

- Cuando $\phi=0$ ó $\bar{\phi}=1$ M5c y M6c están cerrados pero M9c y M10c están abiertos SE es igual a Vss y RE a Vdd. M6, M8 y M7 están cerrados, mientras que M5 esta abierto. Esto se debe a que RE es uno y solo ocurre cuando VIP es mayor que VIN, ya que M7 se cerrara cuando CLK este en bajo pero M5 siempre permanecerá abierto cuando VIP es mayor a VIN.
- Cuando $\phi=1$ ó $\bar{\phi}=0$ M5c y M6c están abiertos pero M9c y M10c están cerrados por lo que RE y SE se conectan a Vss. M6, M8, M5 y M7 están abiertos, por lo que se retiene el valor anterior tanto de Out_n como Out_p . Lo que corresponde a la etapa de retención.

El funcionamiento del comparador descrito anteriormente se presenta de manera gráfica en la Figura 3.26.

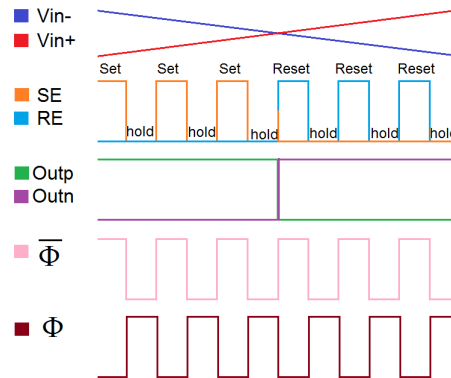


FIGURA 3.26: Funcionamiento del comparador para el modulador Σ - Δ

3.4.4. Modulador Σ - Δ

El modulador Σ - Δ integrado totalmente se presenta en la Figura 3.27, el cual esta formado por un integrador en el cual se emplea el amplificador para la etapa de integración y el comparador para la parte de discretización de la señal de control.

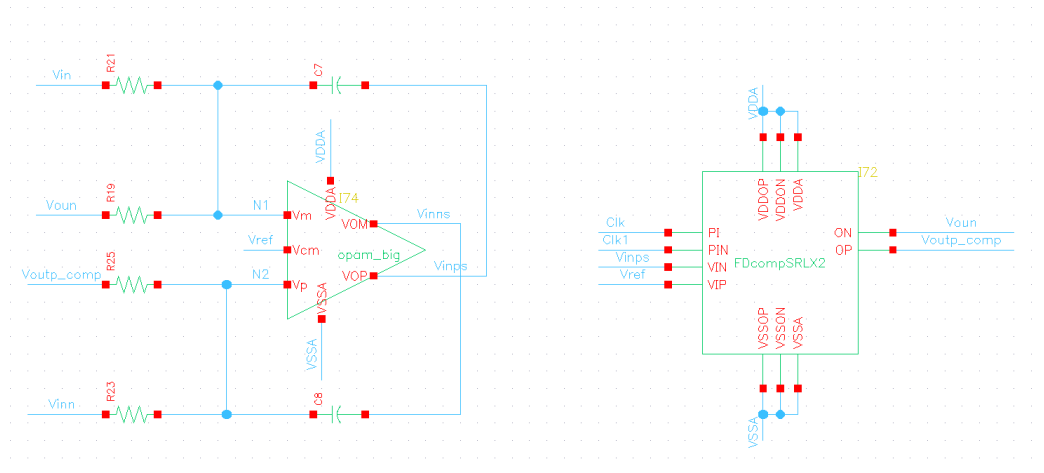


FIGURA 3.27: Diagrama del modulador Σ - Δ .

Debido a que el amplificador no tiene la ganancia deseada la respuesta del modulador Σ - Δ no es la deseada debido a su baja resolución y la presencia de armónicos que se pueden observar en el espectro obtenido que se muestra en la Figura 3.28.

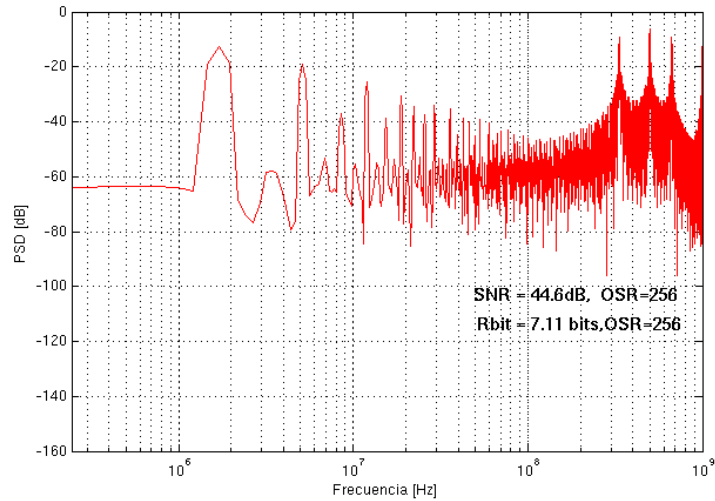


FIGURA 3.28: Espectro del modulador Σ - Δ .

Debido a que en procesos nanométricos los transistores presentan una transconductancia y una resistencia de salida bajas el diseño de amplificadores operacionales de alta ganancia es difícil. Debido a esto se implementa una etapa de compensación para el amplificador [42].

En la Figura 3.27 se presenta el integrador que es la base del modulador Σ - Δ en los nodos N_1 y N_2 se tiene una magnitud de V_{inns}/A_v y V_{inp}/A_v en una resistencia equivalente a cada una de las entradas del amplificador (inversora y no inversora), lo que causa un error de fase en la respuesta del integrador, mientras que el uno en el condensador determina el error de magnitud. Es posible corregir el error de fase con una inyección de corriente adecuada en las terminales del amplificador, como se muestra en la Figura 3.29. El circuito utiliza un amplificador auxiliar de baja ganancia (ganancia= β) para manejar una resistencia adicional R_1 , inyectando una corriente a cada uno de los nodos N_1 y N_2 .

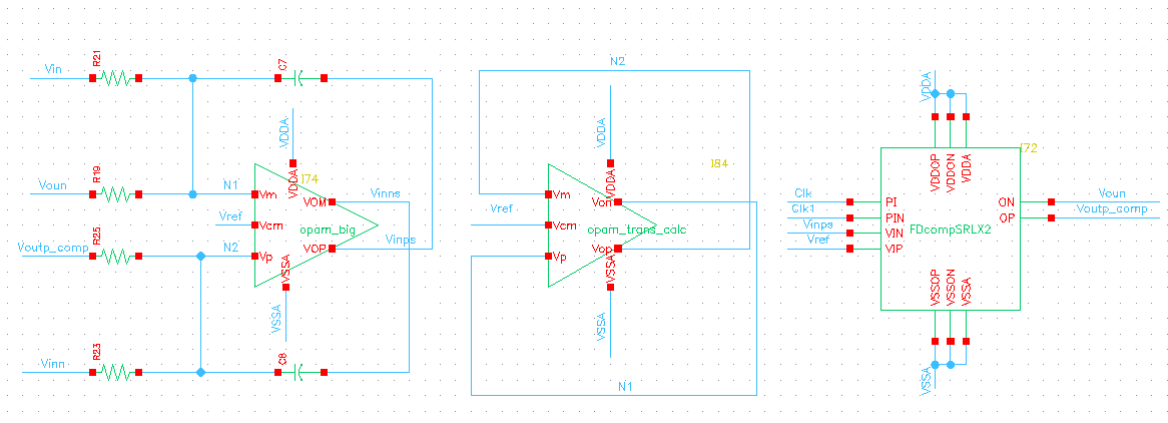


FIGURA 3.29: Diagrama del modulador Σ - Δ con compensación en modo continuo

En este caso se obtuvo la resistencia equivalente (R_{eq}) a cada una de las entradas del circuito, y se empleo una R_1 de $1k\Omega$ para obtener $\beta = (R_1 + R_{eq})/R_{eq}$, por medio del equivalente de Norton se obtuvo la transconductancia correspondiente para la ganancia del amplificador $A_v = g_m * N1$ a diseñar, en este caso la transconductancia equivalente es $g_c = 1/R_{eq}$. El amplificador de compensación es el mismo que el presentado en la Figura 3.22. Una vez añadida la etapa de

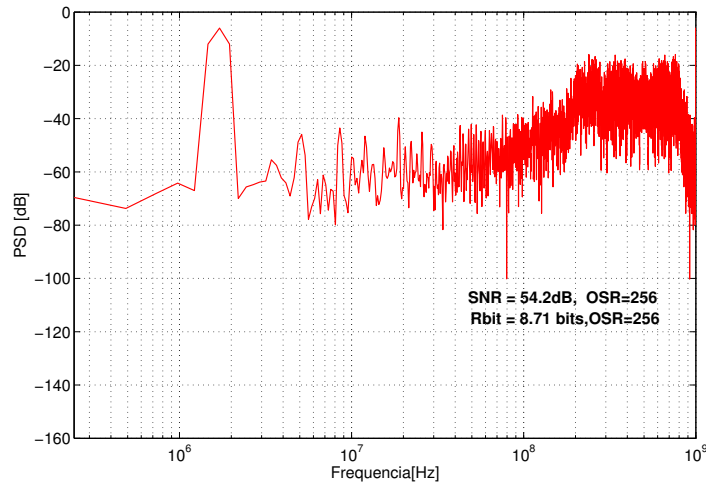


FIGURA 3.30: Espectro del modulador Σ - Δ con compensación en modo continuo

compensación al modulador Σ - Δ el espectro se ve mejorado logrando incrementar la resolución y la SNR del modulador como se presenta en la Figura 3.30.

3.4.5. Restador

El circuito empleado para la obtención del error del controlador se realiza por medio de un capacitor conmutado, ya que el incluir un amplificador operacional incrementaría el consumo de recursos en el chip como el área, la potencia, etc., el esquema del restador se presenta en la Figura 3.31(a), el cual permite evitar el efecto no lineal de las capacitancias parasitas por medio del empleo de 4 interruptores en lugar de solo dos.

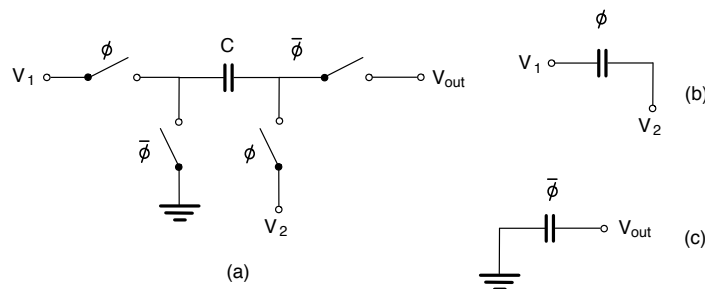


FIGURA 3.31: Diagrama del circuito para obtener el error para el controlador

En este tipo de estructuras se requiere el uso de dos fases de reloj para realizar la transferencia de carga. El análisis de la carga a través de los condensadores en cada fase ϕ (Figura 3.31(b)) y $\bar{\phi}$ (Figura 3.31(c)) empleando la ley de conservación de la carga, el voltaje de salida se define en la ec. 3.8.

$$\begin{aligned}
 (b) \quad Q_b &= C * (V_1 - V_2) \\
 (c) \quad Q_c &= C * V_{out} \\
 Q_b &= Q_c \\
 V_{out} &= V_1 - V_2 * \frac{C}{C} \\
 V_{out} &= V_1 - V_2
 \end{aligned}
 \tag{3.8}$$

3.4.5.1. Interruptor para el restador

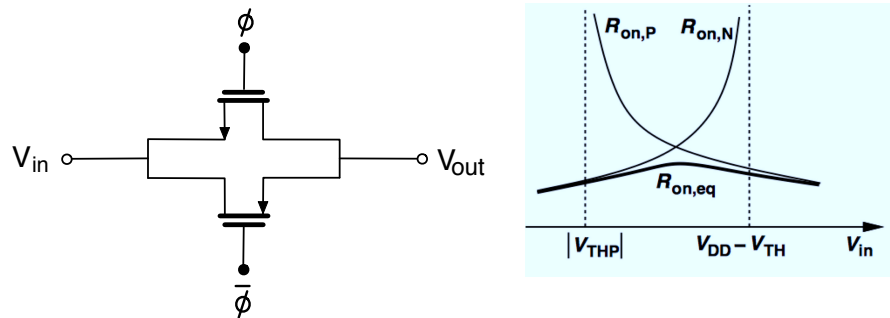


FIGURA 3.32: Interruptor realizado con compuertas de transmisión

Para la realización de los interruptores, la idea básica es el uso de un solo NMOS o PMOS, sin embargo, este puede mejorarse mediante el empleo de compuertas de transmisión las cuales se basan en un NMOS en paralelo con un PMOS, lo que garantiza una baja resistencia de encendido (básicamente cuando el interruptor está cerrado, se comporta “casi” como un cortocircuito, con una caída de tensión insignificante) como se observa en la gráfica de la Figura 3.32 .

Convertidor CD-CD Buck

El diseño del sistema completo a partir de los bloques diseñados anteriormente serán verificados en el próximo capítulo para comprobar tanto el funcionamiento del convertidor CD-CD Buck como sus características estáticas y dinámicas.

Capítulo 4

Resultados del sistema eléctrico y conclusiones

El esquema completo del convertidor CD-CD Buck se presenta en la Figura 4.1, la etapa de conversión CD-CD Buck de la cual dependen las características estáticas se muestra en color rosa, la etapa de control del convertidor esta formada por el modulador Σ - Δ , el driver y los restadores para obtener el error. En color negro se muestran las fuentes de alimentación del circuito (V_{dd} y V_{ss}), los valores de referencia para el modulador Σ - Δ (U y Um), la constante de referencia para obtener el error ($cte2$), las dos fases de reloj necesarias para el sistema (Clk y $Clk1$) y el voltaje de referencia en modo común (V_{ref}).

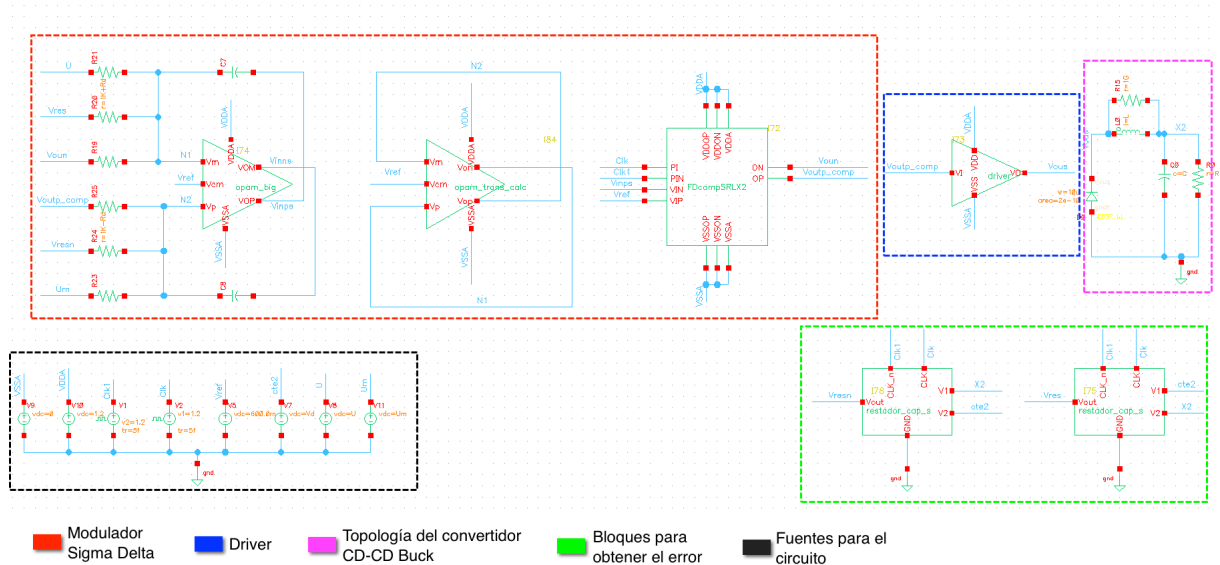


FIGURA 4.1: Diagrama de bloques del circuito del convertidor CD-CD Buck

4.1. Análisis de esquina del sistema

Para determinar el buen funcionamiento del circuito se emplearon los parámetros de esquina. Los parámetros de esquina son términos relativos a la tecnología de fabricación los cuales tienen tolerancias de oblea dando lugar a diferentes variaciones en distintos parámetros como C_{ox} , V_{th} , t_{ox} , etc. El proceso tiene límites superior e inferior para cada uno de estos parámetros. Por ejemplo para el modelo lento (SS) el voltaje de umbral se incrementa y para el rápido se reduce.

Los resultados de este análisis de esquina se presentan en la Figura 4.2, donde se emplearon todas las pruebas de esquina: Fast-to-Fast (FF), Slow-to-Slow (SS), Fast-Nominal-slow (FNS), Slow-Nominal-Fast (SNF), Typical-Typical (TT) y montecarlo, con las temperaturas de -20° , 60° y 120° .

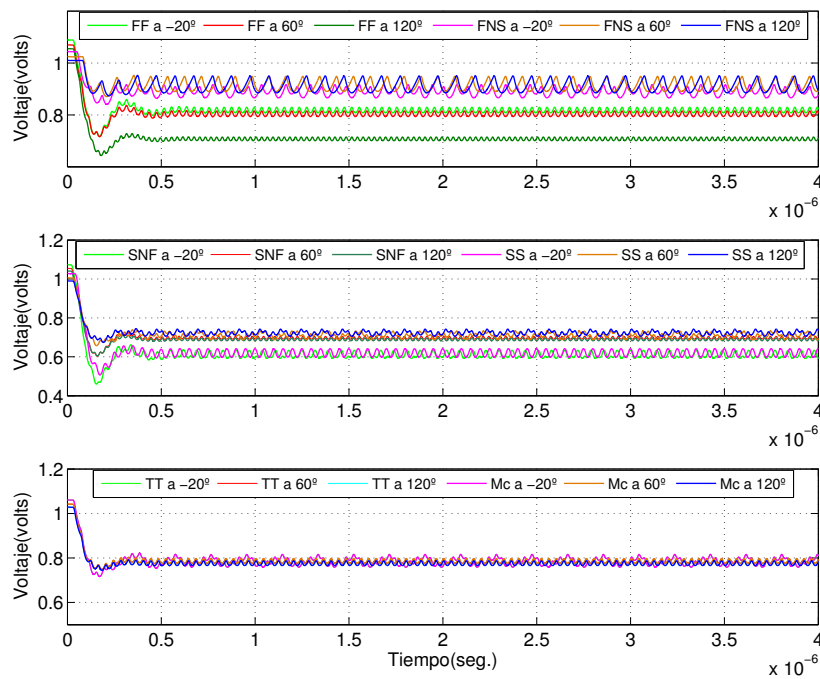


FIGURA 4.2: Análisis de las esquinas de los procesos de la tecnología en análisis transitorio.

En el análisis FNS se presentan variaciones máximas de un 12.5% del voltaje de salida y el rizo de voltaje se incrementa en un 50%, que equivale a un 5% de rizo de voltaje de salida lo cual se encuentra dentro del rango aceptable. En el análisis SS y SNF el voltaje de salida no puede alcanzar el voltaje deseado, esto se debe a que el voltaje de umbral se incrementa lo cual hace que el sistema se vuelva más lento degradando el funcionamiento de cada uno de los bloques que forman el circuito. En el análisis de montecarlo los resultados coinciden con los del proceso

típico, manteniendo un voltaje de salida de 800mV, la única variación que muestra el voltaje de salida es en el rizo de voltaje ya que se incrementa de 20mV a 30mV, que equivale a un 3.75 % del voltaje de salida, lo cual sigue dentro del rango.

En la Figura 4.3 se presenta el análisis de esquina en DC de la salida de voltaje del convertidor con respecto a la variación de carga desde 0Ω hasta 100Ω en el cual se observa que siempre se llega a 0.8V cuando se tiene una carga de 50Ω aun con las variaciones de temperatura y de proceso dentro de un rango de variación de carga de -10 % a +10 %.

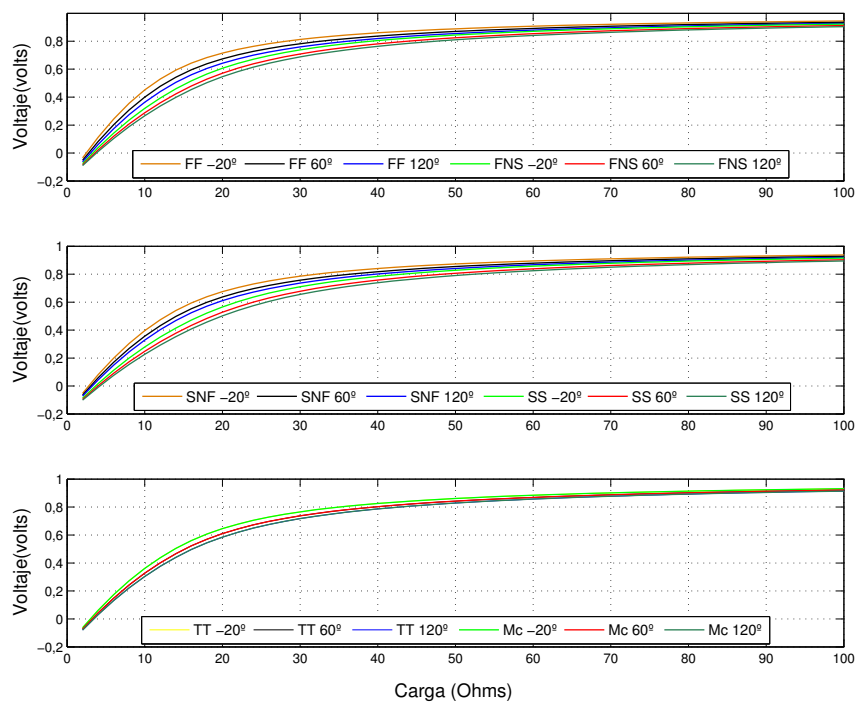


FIGURA 4.3: Análisis de las esquinas de los procesos de la tecnología en DC.

Es poco probable que ocurran las esquinas extremas del proceso, pero es importante analizarlas para determinar el comportamiento del circuito en los peores casos. De acuerdo a los análisis realizados el comportamiento promedio del Convertidor CD-CD Buck es bueno.

4.2. Consumo de potencia del sistema

Un parámetro importante en los convertidores CD-CD es el consumo de potencia. El consumo de potencia promedio por cada elemento que compone el sistema se muestra en la Tabla 4.1, donde se puede observar que el mayor consumo se presenta en los restadores, el driver y en la etapa de compensación para el amplificador *fully-differential*.

Los restadores tienen pérdidas de potencia debido a que fueron realizados por medio de capacitores conmutados a una frecuencia alta para evitar el diseño de un amplificador *Single-ended* y para el ahorro de área. El driver tiene un gran consumo de potencia causado por los tamaños empleados para los transistores pero estos son necesarios para la regeneración y acoplamiento de la señal de control al circuito del convertidor CD-CD Buck.

La etapa de compensación al igual que el driver se implementa con transistores de tamaño considerable debido a la alta transconductancia que se necesita para producir la Beta de ganancia del amplificador.

Consumo promedio de potencia de cada elemento	
Diodo	3.168nW
Driver	1.862mW
Integrador del modulador Σ - Δ	96.48uW
Compensación para el modulador Σ - Δ	1.014mW
Comparador	85.59uW
Restadores	1.87mW

TABLA 4.1: Consumo de potencia promedio de cada elemento que forma el sistema

El consumo de potencia promedio total del circuito es de **15.85mW** el consumo de potencia del circuito en el análisis transitorio se presenta en la Figura 4.4.

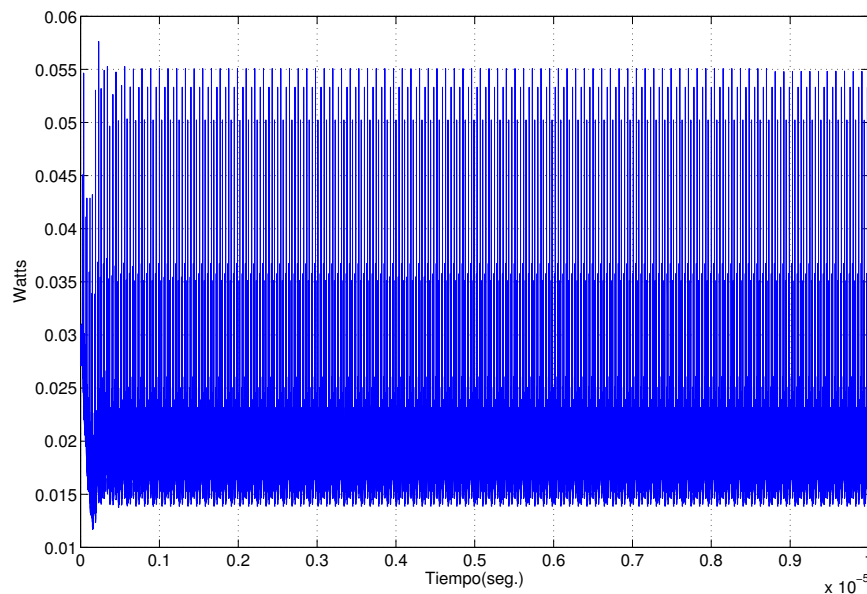


FIGURA 4.4: Consumo de potencia del circuito

Señal de referencia U para el modulador Σ - Δ

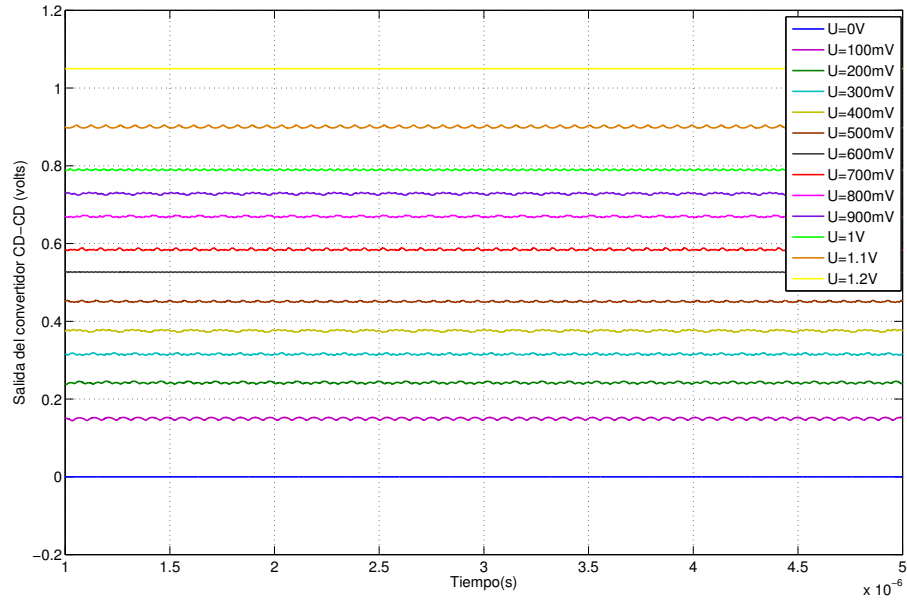


FIGURA 4.5: Gráficas en lazo abierto del convertidor controlado por un modulador Σ - Δ

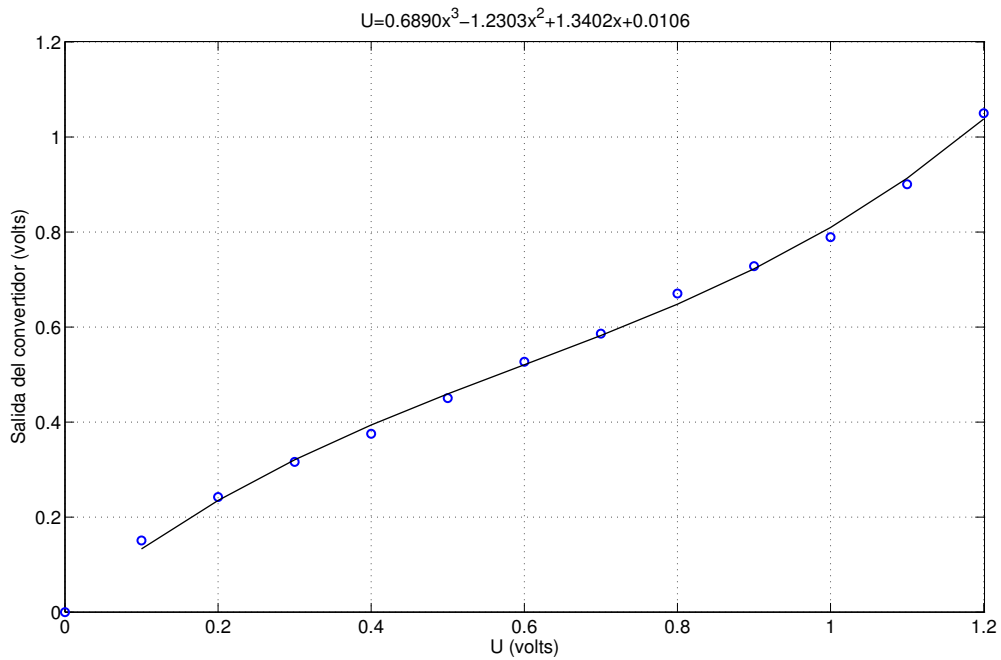


FIGURA 4.6: Aproximación de tercer orden para el voltaje en función de U del modulador Σ - Δ diferencial en un proceso de 65nm

En la etapa de control se usa una señal U que es el valor de referencia necesario para que el modulador Σ - Δ de una trama de bits adecuada para alcanzar el nivel de voltaje deseado, esta señal se obtuvo de forma empírica poniendo el modulador Σ - Δ con el convertidor CD-CD Buck en lazo abierto. En la Figura 4.5 se presentan las salidas de voltaje del convertidor para cada valor constante de U , a partir de estas gráficas se obtuvieron los puntos necesarios para definir el voltaje de salida en función de U mediante una aproximación de tercer orden para dicha función la cual se presenta en la Figura 4.6, esta aproximación solo es válida para un modulador Σ - Δ de primer orden en una tecnología de 65nm, con $V_{DD} = 1.2V$, $V_{SS} = 0V$, y $f_s = 100MHz$.

4.3. Características estáticas y dinámicas del convertidor

Características estáticas

Las características estáticas se relacionan con la naturaleza de la etapa de conversión, y se presentan a continuación.

La relación de conversión de voltaje (VCR) para el circuito diseñado fue de 0.66, con un voltaje de alimentación de 1.2V para un voltaje de salida deseado de 0.8V, a partir de la cual se obtuvieron los tamaños de los elementos activos $L=533nH$ y $C=4n$, de los cuales depende el rizo de voltaje y de corriente resultantes. El consumo de potencia de entrada fue en promedio de $14.71mW$ y el de salida $11.78mW$ por lo que la eficiencia de potencia corresponde a un 80.08%.

Características dinámicas

Estas características son influenciadas por el método de control empleado para controlar la etapa de conversión CD-CD.

Una regulación de línea para convertidores de alta potencia puede ser alta, sin embargo, para tecnologías nanométricas se toma en cuenta un rango del 1 al 5%. En el convertidor diseñado para una variación del voltaje de entrada de un 10% la regulación de línea es de 75.89%, para una variación de un 5% $R_L=87.31\%$ y para una variación del 1% $R_L=96.86\%$. Debido al bajo rango de voltaje de alimentación se toma en cuenta solo el rango de variación de voltaje de entrada del 1% al 5%.

La variación de carga típica de acuerdo a la literatura es del 10%, tomando en cuenta esto e incluyendo la variación de parámetros de esquina la regulación de carga en promedio es de 91.3%. En el mejor de los casos al realizar la variación de carga del 10% el voltaje de salida cambia en un 3% y en el peor de los casos se obtiene un cambio del 15.6%.

El ancho de banda se obtuvo sometiendo el sistema a diferentes frecuencias (ó diferentes T_s), el sistema respondió adecuadamente a frecuencias de 100MHz y 1GHz, que como se había descrito anteriormente, la arquitectura del convertidor CD-CD Buck debe ser diseñado para una frecuencia una década menor a la frecuencia del modulador, sin embargo, el ancho de banda del amplificador no es tan grande por lo que el sistema puede no tener un funcionamiento adecuado para frecuencias mayores a 1GHz.

El valor de la salida del convertidor en estado estable es de 800mV y el máximo valor que alcanza cuando existe un cambio es de 815mV por lo que el sobreimpulso es del 2%, con un tiempo de asentamiento máximo de 40ns.

Las características estáticas y dinámicas del convertidor se resumen en la Tabla 4.2.

Características estáticas	
Relación de conversión de tensión VCR	0.66
Eficiencia de energía η	80.08 %
Precisión de conversión e_c	95 %
Características dinámicas	
Regulación de línea R_{line}	87.31 % a 96.86 %
Regulación de carga R_{load}	91.3 %
Ancho de banda	>100MHz y <1GHz
Tiempo de asentamiento	40ns

TABLA 4.2: Características del convertidor CD-CD Buck

4.4. Comparación del convertidor CD-CD Buck con otros convertidores

	Tesis	43	44	45	46	47	48
Topología	Buck	Buck dual output	5 Buck outputs	Buck	Buck	Buck	3-level
Inductor	533nH	0.2uH	2.2uH	1.54nH	20nH	90nH	100nH
Capacitor	4nF	-	4.7uF	-	300pF	470nF	15nF
Vsupply	1.2	-	3.4-4.3	2-2.2	1.8	1.8	5
Vout	0.8	1.2-1.8	-	0.7-1.2	0.8 a 0.9	0.6 a 1.5	0.4-4.2
Eficiencia	80.1 %	85.3 %	83.1 %	76 %	60 %	87 %	90 %
Rizo	2.5 a 5 %	7.7mV	40mV	-	60mV=5 %	-	-
Tiempo de asentamiento	40ns	-	-	-	40 a 120ns	-	29ns
Frecuencia de muestreo	100MHz	10MHz	1.2MHz	550MHz	1.8GHz	30-70MHz	50MHz
Consumo de Potencia	15.85mW	-	395mW	760mW	-	2.5W	-
Tipo de modulación	Σ - Δ	-	-	-	-	PWM	-

TABLA 4.3: Comparación de convertidores CD-CD *step-down* en un proceso de 65nm

En la Tabla 4.3 se presentan las características de los convertidores existentes a nivel integrado en un proceso de 65nm desde el año 2011 [43] hasta este año 2016 [48] al igual que el convertidor diseñado en este trabajo de Tesis.

En el convertidor CD-CD Buck diseñado se logró disminuir el consumo de potencia principalmente esto gracias al tamaño de los elementos activos y la frecuencia empleada por el modulador Σ - Δ . El rizo de salida de voltaje se encuentra por debajo del 5 % por lo que esta dentro de los convertidores con menor rizo de voltaje al igual que con menor tiempo de asentamiento. El tamaño del inductor se encuentra por encima del promedio del empleado en los convertidores de esta tecnología para obtener un menor rizo de voltaje y permite que exista un equilibrio de características ya que la frecuencia se encuentra muy por debajo del promedio para obtener el mayor el ahorro en el consumo de potencia. El capacitor por el contrario se encuentra por debajo del valor promedio de los convertidores.

Capítulo 5

Conclusiones

La elección del convertidor CD-CD Buck resultó adecuada, este convertidor presenta un voltaje de salida menor al de entrada y consta de una arquitectura sencilla ya que es la base de muchas arquitecturas *Step-down* y en consecuencia un modelo matemático simple (orden dos), tiene la ventaja de que puede linealizarse para expresarse en el espacio de estados para el diseño del controlador hace que el diseño a nivel integrado sea más viable en comparación a un convertidor Boost ya que su modelo matemático es más complicado.

El diseño del controlador fue basado en modos deslizantes, el cual consiste en crear una superficie deslizante en el espacio de estados a partir de las variables de estado del sistema a la cual la trayectoria de estado converge, este tipo de control fué empleado en el diseño debido a la robustez en cuanto a variaciones de parámetros lo que resultó conveniente para el diseño a nivel integrado ya que existen varios parámetros que varían en el proceso dependiendo de la temperatura, los errores de difusión, las aproximaciones por medio de las cuales se realiza el diseño, variaciones en el voltaje de umbral V_{th} entre otros, y es empleado para circuitos de estructura variable, es decir, que emplean interruptores controlados por una o mas fases para formar diferentes arquitecturas del circuito en cada una de las diferentes fases.

La modulación $\Sigma-\Delta$ se empleó en base a que la relación VCR del sistema era mayor a un 50%, lo cual en base a la literatura revisada al utilizar modulación por ancho de pulso para esta VCR podría provocar inestabilidad en el sistema debido a que en el comportamiento en la frecuencia (espectro) de este tipo de modulación presenta armónicos que deterioran el comportamiento del sistema cuando la relación de trabajo se incrementa por encima del 50%, ya que el numero de armónicos se ve incrementado proporcionalmente a la relación de trabajo, por el contrario el comportamiento en frecuencia del modulador $\Sigma-\Delta$ no presenta armónicos y empuja el ruido a altas frecuencias, lo que beneficia al diseño de la arquitectura del convertidor CD-CD Buck

ya que este debe diseñarse para una frecuencia una década menor a la del modulador para un óptimo funcionamiento, sin embargo, el diseño de un modulador Σ - Δ no resultó sencillo.

Para obtener las constantes de control se empleó sintonización por LQR para el sistema, la cual es posible debido a la naturaleza de este y se puede expresar en espacio de estados por lo que tiene las matrices necesarias para este tipo de sintonización.

Los análisis obtenidos mediante Matlab fueron útiles para obtener un primer panorama del funcionamiento del controlador para el convertidor pero fueron satisfactorios sólo en frecuencias bajas, posteriormente a partir de estos resultados el sistema completo se modeló en Verilog A en un software de alto orden debido a que un modelo matemático no es ideal, al incluir parámetros no ideales en el modelado de cada bloque como ganancia finita, impedancia de salida y ancho de banda limitado en el amplificador, tiempos de subida y bajada en los drivers, resistencia de encendido y apagado en los interruptores, etc., los resultados obtenidos mediante Matlab distaban mucho de ser los obtenidos mediante Verilog A por lo que los valores obtenidos para las constantes de control se ajustaron empíricamente, debido que en procesos nanométricos intervienen varias variables, lo cual afecta el funcionamiento del sistema obtenido a través de modelos matemáticos, una vez ajustado el control se obtuvieron los parámetros para el diseño de cada uno de los bloques a nivel transistor del convertidor CD-CD Buck.

En nivel integrado, resultó complicado el diseño del modulador Σ - Δ debido a que se requieren amplificadores de por lo menos 60dB de ganancia lo cual es difícil de lograr en un proceso de 65nm debido a que la tecnología presenta altos voltajes de umbral y un rango de voltaje bajo degradando la ganancia y el ancho de banda de los amplificadores diseñador, para solucionar este problema se usó una compensación para el amplificador del modulador basada en [42], se realizó una modificación para emplear una ganancia basada en la transconductancia lo cual mejoró el comportamiento del modulador y se vio reflejado en su espectro. Para la etapa de comparación y retención del modulador se empleó un comparador digital de alta velocidad con una etapa de retención basada en una latch tipo SR. El driver se realizó con una cadena de inversores y los restadores mediante capacitores conmutados manejando transferencia de carga para evitar el uso de un amplificador *Single-ended* y ahorrar área.

Las pruebas realizadas al sistema a nivel transistor muestran una notable reducción en el consumo de potencia gracias a la baja frecuencia del modulador Σ - Δ que se encuentra por debajo del promedio de la empleada en los convertidores CD-CD Buck en el proceso de 65nm, al igual que el voltaje de alimentación que es un 33.33% menor al voltaje de alimentación mínimo empleado en los demás convertidores. El tiempo de asentamiento, el tamaño de los elementos activos discretos, la eficiencia de energía, el rizo en el voltaje de salida, el voltaje de salida deseado y la relación VCR se encuentran dentro del promedio de los convertidores CD-CD Buck y *Step-down* en el proceso de 65nm más relevantes actualmente.

Bibliografía

- [1] Wu, Keng C.; “Pulse Width Modulated CD-CD Converters”, Chapman & Hall; USA, 1997.
- [2] Rashid, Muhammad H.; “Electrónica de potencia, circuitos, dispositivos y aplicaciones”, 3a. Ed. Pearson Prentice Hall, México, 2004.
- [3] Bonizzoni, Edoardo; “A 200 mA 93 % Peak Efficiency Single-Inductor Dual-Output CD-CD Buck Converter”, IEEE International Solid-State Circuits Conference, 2007.
- [4] M. Mitchell, Daniel; et al.; “Modeling of PWM Converters in Discontinuous Conduction Mode - A Reexamination”; IEEE,USA, 1998.
- [5] Van, Breussegem; Steyaert, Michiel; “CMOS Integrated Capacitive DC–DC Converters”, Springer; New York, 2013.
- [6] Wens, Mike; Steyaert, Michiel; “Design and Implementation of Fully-Integrated Inductive DC-DC Converters in Standard CMOS”; Springer, 2011.
- [7] Jau, J.K.; et al.; “Polar modulation-based RF power amplifiers with enhanced envelope processing technique”; Microwave Conference, 2004.
- [8] Meyvaert, H. ; Van Breussegem, T. ; Steyaert, M.; “A 1.65W fully integrated 90nm Bulk CMOS Intrinsic Charge Recycling capacitive DC-DC converter: Design & techniques for high power density”; IEEE Energy Conversion Congress and Exposition (ECCE), 2011.
- [9] Steyaert, M.; et. al.; “DC-DC converters: From discrete towards fully integrated CMOS”; IEEE, USA, Helsinki, 2011.
- [10] Wens, M. ; Steyaert, M.; “An 800mW fully-integrated 130nm CMOS DC-DC step-down multi-phase converter, with on-chip spiral inductors and capacitors”; IEEE Energy Conversion Congress and Exposition (ECCE), 2009.
- [11] Mengmeng Du ; Hoi Lee; “A Speed- and Accuracy-Enhanced On-Chip Current Sensor with Local Shunt Feedback for Current-Mode Switching DC-DC Converters”; IEEE Dallas Circuits and Systems Workshop on System-on-Chip, 2007.

-
- [12] Kolka, Z. ; Biolek, D. ; Kovar, J.; “On accuracy of averaged control-to-output frequency responses of switched DC-DC converters”; International Conference Radioelektronika, 2010.
- [13] Wens, Mike; Steyaert, Michiel; ”Design and implementation of Fully-Integrated Inductive DC-DC Converters in Standard CMOS”, Springer, New York, 2015.
- [14] G.W. Wester, R.D. Middlebrook, “Low-Frequency Characterization of Switched DC-DC Converters. IEEE Trans. Aerosp. Electron. Syst., pp. 376–385, 1973.
- [15] D. Maksimovic, S. Cuk, “Switching Converters with Wide DC Conversion Range”, IEEE Trans. Power Electron., pp. 151–157, 1991.
- [16] T.F.Wu, Y.K. Chen, “Modeling PWM DC-DC Converters out of Basic Converter Units”, IEEE Trans. Power Electron., pp. 870–881, 1998.
- [17] W.H. Ki, “Analysis of Subharmonic Oscillation of Fixed-Frequency Current-Programming Switch Mode Power Converters”. IEEE Trans. Circuits Syst. I, Fundam., pp. 104–108, 1998.
- [18] G.A. Papafotiou, N.I. Margaritis, “Calculation and Stability Investigation of Periodic Steady States of the Voltage Controlled Buck DC-DC Converter”. IEEE Trans. Power Electron., pp. 959–970, 2004.
- [19] R. Redl, S. Jian, “Ripple-Based Control of Switching Regulators”, An Overview. IEEE Trans. Power Electron., pp. 2669–2680, 2009.
- [20] Sira, S.P. ; et. al.; “Time-varying waveform selection and configuration for agile sensors in tracking applications”; IEEE, International Conference on Acoustics, Speech, and Signal Processing, 2005.
- [21] A. Consoli, F. Gennaro, C. Cavallaro, A. Testa, “A Comparative Study of Different Buck Topologies for High Efficiency Low Voltage Applications”, IEEE 0-7803-5421-4/99, 1999.
- [22] Alou Cervera, Pedro; “Nuevas soluciones topológicas de convertidores CC/CC para alimentar cargas electrónicas con baja tensión (0.8V-1.5V) y rápida respuesta dinámica”. Tesis doctoral. Universidad politécnica de Madrid. 2004.
- [23] Sira-Ramirez, H.; Silva-Ortigoza, R.; “Control Design Techniques in Power Electronics Devices”; Springer, 2006.
- [24] Sira-Ramire, Hebertt; Núñez, Ciro A.; Visairo, Nancy; “Robust sigma–delta generalised proportional integral observer based control of a ‘buck’ converter with uncertain loads”; Taylor & Francis, International Journal of Control, 2010.
- [25] S. R. Hadian Amrei; Dian Guo Xu; Y. Q. Lang, “A New Approach to Hi-Power DC-DC Converters Under Large Load and Input Voltage Variations”;IEEE, vol. 1, 2005.

-
- [26] Hong-Wei Huang; Chun-Yu Hsieh; Ke-Horng Chen; Sy-Yen Kuo; “Load Dependent Dead-Times Controller Based on Minimized Duty Cycle Technique for DC-DC Buck Converters”; IEEE Power Electronics Specialists Conference; 2007.
- [27] Goo-Jong Jeong; In-Hyuk Kim; Young-Ik Son; “Application of simple adaptive control to a DC/DC boost converter with load variation”; IEEE, ICCAS-SICE, 2009.
- [28] Sung-Sae Lee; “Step-Down Converter With Efficient ZVS Operation With Load Variation”; IEEE Transactions on Industrial Electronics, vol. 61, 2014.
- [29] Kitchen, J.N. et al., “ Polar SiGe Class E and F Amplifiers Using Switch-Mode Supply Modulation”, IEEE Microwave Theory and Techniques Society, vol. 55, no. 5, pp. 845 – 856 May 2007.
- [30] R.D. Middlebrook, and S. Cuk, “Advances in switched-mode power conversion: Volumes I and II”, TESLAcO, Pasadena, California, 1983.
- [31] S.R.Sanders, G. C.Vergheese, and D. E. Cameron, “Nonlinear control of switching power converters”, Control Theory Adv. Technol., pp.601–627, 1989.
- [32] Siew-Chong Tan , Y. M. Lai , Chi K. Tse, “A Unified Approach to the Design of PWM-Based Sliding-Mode Voltage Controllers for Basic DC-DC Converters in Continuous Conduction Mode” IEEE Trans. On Circuits And Systems—I: Regular Papers, vol. 53, no. 8, Ago. 2006.
- [33] Hebertt Sira-Ramirez, Miguel Rios-Bolivar, “Sliding Mode Control of dc to dc Power Converters via Extended Linearization” IEEE Trans. On Circuits And Systems-I: Fundamental Theory And Applications, vol. 41, no. 10, Oct. 1994.
- [34] J. Mahdavi, A. Emadi, and H.A. Toliyat “Application of State Space Averaging Method to Sliding Mode Control of PWM DC-DC Converters”, IEEE Industry Applications Society Annual Meeting, New Orleans, Oct 1997.
- [35] John Y. Hung, Weibing Gao, and James C. Hung, “Variable Structure Control: A Survey” IEEE Trans. On Indus. Electro., vol. 40, no. 1, Feb. 1993.
- [36] J. J. E. Slotine and W. Li, “Sliding control in Applied Nonlinear Control”, Englewood Cliffs, NJ: Prentice-Hall, 1991, ch. 7.
- [37] V. Kursun, E. G. Friedman, “Multi-Voltage CMOS Circuit Design”, New York, John Wiley and Sons Inc., 2006.
- [38] Tomasi, Wayne; “Sistemas de comunicaciones electrónicas”; 2th Ed. Prentice, may 1996.

-
- [39] Steven R., Norsworthy; Richard, Schreier; Gabor C., Temes; “Delta-Sigma Data Converters: Theory, Design, and Simulation”; Wiley-IEEE Press, October 1996.
- [40] Bay, John S., “Fundamental of linear state space systems”, WCB/MCGraw-Hill, 1999.
- [41] M. Bazes, “Self-biased, high-gain differential amplifier”, U.S. Patent 4 937 476, June 1990.
- [42] Gonzalez-Diaz, V. R.; Pena-Perez, A.; Maloberti, F.; “Opamp gain compensation technique for continuous-time sigma delta modulators”; IET Journals and Magazines, Electronics Letters, 2014, Vol. 50.
- [43] Miao Yang; Weifeng Sun; Shen Xu; Shengli Lu; Longxing Shi; “A 65nm 10MHz single-inductor dual-output switching buck converter with time-multiplexing control”; IEEE, ASIC (ASICON), 2011.
- [44] Chien-Wei Kuan; Hung-Chih Lin; “Near-independently regulated 5-output single-inductor DC-DC buck converter delivering 1.2W/mm² in 65nm CMOS”; IEEE International Solid-State, 2012.
- [45] Minbok Lee; Yunju Choi; Jaeha Kim; “A 0.76W/mm² on-chip fully-integrated buck converter with negatively-coupled, stacked-LC filter in 65nm CMOS”; IEEE Energy Conversion Congress and Exposition (ECCE), 2014.
- [46] Wei Fu; Ayman Fayed; “A self-regulated 588 MHz buck regulator with on-chip passives and circuit stuffing in 65nm”; IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), 2014.
- [47] Seong Joong Kim; Romesh Kumar Nandwana; Qadeer Khan; Robert Pilawa-Podgurski; Pavan Kumar Hanumolu; “A 1.8V 30-to-70MHz 87% peak-efficiency 0.32mm² 4-phase time-based buck converter consuming 3uA/MHz quiescent current in 65nm CMOS”; IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers, 2015.
- [48] Xun Liu; Cheng Huang; Philip K. T. Mok; “A 50MHz 5V 3W 90% efficiency 3-level buck converter with real-time calibration and wide output range for fast-DVS in 65nm CMOS”; IEEE Symposium on VLSI Circuits (VLSI-Circuits), 2016.