



**BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE
PUEBLA**

FACULTAD DE CIENCIAS DE LA ELECTRÓNICA
MAESTRÍA EN CIENCIAS DE LA ELECTRÓNICA
OPCIÓN EN AUTOMATIZACIÓN

**“Diseño e implementación de un generador
de onda arbitraria” ****

T E S I S

Presentada para obtener el título de:
**Maestro en Ciencias de la Electrónica, Opción en
Automatización**

Presenta:

Ing. Oscar Isaid Pellico Sánchez*

Directores:

Dr. Sergio Vergara Limon
Dr. José Fernando Reyes Cortés

Puebla, México

Agosto 2018

*BECARIO CONACYT

** TRABAJO FINANCIADO POR PROYECTO VIEP

BUAP®

Agradecimientos

Agradezco a Dios por darme la oportunidad de dar este paso en mi vida, logrando cerrar este ciclo con personas extraordinarias a mi lado.

Mi más sincero agradecimiento a mis asesores de tesis, especialmente al Dr. Sergio Vergara Limon; por ser un ejemplo a seguir, dedicar parte de su tiempo brindándome conocimiento y orientación en cada asesoría, además de tener la paciencia para responder mis dudas.

A la Dra. Aurora Vargas Treviño por su apoyo desinteresado, brindándome asesoría en la elaboración de la tesis y artículo. De igual forma agradezco al Dr. Marciano Vargas Treviño por su asesoría y consejos durante la estancia de investigación.

A los miembros del jurado revisor por cada observación y opinión en los avances de tesis, que contribuyeron de manera importante en el desarrollo de este proyecto.

Extiendo el agradecimiento más profundo y de corazón a toda mi familia. Sin todo su apoyo e inspiración no hubiera sido posible llevar a cabo este sueño. A mis padres Guadalupe y Enrique Arturo, por su entrega, confiar en mí y brindarme su apoyo en mi formación como profesional, ensañándome buenos valores y a no darme por vencido. A mi hermana Evelyn por su capacidad de superación y apoyo. A mi hermano Enrique por verme como un ejemplo a seguir y ser para mí una motivación. Agradezco a mi abuela Florina por su cariño y ser un pilar muy importante en mi vida. A mis tíos, tías, primos y sobrinos por estar conmigo, además de ser un ejemplo de lucha y honestidad.

Agradezco a mis amigos del posgrado por haber compartido conmigo los altos y bajos durante esta etapa.

Quiero agradecer a la Benemérita Universidad Autónoma de Puebla, en especial a la Facultad de Ciencias de la Electrónica por brindar el espacio e instalaciones necesarias para llevar a cabo estudios de maestría y formar alumnos con espíritu científico. Gracias a la Maestría en Ciencias de la Electrónica, Opción en Automatización y a los profesores que compartieron su conocimiento conmigo; siendo para mí un ejemplo de superación.

Finalmente agradezco al Consejo Nacional de Ciencia y Tecnología por el apoyo económico brindado durante el posgrado y que me ha sido de gran ayuda para culminarlo satisfactoriamente.

**Por su amor y apoyo incondicional,
a
mi madre.**

Resumen

Un generador de onda arbitraria es un instrumento capaz de producir señales eléctricas, basadas en funciones matemáticas. Su funcionalidad lo hace un equipo importante para el diseño, caracterización y pruebas para sistemas electrónicos. El hardware y software depende de cada generador comercial, sin embargo es necesario que estas herramientas sean intuitivas para una correcta manipulación. El uso de un software adecuado es de importancia debido a que al generar las formas de onda se tienen ciertas limitantes, por lo que es necesario proporciona un instrumento intuitivo.

El uso de FPGAs (Field Programmable Gate Array) agrega ventajas sobre cualquier sistema diseñado con otros dispositivos, algunas de ellas son su velocidad de procesamiento, la ejecución de sus instrucciones y las amplias prestaciones que ofrece al desarrollar un prototipo.

En este trabajo se diseñó e implementó un generador de forma de onda arbitraria de 5 MHz. las características que definen al instrumento son: una velocidad de muestreo de 100 Mega muestras por segundo (Mmps), resolución vertical de 10 bits, profundidad de memoria de 1K y un rango de amplitud de 50 mVpp a 5 Vpp, cuenta con la función de generar formas de onda predefinidas y mediante ecuaciones matemáticas que se añaden en un editor de ecuaciones, de la misma forma cuenta con un módulo WiFi para la comunicación inalámbrica entre el FPGA y la PC.

El diseño del generador de forma de onda arbitraria se realiza en el lenguaje de descripción de hardware de altera (AHDL) por parte del firmware, y la interfaz de usuario intuitiva se realiza en el software de instrumentación virtual LabVIEW. La interfaz de usuario permite realizar la ejecución de algoritmos y visualización de las formas de onda generadas en una computadora personal.

Para demostrar la funcionalidad del instrumento se presentan las mediciones realizadas con un osciloscopio digital. Se generan diferentes formas de onda variando la amplitud, componente en directa y la frecuencia de la señal. De la misma forma se presenta un ejemplo de aplicación en el estudio de comunicaciones para la modulación de amplitud.

Índice

Resumen	iv
Índice	v
Introducción	1
Capítulo I Diseño y características del generador de onda arbitraria	8
1.1 Diagrama general del generador de onda arbitraria	10
1.2 Comparación de generadores de onda arbitraria	14
1.3 Características de las formas de onda	15
1.4 Integral de Fourier	17
1.5 Teoría de muestreo	17
1.6 Aplicaciones del generador de onda arbitraria	19
1.6.1 Caracterización de dispositivos	20
1.6.2 Aplicación en comunicaciones	21
1.7 Conclusiones	25
Capítulo II Hardware del generador de onda arbitraria	26
2.1 Descripción del hardware	26
2.2 Tarjeta de comunicación WiFi módulo RN-XV WiFly	26
2.3 Tarjeta embebida FPGA	27
2.4 Etapa de conversión Digital-Analógica	29
2.4.1 Convertidor digital-analógico MCP4921	30
2.4.2 Convertidor digital-analógico DAC900U	31
2.4 Etapa de acondicionamiento de señal	32
2.4.1 Conversión de corriente a voltaje	33
2.4.2 Etapa de amplificación	36
2.4.3 Etapa de filtrado	38
2.5 Multiplexado de la señal	40
2.6 Diagrama de la etapa de conversión D/A y acondicionamiento de señal	43
2.7 Diseño del circuito impreso PCB	44
2.7.1 Estrategias de diseño del circuito impreso	45
2.7.2 Diseño del circuito en Altium Designer	46
2.8 Conclusiones	49
Capítulo III Firmware del generador de onda arbitraria	50
3.1 Administrador WiFi	50

3.2	Codificación de comandos	50
3.3	Sistema de memoria	55
3.3.1	Caracterización de la memoria FIFO	55
3.3.2	Administrador del sistema de memoria	57
3.4	Divisor de frecuencia	65
3.4.2	Cálculo de número de muestras	69
3.4.3	Caracterización del divisor de frecuencia implementado en firmware	71
3.5	Habilitador de disparo	73
3.6	Conclusiones	75
Capítulo IV Software del generador de onda arbitraria		76
4.1	Selección de canal y tipo de lectura	77
4.2	Formas de onda estándar	79
4.2	Formas de onda definidas por el usuario mediante ecuación	80
4.3	Modulación de amplitud por medio de dos canales	81
4.4	Normalización de datos de las formas de onda	83
4.5	Número de muestras y contadores para frecuencia en software	84
4.6	Interfaz de usuario	85
4.6	Conclusiones	89
Capítulo V Pruebas y resultados		90
5.1	Forma de onda senoidal	92
5.2	Forma de onda cuadrada	95
5.3	Forma de onda triangular y diente de sierra	97
5.3	Formas de onda arbitrarias	100
5.4	Aplicación del generador de onda arbitraria en el análisis de señales de amplitud modulada	103
Conclusiones generales		107
Apéndice A. Participación en congreso		109
Apéndice B. Artículo		111
Apéndice C. Constancia de estancia de investigación		112
Apéndice D. Manual de Usuario		113
Referencias		120

Índice de figuras

Figura 1: Diagrama de bloques de un generador de señales.....	8
Figura 2: Diagrama de bloques para el diseño del generador de onda arbitraria.	10
Figura 3: Diseño del diagrama general del generador de onda arbitraria.....	13
Figura 4: (a) Función de banda limitada $f(t)$. (b) Espectro de $f(t)$. (c) Tren de impulsos unitarios. (d) Espectro del tren de impulsos unitarios. (e) función muestreada fs . (f) Espectro de fst	18
Figura 5: Señales pulsadas de radar con generador de onda arbitraria.....	20
Figura 6: Diagrama de bloques de barrido de frecuencia a filtro de FI.....	20
Figura 7: Generación de AM.....	22
Figura 8: Espectro de frecuencias de onda AM DSBFC.....	23
Figura 9: Diagrama de bloques de un sistema de comunicaciones con generador de onda arbitraria.....	24
Figura 10: Diagrama de bloques de un sistema de comunicaciones.	24
Figura 11: Diagrama de conexión del módulo WiFi.....	27
Figura 12: Diagrama de bloques de la tarjeta DE0-NANO.....	28
Figura 13: Funcionamiento del convertidor D/A.	29
Figura 14: Diagrama funcional DAC900U.	32
Figura 15: Amplificador configuración transimpedancia.....	33
Figura 16: Configuración de resistencia de carga.	34
Figura 17: Gráfica de respuesta del DAC.....	35
Figura 18: Amplificador sumador.	36
Figura 19: Etapa de amplificación.....	37
Figura 20: Filtro pasa bajas R-C.....	39
Figura 21: Multiplexor ADG436BR 40	40
Figura 22: Etapa de multiplexación y multiplicación.....	41
Figura 23: Multiplicador analógico AD633.	41
Figura 24: Diagrama de flujo para multiplexar dos canales.....	42
Figura 25: Diagrama de la etapa de acondicionamiento del generador de onda arbitraria. .	43
Figura 26: Filtro EMI.	46
Figura 27: Diseño de PCB en 3D.	46
Figura 28: Diagrama esquemático del generador de onda arbitraria.....	48
Figura 29: Bloque administrador WiFi.....	50
Figura 30: Bloque codificador de comandos.....	51
Figura 31: Funcionamiento del codificador de comandos.....	52
Figura 32: Diagrama de flujo de la lógica para el código del codificador de comandos.	54
Figura 33: Memoria FIFO.	55
Figura 34: Diagrama de tiempos de la memoria FIFO.....	56
Figura 35. Diagrama de bloques del administrador de memoria FIFO.....	57

Figura 36: Administrador de lectura memoria FIFO.....	58
Figura 37: Diagrama de flujo para escritura de la memoria FIFO.	59
Figura 38: Prueba en tiempo real de escritura en memoria FIFO.	60
Figura 39: Administrador de lectura, escritura y número de muestras de la memoria FIFO.	60
Figura 40: Diagrama de estados para tipo de escritura y selección de frecuencias de la memoria FIFO.	61
Figura 41: Administrador de retroalimentación para memoria FIFO.....	62
Figura 42: Diagrama de flujo para retroalimentar memoria FIFO.	63
Figura 43: Prueba en tiempo real de retroalimentación de la memoria FIFO.	64
Figura 44: Diagrama de estados para variar el ancho de pulso de la señal de reloj de la memoria FIFO.	65
Figura 45: Ciclo de reloj de 10 μ s.	67
Figura 46: Multiplicador de frecuencia 50 MHz a 200 MHz.	68
Figura 47: Variación de ancho de pulso para una frecuencia de 10 kHz.	71
Figura 48: variación de ancho de pulso para una frecuencia de 50 kHz.	72
Figura 49: variación de ancho de pulso para una frecuencia de 200 kHz.	72
Figura 50: Diagrama de bloques del funcionamiento del habilitador de disparo del generador de onda arbitraria.	73
Figura 51: Diagrama de flujo del habilitador de disparo.....	74
Figura 52:Diagrama de bloques del funcionamiento del software del generador.	76
Figura 53: Diagrama de flujo para seleccionar canal.	77
Figura 54: Máquina de estados para seleccionar tipo de lectura.	78
Figura 55: Diagrama de flujo para selección de forma de onda.	79
Figura 56: Bloque de LabVIEW para ingresar funciones.	80
Figura 57: Diagrama de estados de instrucciones para modulación.....	81
Figura 58: Muestras y contadores para frecuencia en software.....	84
Figura 59: Interfaz de usuario (formas de onda estándar).	86
Figura 60: Interfaz de usuario (formas de onda mediante ecuación).	87
Figura 61: Interfaz de usuario para modular con dos canales.	88
Figura 62: Forma de onda cuadrada de 10 Hz.....	90
Figura 63: Forma de onda senoidal de generada en dos canales.	91
Figura 64: Forma de onda cuadrada y diente de sierra generadas en dos canales.....	91
Figura 65: Forma de onda senoidal de 10 Hz y su espectro en frecuencia.....	92
Figura 66: Onda senoidal de 500 kHz y su espectro en frecuencia.	94
Figura 67: Onda cuadrada de 10 Hz.	95
Figura 68: Onda cuadra de 1 kHz.	96
Figura 69: Onda triangular de 50 Hz.	97
Figura 70: Gráfica de dispersión de la pendiente de la señal triangular.	98
Figura 71: Forma de onda diente de sierra de 50 Hz.....	99
Figura 72: Gráfica de dispersión de la pendiente de la señal diente de sierra.....	99

Figura 73: Función pulso de 100 Hz con 10% del ciclo de trabajo.....	100
Figura 74: Función pulso de 100 kHz con 10% del ciclo de trabajo.....	101
Figura 75: Forma de onda Tanh(t).....	101
Figura 76: Forma de onda de amplitud modulada.....	102
Figura 77: Forma de onda de frecuencia modulada.....	102
Figura 78: Espectro de salida.....	104
Figura 79: generación de forma de onda AM en interfaz de usuario.....	104
Figura 80: Forma de onda AM en osciloscopio.....	105
Figura 81: Espectro de salida de señal AM.....	105
Figura 82: Secciones del generador de onda arbitraria.....	114
Figura 83: Secciones de la interfaz de usuario.....	115
Figura 84: Ventana de indicadores y reproducción.....	115
Figura 85: Sección para modulación de amplitud.....	119

Índice de tablas

Tabla 1: Comparación de generadores de onda arbitraria.....	14
Tabla 2: Caracterización del DAC900U.....	36
Tabla 3: Tabla de verdad del multiplexor.....	40
Tabla 4: Lista de comandos.....	53
Tabla 5: Tabla de verdad para multiplexar canales.....	82
Tabla 6: Nivel de ruido de los armónicos de señal senoidal de 10 Hz en dB.....	93
Tabla 7: Nivel de ruido de los armónicos de señal senoidal de 10 Hz en Volts.....	93
Tabla 8: Nivel de ruido de los armónicos de señal senoidal de 500 kHz en dB.....	94
Tabla 9: Nivel de ruido de los armónicos de señal senoidal de 500 kHz en Volts.....	95

Introducción

La instrumentación electrónica es el área de la tecnología que estudia los equipos realizados mediante circuitos y sistemas electrónicos, destinados a la medición, visualización, generación y conversión de señales eléctricas, así como los dispositivos o circuitos electrónicos que convierten una señal no eléctrica (temperatura, presión, etc.) en otra señal eléctrica, que suelen recibir el nombre de sensores [1].

Los instrumentos electrónicos se pueden clasificar en tres grupos:

Instrumentos de medida y visualización: Sistemas electrónicos que realizan la evaluación de uno o varios parámetros de una señal eléctrica y los presenta de forma gráfica, numérica o alfanumérica. Ejemplo de estos serían los osciloscopios, amperímetros o voltímetros.

Instrumentos generadores de señales: Sistemas electrónicos que tienen como misión generar señales eléctricas de características determinadas. Un ejemplo sería un generador de señales.

Instrumentos convertidores de señales: Dispositivos que convierten una señal eléctrica o no eléctrica, en otra señal eléctrica de unas características y rango determinados. Ejemplos serían los sensores o transductores.

La instrumentación virtual es un concepto introducido por la compañía National Instruments [2]. En el año de 1983, Truchard y Kodosky, de National Instruments, decidieron enfrentar el problema de crear un software que permitiera utilizar la computadora personal (PC) como un instrumento para realizar mediciones. Tres años fueron necesarios para crear la primera versión del software que permitió, de una manera gráfica y sencilla, diseñar un instrumento en la PC. De esta manera surge el concepto de instrumento virtual (IV), definido como, "un instrumento que no es real, que se ejecuta en una computadora y tiene sus funciones definidas por software." [2], [3].

Durante el diseño y producción de productos electrónicos, circuitos complejos o subsistemas; es necesario probarlos y se suele requerir de señales adicionales. Estas señales

pueden ser tan simples como una señal senoidal, triangular o cuadrada, o de audio frecuencia, de reloj o mucho más compleja, como un tren de pulsos o la señal proveniente de un sensor. Para un generador de señales básico resulta imposible proporcionar estas señales complejas que se necesitan en pruebas; por lo que surgió un instrumento capaz de hacerlo llamado “generador de forma de onda arbitraria” o AWG acrónimo de “Arbitrary Waveform Generator”.

Generador de funciones: es un instrumento que proporciona varias formas de onda de frecuencia variable. El cual es capaz de generar las formas de onda más comunes como la senoidal que permite obtener la respuesta en frecuencia de componentes, circuitos y sistemas; la triangular, que se emplea para medidas de nivel de disparo, estudios de linealidad, etc.; y la cuadrada, que se aplica al análisis de la respuesta transitoria [4], [5].

Generador de forma de onda arbitraria: es un instrumento que permite producir, además de las señales típicas que presentan los equipos convencionales señales arbitrarias de acuerdo con las componentes armónicas del espectro de Fourier, ruidos de diferentes tipos y mezcla entre varias señales. También ofrece la posibilidad de almacenar y recuperar patrones de generación [4].

El diseño de generadores de señales usando síntesis digital directa, la instrumentación virtual para generar formas de onda y el desarrollo de generadores implementados en FPGA ha sido de interés especial para los sectores académicos.

Para el diseño e implementación del generador de onda arbitraria es importante tener conocimiento de los instrumentos realizados al paso de los años y nuevas tecnologías, con la finalidad de desarrollar de forma efectiva el generador de onda arbitraria.

En 1943 Hewlett-Packard (HP) entra en el campo de microondas, preparando el escenario para el liderazgo en el futuro de generadores de señales [5]. Desarrollando el primer generador de señales para el laboratorio de Investigación Naval de los Estados Unidos.

Los primeros generadores de señales desarrollados se diseñaron con componentes analógicos y producían la señal mediante osciladores, formando señales sinusoidales, triangulares y cuadradas, alcanzando frecuencias en el orden de los kHz. Contando con perillas de selección y sin interfaces para visualizar la forma de onda y sus parámetros.



Generador de funciones BK Precision.

- Generadores de onda arbitraria desarrollados con objetivos didácticos

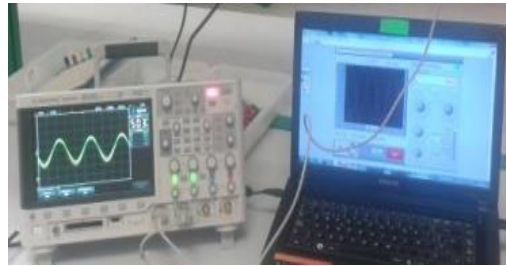
Hsieh, Tsai y Lin [6], implementaron un generador de forma de onda arbitraria de “n” canales con varias funciones predefinidas con un FPGA de Xilinx y una interfaz en computadora, además de técnicas de Lookup table (del inglés “tabla de consulta”), con características de resolución en amplitud de 8 bits y profundidad de memoria de 256 Bytes. Aunque se aprovecharon las capacidades del FPGA, no se logró reproducir señales con mayor resolución.

En su estudio del año 2013, Trabes y otros investigadores [7], desarrollaron un generador de forma de onda arbitraria y ruido usando técnicas de síntesis digital directa (DDS por sus siglas en inglés) en FPGA, en donde emplearon una interfaz en computadora para cargar los archivos de los datos de la onda creada por el usuario y mediante las técnicas DDS generaron las formas de onda con diferentes frecuencias. Los autores utilizaron frecuencias bajas en sus pruebas.

Espitia y Velásquez [8], implementaron una interfaz para crear formas de onda arbitraria y estudiaron el sintetizador de frecuencias de un generador de ondas comercial. En su investigación desarrollaron una interfaz para ingresar los puntos de la forma de onda y

ampliar las funciones que contiene un generador comercial. No utilizaron técnicas DDS, además que las formas de onda generadas no alcanzan frecuencias en el orden de MHz.

En el trabajo realizado por Rodríguez [3], desarrolló un generador virtual de funciones en una interfaz gráfica en LabVIEW y utilizando como tarjeta de adquisición una Arduino. Investigó las técnicas de instrumentación virtual y los métodos de transmisión de datos. En su investigación se logró implementar el generador de funciones, sin embargo, resultó muy limitado en frecuencia y resolución debido a la tarjeta embebida que utilizó.



Experimentos AWG Rodríguez.

- Generadores de onda arbitraria comerciales

A continuación, se estudian los avances de los generadores de onda arbitraria desarrollados, en específico aquellos comerciales, con el objetivo de tener conocimiento del costo que implica el comprar un sistema de este tipo.

El generador de onda arbitraria Tektronix AWG5002C con un precio de \$400,000.00, es un generador de funciones y forma de onda arbitraria con un ancho de banda de 230 MHz, cuenta con 2 canales y una velocidad de muestreo de 600 Mmps, cuenta con una pantalla a color [9].



AWG Tektronix AWG5002C.

Diseño e implementación de un generador de onda arbitraria.

El generador de onda arbitraria 4084AWG de la marca B&K Precision es un generador de funciones para laboratorio con un ancho de banda de 20 MHz. Tiene la capacidad de generar señales de salida estables y exactas para las 27 formas de onda estándar y complejas (arbitrarias) incluidas en memoria, como también formas de onda arbitrarias creadas por el usuario. Su precio en el mercado es de \$27,000.00 [10]



Generador de onda arbitraria 4084AWG.

El generador de onda arbitraria de la marca Siglent SDG805, con un precio de \$9,000.00, cuenta con una velocidad de muestreo de 125 Mmps y una resolución vertical de 14 bits, con un ancho de banda de 5 MHz [11].

El generador de onda arbitraria de la marca GW Instek AFG-2105 cuenta con una resolución vertical de 10 bits, 20 Mmps y una frecuencia máxima de 5 MHz, con un precio en el mercado de \$7,000.00 [12].



Generador de onda arbitraria Owon ag1012.

Estos dispositivos existen en el mercado como un instrumento autónomo, aunque se pueden conectar a la PC por medio del protocolo GPIB. Existen con velocidades de onda desde unos cientos de kHz hasta varios GHz, además de personalización de parámetros como amplitud, tipo de señal, frecuencia de onda, señal repetitiva, señal sincronizada (triggering),

ingreso de señal punto a punto y otras más complejas, modulación FM o Síntesis de frecuencia DDS [13], [14].

En los últimos años ha sido de gran interés científico el desarrollo de instrumentos de medición con el fin de aprovechar las ventajas de la instrumentación virtual, y fabricar generadores para laboratorio a un menor costo, aprovechando las ventajas que ofrecen los sistemas embebidos. Como los generadores de señales pueden producir una amplia variedad de ondas y frecuencias, se están convirtiendo en los generadores de usos múltiples en los laboratorios electrónicos.

De esto, surge la necesidad de un dispositivo capaz de satisfacer los requerimientos electrónicos de un generador de onda arbitraria comercial, pero con las ventajas de la instrumentación en una tarjeta PC, y claro no puede faltar la reducción de costos utilizando dispositivos programables dentro de la tarjeta y no componentes ASIC. Además de que brinda la facilidad de ser código abierto lo que representa una gran ventaja para trabajos futuros en la implementación de mejoras para el prototipo.

Por lo tanto, en este proyecto de tesis se considera el diseño y la implementación de un generador de forma de onda arbitraria utilizando como tarjeta embebida un FPGA y haciendo uso de instrumentación virtual, cumpliendo con características importantes, tales como un rango de frecuencias desde 0.1 Hz hasta 5 MHz lo cual se logra mediante el reloj de la tarjeta embebida, profundidad de memoria de 1000 puntos que se obtiene mediante una memoria FIFO (FIRST INPUT, FIRST OUTPUT) y una resolución de 10 bits que depende del convertidor digital-analógico.

Objetivo general

“Diseñar e implementar un generador de onda arbitraria de 5MHz.”

Objetivos particulares

1. Revisar los antecedentes del tema.
2. Diseñar el generador de onda arbitraria.
3. Desarrollar el hardware del generador.
4. Instrumentar el firmware del generador.
5. Desarrollar un software interactivo.
6. Realizar pruebas del sistema completo.
7. Publicación de los resultados.
8. Escritura de la tesis.

En el capítulo I se explican las características principales con las que cuenta el generador de onda arbitraria. Se presenta un diagrama de bloques general del sistema y se explican cada una de sus funciones. Así mismo se realiza un análisis comparativo con los generadores de señales con los que compete el desarrollado en este trabajo.

El capítulo II aborda el tema del diseño del hardware del generador de onda arbitraria, de acuerdo con las características y requerimientos del instrumento. El cual este compuesto por una tarjeta embebida FPGA, un módulo WiFi, convertidores digital-analógico y la etapa de acondicionamiento de la señal.

En el capítulo III se presenta el diseño del firmware que se programa en FPGA para el diseño del generador de onda arbitraria con dos canales. Se explica mediante diagramas de bloques, diagramas de flujo y máquinas de estado la lógica implementada para la administración de direcciones, los divisores de frecuencia, así como la caracterización de la memoria FIFO.

En el capítulo IV se presenta la interfaz de usuario intuitiva, esta parte comprende el software del generador, la cual se programó mediante la herramienta de instrumentación virtual LabVIEW. Se explica la lógica que se siguió para su diseño, así como el funcionamiento de esta.

En el capítulo V se exponen los resultados del diseño e implementación del generador de onda arbitraria, el cual mediante la integración del hardware, firmware y software, se tiene un instrumento capaz de generar señales eléctricas.

Capítulo I Diseño y características del generador de onda arbitraria

El propósito del generador de onda arbitraria de 5 MHz es generar cualquier forma de onda que el usuario desee, a través de una interfaz de usuario, considerando las restricciones del sistema como lo son la amplitud, frecuencia, resolución vertical, etc.

El trabajo desarrollado es de arquitectura abierta. El firmware de la tarjeta realiza las funciones de un instrumento de medición que en este caso es un generador de onda arbitraria conocido como AWG.

Generalmente estos instrumentos utilizan técnicas de muestreo para construir y modificar formas de onda de casi cualquier forma imaginable. Típicamente estos generadores tienen de una a cuatro salidas.

Típicamente los generadores de formas de onda están conformados por diferentes etapas; tales como una etapa de memoria, generación de reloj, direccionamiento, conversión digital-analógica, amplificación, filtrado y salida de la señal, ver Fig. 1.

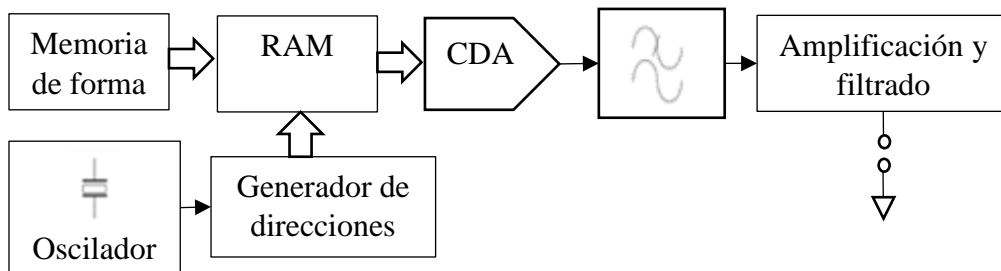


Figura 1: Diagrama de bloques de un generador de señales.

Las funciones habituales de un generador de onda arbitraria son:

- Producir señales oscilatorias habituales.
- Crear cualquier señal arbitraria.
- Ajustar la frecuencia de trabajo de la señal de salida.
- Ajustar la amplitud de trabajo de la señal de salida.

- Realizar barridos de frecuencia o amplitud.

Los generadores de señales cuentan con características que permiten y definen su funcionamiento. Las especificaciones principales en el desarrollo del generador de onda arbitraria de este trabajo se enumeran a continuación:

- El sistema cuenta con una interfaz de usuario intuitiva para el control de selección de forma de onda, así como sus parámetros.
- El instrumento presenta una velocidad de muestreo máxima de 100 Ms/s para obtener una buena resolución de la forma de onda.
- El instrumento tiene una resolución vertical de 10 bits.
- El instrumento proporciona 2 canales con un rango de frecuencias de 0.1 Hz a 5 MHz.
- Profundidad de memoria máxima de 1000 puntos.
- Amplitud de señal de salida ± 50 mV a ± 5 V.
- El instrumento cuenta con un disparo externo de señal.

Los primeros dos puntos se refieren al software de generación de formas de onda donde se escoge la onda y sus parámetros de amplitud, desplazamiento de la componente en directa y frecuencia etc.; los siguientes son propiedades del convertidor digital analógico, del sintetizador de frecuencias, de la memoria y de la etapa de amplificación.

El generador de onda arbitraria cuenta con tres modos de operación:

1. Disparador(trigger): Genera una forma de onda después de que el evento trigger ha ocurrido. El disparador puede ser interno (software o generada por el usuario) y externo (entrada del disparador en el panel posterior.).
2. Periódico: Genera formas de onda definidas periódicamente
3. Simple: Genera solamente un solo periodo de una forma de onda definida.

Considerando las características antes mencionadas se propuso un diagrama de bloques, ver Fig. 2. para la metodología del diseño del generador de onda arbitraria, el cual contiene todas las partes necesarias para cumplir con las especificaciones del sistema.

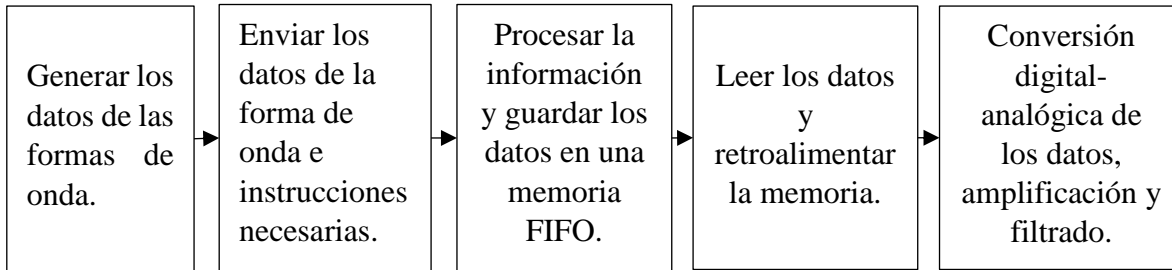


Figura 2: Diagrama de bloques para el diseño del generador de onda arbitraria.

1.1 Diagrama general del generador de onda arbitraria

De acuerdo con el estudio realizado se diseñó el diagrama general del generador de onda arbitraria, ver Fig. 3, explica la constitución de las partes que comprende el instrumento, integrando las tres partes principales: software, hardware y firmware.

1. Software

Comprende el programa de aplicación del generador de onda arbitraria, cuenta con una interfaz de usuario intuitiva, la cual tiene tres secciones principales para generar diferentes formas de onda, por otra parte, los botones de configuración son de fácil acceso para que el usuario cree formas de onda de manera rápida y flexible.

Con la interfaz de usuario intuitiva en una PC, implementada en el software LabVIEW el usuario puede definir y visualizar la forma de onda que desee, ya sea onda estándar u onda arbitraria, así como sus parámetros. El software de aplicación en la PC sirve para realizar las operaciones necesarias para calcular los datos de la forma de onda y convertirlos a un formato en el que la tarjeta embebida pueda procesarlos, para después transmitir un buffer de 40 bits mediante WiFi.

2. Hardware

Representa toda la parte física del instrumento, el cual está constituido por una tarjeta embebida con un FPGA encargado de administrar los datos y el funcionamiento del generador mediante el firmware implementado en el dispositivo. Cuenta con dos convertidores de alta velocidad y etapas de acondicionamiento para producir dos señales analógicas distintas mediante los dos canales del generador.

3. Firmware

Integra diferentes etapas para generar los datos de salida digitales, como lo son el codificador de comandos, divisores de frecuencia y administrador de la memoria FIFO, los comandos para definir el canal de salida, así como el habilitador de disparo del instrumento.

A continuación se describen las acciones que realizan cada parte del sistema.

- a) Los datos generados en el software se envían por medio de una interfaz inalámbrica WiFi (módulo wifly) a la tarjeta embebida en este caso un FPGA, en donde en primera instancia los datos son recibidos y procesados mediante el bloque encargado de realizar la comunicación (administrador WiFi) con el protocolo de comunicación “Transmisor-Receptor Asíncrono Universal” (UART por sus siglas en inglés).
- b) Después de recibir los datos de forma correcta, se transmiten a un bloque que permite ordenar e identificar el tipo de instrucción a realizar, posteriormente concatena los datos en un buffer de 40 bits, y finalmente obtiene una salida de datos en paralelo.

Posteriormente los datos de la forma de onda y las instrucciones se transmiten a los diferentes subprogramas para ambos canales del generador encargados de realizar las instrucciones que son enviadas desde el codificador de comandos.

- c) El bloque del divisor de frecuencia es el encargado de llevar a cabo los contadores necesarios para reproducir la señal a la frecuencia seleccionada por el usuario. De la misma forma permite modificar el número de muestras de la memoria FIFO, siendo esto de utilidad para lograr una mayor resolución en la reproducción de la forma de onda.
- d) El bloque del habilitador de disparo “Trigger” y el modo de reproducción de la señal, se encarga de activar la bandera del modo de reproducción que el usuario elija desde software, de tal forma que recibe las instrucciones del modo de reproducción periódica, simple y disparo. De la misma forma tiene una entrada externa para cuando se desee utilizar el disparo externo.

- e) Finalmente se cuenta con el bloque administrador de la escritura y lectura de la memoria. Este bloque es el encargado de generar el reloj para la memoria FIFO y el convertidor digital-analógico, de tal forma que se tenga una velocidad de muestro de 100 Mmps. Así mismo, se encarga de generar los pulsos de escritura y lectura de la memoria, además de generar un habilitador para sincronizar los ciclos de reloj necesarios para el correcto funcionamiento de la memoria FIFO.
- f) El bloque de retroalimentación de la memoria FIFO es el encargado de recibir los datos que salen de la memoria y posteriormente dichos datos retroalimentarlos a la memoria.
- g) El bloque de la memoria FIFO se encarga de guardar únicamente los datos correspondientes a la forma de onda, lo que permite ocuparla como memoria de almacenamiento mediante la herramienta de retroalimentación y también es de utilidad para variar la velocidad de salida de los datos digitales.
- h) La entrada externa es la encargada de enviar una señal, en caso de que se seleccione la opción del disparo externo.

Por parte del hardware se tienen las etapas necesarias para obtener la señal de la forma de onda analógica correspondiente.

- i) Se cuenta con una etapa de conversión digital-analógica, de tal forma que los datos digitales que se leen desde el FPGA sean convertidos a una señal continua. Es importante mencionar que para la selección del convertidor digital-analógico se deben tomar en cuenta las características del instrumento, tales como la velocidad de muestreo y el ancho de banda.
- j) La etapa de acondicionamiento de señal se encarga de amplificar y suavizar la señal analógica que proporciona el convertidor digital-analógico. La cual consta amplificadores operacionales y filtros pasa-bajas.
- k) Por último se tienen los dos canales de salida del generador de onda arbitraria, las cuales deben proporcionar la señal que el usuario defina en la interfaz mediante la PC.

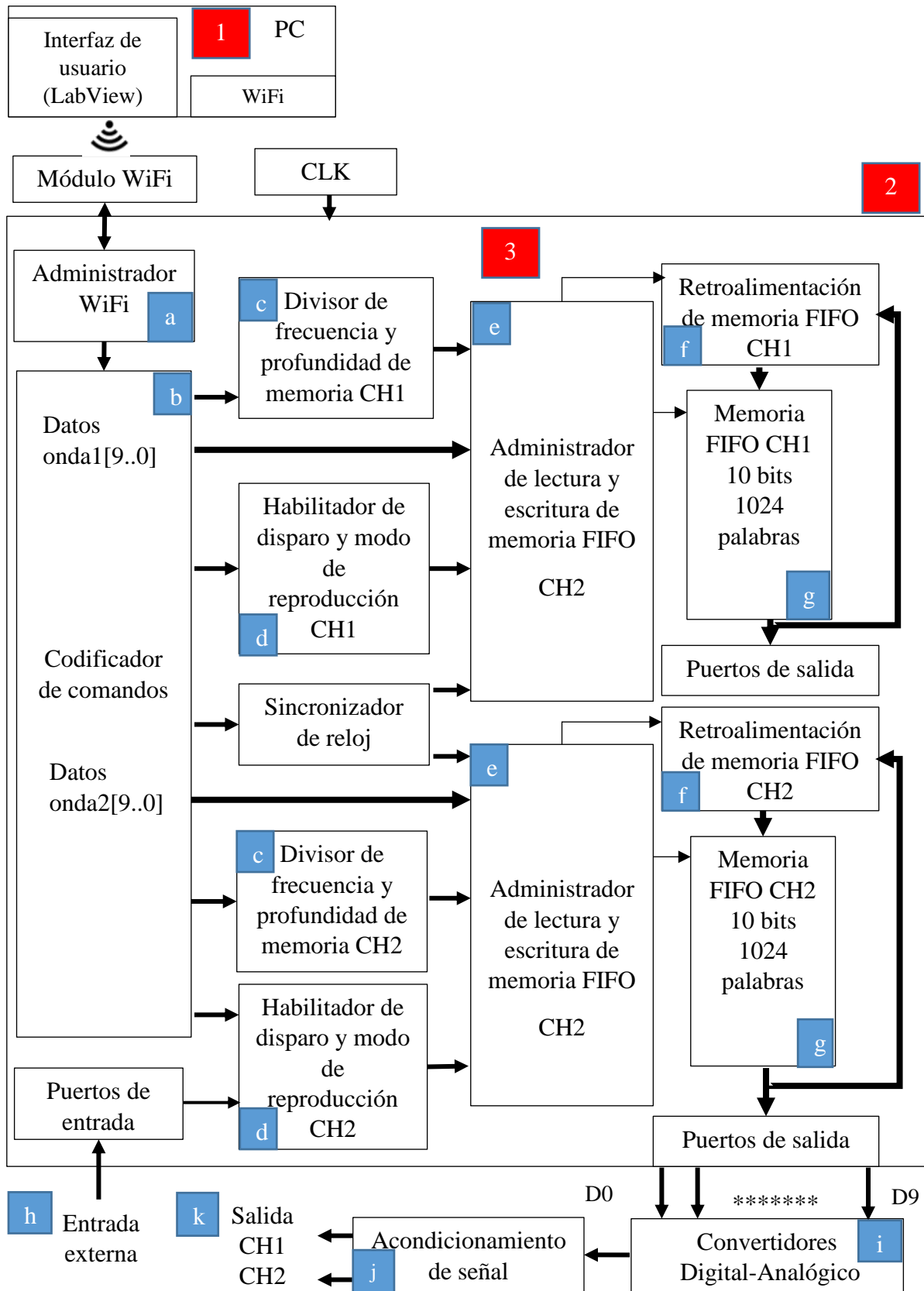


Figura 3: Diseño del diagrama general del generador de onda arbitraria.

1.2 Comparación de generadores de onda arbitraria

A continuación, se muestra en la tabla 1 un análisis comparativo de los generadores de onda arbitraria que se encuentran en el mercado con el generador de onda arbitraria desarrollado en este trabajo de tesis.

Generador/ Características	MCEA-AWG	SIGLENT SDG805	GWINSTEKAFG- 2000
Frecuencia máxima	5 MHz	5 MHz	5 MHz
Velocidad de muestreo	100 Mmps	125 Mmps	20 Mmps
Resolución vertical	10 bits	14 bits	10 bits
Profundidad de memoria	1 K	16 K	4 K
Rango de amplitud	50 mVpp a 5 Vpp	2 mVpp a 10 Vpp	17 mVpp a 10 Vpp
Forma de onda	Seno, cuadrada, triangular, rampa, pulso, arbitraria	Seno, cuadrada, rampa, pulso, ruido blanco, arbitraria	Seno, cuadrada, rampa, pulso, ruido blanco, arbitraria
Interfaz de usuario en PC	Sí	No	No
Interfaz de comunicación	WiFi	USB	No
Canales	2	1	2
Código abierto	Sí	No	No

Tabla 1: Comparación de generadores de onda arbitraria.

Se observa de la tabla anterior que los generadores cuentan con características que los hacen competitivos en el mercado. De esta forma se puede analizar que el generador de onda arbitraria MCEA-AWG desarrollado en esta tesis, compite fielmente con los instrumentos

comerciales, teniendo características similares tanto en frecuencia como en resolución vertical; algunas características varían como lo es la profundidad de memoria. Sin embargo, es importante mencionar que dicho generador es la primera etapa de este trabajo por lo que algunas características pueden ser ampliamente mejoradas en trabajos futuros, debido a que cuenta con la enorme ventaja de ser código abierto, lo que permite ser modificado sin problemas.

1.3 Características de las formas de onda

Una función periódica se puede definir como una función para la cual

$$f(t) = f(t + T) \quad (1.1)$$

Para todo valor de t . La constante mínima T que satisface la relación (1.1) se llama periodo de la función [15].

Sea la función $f(t)$ una función periódica de periodo T , la cual puede representarse por la serie trigonométrica:

$$f(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos(n\omega_0 t) + b_n \sen(n\omega_0 t)), \quad (1.2)$$

donde a_0 es el valor medio de la función $f(t)$, mientras que a_n y b_n son los componentes rectangulares del n ésimo armónico y ω_0 es igual a $2\pi/T$.

Esta serie se usa en análisis de señales para representar las componentes senoidales de una onda periódica no senoidal y enuncia que cualquier forma de onda periódica está formada por un componente promedio y una serie de ondas senoidales y cosenoidales relacionadas armónicamente. De esta forma la ecuación 1.2 se puede representar como:

$$f(t) = dc + \text{fundamental} + 2^a \text{armónica} + 3^a \text{armónica} + \dots + n \text{ésima armónica} \quad (1.3)$$

El uso de una función seno o coseno para representar una señal es completamente arbitrario y depende de cuál se escoge como referencia.

De tal manera para las formas de onda periódicas no senoidales (ondas complejas) que incluye el generador se emplearon las series de Fourier correspondientes.

Cabe destacar que las señales tienen una serie de parámetros que determinan sus niveles de voltaje, el punto de inicio de la señal, así como el tiempo de reproducción de cada ciclo. Por lo tanto, en cada ecuación de las formas de onda tienen los parámetros de voltaje, frecuencia angular, y “Offset”:

1. Onda senoidal

Para el caso de la onda senoidal se empleó la siguiente fórmula:

$$v(t) = V \text{sen}(\omega t + \theta) + \text{Offset}, \quad (1.4)$$

donde V es la amplitud (valor de pico o valor de cresta en volts), ω es la frecuencia angular, f es igual a $\frac{\omega}{2\pi}$, que es la frecuencia en Hertz, $T = \frac{1}{f}$ es el periodo de la señal, θ es la fase inicial en radianes, t es el tiempo y Offset es la componente en directa de la función $v(t)$ punto de inicio de la señal en voltaje.

2. Cuadrada

La señal cuadrada se define mediante la siguiente serie de Fourier:

$$v(t) = \left(\frac{4V}{\pi} \text{sen}(\omega t) + \frac{4V}{3\pi} \text{sen}(3\omega t) + \dots + \frac{4V}{N\pi} \text{sen}(N\omega t) \right) + \text{Offset}, \quad (1.5)$$

$N=\text{impar}$

3. Triangular

La señal triangular se define mediante la siguiente ecuación:

$$v(t) = \left(\frac{8V}{\pi^2} \text{sen}(\omega t) + \frac{8V}{(3\pi)^2} \text{sen}(3\omega t) + \dots + \frac{8V}{(N\pi)^2} \text{sen}(N\omega t) \right) + \text{Offset}, \quad (1.6)$$

$N=\text{impar}$

4. Diente de sierra

$$v(t) = \left(\frac{2V}{\pi} \text{sen}(\omega t) - \frac{2V}{2\pi} \text{sen}(2\omega t) \pm \dots \frac{2V}{N\pi} \text{sen}(N\omega t) \right) + \text{Offset}, \quad (1.7)$$

N=par

5. Función rectangular

$$v(t) = \frac{V\tau}{T} + \frac{2V\tau}{T} \left(\frac{\text{sen}(x)}{x} (\cos(\omega t)) + \frac{\text{sen}(2x)}{2x} (\cos(2\omega t)) + \dots + \frac{\text{sen}(Nx)}{Nx} (\cos(N\omega t)) \right) + \text{Offset}, \quad (1.8)$$

donde τ es el ancho de pulso de la onda rectangular en segundos, T es el periodo de la onda rectangular en segundos, y x es igual a $\pi \left(\frac{\tau}{T} \right)$.

1.4 Integral de Fourier

Si se comienza con una función periódica $f_T(t)$ de periodo T , y se hace que T tienda a infinito, entonces la función resultante $f(t) = \lim_{T \rightarrow \infty} f_T(t)$ deja de ser periódica [15], de tal forma que no tendrá un comportamiento cíclico (repetitivo).

La función de la ecuación 1.9 se conoce como la transformada de Fourier y se define por \mathcal{F} .

$$F(\omega) = \int_{-\infty}^{\infty} f(t) e^{-j\omega t} dt, \quad (1.9)$$

1.5 Teoría de muestreo

El teorema de muestreo uniforme en el dominio del tiempo afirma que si una función del tiempo $f(t)$, no contiene componentes de frecuencias superiores a f_M ciclos por segundo, entonces $f(t)$ se puede determinar por completo mediante sus valores separados por intervalos uniformes menores de $1/(2f_M)$ segundos.

El teorema de muestreo se puede probar con la ayuda de la ecuación. 1.10

$$\mathcal{F}[f_1(t)f_2(t)] = \frac{1}{2\pi} [F_1(\omega) * F_2(\omega)], \quad (1.10)$$

Como $f(t)$ no tiene componentes frecuenciales superiores a f_M ciclos por segundo entonces $f(t)$ es una función de banda limitada, lo que significa que

$$\mathcal{F}(\omega) = \mathcal{F}[f(t)] = 0 \text{ para } |\omega| > \omega_M = 2\pi f_M, \quad (1.11)$$

Considerar ahora a $f_s(t)$, una función muestreada definida por el producto de la función $f(t)$ y $\delta_T(t)$, que es una función periódica de impulsos unitarios, ver Fig. 9.

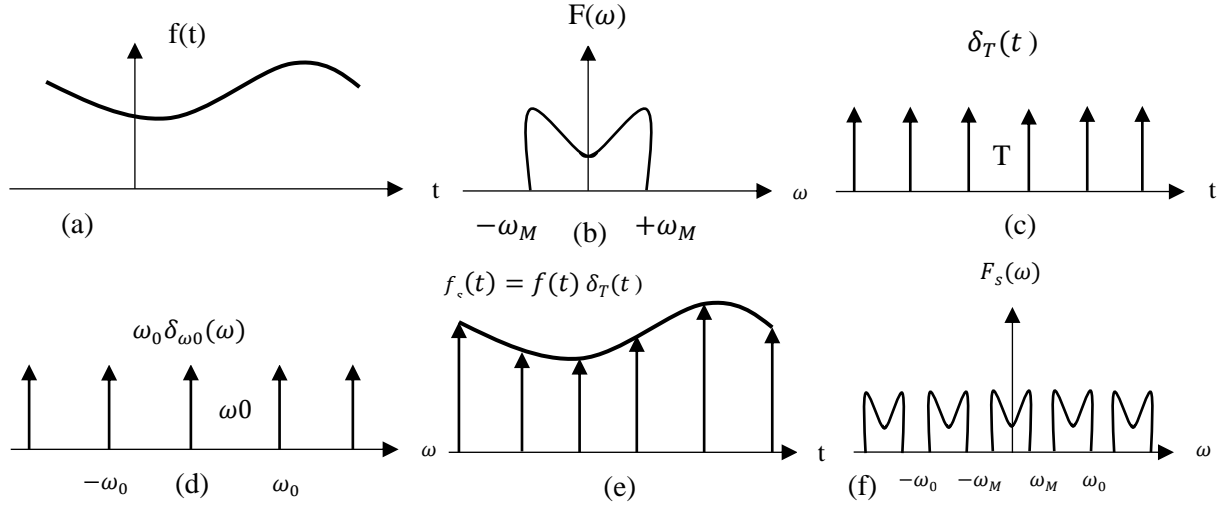


Figura 4: (a) Función de banda limitada $f(t)$. (b) Espectro de $f(t)$. (c) Tren de impulsos unitarios. (d) Espectro del tren de impulsos unitarios. (e) función muestreada f_s . (f) Espectro de $f_s(t)$.

Por la definición de $\delta_T(t)$ y sus propiedades se tiene

$$f_s(t) = f(t) \sum_{n=-\infty}^{\infty} \delta(t - nT), \quad (1.12)$$

$$f_s(t) = \sum_{n=-\infty}^{\infty} f(nT) \delta(t - nT), \quad (1.13)$$

La ecuación 1.13 Muestra que la función $f_s(t)$ es una sucesión de impulsos localizados a intervalos regulares de T segundos y cuyos valores son iguales a los de $f(t)$ en los instantes del muestreo.

La transformada de Fourier de la función impulso es

$$\mathcal{F}[\delta_T(t)] = F_s(\omega) = \frac{1}{2\pi} [F(\omega) * \omega_0 \delta_{\omega_0}(\omega)], \quad (1.14)$$

sustituyendo $\omega_0 = 2\pi/T$, se obtiene

$$F_s(\omega) = \frac{1}{T} \sum_{n=-\infty}^{\infty} F(\omega) * \delta(\omega - n\omega_0). \quad (1.15)$$

Sabiendo que

$$f(t) * \delta(t - T) = f(t - T). \quad (1.16)$$

Por lo tanto el resultado de la ecuación 1.15 se puede expresar como

$$F_s(\omega) = \frac{1}{T} \sum_{n=-\infty}^{\infty} F(\omega - n\omega_0). \quad (1.17)$$

La ecuación 1.17 muestra que la transformada de Fourier de $f_s(t)$, se repite cada ω_0 rad/seg. Se debe observar que $F(\omega)$ se repetirá periódicamente sin solaparse en tanto $\omega_0 > 2\omega_M$, o $\frac{2\pi}{T} > 2(2\pi f_M)$; es decir,

$$T < \frac{1}{2f_M}. \quad (1.18)$$

Mientras se tomen muestras de $f(t)$ a intervalos regulares menores de $1/2f_M$ segundos, el espectro de Fourier de $f_s(t)$ será una réplica periódica de $F(\omega)$, y contendrá toda la información acerca de $f(t)$ [15].

El intervalo máximo de muestreo $1/2f_M$ se denomina a veces como intervalo de Nyquist.

1.6 Aplicaciones del generador de onda arbitraria

Los generadores de señales son ideales para diversas aplicaciones, como la caracterización de dispositivos, telecomunicaciones, y electrónica de uso militar, aeroespacial y de consumo.

Dichos instrumentos son ideales para su uso en el diseño electrónico, simulación de sensores y pruebas de funcionamiento, ver Fig. 5.

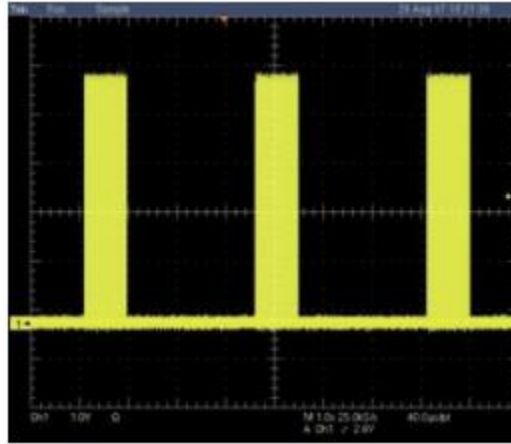


Figura 5: Señales pulgadas de radar con generador de onda arbitraria.

Se observa en la figura anterior que mediante el generador de forma de onda arbitraria se simula una señal pulgada de radar para realizar pruebas a radares y antenas.

1.6.1 Caracterización de dispositivos

En la caracterización de dispositivos se emplean para generar un tipo de señal y conocer su respuesta ante diferentes tipos de señales y valores de frecuencia, así como de ciclo de trabajo. Este tipo de pruebas se realiza para conocer las características del instrumento, tales como su linealidad, ancho de banda, entre otros.

El generador de onda arbitraria cuenta con la herramienta de generar barridos de frecuencia, el cual resulta útil cuando es necesario medir el ancho de banda de dispositivos tales como amplificadores de frecuencia intermedia y filtros pda banda, ver Fig. 6.

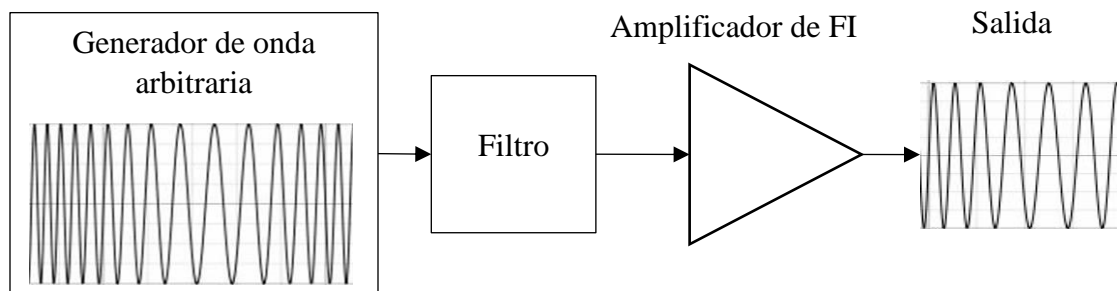


Figura 6: Diagrama de bloques de barrido de frecuencia a filtro de FI.

En la figura anterior se muestra un diagrama de bloques, en donde mediante un generador de onda arbitraria se produce una señal que varía su frecuencia respecto al tiempo, con el objetivo de generar un barrido de frecuencia y medir el ancho de banda de un amplificador de frecuencia intermedia.

1.6.2 Aplicación en comunicaciones

De la misma forma tienen aplicación en comunicaciones, reproduciendo señales moduladas AM, FM, FSK, PSK, ASK.

Generalmente las señales de información no se propagan a través de cables metálicos o de fibra óptica, o a través de la atmosfera terrestre, es necesario modular la información de la fuente, con una señal analógica de mayor frecuencia, llamada portadora. La señal portadora transporta la información a través del sistema. La señal de información modula a la portadora, cambiando su amplitud, frecuencia o su fase. La modulación no es más que el proceso de cambiar una o más propiedades de la portadora, en proporción con la señal de información [16]. Si la señal de información es analógica, y la amplitud de la portadora es proporcional a ella, se produce la modulación de amplitud (AM). Si se varía la frecuencia en forma proporcional a la señal de información, se produce la modulación de frecuencia (FM), si se varía la fase en proporción con la señal de información, se produce la modulación de fase (PM) [16]. Existen otros tipos de modulación, si la señal de información es digital, como lo son la modulación ASK, FSK, PSK, entre otras.

1.6.2.1 Modulación de amplitud

La modulación se hace en un transmisor mediante un circuito llamado modulador. Una portadora sobre la que ha actuado una señal de información se llama onda modulada o señal modulada. La demodulación es el proceso inverso a la modulación [16].

Una señal modulada en amplitud se describe de la siguiente forma:

$$\text{Señal portadora} = V_c \text{sen}(2\pi f_c t) \quad (1.19)$$

$$\text{Señal moduladora} = V_m \text{sen}(2\pi f_m t) \quad (1.20)$$

donde V_c y f_c es es la amplitud y frecuencia respectivamente de la señal portadora, V_m y f_m es la amplitud y frecuencia de la señal moduladora.

$$\text{Señal portadora} \times \text{Señal moduladora} = V_{am}(t), \quad (1.21)$$

donde V_{am} es la amplitud que varía con respecto al tiempo de la señal modulada, ver Fig. 7.

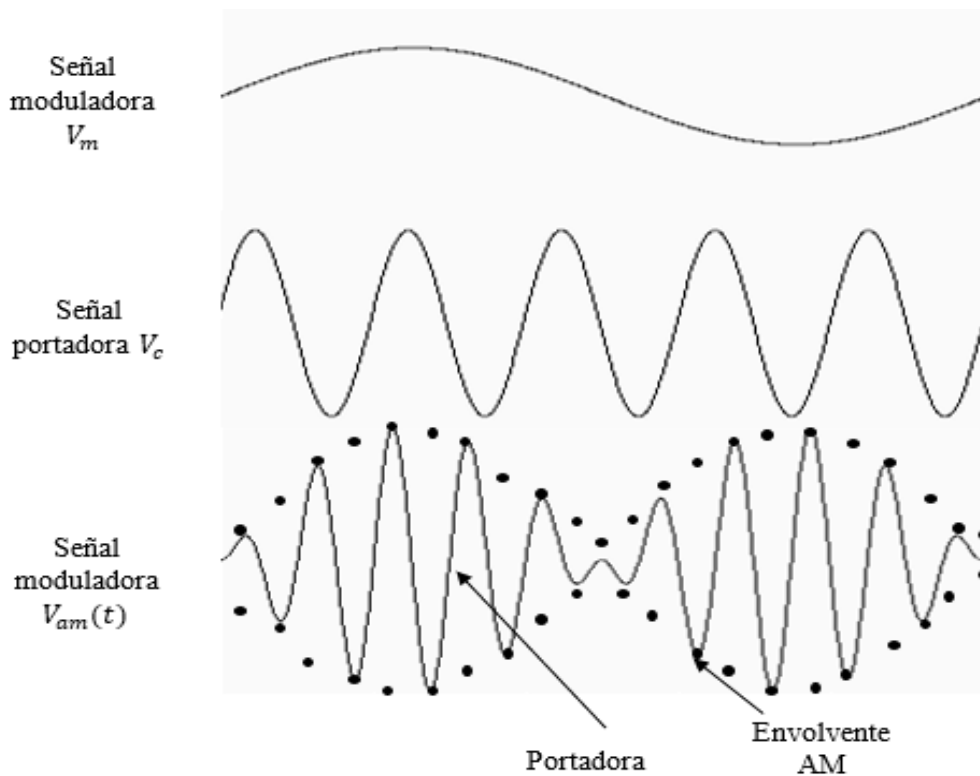


Figura 7: Generación de AM.

- Espectro de frecuencias y ancho de banda de AM

La figura 8 muestra el espectro de frecuencias de una onda AM, donde su espectro de frecuencias tiende desde $f_c - f_{m(máx)}$ hasta $f_c + f_{m(máx)}$, donde f_c es la frecuencia de la portadora y $f_{m(máx)}$ la frecuencia máxima de la señal moduladora [16]. La banda de frecuencias entre $f_c - f_{m(máx)}$ y f_c se llama banda lateral inferior (LSB, de lower

sideband)[16]. La banda de frecuencias entre f_c y $f_c + f_{m(máx)}$ se llama banda lateral superior (USB, de upper sideband). Por lo tanto se deduce lo siguiente:

$$LSB = [f_c - f_{m(máx)}] a f_c, \quad (1.22)$$

$$USB = f_c a [f_c + f_{m(máx)}], \quad (1.23)$$

El ancho de banda (B) de una onda DSBFC de AM es igual a:

$$B = (f_c + f_{m(máx)}) - (f_c - f_{m(máx)}), \quad (1.24)$$

donde B es el ancho de banda.

El ancho de banda también se define como dos veces la frecuencia máxima de la señal modulante, es decir

$$B = 2f_{m(máx)}. \quad (1.25)$$

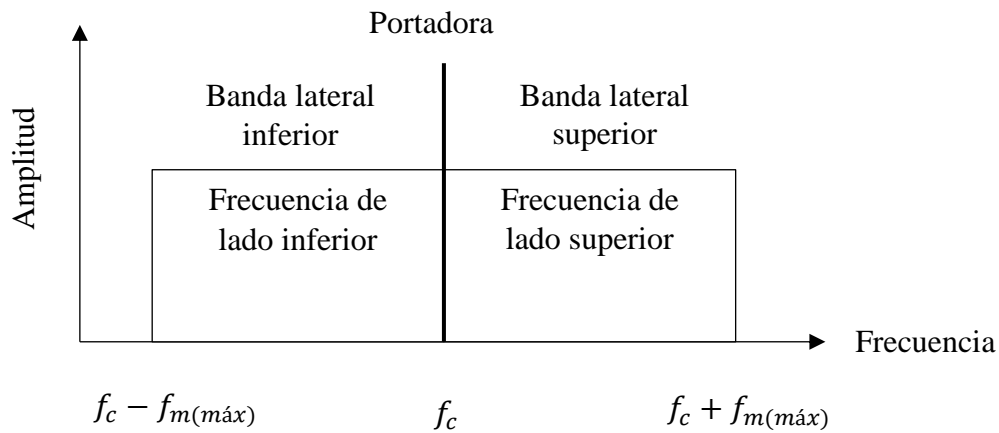


Figura 8: Espectro de frecuencias de onda AM DSBFC.

Se observa en la figura que la señal portadora es la de mayor amplitud, mientras que las bandas laterales tienen la misma amplitud, pero a diferente frecuencia.

Partiendo del punto de vista anterior es posible realizar pruebas de modulación con el generador de onda arbitraria. En general el proceso se analiza mediante el diagrama de bloques de la figura 9.

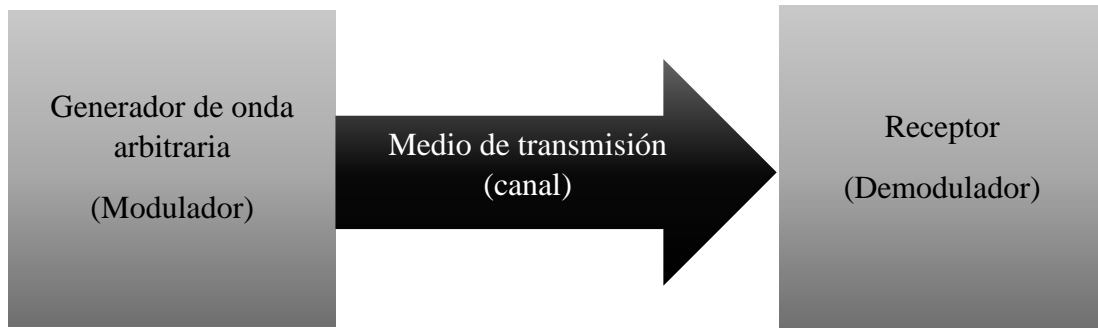


Figura 9: Diagrama de bloques de un sistema de comunicaciones con generador de onda arbitraria.

De esta forma el generador de onda arbitraria funciona como un modulador, el cual mediante una señal de información con un ancho de banda menor a 5 MHz y una señal portadora se transmite a un demodulador, en este caso el demodulador puede ser un radio portátil.

Por consiguiente, el diagrama de bloques de la figura anterior se puede observar como la figura 10.

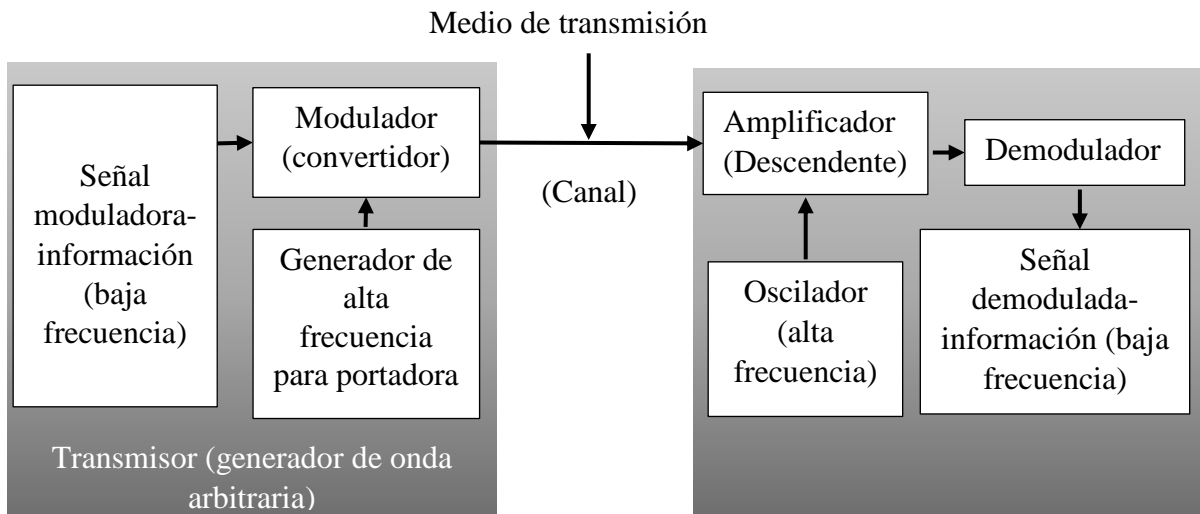


Figura 10: Diagrama de bloques de un sistema de comunicaciones.

De esta forma se logra observar que el generador de onda arbitraria diseñado se puede emplear como un instrumento para realizar pruebas de modulación, debido a que genera

señales con frecuencias para dichas aplicaciones, así como su función para generar señales mediante ecuaciones, permitiendo ingresar la ecuación de la señal portadora y la señal moduladora.

1.7 Conclusiones

En este capítulo se presentaron las características de los generadores de onda arbitraria existentes en el mercado, así mismo se logró llevar un análisis comparativo entre dichos generadores y el que se desarrolló en esta tesis. Se realizó un estudio de las aplicaciones del instrumento que sirvió para proponer el diseño del generador de onda arbitraria con el objetivo de cumplir las necesidades que se exigen en la práctica.

Capítulo II Hardware del generador de onda arbitraria

En este capítulo se describen las etapas que conforman la instrumentación electrónica del generador de onda arbitraria. Los principales componentes son la interfaz empleada para la comunicación WiFi, la tarjeta embebida FPGA, la etapa de conversión digital-analógica, y la etapa de acondicionamiento de señal, con el objetivo de obtener una forma de onda analógica.

2.1 Descripción del hardware

El hardware consta de diferentes etapas, en primer lugar, mediante una interfaz de usuario intuitiva en la PC desarrollada en el software LabVIEW 2015, se generan los datos de la forma de onda así como la selección de sus parámetros, posteriormente los datos se envían inalámbricamente y con la interfaz de comunicación WiFi se reciben los datos en la tarjeta embebida. La tarjeta empleada para el diseño del generador es un FPGA Cyclone IV de Altera, brindando amplias ventajas en el diseño del generador de onda arbitraria, la tarjeta cumple con las funciones del disparador para la sincronización de los ciclos de reloj, divisor de frecuencia y almacenamiento y reproducción de los datos en forma digital. Finalmente se tiene la etapa de conversión digital-analógica en donde se emplea un convertidor en paralelo de alta velocidad que cumple con las características del instrumento. También cuenta con la etapa de acondicionamiento de señal, encargada de realizar la conversión, amplificación, y suavizamiento de la señal mediante filtros y acoplamiento impedancias.

2.2 Tarjeta de comunicación WiFi módulo RN-XV WiFly

El módulo WiFly es la interfaz de comunicación WiFi empleada para la recepción inalámbrica de los datos generados de la forma de onda en la PC. La tarjeta incluye un módulo RN-171, adaptado a una PCB con el fin de ser compatible con el módulo XBee. Este diseño facilita su uso ya que el RN-171 por si sólo es de montaje superficial y su método de soldadura es delicado, además de requerir el diseño de una PCB para su montaje. También cuenta con una antena integrada a la PCB, LEDs indicadores y una distribución de pines que,

aunque no corresponde al paso de pines comúnmente usado como por ejemplo una protoboard, se adquirió una PCB Xbee Breakout de Sparkfun la cual adapta el paso entre pines de XBee al estándar de 2.54 mm, ver Fig. 11.

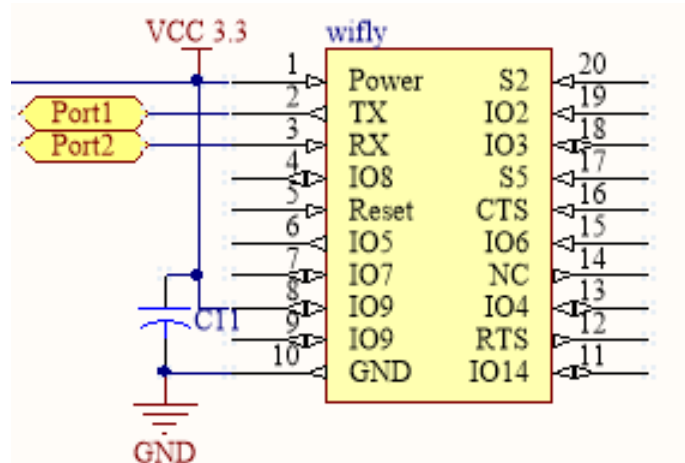


Figura 11: Diagrama de conexión del módulo WiFi.

2.3 Tarjeta embebida FPGA

La programación se realiza en el software Quartus II, ya que es el sistema de desarrollo más reciente de Altera, el cual ofrece características más avanzadas y soporta los nuevos dispositivos PLD, tales como la familia Cyclone de FPGAs, que se encuentran en muchas tarjetas educativas más recientes.

La tarjeta que cuenta con el FPGA que se utiliza como prototipo para la implementación del generador de onda arbitraria es fabricada por la empresa Terasic. Por su tamaño y peso, hacen a la tarjeta embebida ideal para esta aplicación. Además de que facilita su programación debido a que cuenta con el USB-Blaster integrado y un analizador lógico para realizar las pruebas de funcionamiento.

Sin embargo, es importante mencionar que el número de puertos I/O de la tarjeta se ve limitado a cierto número de pines comparado a las tarjetas que se desarrollan en la Maestría en Ciencias de la Electrónica.

La distribución de los puertos de la tarjeta embebida se muestra en la figura 12.

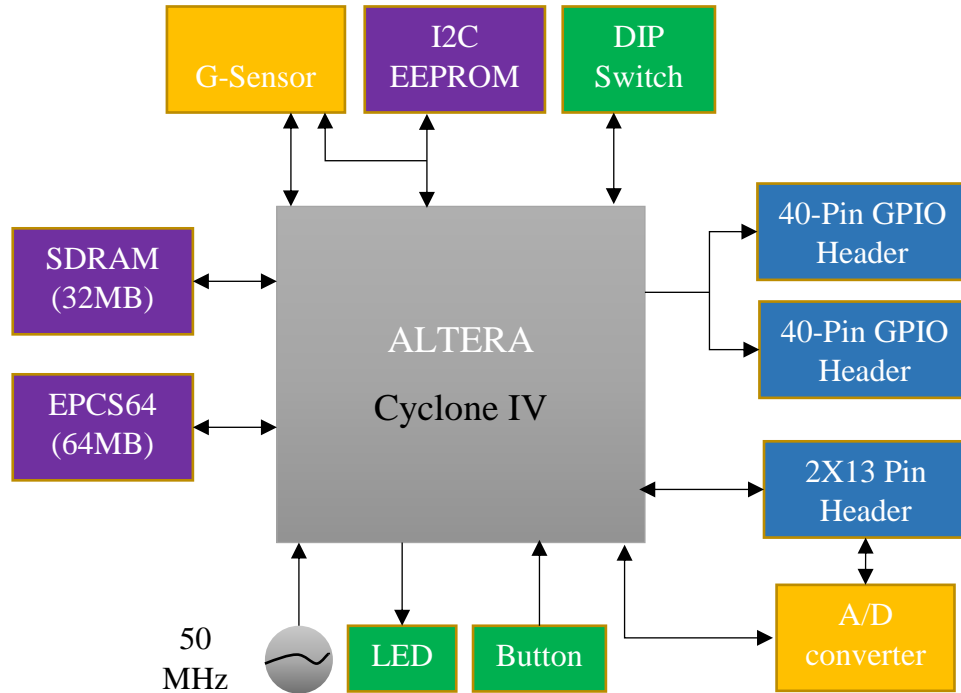


Figura 12: Diagrama de bloques de la tarjeta DE0-NANO.

Las principales características de la tarjeta son:

- FPGA Altera Cyclone IV EP4CE22F17C6N
- 153 pines de entrada/salida.
- USB-Blaster en la tarjeta para su programación.
- Dos filas de 40 pines de propósito general (GPIO), pin de 5V, 2 pines de 3.3V y cuatro pines de GND.
- 32 MB SDRAM.
- 2Kb I2C EEPROM.
- 8 leds de color verdes.
- 2 botones.
- 4 dip switch.
- Sensor acelerómetro ADI ADXL345 con resolución de 13 bits.
- ADC NS ADC128S022 12 bits, 8 canales.
- Cristal 50 MHz.

- Fuente de alimentación: puerto tipo USB (5V), un pin de 5V por cada fila de GPIO, 2 pines externos de 3.6V-5.7V.

2.4 Etapa de conversión Digital-Analógica

El funcionamiento de un DAC se basa en un circuito de interfaz que adapta los niveles lógicos de entrada a los que necesitan los conmutadores. Estos actúan sobre una red resistiva de precisión que, con ayuda de una fuente de referencia, dará una salida analógica en forma de corriente o de tensión [17], ver Fig. 13.

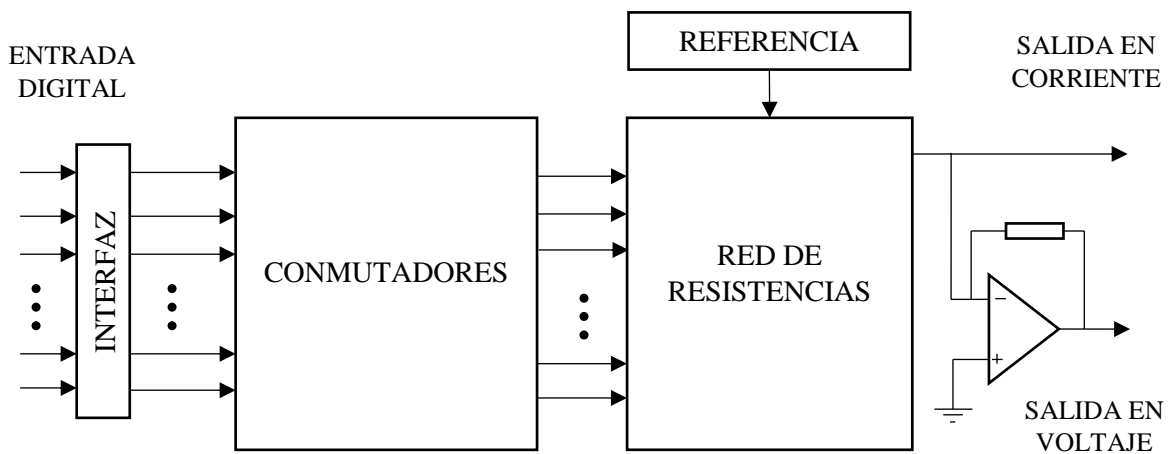


Figura 13: Funcionamiento del convertidor D/A.

Un convertidor digital-analógico, obtiene a partir de una palabra digital de n bits, 2^n niveles discretos de tensión o corriente, la entrada de referencia (tensión o corriente) se divide adecuadamente para obtener la señal de salida. La salida solo puede tomar valores finitos discretos.

$$SA = \frac{PDig}{(2^n - 1)} \times Ref, \quad (2.1)$$

donde: SA es salida analógica, $PDig$ es la palabra digital, Ref es la entrada de referencia y n el número de bits.

2.4.1 Convertidor digital-analógico MCP4921

Como primera propuesta se decidió utilizar el convertidor digital-analógico MCP4921, el cual su funcionamiento es mediante el Bus bidireccional SPI lo cual la principal ventaja que ofrece es que simplifica los puertos de salida del FPGA a utilizar debido a que los datos son enviados por un solo bus de salida en forma serial [18].

Posteriormente se realizó el firmware para caracterizar el DAC y mediante las pruebas se verificó el correcto funcionamiento del firmware y del dispositivo usándolo a su máxima frecuencia de trabajo.

La principal desventaja del convertidor seleccionado es su frecuencia máxima de trabajo, aparentemente parece estar en el rango debido a que trabaja a 20 MHz y la frecuencia máxima para el generador de onda arbitraria es de 5 MHz es decir, 5 mega muestras por segundo; sin embargo no se consideró el aspecto de que el DAC MCP4921 trabaja en forma serial, por lo que cada bit lo muestrea a una velocidad máxima de $50 * 10^{-9}$ segundos lo que significa que 16 bits (4 bits de registro y 12 bits de datos) los muestrea a una velocidad de:

$$mps = \frac{1}{(16)(50*10^{-9})} = 1.25 Mmps, \quad (2.2)$$

donde *mps* son muestras por segundo y *Mmps* son mega muestras por segundo.

Por lo que la frecuencia máxima de conversión del bus de datos es de 1.25 MHz, y considerando que se tienen mil muestras, entonces la frecuencia máxima que podría alcanzar el generador es de:

$$F_{max} = \frac{1.25 MHz}{1000} = 1.25 kHz, \quad (2.3)$$

donde F_{max} es la frecuencia máxima del instrumento.

Por lo tanto, tomando en cuenta las características de diseño del generador es necesario un convertidor digital-analógico de alta velocidad, lo cuales superan las 100 Mmps.

2.4.2 Convertidor digital-analógico DAC900U

Para la conversión digital- analógica se empleó el convertidor digital-analógico (D/A) DAC900U, el cual es un convertidor de tipo paralelo de alta velocidad máxima de 200 Mmps, y se usa en aplicaciones de comunicaciones, generadores de funciones e instrumentación de alta velocidad. Por las características antes mencionadas hacen a este convertidor útil para el diseño del generador de onda arbitraria.

Otra característica del convertidor D/C DAC900U es que el valor de la salida analógica es en corriente, y la escala depende de la configuración que se use, además de que proporciona dos salidas de corriente. La escala de la corriente de salida del convertidor está dada por el valor de voltaje de referencia interno (1.24 V) y una resistencia de configuración externa. De esta forma el resultado de la corriente de referencia por un factor de 32 produce la corriente efectiva del DAC en un rango de 2 mA a 20 mA dependiendo el valor de la resistencia de configuración externa [19].

Por lo tanto, es necesario proponer la resistencia de configuración externa para determinar la escala de la corriente de salida mediante la función de transferencia del convertidor.

La corriente de salida depende de un valor denominado “código DAC” y se puede expresar como la ecuación 2.3.

$$I_{OUT} = I_{OUTFS} * \left(\frac{Código}{1024} \right), \quad (2.3)$$

donde *Código* es el valor decimal del dato de entrada al DAC, I_{OUTFS} es el valor de la corriente de referencia, que está determinada por el voltaje de referencia y la resistencia de configuración externa, ecuación 2.4.

$$I_{OUTFS} = 32 * I_{REF} = 32 * V_{REF}/R_{SET}, \quad (2.4)$$

donde V_{REF} es el voltaje de referencia que es igual a 1.24 V y R_{SET} es la resistencia de configuración externa.

De esta forma proponiendo $R_{SET} = 2 K\Omega$, se tiene una escala completa de corriente de salida:

$$I_{OUTFS} = 32 * \frac{1.24V}{2K\Omega} = 0.01984 \text{ A} \cong 20 \text{ mA}.$$

Por lo que la corriente de salida del DAC por cada valor decimal de la palabra que tenga en su entrada está determinada por:

$$I_{OUT} = 0.01984 \text{ A} * \left(\frac{\text{Código}}{1024} \right).$$

El diagrama funcional del DAC se muestra en la figura 14.

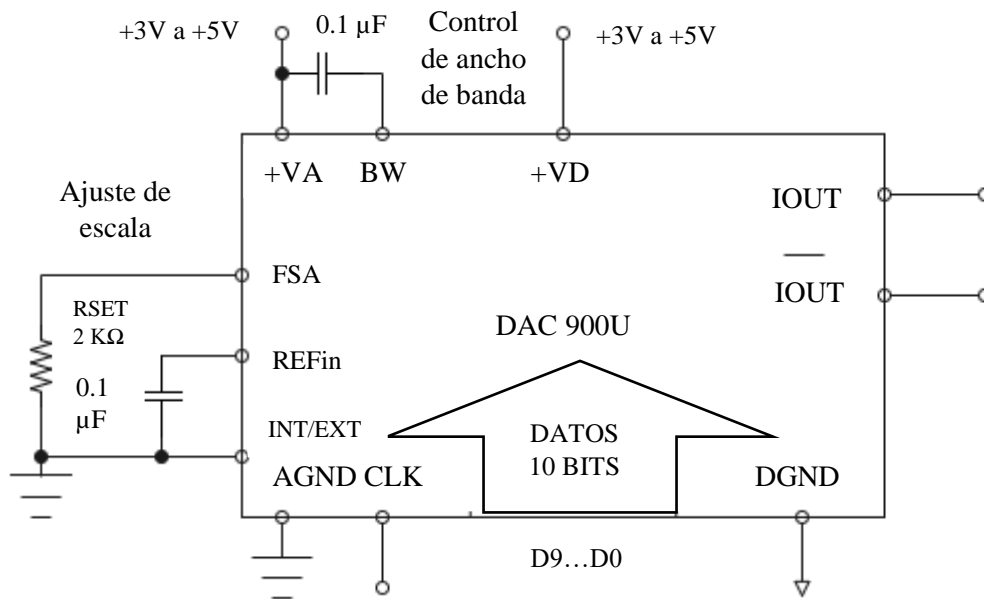


Figura 14: Diagrama funcional DAC900U.

2.4 Etapa de acondicionamiento de señal

Esta parte se encarga de convertir la señal de salida del DAC a un tipo de señal adecuada de acuerdo con las características del generador de onda arbitraria, en este caso específico en voltaje. Así mismo obtiene un nivel adecuado de la señal para que esta pueda ser medida, también se encarga de la eliminación o reducción del ruido electromagnético producido por fuentes externas mediante filtros analógicos.

El amplificador operacional que se propuso es el THS4631, el cual tiene un ancho de banda de 350 MHz y permite un voltaje de suministro de $\pm 15V$.

2.4.1 Conversión de corriente a voltaje

Debido a que la salida del convertidor D/A es en corriente, es necesario convertir la salida a niveles de voltaje. Lo cual se puede conseguir mediante un amplificador operacional en su configuración de transimpedancia, ver Fig. 15, dicha configuración proporciona una salida en voltaje y puede funcionar como un multiplicador de ganancia constante.

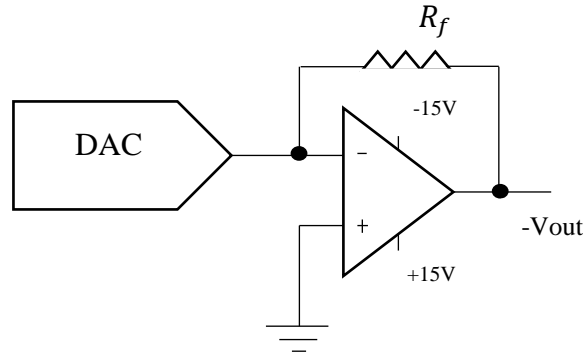


Figura 15: Amplificador configuración transimpedancia.

La función de transferencia del circuito de la figura 20 se representa mediante la siguiente ecuación:

$$\frac{V_{out}}{V_{in}} = -\frac{R_f}{R_{in}}, \quad (2.6)$$

donde: V_{out} es el voltaje de salida, V_{in} es el voltaje de entrada, R_f es la resistencia de retroalimentación y R_{in} es la resistencia de entrada.

La ecuación 2.6 muestra que la relación del voltaje de salida al voltaje de entrada depende solo de los valores de los resistores R_f y R_{in} . Por lo tanto;

$$V_{out} = -V_{in} * \frac{R_f}{R_{in}}, \quad (2.7)$$

Mediante la ecuación 2.7 se obtiene el voltaje de salida, sin embargo, al tener en la entrada valores de corriente, la salida de voltaje se obtiene con la ecuación 2.8.

$$-V_{out} = -R_{in} * I_{in} * \frac{R_f}{R_{in}} = I_{in} * R_f, \quad (2.8)$$

De esta forma el voltaje de salida depende de la corriente de entrada y la resistencia de referencia.

Sabiendo que la corriente de salida en escala completa del DAC es de $I_{OUTFS} = 0.01984 \text{ A}$, y la amplitud total del generador es de $5 V_{pp}$, es decir $10V$, entonces la resistencia R_f está determinada por la ecuación:

$$R_f = \frac{-10V}{20mA} = 500 \Omega$$

Logrando tener la relación corriente y voltaje para el convertidor, teniendo en la salida un voltaje entre $0V$ y $-10V$.

Al realizar pruebas con el convertidor D/A y el amplificador operacional THS4631D con la configuración mencionada anteriormente, se observó que se obtiene una salida de voltaje con respuesta lineal, sin embargo, dicho comportamiento se ve limitado a la velocidad de muestreo del convertidor, debido a que operando el dispositivo a altas tasas de actualización, se producen distorsiones indeseadas.

Por lo tanto, se empleó otra configuración, denominada configuración de resistencia de carga conectada a la salida del DAC, con el objetivo de obtener a la salida valores de tensión, ver Fig. 16.

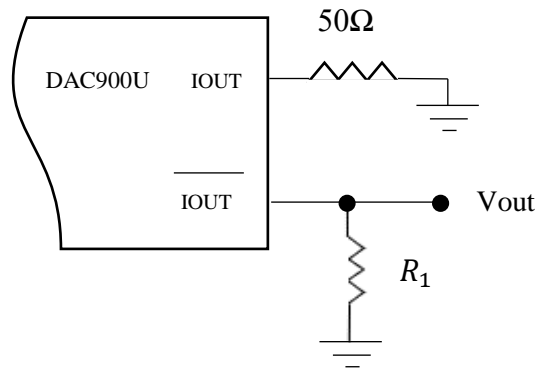


Figura 16: Configuración de resistencia de carga.

Se empleó la salida negada del DAC debido a que en la etapa de amplificación se agrega un punto de suma con un voltaje negativo de $5 V$, por lo que al utilizar la dicha salida

se logra que la señal no se invierta. La resistencia R_1 se puede calcular sabiendo que el voltaje máximo de salida es 1.24 V y la corriente máxima del convertidor es de 20 mA , por lo que la resistencia de carga se obtiene con la ecuación 2.9.

$$R_1 = \frac{1.24\text{V}}{20\text{mA}} = 62\ \Omega \quad (2.9)$$

Conociendo la resistencia de carga se procedió a caracterizar el convertidor D/A con el objetivo de conocer su respuesta, obteniendo la gráfica de la figura 17.

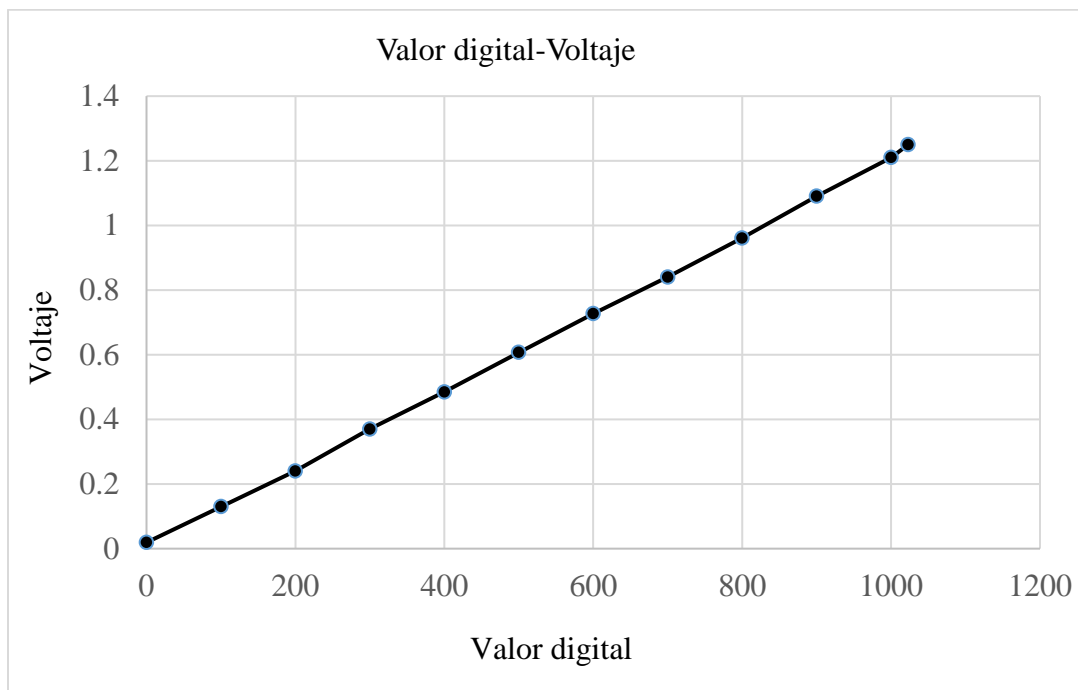


Figura 17: Gráfica de respuesta del DAC

Se observa en el gráfico que el convertidor D/A tiene una respuesta lineal teniendo valores de salida de voltaje desde 0.019 V a 1.25 V , por lo tanto, la configuración de resistencia de carga da la respuesta esperada, y no genera distorsiones a altas frecuencias.

La tabla 2 muestra los valores de salida de voltaje respecto a la palabra digital de entrada al convertidor D/A.

Valor digital	Voltaje
0	0.019
100	0.13
200	0.24
300	0.37
400	0.485
500	0.607
600	0.727
700	0.84
800	0.961
900	1.09
1000	1.21
1023	1.25

Tabla 2: Caracterización del DAC900U

2.4.2 Etapa de amplificación

Debido a que la amplitud del generador de onda arbitraria es de $5 V_{pp}$ es necesario amplificar la salida para valores que correspondan a dicha amplitud. Por tal motivo se emplea el amplificador operacional THS4631D, el cual brinda un voltaje de suministro de $\pm 15 V$ y un ancho de banda de $290 MHz$. Por otra parte, el convertidor D/A no proporciona valores negativos por lo que es necesario agregar un voltaje de referencia de $-5V$ en un punto de suma del circuito. De esta forma se debe llevar a cabo el análisis del amplificador en su configuración como sumador. El circuito de la figura 18 muestra un amplificador sumador de tres entradas, el cual permite sumar algebraicamente tres voltajes, cada uno multiplicado por un factor de ganancia constante.

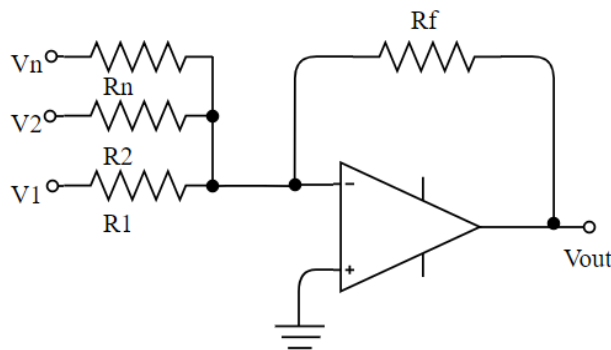


Figura 18: Amplificador sumador.

Utilizando la representación de la figura anterior el voltaje de salida en función de las entradas se expresa como:

$$V_{out} = -\left(\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2 + \frac{R_f}{R_n}V_n\right), \quad (2.10)$$

donde V_{out} es el voltaje de salida, V_1, V_2 y V_n son los voltajes de salida, R_f es la resistencia de retroalimentación, R_1, R_2 y R_n son las resistencias de entrada.

Para el análisis de la etapa de amplificación del generador diseñado, se realiza únicamente con un punto de suma, quedando como se muestra en la Fig. 19.

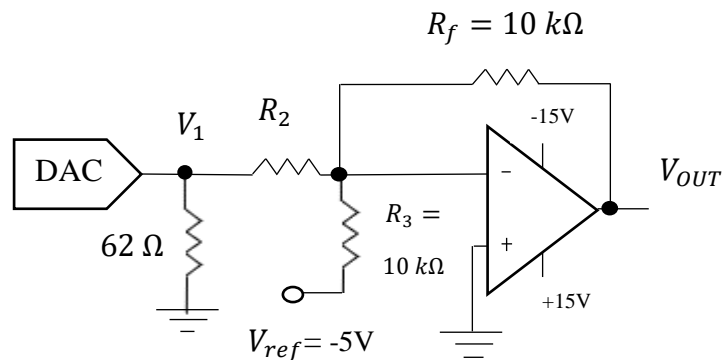


Figura 19: Etapa de amplificación.

Se observa que las resistencias R_f y R_3 se proponen con un valor de $10\text{ k}\Omega$ con el objetivo de tener una ganancia unitaria en ese punto. Posteriormente la resistencia R_2 se calcula a partir de la ecuación. 2.11.

$$V_{out} = -\left(\frac{10\text{ k}\Omega}{R_2}V_1 + \frac{10\text{ k}\Omega}{10\text{ k}\Omega}(-5V)\right). \quad (2.11)$$

Considerando que a la salida se desean $-5V$, por lo tanto, el voltaje V_1 debe ser igual a la máxima salida del convertidor D/A, que son 1.24 V , por lo que la ecuación se representa de la siguiente forma

$$-5V = -\left(\frac{10\text{ k}\Omega}{R_2} 1.24V + \frac{10\text{ k}\Omega}{10\text{ k}\Omega}(-5V)\right),$$

Despejando la resistencia R_2 ,

$$R_2 = \left(\frac{10\text{ k}\Omega}{-10V}\right)(1.25V) = 1250\ \Omega \quad (2.12)$$

Con el valor de la resistencia R_2 se tiene una amplificación con ganancia de 8, obteniendo así el rango completo de amplitud de $\pm 5V$ para cualquier valor de salida del convertidor D/A.

2.4.3 Etapa de filtrado

Como se mencionó con anterioridad a la señal proporcionada por el convertidor D/A, se le suman ruidos ajenos a la conversión debido a las interferencias electromagnéticas. Por lo tanto, es necesario filtrar la señal mediante un filtro pasa-bajas con la finalidad de reducir las interferencias superpuestas a la señal. Generalmente en la etapa de filtrado se emplean filtros activos debido a que los filtros pasivos utilizan bobinas, las cuales llegan a ser caras o voluminosas, además de que la principal ventaja del filtro activo es que permiten realizar las mismas funciones de transferencia que el filtro pasivo y otras más elaboradas sin usar inductancias. Sin embargo, para los casos en los que la energía de las señales es elevada se emplean filtros pasivos, generalmente los filtros que trabajan a frecuencias mayores a 1 MHz suelen ser pasivos [20].

La función de transferencia del filtro pasa bajas está dada como la relación tensión de salida-tensión de entrada. La magnitud de la ganancia se presenta con la ecuación 2.13

$$G(\omega) = \frac{\left(\frac{1}{\omega C}\right)}{\sqrt{R^2 + \left(\frac{1}{\omega C}\right)^2}} = \frac{1}{\sqrt{1 + (\omega RC)^2}}, \quad (2.13)$$

donde $G(\omega)$ es la magnitud de la ganancia y ω es la frecuencia angular.

La frecuencia de corte del filtro es aquella a la cual la ganancia del circuito toma el valor $1/\sqrt{2}$ del valor máximo, es decir, cuando la ganancia se ha reducido al 70% y la tensión de salida tiene una amplitud 0.707 veces la de la señal de entrada [17], [20].

Es decir, la ganancia a la frecuencia de corte es igual a:

$$G_c = \frac{1}{\sqrt{2}} * G_{Vmax} = 0.707 * G_{Vmax} \quad (2.14)$$

$$G_c = \frac{1}{\sqrt{2}} = \frac{1}{\sqrt{1 + (\omega_c RC)^2}}$$

$$2 = 1 + (\omega_c RC)^2$$

$$\omega_c = \frac{1}{RC} \quad (2.15)$$

Por lo tanto, la frecuencia de corte se calcula con la ecuación 2.16.

$$f_c = \frac{1}{2\pi * R * C}, \quad (2.16)$$

donde: f_c es la frecuencia de corte, R es la resistencia y C es la capacitancia. Debido a que el ancho de banda del generador de onda arbitraria es de $0.1 \text{ Hz} - 5 \text{ MHz}$, se decidió diseñar un filtro pasa bajas pasivo RC para filtrar la señal obtenida del convertidor D/A, ver Fig. 20.

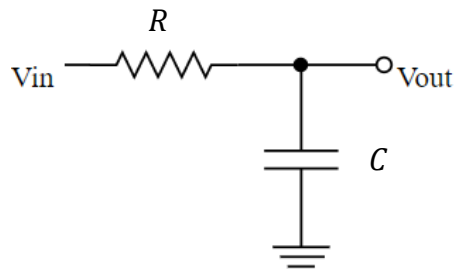


Figura 20: Filtro pasa bajas R-C.

El cálculo del filtro pasa bajas R-C se realiza en función de la frecuencia de corte; por lo que proponiendo una resistencia y conociendo la frecuencia de corte se logra calcular el valor del capacitor. Para este caso específico se propuso una frecuencia de corte de 7 MHz considerando que el ancho de banda del generador de onda arbitraria es de $0 - 5 \text{ MHz}$, así mismo una resistencia R con un valor de 680Ω , por lo tanto, el valor del capacitor se obtiene con la Ec 2.17.

$$C = \frac{1}{2\pi \cdot 680 \Omega \cdot 7 \text{ MHz}} = 33 \text{ pF} \quad (2.17)$$

2.5 Multiplexado de la señal

Con el objetivo de realizar modulación de amplitud por medio de los dos canales de salida del generador, se diseñó el circuito electrónico con una etapa de multiplexación y una etapa multiplicadora de señal [21], [22].

El multiplexor que se utilizó es el ADG436BR, con un voltaje de alimentación de $\pm 30 \text{ V}$ y una velocidad de conmutación de 8 ns ver Fig.21.

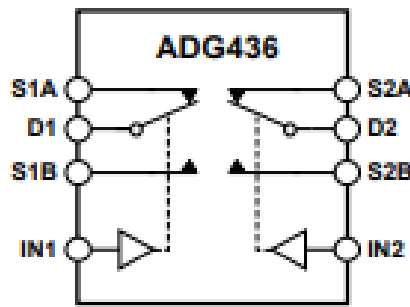


Figura 21: Multiplexor ADG436BR

El multiplexor funciona como un “switch” de dos canales, habilitando las entradas por medio de una señal digital, como se observa en la tabla 3.

Valor lógico	S1A, S2A	S1B, S2B
0	Abierto	Cerrado
1	Cerrado	Abierto

Tabla 3: Tabla de verdad del multiplexor.

El ADG436 se utiliza con el fin de multiplexar la salida del canal 1 del generador con la salida del multiplicador de señal, debido a que cuando se desee modular en amplitud una señal por medio de los dos canales, es necesario multiplicar las señales del canal 1 y 2. Al realizar dicha operación la salida del canal 2 queda inhabilitada, mientras que la salida del

canal 1 se habilita, pero teniendo como salida la multiplicación de la señal del canal 1 y el canal 2, ver Fig. 22.

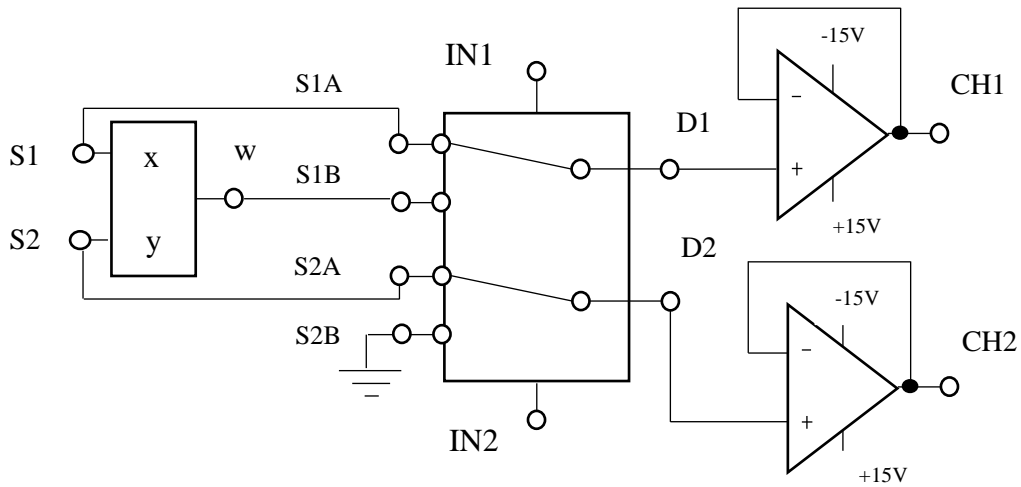


Figura 22: Etapa de multiplexación y multiplicación.

Para multiplicar las señales de los dos canales se utilizó el multiplicador analógico AD633, ver Fig. 23, es un multiplicador de cuatro cuadrantes, con una escala de referencia de 10 V.

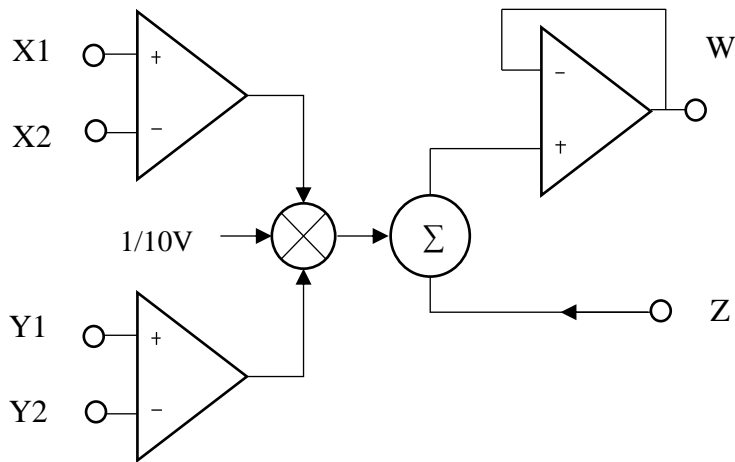


Figura 23: Multiplicador analógico AD633.

El integrado AD633 se usó en una configuración de amplitud lineal para modulación, la cual consiste en retroalimentar la señal de la entrada (señal portadora) Y1 a la entrada Z,

con el objetivo de sumarla con la señal de doble banda lateral para producir una señal de doble banda lateral con la salida de la portadora.

La función de transferencia del circuito anterior se representa con la ecuación 2.18.

$$W = \frac{(X1-X2)(Y1-Y2)}{10V} + Z. \quad (2.18)$$

La ecuación anterior define el comportamiento del circuito integrado AD633, encargado de multiplicar dos señales.

Se observa que realiza la diferencia de ambas entradas de los amplificadores operacionales y posteriormente multiplica el resultado de ambas señales, sin embargo, para esta aplicación se emplean solo las dos entradas positivas, por lo que las entradas inversoras se conectan a tierra con el objetivo de tener un cero. La lógica empleada para diseñar la etapa correspondiente a multiplexación y modulación se observa en el diagrama de flujo de la figura 24.

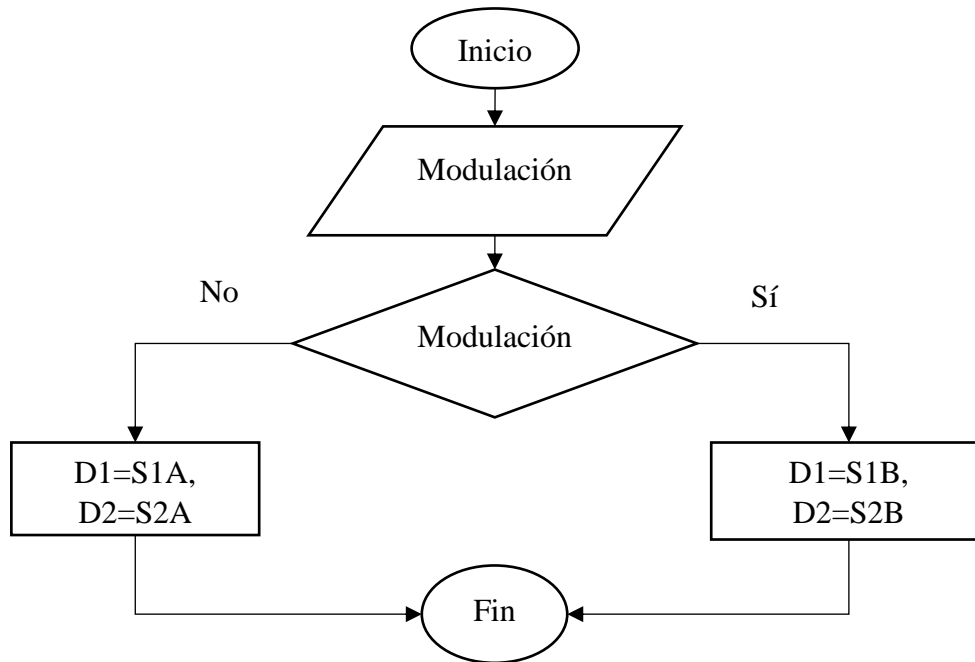


Figura 24: Diagrama de flujo para multiplexar dos canales.

El diagrama de flujo de la figura anterior se logró realizar mediante la tabla de verdad mencionada anteriormente, ver Tabla 3.

2.6 Diagrama de la etapa de conversión D/A y acondicionamiento de señal

Se diseñó el diagrama electrónico del generador de onda arbitraria, ver Fig. 25, en donde se muestran las etapas de conversión digital-analógico, acondicionamiento de señal y filtrado integradas en un solo circuito.

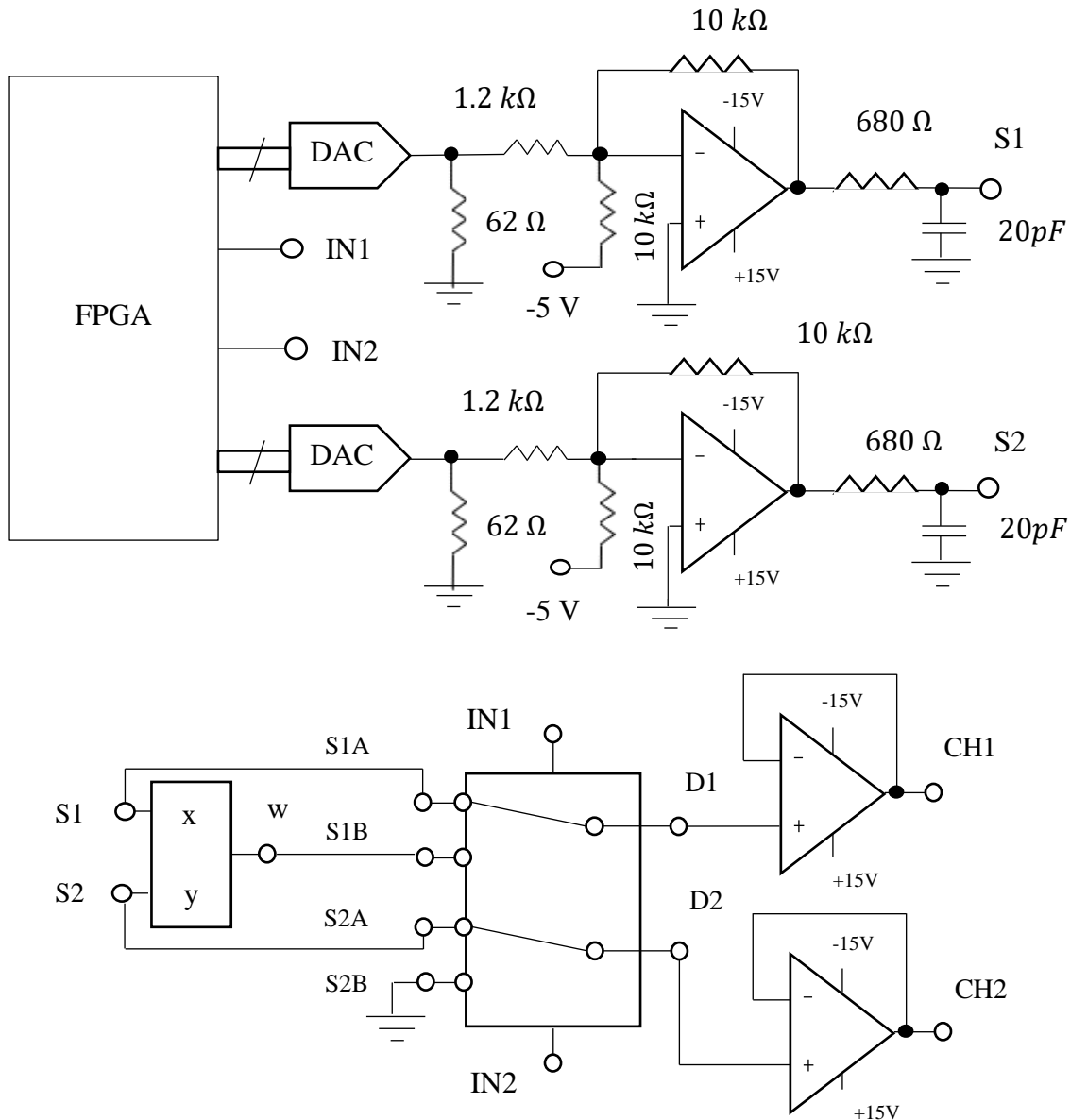


Figura 25: Diagrama de la etapa de acondicionamiento del generador de onda arbitraria.

Mediante el análisis presentado anteriormente, es posible proponer el diagrama que cumple con el objetivo de la conversión de los datos digitales provenientes del FPGA a valores analógicos discretos, lo cual se logra con el convertidor digital-analógico, teniendo integrado un circuito retenedor para obtener en la salida valores continuos de corriente. De la misma forma se propone la etapa de acondicionamiento de la señal, integrando la amplificación de la señal mediante circuitos con amplificadores operacionales en sus configuraciones de inversor y sumador para brindar la señal con valores de tensión adecuados. Finalmente, en esta etapa se añadió el filtro pasa-bajas mediante componentes pasivos y acopladores de impedancias; con la finalidad de suavizar la señal analógica de salida, así como la eliminación de agentes de ruido externos.

2.7 Diseño del circuito impreso PCB

De acuerdo con la norma UNE 20-621-84, el circuito impreso se define como un modo de conexión de los elementos o componentes electrónicos por medio de pistas de cobre, normalmente adheridas a un soporte aislante rígido o flexible [23]. La placa o tarjeta de circuito impreso (PCB por sus siglas en inglés) suele ser una superficie plana de un espesor variable y normalmente de forma rectangular o cuadrada; está constituida por un material base o sustrato de tipo laminado rígido o flexible que sirve de soporte físico aislante para la colocación y soldadura de los componentes y el trazado de las pistas conductoras de cobre. El soporte base tiene que ser muy buen aislante eléctrico y muy resistente al fuego. Actualmente los materiales más utilizados son: fibra de vidrio, politetrafluoretileno, PTFE-fibra de vidrio, PTFE-fibra de cerámica, termoplásticos, resina epoxidica, resina de silicona, resina melaminica, etc. Y diferentes mezclas entre ellos para mejorar las propiedades finales de sustrato. Los tipos de PCB que actualmente se fabrican son:

- Monocapa o simple capa.
- Bicapa o doble cara.
- Multicapa o más de dos caras.
- Flexible - multicapa.
- Rígido-flexible multicapa.

- Tridimensional o MCB.

2.7.1 Estrategias de diseño del circuito impreso

Para el diseño del circuito impreso es importante considerar diferentes aspectos que afectan el funcionamiento de la electrónica del circuito impreso, el cual se conoce como ruido. El ruido es una señal indeseada que afecta el funcionamiento del sistema [24] [25]. Los diferentes tipos de ruido se detallan a continuación.

2.7.1.1 Tipos de ruido

- a) Ruido externo: Se produce debido a interruptores externos al circuito: arranque de motores, debido al arco que se forma al abrir el relé.
- b) Ruido en las líneas de alimentación de los circuitos integrados.
- c) Cross-talk: Ruido inducido en una línea por la señal de una línea cercana.
- d) Ruido debido a la propia corriente de la señal a causa de impedancias por las que pasa esa corriente, malas soldaduras [26].

Con el objetivo de eliminar las perturbaciones ajenas al sistema es necesario utilizar diferentes estrategias, tales como que el chasis del equipo sea conductor y vaya puesto a tierra [27]. Es indispensable que la masa del circuito impreso vaya conectada a una placa específicamente destinada a masa. Si es necesario es de utilidad dividir los planos de tierra en tierra digital y analógica. Una parte sensible de un sistema digital es aquel actuado por un flanco de subida o de bajada, por lo que es recomendable proteger estos elementos. En el caso del diseño del circuito la señal de reloj del convertidor tiene que ir protegida, esto se logra poniendo postes a tierra alrededor de la pista.

Otra estrategia para reducir las interferencias electromagnéticas (EMI) es a partir de filtros EMI, el cual consiste en un arreglo de capacitores distribuidos por toda la superficie de la placa, en puntos estratégicos, de tal forma que el rizo se va a tierra y es absorbida por los filtros, ver Fig. 26.

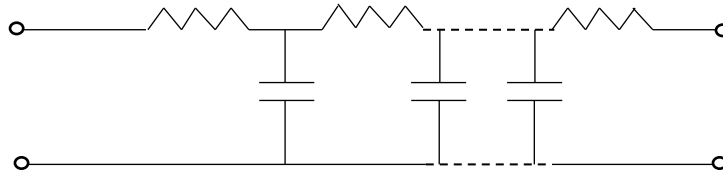


Figura 26: Filtro EMI.

Los filtros EMI reducen el ruido proveniente de las fuentes de alimentación del circuito.

2.7.2 Diseño del circuito en Altium Designer

Al revisar los aspectos principales del sistema, así como el análisis del circuito y elegir los componentes electrónicos a utilizar, se procede al diseño electrónico del sistema embebido en la plataforma de diseño Altium Designer 13.0. La figura 27 muestra el diseño de la tarjeta en formato 3D, describiendo cada parte a continuación:

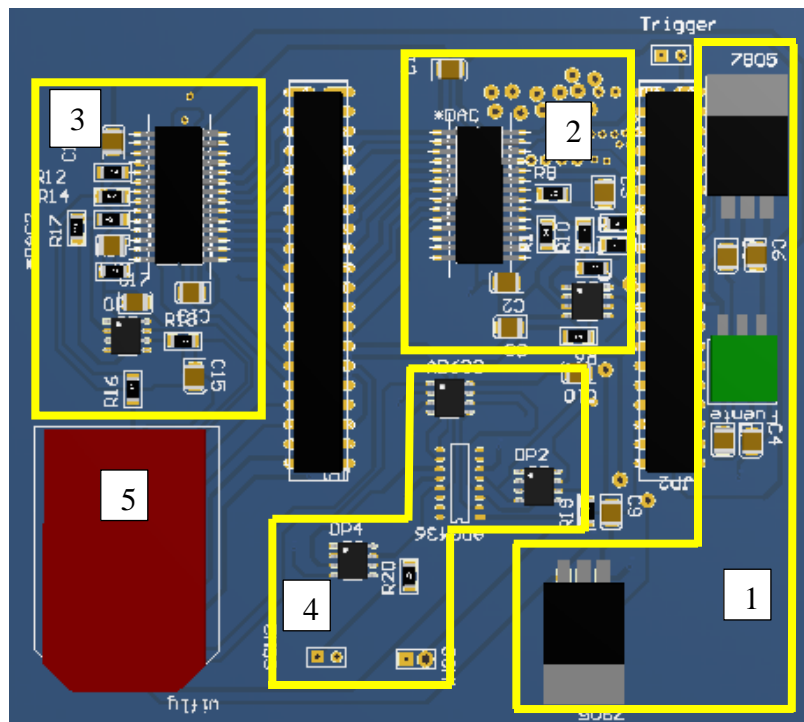


Figura 27: Diseño de PCB en 3D.

1. Reguladores de voltaje para suministro de energía de la tarjeta.
2. Etapa de conversión digital-analógica y filtrado del canal 1.
3. Etapa de conversión digital-analógica y filtrado del canal 2.
4. Etapa de multiplexado y salida de la señal.
5. Módulo de comunicación WiFi.

La figura 28 muestra el diseño del diagrama esquemático en Altium Designer, cada etapa se describe a continuación:

- a) Sistema de suministro de energía para la parte analógica del convertidor Digital-analógico. Está conformado por dos reguladores, uno de alimentación positiva que proporciona 5 V , y otro de alimentación negativa el cual proporciona -5 V para el punto de suma del sistema.
- b) Conformar el FPGA y los convertidores D/A conectados a los diferentes puertos de entrada y salida de la tarjeta, así como la alimentación y tierra digital.
- c) La etapa de amplificación y punto de suma para el “offset” de la señal analógica, en esta parte se muestra la conexión de los amplificadores operacionales, así como la etapa de filtrado conformada por un filtro pasa-bajas pasivo.
- d) Por otra parte, se tiene la etapa de multiplexación de la señal y la multiplicación de los dos canales, así como como la etapa de salida de la señal, donde se emplean amplificadores operacionales en su configuración como seguidor, con el objeto de acoplar las impedancias.
- e) Por último, se muestra la conexión del módulo de comunicación WiFi con el FPGA.

A partir del diseño electrónico en software se procede a realizar la compilación y de esta forma generar la capa superior del circuito para su fabricación en PCB, el cual es trazado en un espacio definido por el diseñador y contemplando el tamaño de la tarjeta embebida a utilizar, así como los componentes elegidos para él diseño, los cuales en su mayoría son de montaje superficial.

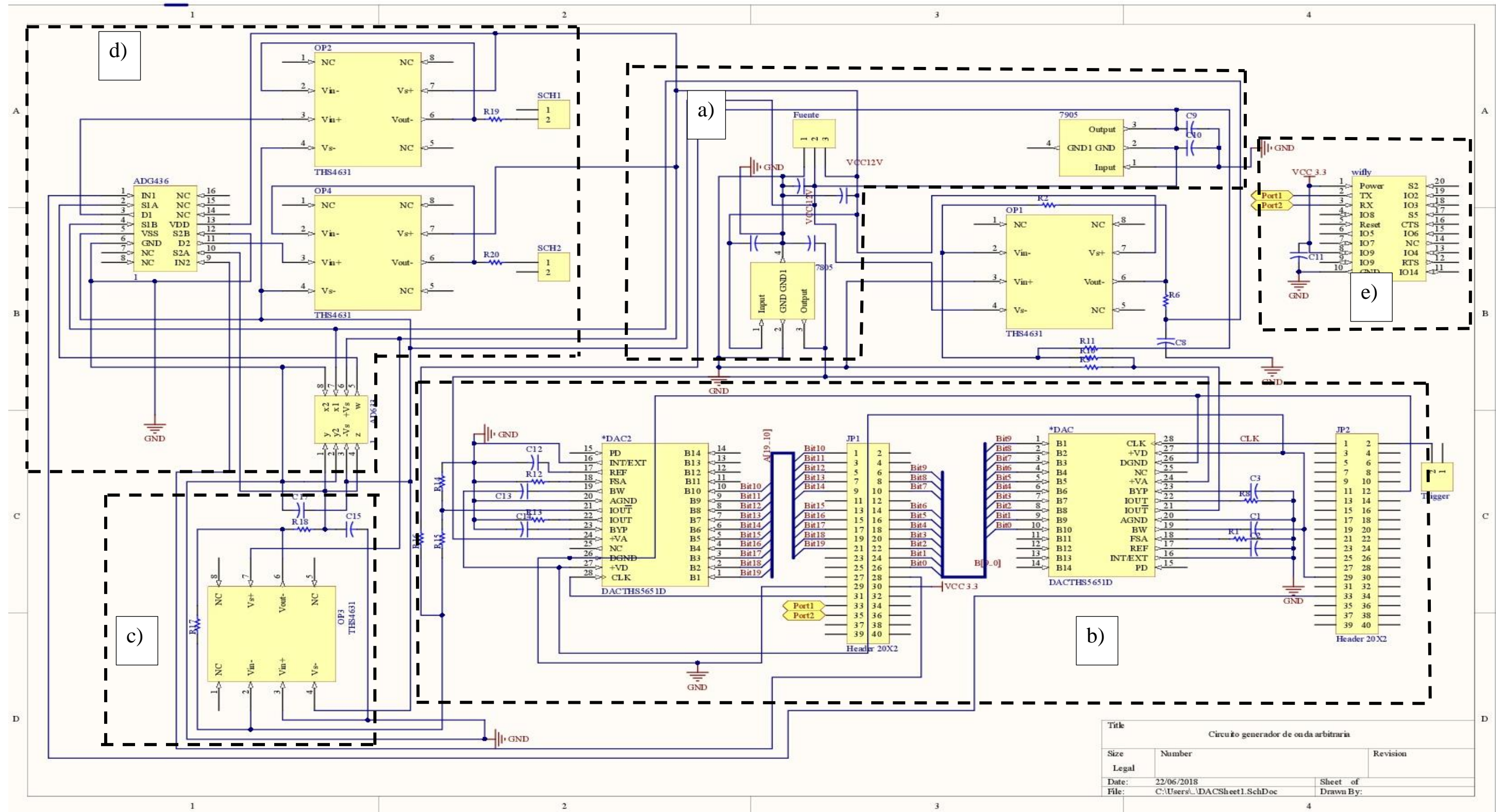


Figura 28: Diagrama esquemático del generador de onda arbitraria.

2.8 Conclusiones

En este capítulo se definieron las características del hardware del generador de onda arbitraria. Se realizó el análisis correspondiente para elegir los componentes adecuados que cumplan con los requerimientos físicos y electrónicos del sistema. Se caracterizaron los dispositivos y se diseñó el diagrama esquemático y el PCB en Altium Designer. En el siguiente capítulo se abordará el Firmware implementado en FPGA.

Capítulo III Firmware del generador de onda arbitraria

El Firmware contiene la parte del procesamiento de los datos enviados desde el software en LabVIEW al FPGA y representa la programación a más bajo nivel, para el control de los dispositivos electrónicos. El firmware se implementó en la herramienta de software producida por Altera de nombre Quartus, para el análisis y síntesis de diseño en AHDL.

El diseño del firmware en esta herramienta de programación permite dividir la lógica implementada en bloques, facilitando el entorno visual del programador.

3.1 Administrador WiFi

El código implementado para el bloque del administrador WiFi se encarga de la recepción de datos mediante la interfaz inalámbrica, ver Fig. 29. Dicho bloque contiene el algoritmo del “Protocolo de Comunicación Transmisor-Receptor Asíncrono Universal” (UART por sus siglas en inglés). En esta parte del firmware se reciben los datos de forma serial, y mediante un buffer implementado en firmware los datos se almacenan en paquetes de 8 bits con el fin de tener a la salida bus de datos en paralelo.

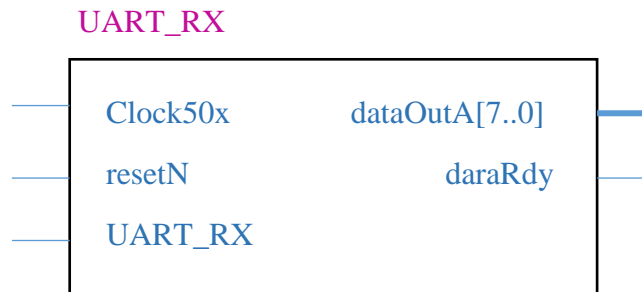


Figura 29: Bloque administrador WiFi.

3.2 Codificación de comandos

El bloque que contiene la parte del firmware para la codificación comandos se encarga de recibir los datos en paralelo provenientes del administrador WiFi y mediante una serie de

condiciones que son transmitidas desde software se llevan a cabo las instrucciones programadas en dicho bloque, ver Fig. 30.

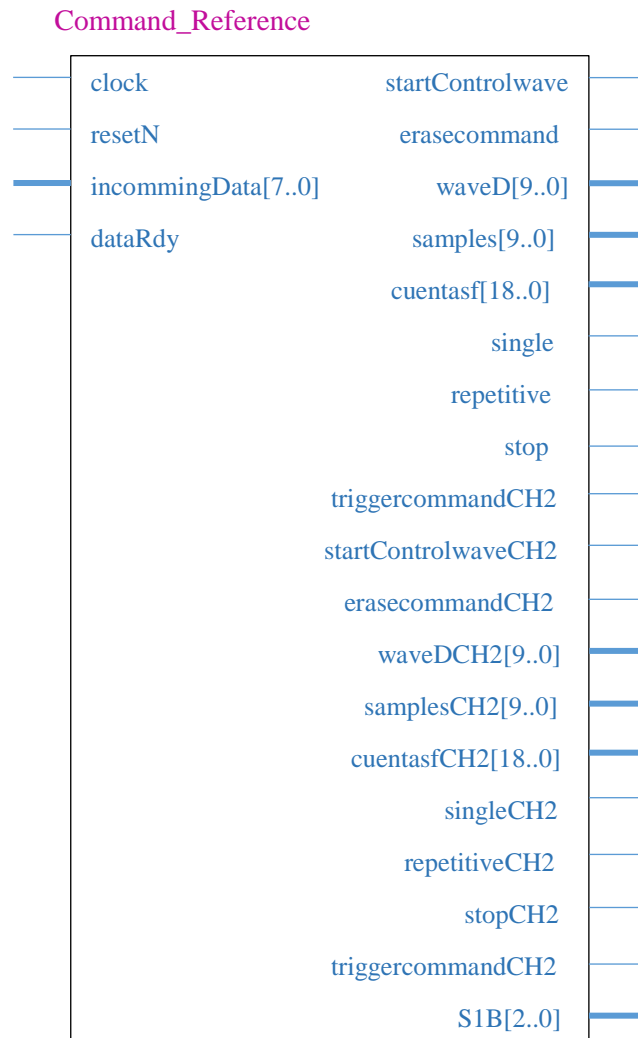


Figura 30: Bloque codificador de comandos.

Los datos que se transmiten a este bloque de firmware están en formato de 8 bits, sin embargo, cada instrucción que se envía desde software se envía en formato de 40 bits, con el objeto de poder enviar las instrucciones e información necesaria para el generador de onda arbitraria, ver Fig. 31. Por lo tanto, se implementó un buffer el cual permitió almacenar 40 bits, en donde los 8 bits más significativos representan el comando de instrucción y los bits

restantes son de propósito general. De esta forma dependiendo del comando recibido se procede a ejecutar la instrucción.

Los comandos que administra el bloque de comandos representan los datos de la señal, la información para el divisor de frecuencia, así como banderas para instrucciones correspondientes a los dos canales del generador.

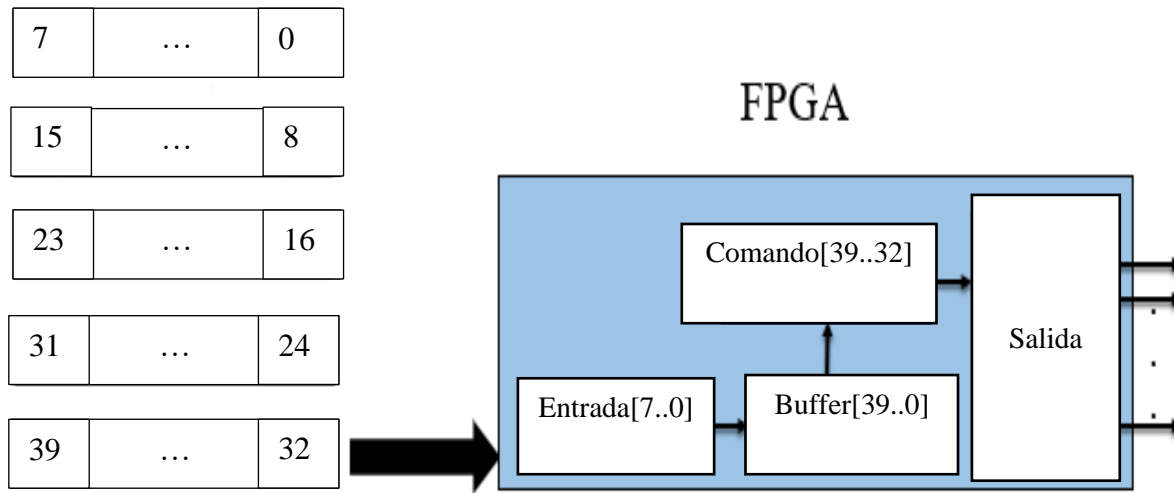


Figura 31: Funcionamiento del codificador de comandos.

La lista de comandos y sus direcciones se muestra en la tabla 4. Se observa que se utilizan diferentes comandos para identificar la acción a realizar en el firmware, tanto para el canal 1 como para el canal 2. Es por ello por lo que cada canal cuenta con las mismas instrucciones pero diferente dirección de comando, con el objetivo de diferenciar en firmware el canal que se está utilizando.

Comando "Hex"	Representación decimal	Descripción
F1	241	Datos de la señal del CH1
F2	242	Habilitación de canales
F4	244	Datos de la señal del CH2

F5	245	Borra memoria FIFO CH1
F6	246	Lectura de datos simple CH1
F7	247	Número de muestras CH1
F8	248	Lectura de datos cíclica CH1
F9	249	Detener reproducción de datos CH1
FA	250	Contador para frecuencia CH1
FB	251	Habilitar disparo externo CH1
FC	252	Deshabilitar disparo externo CH1
E7	231	Lectura de datos simple CH2
E8	232	Número de muestras CH2
E9	233	Lectura de datos cíclica CH2
EA	234	Detener reproducción de datos CH2
EB	235	Contador para frecuencia CH2
EC	236	Habilitar disparo externo CH2
ED	237	Deshabilitar disparo externo CH2

Tabla 4: Lista de comandos.

La figura 32 muestra el diagrama de flujo de la lógica empleada para implementar el código para la codificación de los comandos en el firmware.

Se observa en el diagrama de flujo que después de recibir los datos y procesarlos por el bloque de la recepción, los datos convertidos en paralelo son transmitidos al bloque de comandos, el cual une los 40 bits recibidos e identifica la instrucción que se desea realizar mediante un valor en hexadecimal, los comandos corresponden a los 8 bits más significativos. Por lo tanto, al recibir los 40 bits se separan los 8 bits más significativos, para decidir el tipo

de instrucción a realizar, ya sea escritura de datos, lectura de datos, variación de frecuencia, variación de potenciómetro digital y filtros, borrar la memoria FIFO, etc.

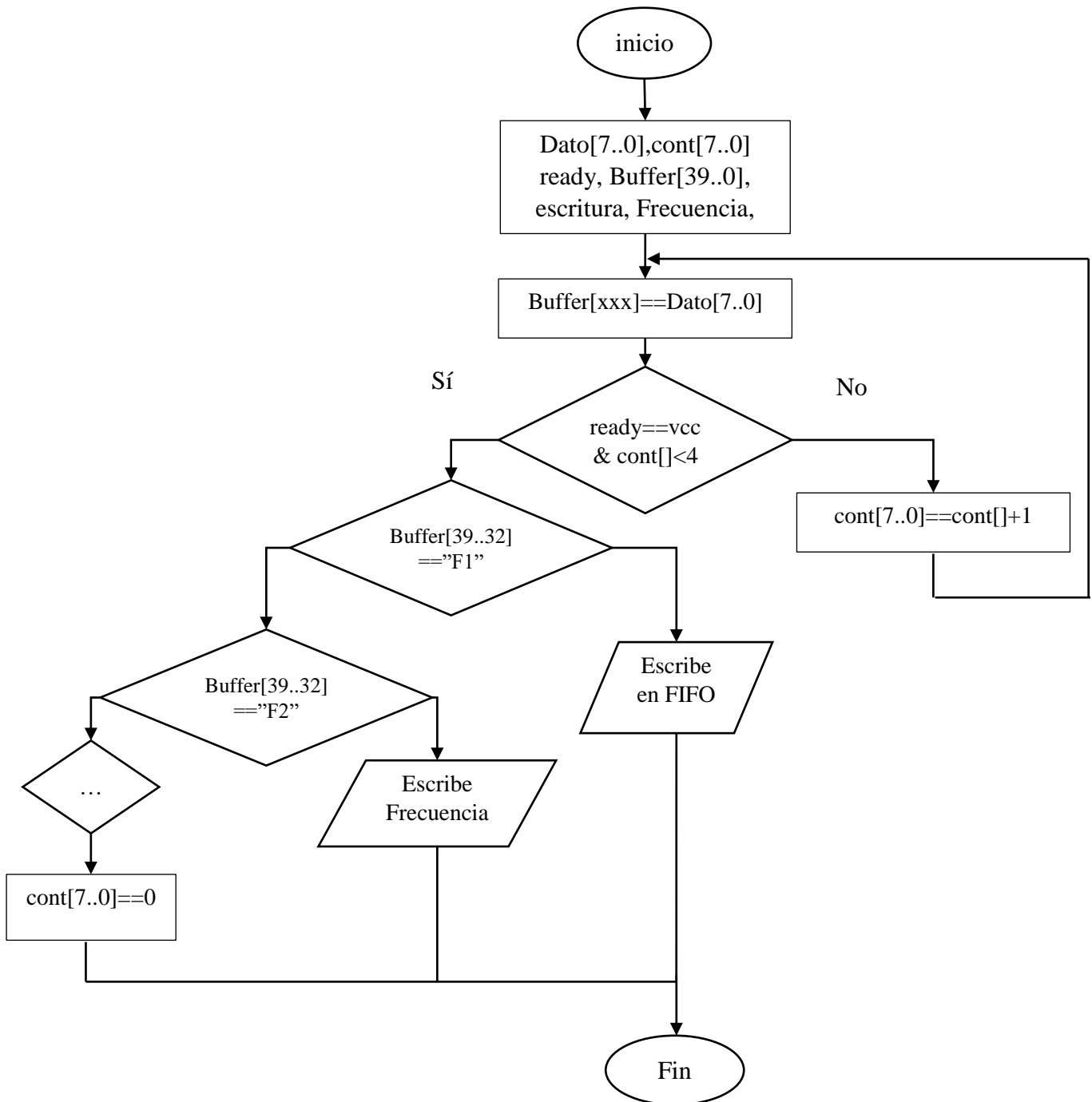


Figura 32: Diagrama de flujo de la lógica para el código del codificador de comandos.

3.3 Sistema de memoria

En el sistema de memoria se guardan todas las muestras que se toman de la señal para después reproducirla, la unidad común de medición de la memoria es el byte, conocido también como octeto porque se compone de un conjunto de ocho bits. El proceso para guardar las muestras en el FPGA se realiza con una memoria FIFO [28], esta memoria es útil como memoria intermedia de velocidad de transmisión de datos entre sistemas que transfieren la información con una velocidad muy distinta. Por tal motivo es indispensable emplear este tipo de memoria para guardar los datos y leerlos a diferentes velocidades de muestreo.

La memoria FIFO se crea mediante una aplicación que integra el software Quartus para diseñar este tipo de funciones (MegaWizard Plug-In Manager), por lo tanto, se implementaron dos memorias FIFO de 10 bits y de 1024 palabras para los dos canales que integra el instrumento, con un reloj síncrono para la lectura y escritura, ver Fig. 33.

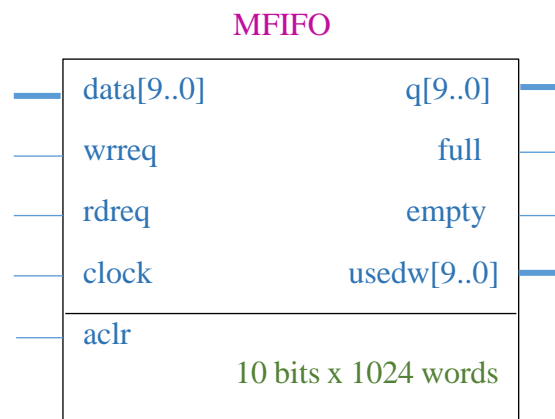


Figura 33: Memoria FIFO.

3.3.1 Caracterización de la memoria FIFO

Con el objetivo de poder utilizar la memoria FIFO adecuadamente se desarrolló el firmware específico para la lectura y escritura de los datos en la misma. De esta forma se diseñó el bloque de código encargado de generar los pulsos de escritura y lectura, el cual sirvió para caracterizar la memoria y entender su funcionamiento en el FPGA.

En la figura 34 se describe el diagrama de tiempos del funcionamiento de la memoria FIFO, en donde se envían por medio de un bus paralelo diferentes valores y mediante la activación de los ciclos de reloj de escritura y lectura es posible analizar su funcionamiento.

Para utilizar la memoria FIFO correctamente, es necesario que el reloj que administra la memoria mantenga una sincronía con los pulsos de lectura y escritura, así como con los datos.

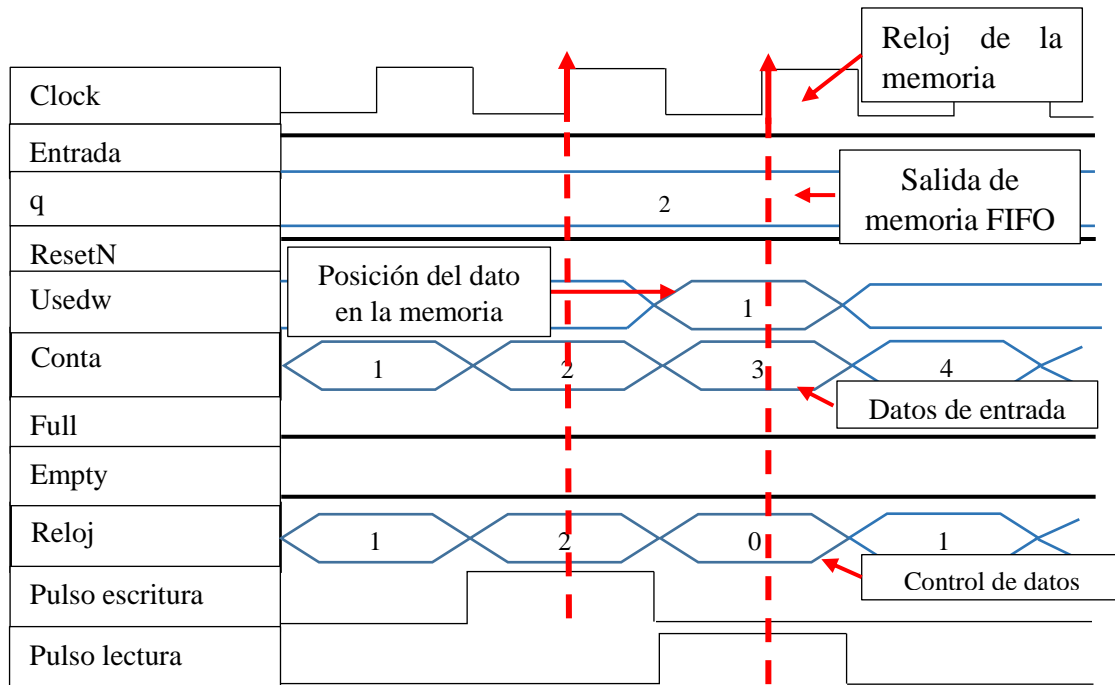


Figura 34: Diagrama de tiempos de la memoria FIFO.

Como se observa en la figura cada dato que se desea leer tiene que estar en el flanco ascendente de reloj y de la misma forma la instrucción de lectura o escritura tiene que estar en estado alto, según sea el caso. El bloque de la memoria FIFO también proporciona las banderas “Full” y “Empty” para indicar cuando la memoria está llena o vacía, estas banderas pueden ser de utilidad cuando es necesario retroalimentar la memoria. De la misma forma muestra un indicador “Usedw” que proporciona el conteo o la posición de los datos que entran a la memoria.

3.3.2 Administrador del sistema de memoria

El diagrama de bloques de la figura 35 muestra el funcionamiento del administrador de memoria FIFO. Los datos se reciben inalámbricamente al bloque (1), posteriormente se escriben en el bloque (2), mientras tanto el bloque (3) configura los ciclos de escritura y lectura, cuando se activa la bandera “start” el bloque (2) y (3) entran en sincronía, para poder escribir o leer los datos a la memoria.

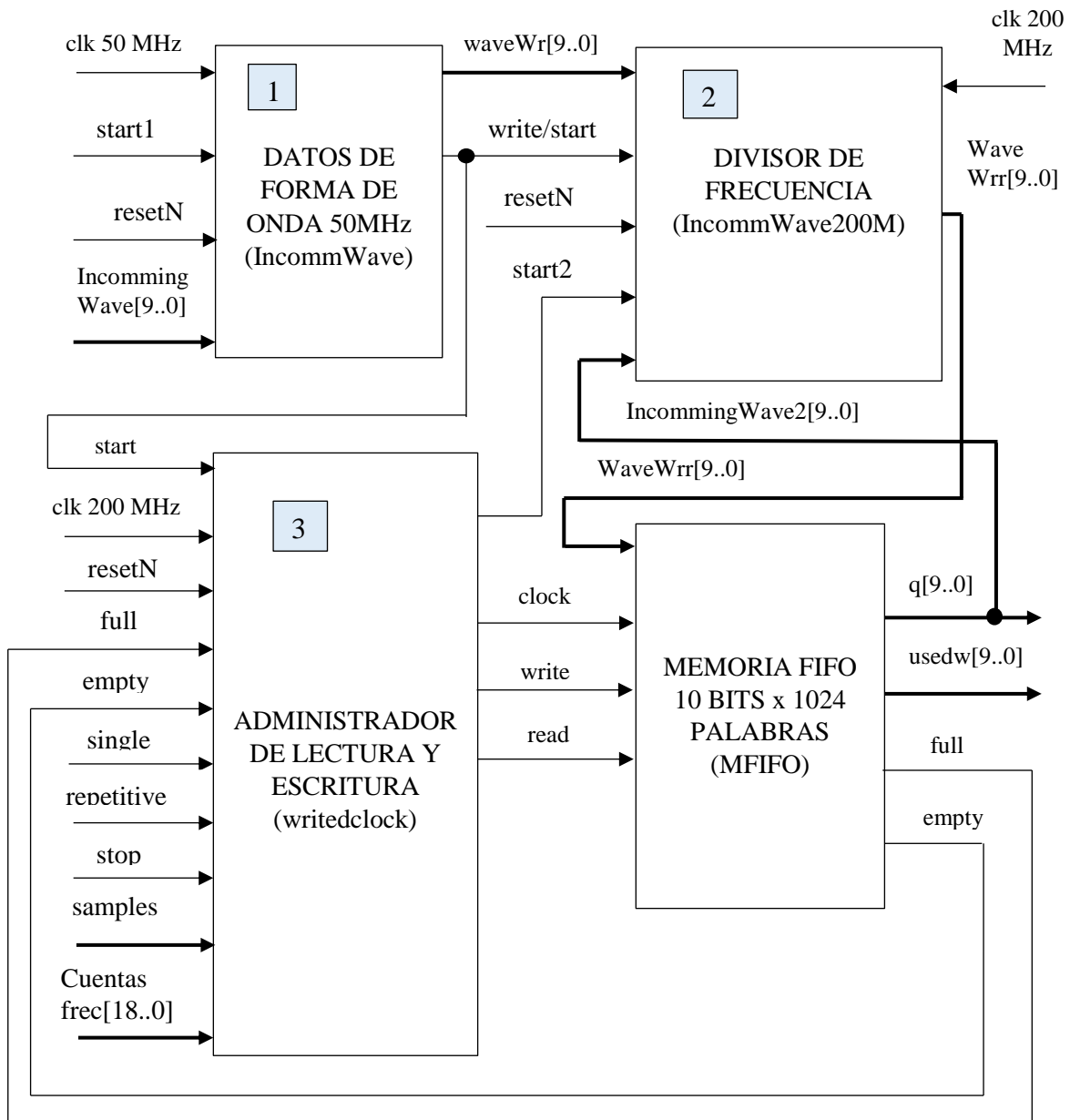


Figura 35. Diagrama de bloques del administrador de memoria FIFO.

3.3.2.1 Escritura y lectura de la memoria FIFO

Los bloques de firmware que se dedican a administrar la memoria FIFO, cumplen con el objetivo de generar los ciclos de lectura y escritura, así como aumentar o disminuir el ancho de pulso para variar las frecuencias, es decir, funciona como un divisor de frecuencia. De la misma forma se encarga de administrar las banderas del tipo de reproducción y realizar la retroalimentación de la memoria, ver Fig. 36.

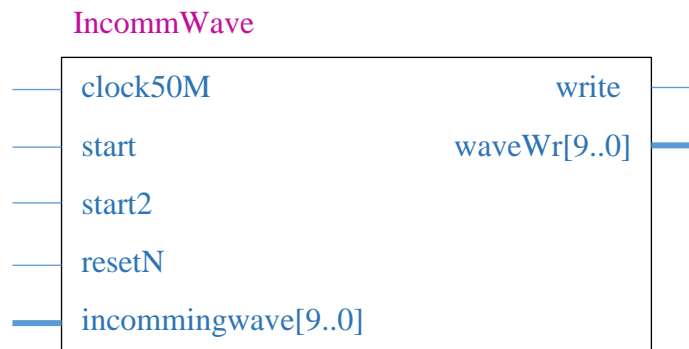


Figura 36: Administrador de lectura memoria FIFO.

En primer lugar se escriben los datos correspondientes a la forma de onda, en la memoria a una velocidad de 50 MHz, en donde la memoria es administrada en primera instancia por el bloque de firmware de la figura anterior.

Esta primera escritura corresponde cuando los datos son enviados por primera vez a la tarjeta embebida, los cuales están acompañados con el comando borrar memoria y escritura, además de una bandera que indica que los datos son nuevos y el canal al cual se van a escribir los datos. De esta forma cada dato que recibe la tarjeta está acompañado del comando que indica que es un bus de 10 bits que se escribirá en la memoria, además de una bandera que activa los ciclos de escritura.

Se observa que el bus de datos de entrada es de diez bits, y al activar la bandera de “start” se puede comenzar a escribir en un bus interno en el FPGA el cual almacena diez bits y que posteriormente son transmitidos a otro bloque encargado de aumentar la velocidad de muestreo a 100 MHz.

La figura 37 muestra el diagrama de flujo para escribir los datos en la memoria FIFO que son recibidos por primera vez.

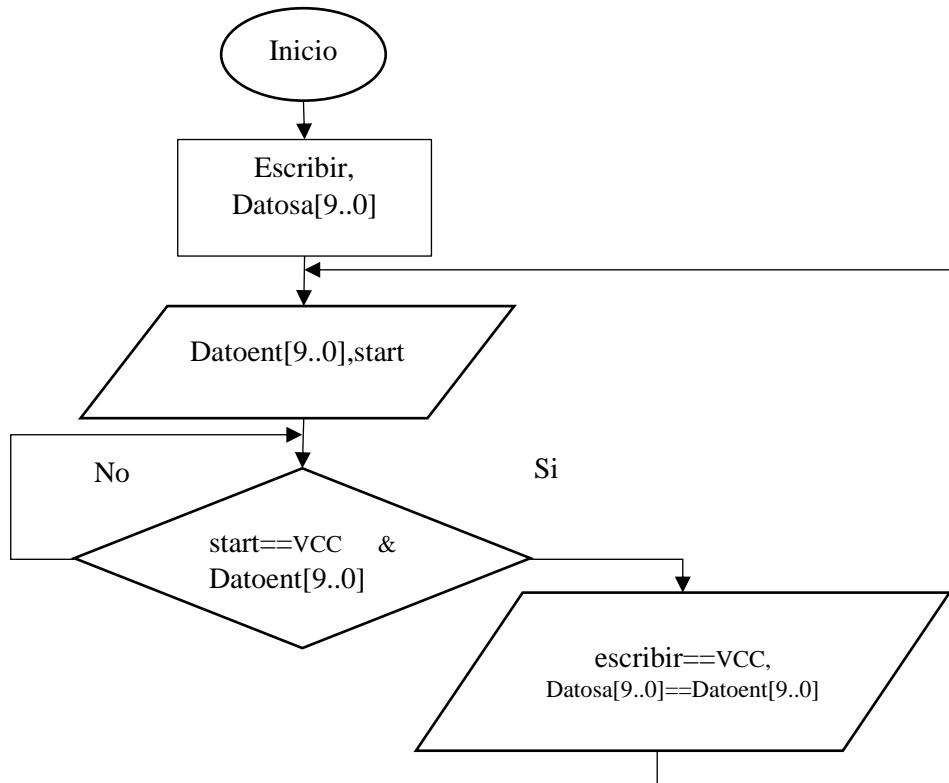


Figura 37: Diagrama de flujo para escritura de la memoria FIFO.

El procedimiento anterior se efectúa también cuando es necesario leer los datos de la memoria.

Con la lógica implementada en el diagrama de flujo de la figura 40, es posible realizar la primera escritura de los datos a la memoria FIFO del FPGA, los cuales corresponden a la información de la forma de onda, pudiendo escribir, desde 1 a 1000 puntos.

La figura 38 muestra una prueba realizada de escritura en la memoria FIFO. Con el analizador lógico del FPGA se pueden observar los datos que se escriben a la memoria y los ciclos de reloj de escritura “write”, así como el reloj generado para su control. También se muestra la salida de la memoria, la cual no tienen ningún dato debido a que no se envió el comando leer, finalmente se observa la posición en la memoria en la cual se guardan los datos que entran a la memoria FIFO, con ello se verifica que realmente se escribió en el dispositivo.

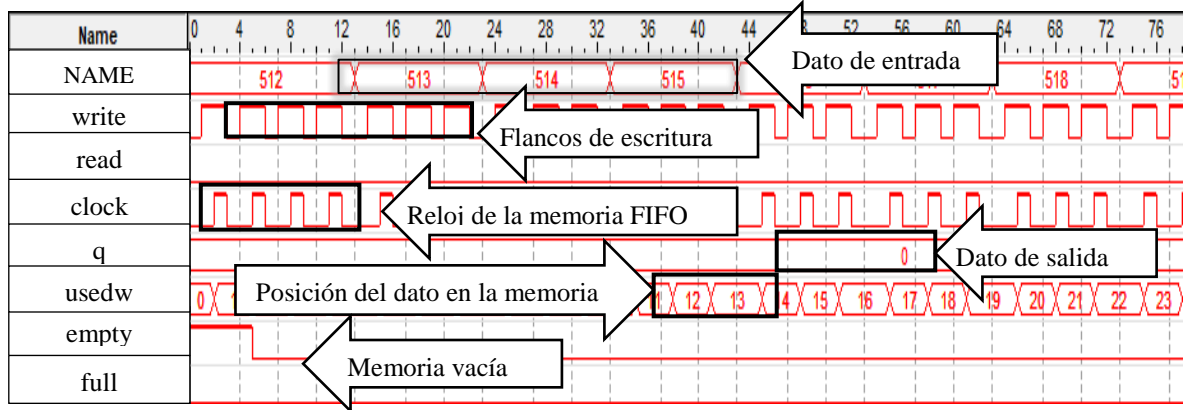


Figura 38: Prueba en tiempo real de escritura en memoria FIFO.

Una vez que se escribieron los datos de la forma de onda por primera vez en la memoria FIFO, permanecen ahí hasta que el usuario envíe cualquier comando de lectura, pudiendo elegir entre leer una sola vez “Single” o leer repetitivamente “Repetitive”. El comando “Single” únicamente lee los datos un solo periodo, mientras que el comando “Repetitive” lee los datos de forma cíclica, por tanto, cuando se selecciona esta última opción, es necesario enviar el comando stop para detener la lectura cuando el usuario desee. Para lograr esto, se implementó el segundo bloque de administración de memoria, ver Fig. 39.

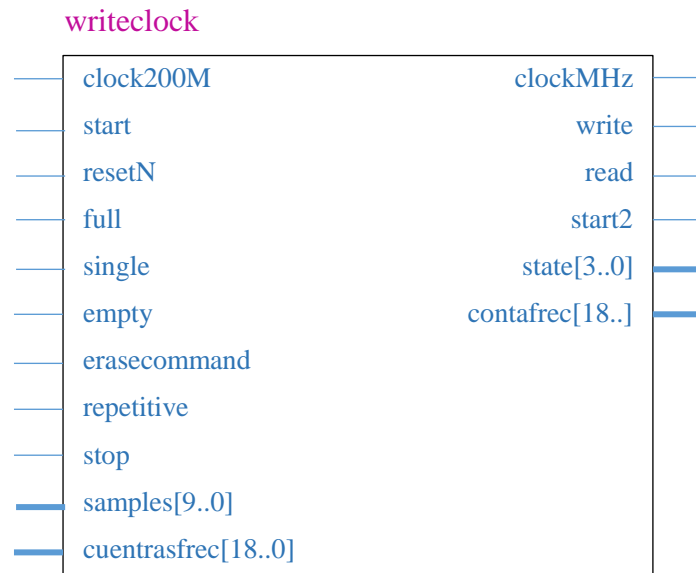


Figura 39: Administrador de lectura, escritura y número de muestras de la memoria FIFO.

El bloque de la figura anterior también cumple la función de leer el número de muestras que se guardaran en la memoria FIFO para modificar su profundidad, así mismo lee el número de ciclos de reloj para producir diferentes periodos de muestreo.

Después de almacenar los datos correspondientes a la forma de onda en la memoria FIFO, permanecen guardados hasta que se envíe cualquier comando de operación del instrumento, mencionados anteriormente, además de poder enviar el comando “Trigger”, para reproducir la forma de onda mediante un disparo de señal externo.

A continuación, se muestra el diagrama de estados que se implementó en firmware para administrar el tipo de reproducción de los datos en la memoria y la bandera que indica si la frecuencia de la forma de onda es mayor o menor a 100 kHz, para configurar la profundidad de la memoria si es necesario, con el objetivo de poder reproducir frecuencias de hasta 5 MHz, ver Fig. 40.

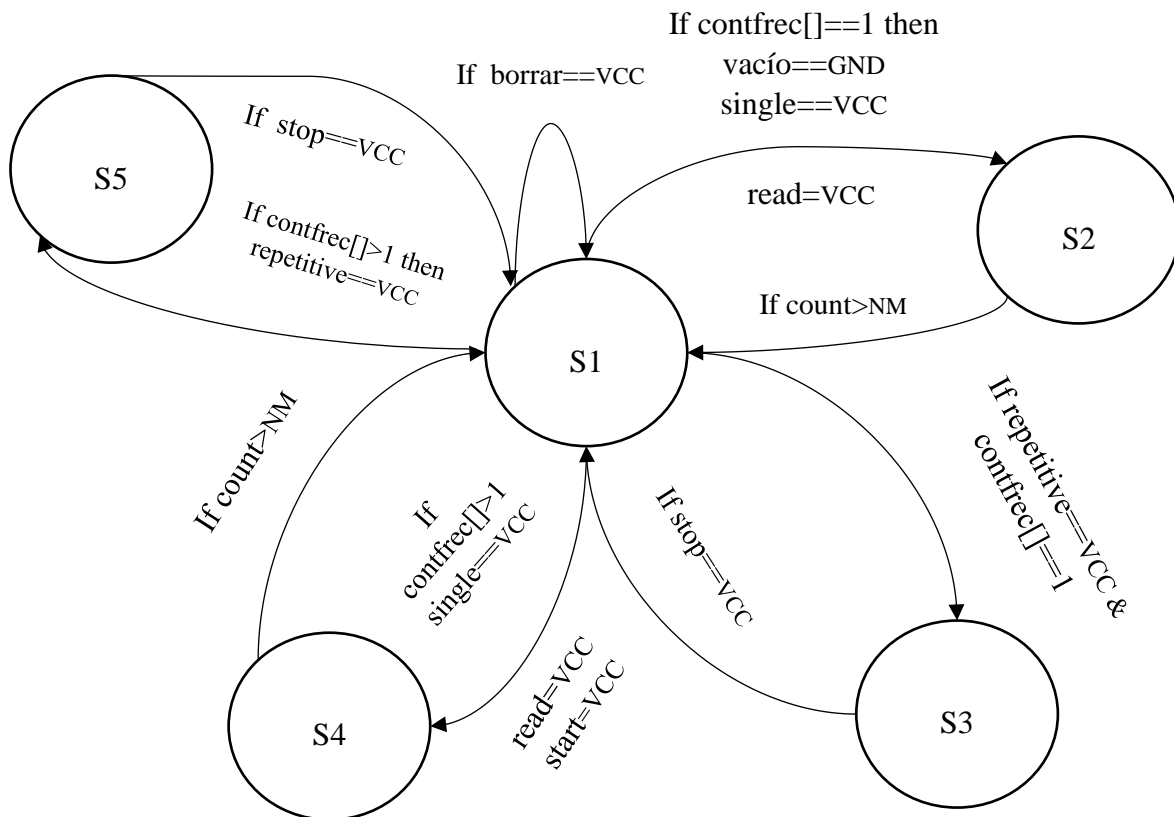


Figura 40: Diagrama de estados para tipo de escritura y selección de frecuencias de la memoria FIFO.

Se observa en la máquina de estados que se tiene una bandera llamada “contfrec[]”, la cual al ser igual a uno indica que la forma de onda a reproducir tiene una frecuencia mayor o igual a 100 kHz , y al ser mayor a uno tiene una frecuencia menor a 100 kHz . Esta bandera permite modificar el número de muestras que se guardan en la memoria o modificar el ancho de pulso del reloj de escritura y lectura de la memoria FIFO mediante contadores que sirven para realizar los divisores de frecuencia, permitiendo de esta forma reproducir formas de onda en con un ancho de banda desde 0.1 Hz hasta 5 MHz .

3.3.2.2 Retroalimentación de la memoria FIFO

Con el objetivo de retroalimentar la memoria FIFO se implementó un tercer bloque de firmware relacionado a su administración, el cual funciona con un reloj de 200 MHz , y se encarga de leer los datos provenientes del bloque “IncommWave” o de la memoria FIFO, y posteriormente escribirlos a la memoria a cualquier periodo de muestreo, mayor o igual a 5 ns , Ver Fig. 41.

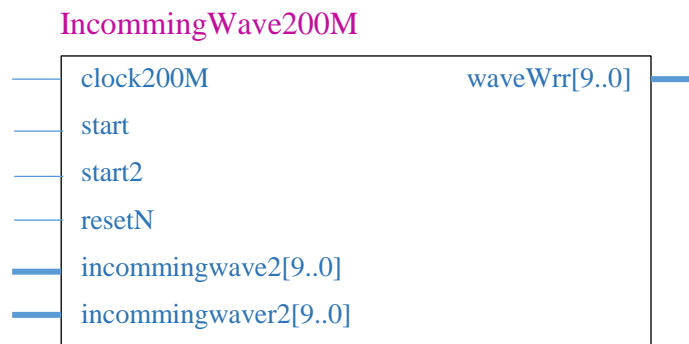


Figura 41: Administrador de retroalimentación para memoria FIFO.

La figura 42 muestra el diagrama de flujo de la lógica implementada para realizar la retroalimentación de la memoria FIFO, así como su lectura y escritura con los comandos “Single” o “Repetitive”, según sea el caso que el usuario seleccione mediante el software de aplicación.

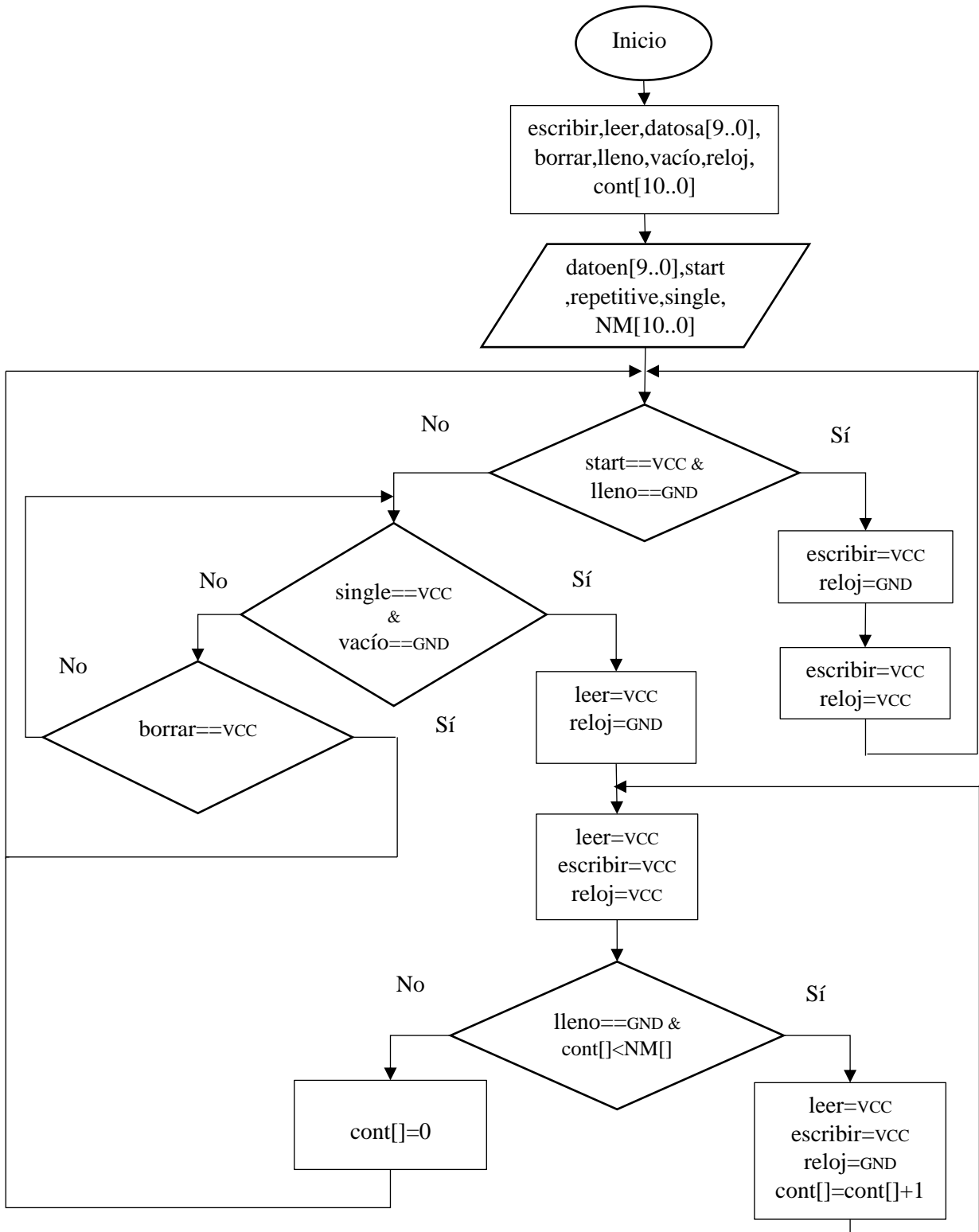


Figura 42: Diagrama de flujo para retroalimentar memoria FIFO.

Se observa en el diagrama de flujo de la figura anterior, que se realiza una lectura con el comando “Single” para explicar la forma de la retroalimentación de los datos, el mismo proceso se efectúa para el comando “Repetitive”. En primer lugar se compara si la bandera “start” se encuentra en VCC y la bandera “lleno” se encuentra en GND, si es así se efectúan los ciclos de reloj para la escritura de los datos en la memoria FIFO. Posteriormente, si se cumplen las condiciones anteriores se realiza otra comparación, en donde se lleva a cabo el comando “Single” mientras la bandera “vacío” se encuentre en GND; de esta forma se inician los ciclos de reloj necesarios para la lectura y escritura de los datos en la memoria. Por último, al realizar el proceso de lectura y escritura, se compara al mismo tiempo si la memoria se encuentra llena, tomando en cuenta el número de muestras de la señal digital a reproducir, si la condición es falsa, el proceso se repite hasta que la memoria se llene para finalmente regresar a la primera condición.

La figura 43 muestra una prueba realizada en tiempo real de la retroalimentación de los datos a la memoria FIFO. Se puede observar en el analizador lógico que el comando de lectura “read” se encuentra en alto, por lo cual en cada ciclo de reloj se leerá un dato, de la misma forma el comando escritura se encuentra en un nivel alto, lo que indica que cuando recibe un dato inmediatamente se escribe en la memoria. También se observa la salida de la memoria FIFO representada por “q”, en donde efectivamente los datos que se escribieron fueron leídos y guardados en la memoria. También se tienen las banderas “full” y “empty”, las cuales sirven como indicadores para realizar la acción de retroalimentación.

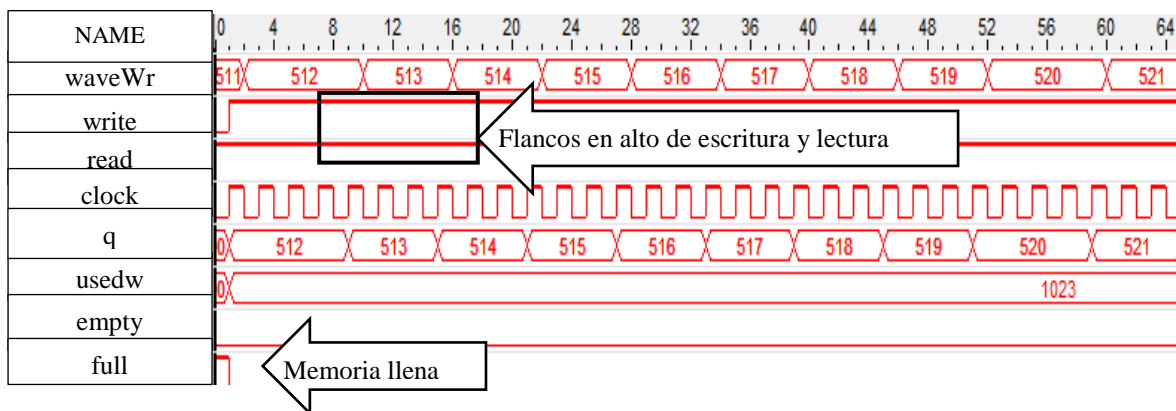


Figura 43: Prueba en tiempo real de retroalimentación de la memoria FIFO.

3.4 Divisor de frecuencia

Se implementó un divisor de frecuencia en los bloques de firmware que administran la memoria FIFO, el cual basa su funcionamiento en contadores. El divisor de frecuencia programado tiene la ventaja de ajustarse a diferentes frecuencias mediante software, debido que el contador encargado de variar el ancho de pulso de la señal de reloj del administrador de la memoria FIFO se declaró en el firmware como una variable que se actualiza cuando se envían los datos de la forma de onda, logrando así modificar la velocidad de muestreo de los datos que se escriben y se leen en la memoria. En la figura 44 se muestra el diagrama de estados para realizar el divisor de frecuencias en el sistema de memoria.

Se observa que el valor que contiene la variable “Ncuentas[]” se compara con el valor del contador implementado en el firmware y mientras la variable del contador “contf[]” sea menor a “Ncuentas[]” se mantiene en un estado con el ciclo de reloj en alto o en bajo según sea el caso, logrando de esta forma generar un divisor de frecuencias ajustable.

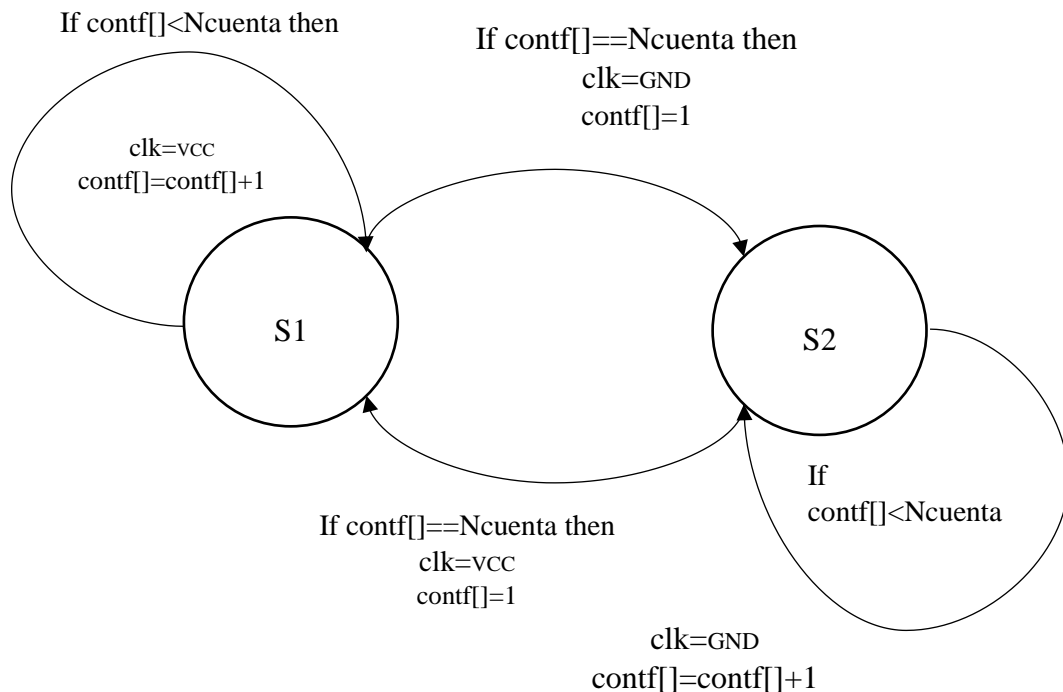


Figura 44: Diagrama de estados para variar el ancho de pulso de la señal de reloj de la memoria FIFO.

3.4.1 Cálculo de contadores para el divisor de frecuencias

Para realizar el divisor de frecuencias es necesario llevar a cabo una serie de contadores con el objetivo de mantener un estado durante un periodo de tiempo, logrando así variar el ancho de pulso de la señal.

A continuación, se muestra el procedimiento para obtener una señal con un ciclo de reloj de $10 \mu s$, lo equivalente a una frecuencia de 100 kHz .

Sabiendo que el reloj de operación del FPGA es de 50 MHz entonces el periodo de la señal es:

$$T_1 = \frac{1}{f_f}, \quad (3.1)$$

donde T_1 es el periodo y f_f es la frecuencia del oscilador físico de la tarjeta embebida. Por lo tanto, el periodo es

$$T_1 = \frac{1}{50 \times 10^6} = 20 \times 10^{-9} s$$

La frecuencia a la que se desea trabajar es de 100 kHz por lo tanto el periodo de la señal es igual a:

$$T_2 = \frac{1}{100 \times 10^3} = 10 \times 10^{-6} s, \quad (3.2)$$

donde T_2 es el periodo deseado.

Conociendo los periodos, se calcula el número de cuentas para obtener la frecuencia mediante una regla de tres:

$$T_1 * Cont = T_2, \quad (3.3)$$

donde $Cont$ es el contador encargado de mantener la señal en alto o en bajo durante el periodo deseado.

$$Cont = \frac{T_2}{T_1} \quad (3.4)$$

Por lo tanto,

$$Cont = \frac{10 \times 10^{-6} s}{20 \times 10^{-9} s} = 500 \text{ ciclos de reloj}$$

De esta forma se tienen que cumplir 500 ciclos de reloj para tener una señal que dure un periodo de $10 \mu s$.

$$T = 500 * 20 \times 10^{-9} s = 10 \times 10^{-6} s \quad (3.5)$$

Sin embargo, el número de cuentas calculado es para el periodo de la señal, lo que significa que el tiempo en estado alto y en estado bajo del ciclo de reloj generado debe durar la mitad del periodo, es decir:

$$t = \frac{T}{2} \quad (3.6)$$

$$t = \frac{10 \times 10^{-6} s}{2} = 5 \times 10^{-6} s$$

De manera que cada estado dure $5 \mu s$, teniendo como resultado un periodo de la señal de $10 \mu s$, lo que equivale a una frecuencia de 100 kHz , como se muestra en la figura 45.

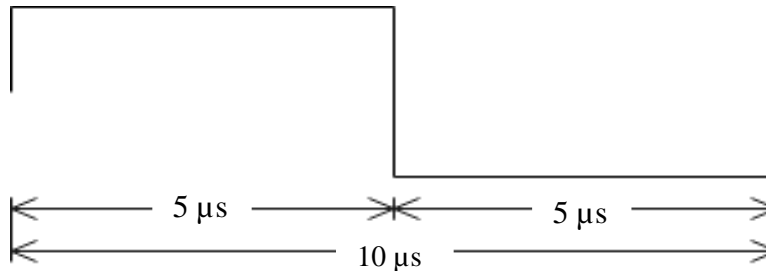


Figura 45: Ciclo de reloj de $10 \mu s$.

Mediante el procedimiento anterior es posible variar el ancho de pulso mediante contadores, teniendo en cuenta la frecuencia del reloj físico de la tarjeta embebida. De esta forma cada ciclo de reloj tiene un periodo de 20 ns , por lo que cada bloque de firmware que funcione con dicha frecuencia tendrá un periodo de muestreo de 40 ns . Sin embargo, para mejorar la resolución de la frecuencia de muestreo y obtener un mayor rango de frecuencias,

se implementó un lazo de seguimiento de fase (PLL por sus siglas en inglés) encargado de multiplicar o dividir frecuencias.

Mediante las herramientas de firmware de Quartus II se creó el multiplicador de frecuencias para el reloj físico del FPGA, ver Fig. 46.

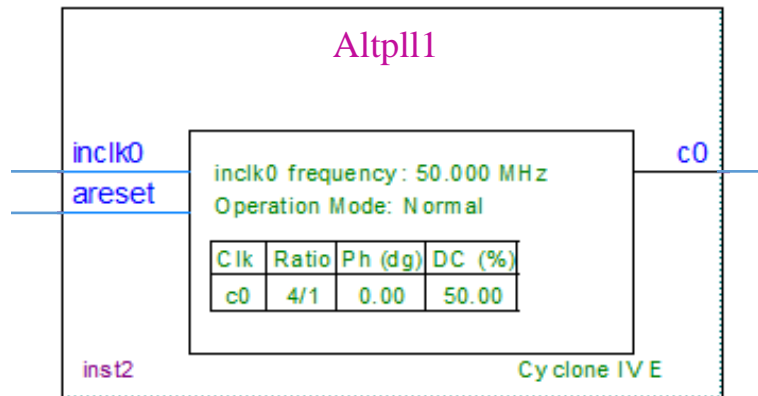


Figura 46: Multiplicador de frecuencia 50 MHz a 200 MHz.

Teniendo en cuenta que el reloj oscila a una frecuencia de 50 MHz y se desea tener una resolución de la señal con un periodo de muestreo de 10 ns, es necesario multiplicar la frecuencia cuatro veces su valor, obteniendo una frecuencia de 200 MHz, como se observa a continuación:

$$50 \text{ MHz} * 4 = 200 \text{ MHz}, \quad (3.7)$$

$$\frac{1}{200 \text{ MHz}} = 5 \times 10^{-9} = 5 \text{ ns},$$

de esta forma se obtiene un ciclo de reloj de 5 ns, el cual es la velocidad a la que debe operar el bloque de firmware encargado de generar los ciclos de lectura y escritura de los datos. Con ello es posible obtener señales con un periodo de muestreo de 10 ns, permitiendo mejorar la resolución de la frecuencia de muestreo de los datos.

$$\frac{200 \text{ MHz}}{2} = 100 \text{ MHz},$$

$$\frac{1}{100 \text{ MHz}} = 10 \times 10^{-9} = 10 \text{ ns}.$$

3.4.2 Cálculo de número de muestras

Para generar las frecuencias del generador de onda arbitraria, no solo es necesario considerar el periodo de muestreo de la señal, sino también el número de datos que serán muestreados, debido a que la frecuencia de la forma de onda depende de los puntos a muestrear, es decir, si se tiene una forma de onda con mil puntos y se desea una frecuencia de 50 *kHz*, es necesario dividir el periodo de la señal entre el número de muestras para determinar el periodo de muestreo de cada dato.

El cálculo del número de muestras y cuentas para la frecuencia se encuentra relacionada a las características del convertidor digital-analógico y a la frecuencia del FPGA que se está utilizando. Debido a que es imposible generar datos con una velocidad de muestreo mayor a la que muestrea los datos el convertidor D/A.

Conociendo la profundidad de memoria que es de mil puntos y la tasa de muestreo del FPGA que es de 100 *Mmps* es posible calcular la frecuencia máxima a la que puede trabajar el generador de onda arbitraria:

$$f_{max} = \frac{100 \text{ Mmps}}{1000 \text{ muestras}} = 100 \text{ kHz}, \quad (3.7)$$

esto significa que la frecuencia máxima a alcanzar para una forma de onda con mil puntos y un periodo de muestro de 10×10^{-9} segundos es de 100 *kHz*. De tal manera que, si para cada forma de onda se tienen mil puntos, es imposible trabajar con frecuencias mayores a 100 *kHz* y el diseño del generador especifica en sus características frecuencias de hasta 5 *MHz*. Por lo que se propuso para frecuencias mayores a 100 *kHz* calcular automáticamente el número de muestras mediante software y tener el periodo de muestreo de 10 *ns* fijo, con el fin de poder generar frecuencias mayores a la frecuencia máxima calculada en la ecuación 3.7.

Por tanto, la ecuación 3.8 define el número de muestras a emplearse dependiendo de la frecuencia deseada.

$$Nm = \frac{100 \text{ MHz}}{f_{onda}}, \quad (3.8)$$

donde Nm es el número de muestras y f_{onda} es la frecuencia de la forma de onda.

La ecuación anterior define el número de muestras para frecuencias mayores a 100 kHz . De esta forma para frecuencias mayores a 100 kHz se calcula el número de muestras debido a que el reloj del FPGA es de 200 MHz lo cual indica que cada dato puede ser muestreado a una velocidad de 10×10^{-9} segundos, por lo tanto, al tener frecuencias mayores a ese rango, no alcanzaría la velocidad de muestreo para leer todos los datos y conseguir frecuencias superiores a 100 kHz , además de que las características del DAC tampoco permite muestrear datos que duren menos de 10×10^{-9} segundos (100 Mmps), como se mencionó anteriormente.

Para obtener frecuencias iguales o menores a 100 kHz se mantiene fijo el número de muestras (1000 puntos), y se calcula mediante software el número de ciclos de reloj para varía el periodo de muestreo, ecuación 3.9.

$$C_T = \frac{\frac{1}{Nm * f_{onda}}}{\frac{1}{f_f}} = \frac{f_f}{Nm * f_{onda}}, \quad (3.9)$$

donde C_T es el número de cuentas que define el periodo de cada dato, f_f es la frecuencia de muestreo máxima del bloque de firmware del divisor de frecuencia (200 MHz), f_{onda} es la frecuencia a la que se desea la señal. Para determinar el número de cuentas que debe mantenerse el reloj en estado alto y en estado bajo solo basta con dividir entre dos la ecuación 3.9.

$$C = \frac{C_T}{2}, \quad (3.10)$$

donde C es el contador para generar la señal de reloj para muestrear los datos.

Con la ecuación anterior es posible definir cuantos ciclos de reloj tienen que realizarse en el FPGA para establecer el ancho de pulso del estado alto y bajo del reloj de la memoria FIFO y con ello obtener el periodo de muestreo de cada dato de la forma de onda, cuando se configuren frecuencias menores a 100 kHz y 1000 muestras. De tal forma que al calcular el número de muestras y los ciclos de reloj a medida de las características del DAC y el FPGA es posible obtener formas de onda con un ancho de banda de $0.1\text{ Hz} - 5\text{ MHz}$.

3.4.3 Caracterización del divisor de frecuencia implementado en firmware

La Fig. 47 muestra la variación del ancho de pulso del ciclo de reloj encargado de controlar la memoria FIFO, en una prueba en tiempo real del firmware implementado para configurar la frecuencia de muestreo de los datos. Se observa en el bus “cuentasf” que se configura el número de cuentas de los ciclos de reloj de lectura y escritura, mientras el número de muestras se mantiene con 1000, con ello se logra variar la frecuencia de reproducción de la señal. Para el caso de la prueba se desea una frecuencia de 10 kHz, en donde el estado alto y el estado bajo del reloj de la FIFO dura 50 ns cada uno, por lo que la muestra tiene un periodo de 100 ns, de tal forma que el divisor de frecuencia debe mantener 10 cuentas el reloj en estado alto y 10 cuentas en estado bajo para generar el periodo de 100 ns, por otra parte teniendo en cuenta que se tienen 1000 muestras la frecuencia que se obtiene es de 10 kHz.



Figura 47: Variación de ancho de pulso para una frecuencia de 10 kHz.

La Fig. 48 muestra otra prueba realizada para variar el ancho de pulso del reloj de la memoria FIFO, en donde se observa que el tiempo es de 20 ns, siendo este el periodo de muestreo de los datos. Por lo tanto, al tener mil muestras guardadas en la memoria FIFO, como se observa en el bus “samples”, se logra obtener una frecuencia de 50 kHz.

Diseño e implementación de un generador de onda arbitraria.

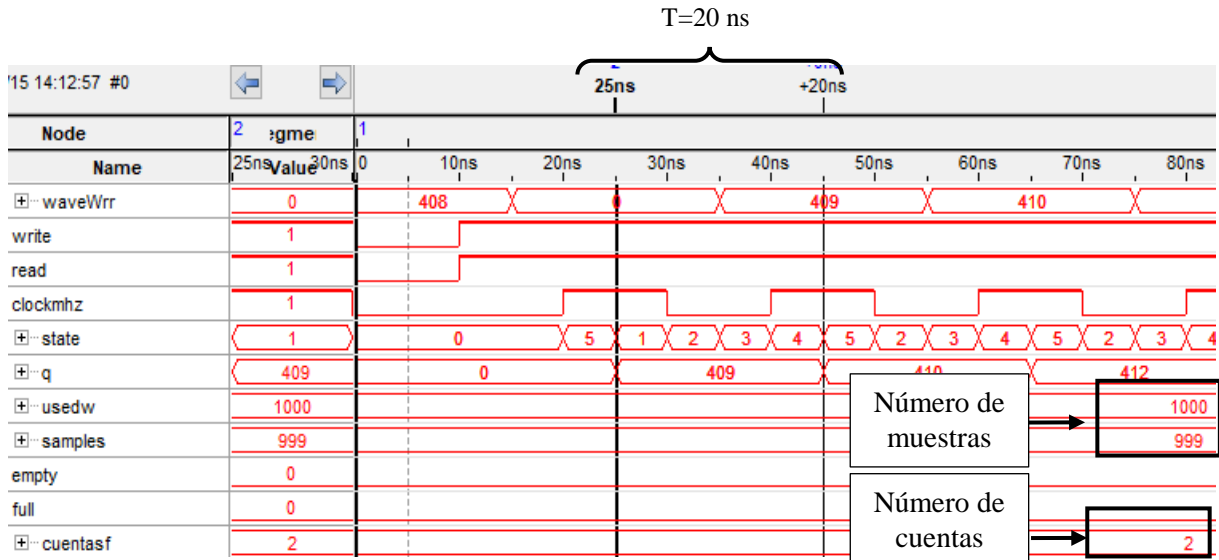


Figura 48: variación de ancho de pulso para una frecuencia de 50 kHz.

La figura 49 muestra una prueba realizada para variar la frecuencia de reproducción de la forma de onda, en donde se observa en este caso que el periodo de muestreo se modifica, por lo que se mantiene con el reloj base de lectura y escritura que es de 10 ns, por lo que en este caso se cambia el número de muestras guardadas en la memoria FIFO.

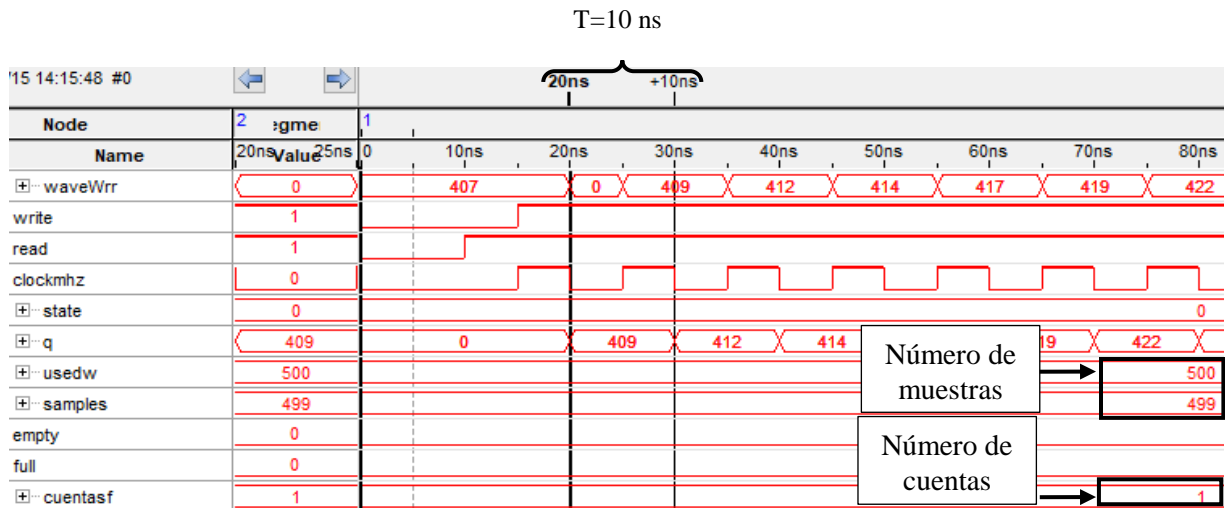


Figura 49: variación de ancho de pulso para una frecuencia de 200 kHz.

En el caso de esta prueba se guardaron 500 muestras, por lo tanto, con el periodo de muestreo de 10 ns y la profundidad de memoria de 500 puntos, se obtiene una frecuencia de 200 kHz.

3.5 Habilitador de disparo

El habilitador de disparo (Trigger), es un evento que se ejecuta cuando se cumplen ciertas condiciones. Para el generador de onda arbitraria, se utiliza cuando se requiere sincronizar la señal de salida con la señal de otro generador. Por lo que al utilizar el “Trigger” se habilita la lectura de los datos.

La figura 50 muestra el diagrama de bloques del firmware implementado en el FPGA del habilitador de disparo.

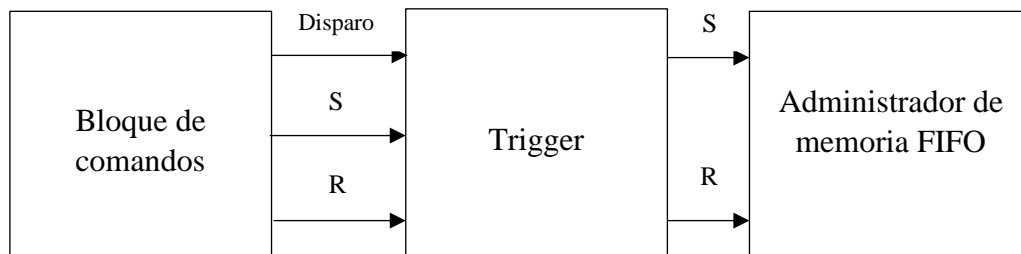


Figura 50: Diagrama de bloques del funcionamiento del habilitador de disparo del generador de onda arbitraria.

Desde software se envía el comando para activar el disparo externo de cualquiera de los dos canales. El bloque denominado “Trigger” siempre recibe las banderas de activación de lectura, sin embargo el disparo externo no se habilita, debido a que es necesario que la bandera “Disparo” se encuentre en estado alto, posteriormente la bandera de lectura se envía al administrador de memoria FIFO para realizar el tipo de reproducción correspondiente.

La figura 51 muestra el diagrama de flujo de la lógica implementada para realizar el firmware del habilitador de disparo, tanto en el tipo de lectura “single”, como el de “repetitive”.

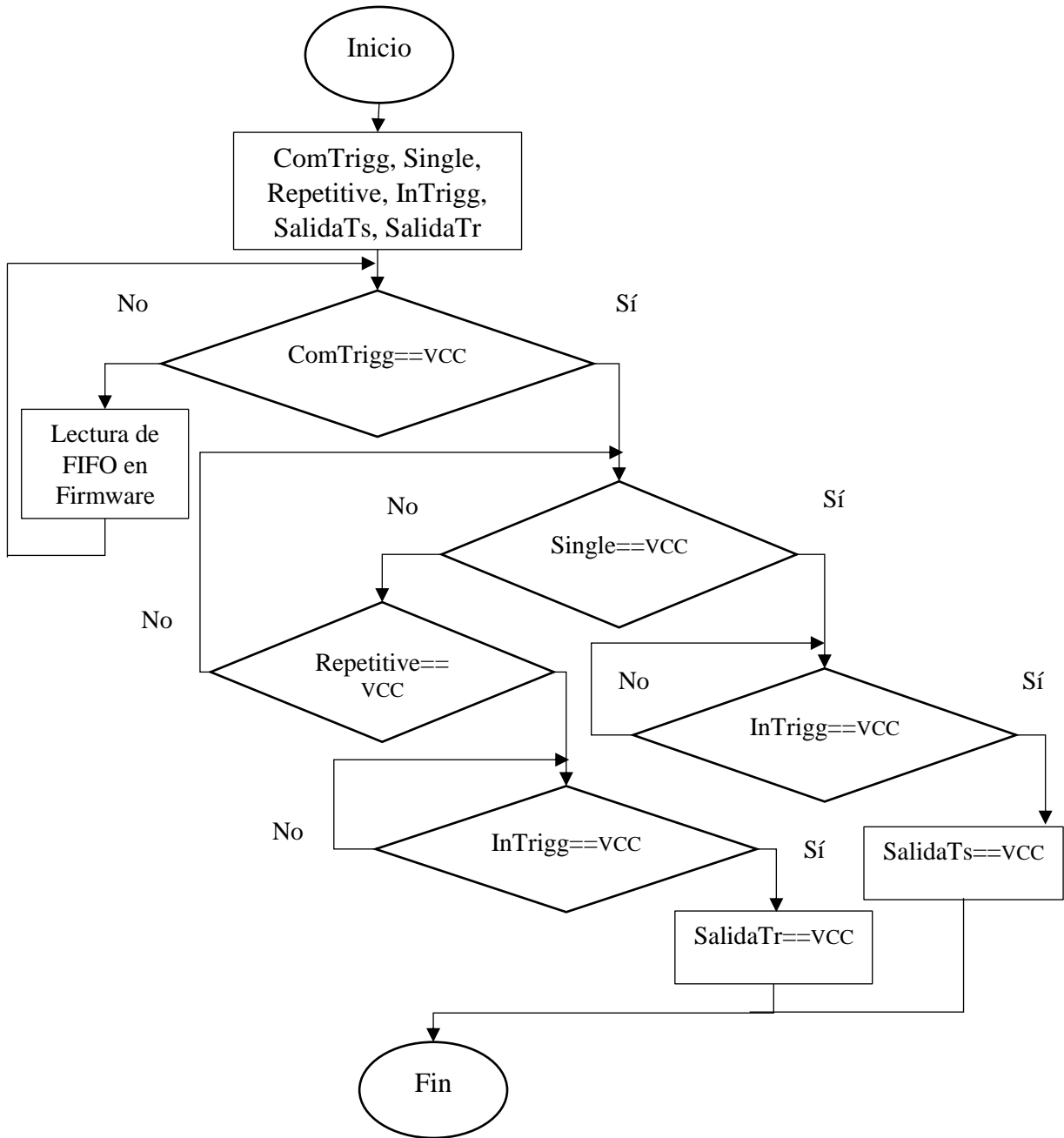


Figura 51: Diagrama de flujo del habilitador de disparo.

Se observa que la salida “Trigger” indica al bloque encargado del habilitador cuando se utilizara esa herramienta. El bloque habilitador también recibe las señales “Single” y “Repetitive” y se trasmiten al bloque de escritura y lectura de la memoria FIFO con la bandera “Trigger” activado o desactivado.

Se tiene un comando para habilitar el “Trigger”, si se encuentra en un nivel alto se habilita el bloque del disparador, si se encuentra en nivel bajo, se realiza la escritura y lectura de forma común. Al habilitar el disparo externo se tiene la condición del modo de reproducción con “Trigger Single” o “Trigger Repetitive”, dependiendo de la configuración en software se realiza el modo de reproducción con el disparo externo.

3.6 Conclusiones

En este capítulo se describió el firmware del generador de onda arbitraria implementado en el FPGA, se explicó detalladamente el proceso para generar un codificador de comandos, el administrador de lectura y escritura de la memoria FIFO, así como los divisores de frecuencia y el habilitador de disparo externo, logrando con ello realizar la lectura y escritura de la memoria y al mismo tiempo retroalimentarla. El siguiente capítulo comprende la etapa del software del generador de onda arbitraria.

Capítulo IV Software del generador de onda arbitraria

Para el desarrollo de la interfaz gráfica del generador de onda arbitraria se programó en el software LABVIEW. La programación de la interfaz se divide en secciones constituidas por máquinas de estado y casos. En donde cada secuencia contiene las instrucciones específicas a realizar por el generador, como se muestra a continuación en la figura 52.

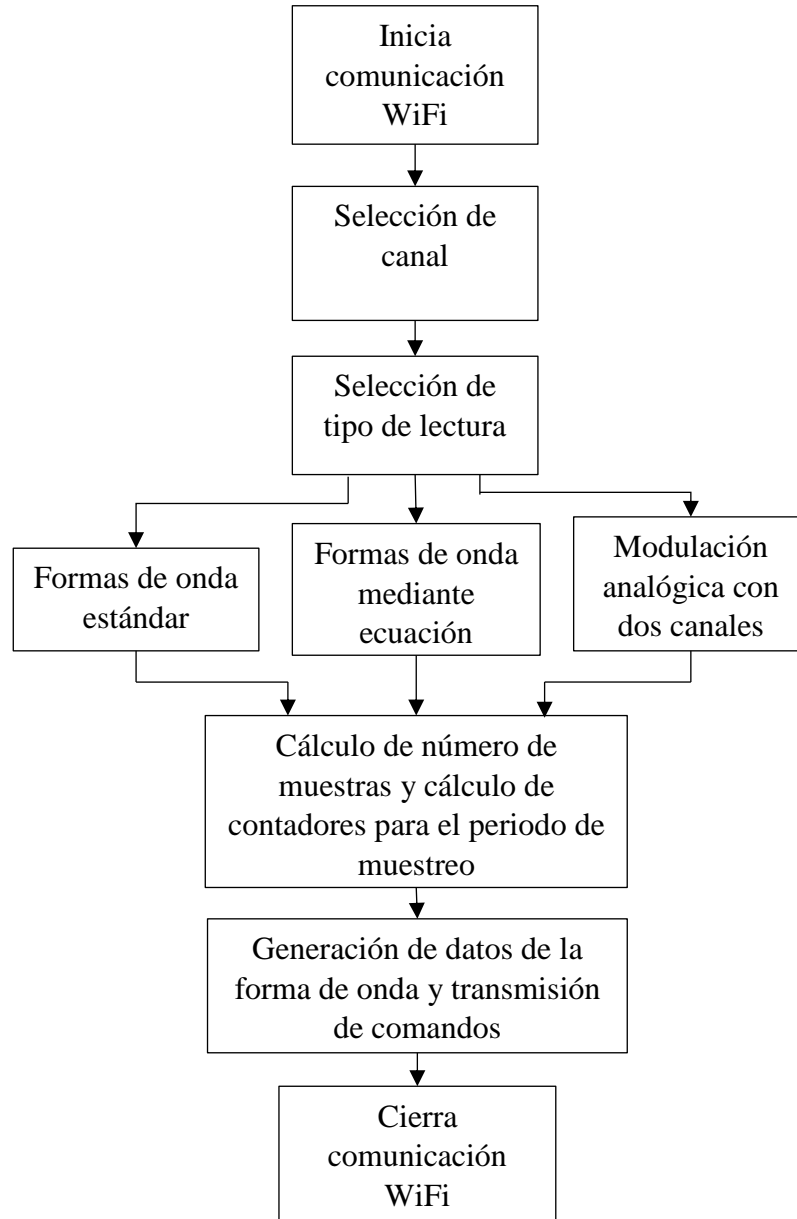


Figura 52: Diagrama de bloques del funcionamiento del software del generador.

Se muestra en el diagrama de bloques que en primer lugar se debe establecer la comunicación inalámbrica entre el software del generador (interfaz de usuario) y la tarjeta embebida, mediante WiFi. Posteriormente se encuentra el bloque para seleccionar el canal y enviar el comando al FPGA, seguido de esa instrucción se tiene el estado del tipo de lectura “Simple” o “Repetitiva”, el siguiente estado define el tipo de onda que se desea obtener, ya sea onda estándar, arbitraria (mediante ecuación) o modulación de amplitud por medio de los dos canales. de la misma forma se encuentran los bloques de configuración de frecuencia, cálculo de muestras, generador de ondas y transmisión de datos. Por último se encuentra el estado que finaliza la comunicación WiFi, con el fin de establecer comunicación inalámbrica con el FPGA solo cuando sea necesario.

4.1 Selección de canal y tipo de lectura

La interfaz de usuario está diseñada para que el usuario elija cualquiera de los canales, mediante una variable booleana y una estructura condicional. Si la variable es verdadera se envían los comandos correspondientes del canal 2 al FPGA, mientras que al ser falsa se envían los comandos del canal 1, ver Fig. 53.

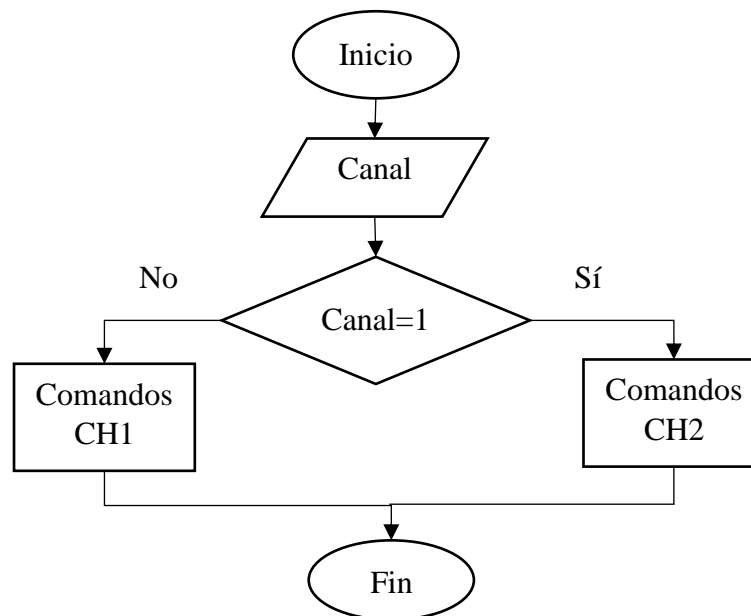


Figura 53: Diagrama de flujo para seleccionar canal.

Automáticamente el canal 1 siempre está activo debido que la variable booleana se encuentra configurada para que en un inicio se encuentre en cero.

Después de seleccionar el canal es posible enviar cualquier instrucción del instrumento al FPGA, como pueden ser los datos de la forma de onda, los comandos de lectura, el comando para pausar la señal en caso de enviar el comando “Repetitivo” y el comando “Trigger”, ver Fig. 54.

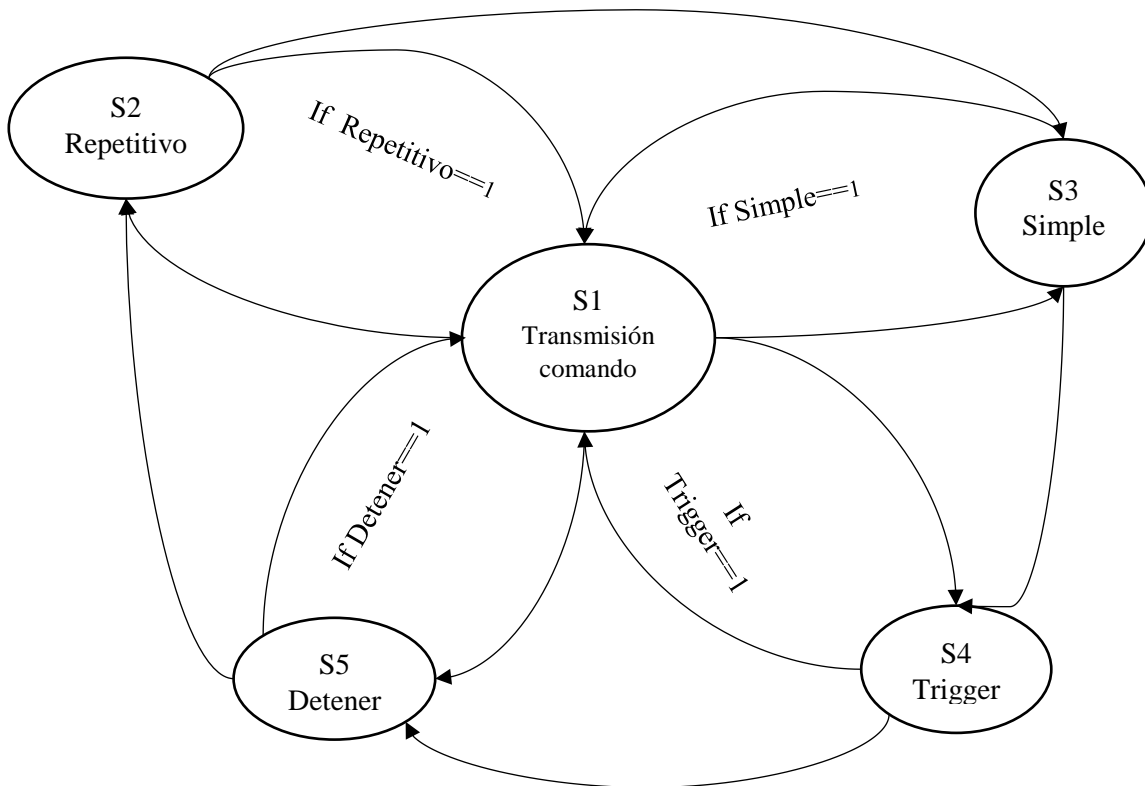


Figura 54: Máquina de estados para seleccionar tipo de lectura.

Como se puede ver en la figura anterior, el modo de lectura y escritura en el software está estructurado en máquinas de estado, con el objetivo de poder enviar cualquier comando en el momento que se desee. Se tienen cinco estados que representan el modo de lectura repetitivo y simple, así como el estado que envía el comando del “Trigger” y por último se encuentra el estado que envía el comando para detener la reproducción de la forma de onda. Mediante el diagrama se observa que se va cambiando de estado mientras cualquiera de las

condiciones no sea seleccionado, mientras que al cumplirse cualquier condición, entonces se pasa al estado “1” para transmitir los datos al FPGA.

4.2 Formas de onda estándar

En esta sección se tienen predefinidas las ondas estándar más usuales en los generadores de ondas, para determinar los puntos de las formas de onda se realizó la programación de sus ecuaciones en condiciones tipo “Case” y en una estructura de LabVIEW llamada fórmula “Node”, la cual consiste en programación basada en C, ver Fig. 55.

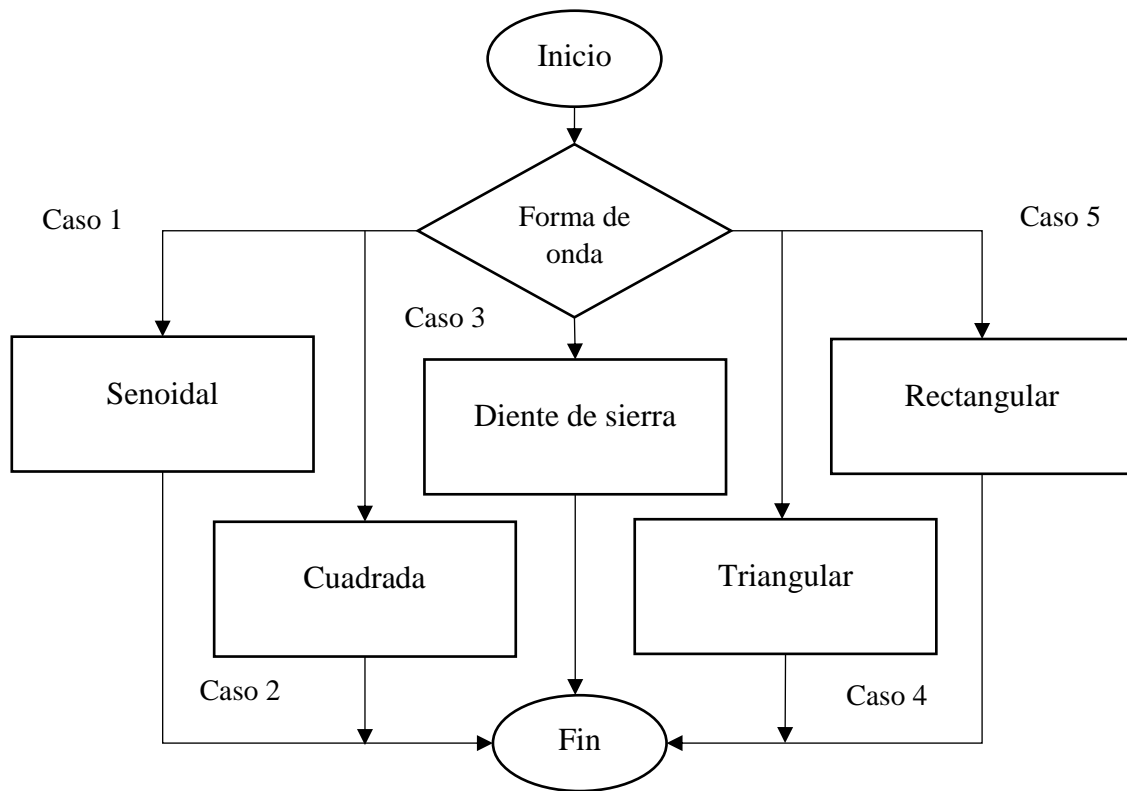


Figura 55: Diagrama de flujo para selección de forma de onda.

En esencia, el análisis de las señales implica la realización del análisis matemático de frecuencia, longitud de onda y valor de voltaje de una señal. Las señales eléctricas son variaciones de voltaje, o de corriente, respecto al tiempo, que se pueden representar por una serie de ondas seno o coseno [15].

De acuerdo con la teoría, para analizar una onda periódica compleja es necesario usar la serie matemática llamada de Fourier.

Por lo tanto, para cada forma de onda se implementó su serie de Fourier correspondiente, las cuales se muestran en el capítulo I, ecuaciones de la 1.4 a 1.8.

Al generar las señales mediante las series de Fourier, permite la posibilidad de cambiar el número de armónicos mediante una variable interna declarada en el software.

Cabe mencionar que el “offset” de la señal no se realiza mediante hardware, simplemente se calcula desde software, por lo cual en la instrumentación no es necesario implementar el circuito para variar dicho nivel de voltaje, debido a que los parámetros de voltaje (amplitud y offset) son enviados a un solo convertidor digital-analógico.

4.2 Formas de onda definidas por el usuario mediante ecuación

Las formas de onda definida mediante ecuación, facilita la generación de cualquier señal, sin la necesidad de ingresar punto por punto la forma de onda. Para este generador de onda arbitraria se logra generar cualquier tipo de señal mediante un editor de texto en la interfaz gráfica basado en la sintaxis tipo “C”, donde se ingresa la ecuación con un formato específico y se genera la señal en una gráfica, de la cual es posible extraer los datos y guardarlos en un arreglo para después ser transmitidos al FPGA.

LabVIEW brinda el bloque encargado de realizar dicha acción, ver Fig. 56.

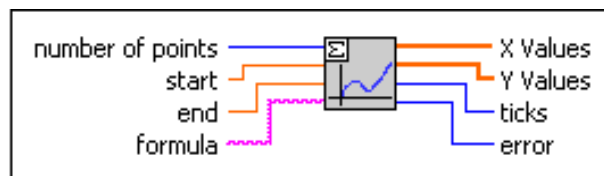


Figura 56: Bloque de LabVIEW para ingresar funciones.

El bloque anterior permite calcular los valores de una función, obteniéndolos en un arreglo. Para el funcionamiento de dicho bloque es necesario ingresar el número de puntos, así como las variables de “start” y “end” para indicar el rango de puntos a graficar, así mismo

es necesario ingresar la ecuación de la forma de onda. Es indispensable generar un ciclo para dicho bloque, con el objetivo de graficar cada punto.

4.3 Modulación de amplitud por medio de dos canales

Como se mencionó en capítulos anteriores, la modulación de amplitud consiste en la multiplicación de dos señales, una señal portadora ($V_c \text{sen}(2\pi f_c t)$) y una señal moduladora ($V_m \text{sen}(2\pi f_m t)$). De tal forma que se cumpla la condición:

$$f_c > f_m \text{ y } V_c \neq V_m,$$

para obtener señal $V_{am}(t)$ que varíe su amplitud con respecto del tiempo y contenga una señal envolvente con frecuencia f_m y otra señal portadora con frecuencia f_c .

A partir de dicho análisis se implementó en la interfaz gráfica una sección para generar señales moduladas en amplitud, lo cual se consigue mediante los dos canales del generador, ver Fig. 57.

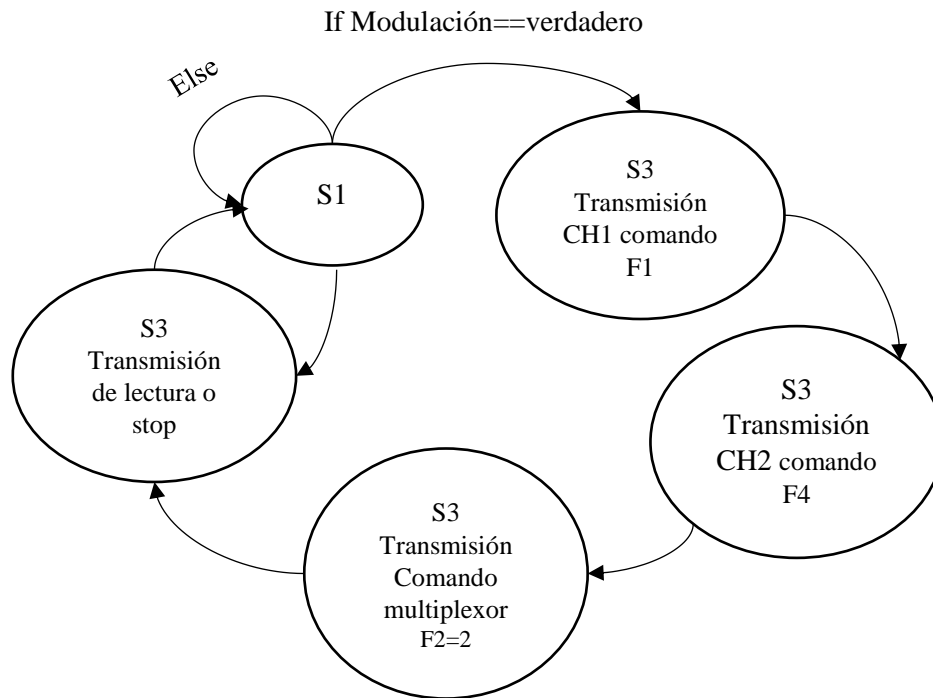


Figura 57: Diagrama de estados de instrucciones para modulación.

Según la figura anterior, se envían a los dos canales los comandos correspondientes al tipo de lectura, explicado anteriormente. Además se envía el comando para habilitar el multiplexor de las señales (hardware) con el objetivo de que las señales de salida de los canales pasen por el multiplicador analógico y se genere la señal modulada en amplitud.

También es posible observar que el apartado de la interfaz gráfica para generar modulación en amplitud, tiene una secuencia específica, en donde en el primer estado verifica si se desea modular, si es así pasa al estado 2 para enviar los datos correspondientes al canal 1 (señal moduladora), después pasa al estado 3 para enviar los datos al canal 2 (señal portadora), en el estado 4 manda la instrucción para habilitar la salida del multiplexor para modular, y por último el estado 5 corresponde a los comandos de lectura y detener la reproducción de la forma de onda.

Debido a que la modulación en este apartado se realiza la modulación mediante hardware, es necesario modificar la salida de los canales por medio de un multiplexor que funciona digitalmente, el cual es administrado mediante software para realizar la multiplicación de la señal analógica, como se explicó anteriormente en el capítulo II apartado 2.5.

La tabla de verdad que se empleó para multiplexar la salida se muestra a continuación:

	canal 1	canal 2
On	0	1
Modulación	1	0

Tabla 5: Tabla de verdad para multiplexar canales.

Se observa en la Tabla 5, que para habilitar la salida del canal 1 es necesario mandar un estado bajo a la entrada del multiplexor que administra el canal 1, y para habilitar el canal 2 se debe enviar un estado alto a la entrada del multiplexor que administra dicho canal. Esto se logra enviando el comando del multiplexor al FPGA con un bus de dos bits.

Por otra parte para generar la señal modulada se deshabilitan los dos canales y se habilitan las entradas del multiplexor que pasan por el multiplicador de señales, generando una señal modulada en amplitud que sale por el canal 1, como se observa en el capítulo II Fig. 22.

4.4 Normalización de datos de las formas de onda

Una vez que se define la forma de onda y los parámetros de amplitud y offset, se obtienen los puntos que se envían al FPGA, sin embargo, debido a las características del convertidor digital-analógico los datos no son compatibles para su conversión, por lo que es necesario normalizarlos para que puedan ser convertidos a su respectivo valor analógico, y sean muestreados correctamente y evitar que el convertidor D/A se sature debido a los grandes valores digitales enviados.

Conociendo la resolución del convertidor, la normalización de los datos se resolvió como se describe a continuación:

1. Resolución del DAC=10 bits, lo que permite 2^n combinaciones, desde 0 a 1023.
2. Sabiendo que el valor total de la amplitud del generador es de $5 V_{pp}$, entonces cada valor digital de voltaje se representa mediante las siguientes ecuaciones:

$$v_{DN} = Dato * \frac{2^{10}-1}{10} = V * 102.3 \quad (4.7)$$

Por lo que si se tiene un valor de $10 V$, entonces su valor digital corresponde a 1023, que es el dato que se escribirá en el convertidor D/A.

3. Sin embargo, con la ecuación anterior solo es posible representar valores positivos y los valores de amplitud del generador pueden variar de $-5 V$ a $5 V$, por lo que al tener un valor negativo de voltaje no se representará correctamente. Por lo tanto, la ecuación 4.7 queda de la siguiente forma:

$$v_{DN} = \left(V * \frac{2^{10}-1}{10} \right) + 511.5 = (V * 102.3) + 511.5 \quad (4.8)$$

De tal forma que todos los valores en el intervalo $\pm 5V$ se representan correctamente sin saturar al convertidor digital-analógico.

4.5 Número de muestras y contadores para frecuencia en software

Se observa en el diagrama de flujo de la figura 58 la secuencia para generar el número de muestras y el contador para el divisor de frecuencia.

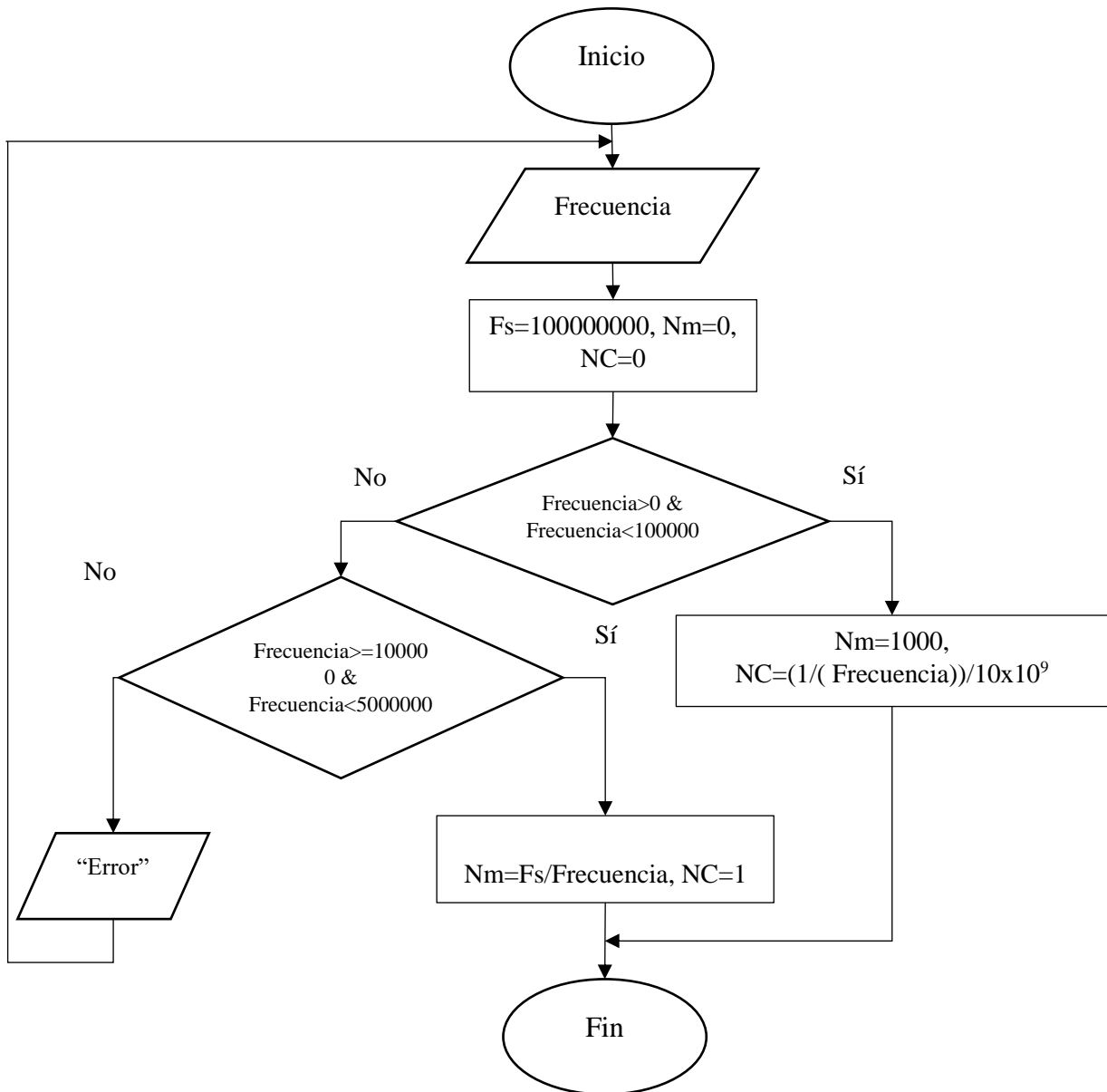


Figura 58: Muestras y contadores para frecuencia en software.

Se tiene una entrada llamada “Frecuencia” la cual es el valor que se va a comparar en el software para determinar el número de cuentas y puntos que se enviarán al FPGA, también se declaran las variables que indican la frecuencia de muestreo “Fs”, el número de muestras “NM” y el número de cuentas a ejecutar “NC”. Se compara si la frecuencia seleccionada se encuentra en un rango de $0.1 \text{ Hz} - 100 \text{ kHz}$, si es verdadera la condición se calcula el contador para el divisor de frecuencia, si la condición es falsa se realiza otra comparación si la frecuencia seleccionada se encuentra en un ancho de banda mayor a 100 kHz y menor o igual a 5 MHz , si la condición es verdadera se calcula el número de muestras.

Dependiendo de la variable que se calcule queda fijo un valor, ya sea el número de muestras o el número de cuentas, posteriormente los datos son enviados al FPGA.

4.6 Interfaz de usuario

La interfaz gráfica cumple con el objetivo de brindar al usuario un ambiente amigable con el generador de onda arbitraria, en donde la selección de las funciones del instrumento sea intuitiva.

El usuario tiene acceso a los diferentes botones dedicados en el panel frontal que proporcionan un acceso directo a los parámetros y funciones de uso más frecuente. La interfaz de usuario consta de cuatro secciones, las cuales corresponden a la sección de formas de onda estándar, formas de onda mediante ecuación, modulación de amplitud y una última sección de instrucciones. Cada sección se divide en pestañas en la parte superior de la interfaz, la programación se realizó con estructuras “Case”, por lo que cada pestaña representa una condición específica.

La figura 59 muestra la sección de formas de onda estándar, donde se observan los parámetros y funciones que pueden manipularse por el usuario.

La interfaz gráfica cuenta con secciones que permiten seleccionar la forma de onda, sus parámetros, el tipo de reproducción, la opción del disparo externo y los indicadores del generador. Las secciones se numeran a continuación:



Figura 59: Interfaz de usuario (formas de onda estándar).

1. La primera sección corresponde a la selección de la forma de onda, la cual tiene disponibles cuatro formas de onda estándar (senoidal, triangular, diente de sierra y cuadrada), así como sus parámetros, como lo son la frecuencia, amplitud, y la componente en directa.
2. Se tiene una pantalla en la interfaz para visualizar la forma de onda seleccionada, así como el periodo.
3. Esta sección corresponde a la transmisión y reproducción, en donde se configura de reproducción de la forma de onda, las cuales cuenta con la opción de reproducción simple (un solo ciclo) y repetitivo (reproducción cíclica), también cuenta con la opción de iniciar la reproducción y la opción de detener la forma de onda, por otra parte, se tiene la opción de activar o desactivar el disparo externo y la selección de canal.

4. Por último, la interfaz cuenta con indicadores, los cuales sirven para que el usuario visualice si el generador ya está funcionando, de la misma forma tienen el indicador que muestra la conexión inalámbrica con la tarjeta embebida por medio de WiFi, y los indicadores que muestran si el habilitador de disparo externo está activado o desactivado, así como los indicadores de canal.

Los puntos 3 y 4 son los mismos en la sección de Onda Mediante ecuación y modulación.

A continuación se muestra la parte de la interfaz de usuario para generar formas de onda mediante ecuaciones, ver Fig. 60.

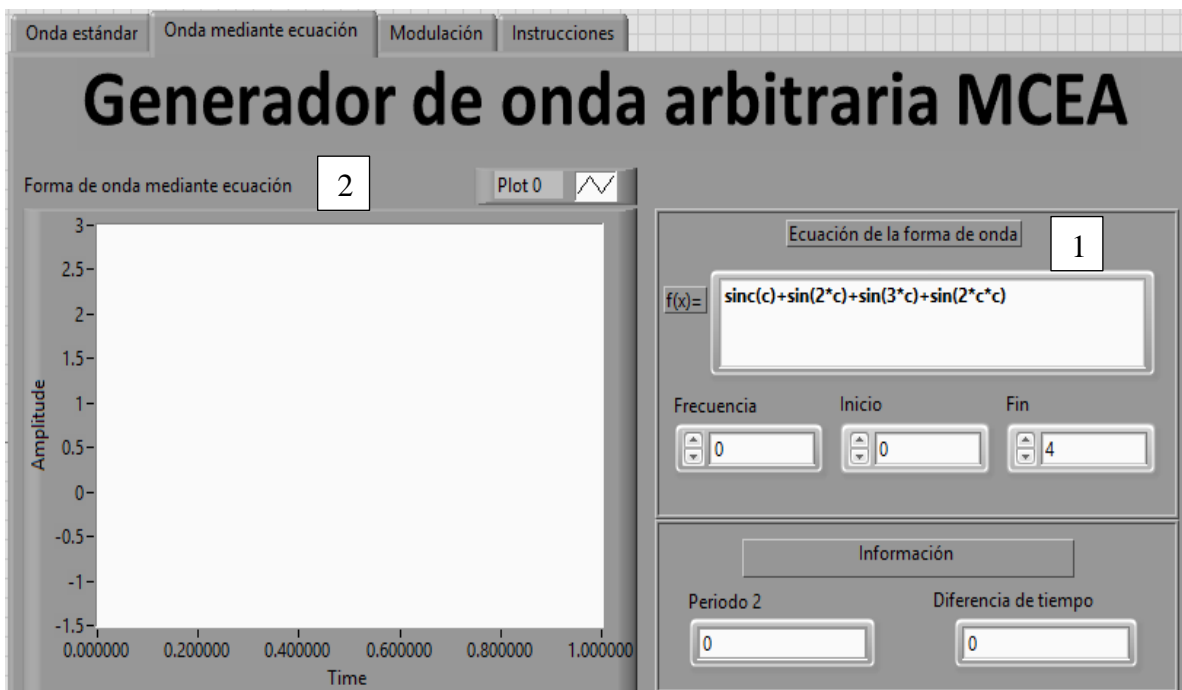


Figura 60: Interfaz de usuario (formas de onda mediante ecuación).

La parte de la interfaz gráfica para generar formas de onda mediante ecuación cuenta con un editor de ecuaciones basado en C, de la misma forma tiene la parte de configuración de los parámetros de la onda, el tipo de reproducción, la opción del disparo externo y los indicadores del generador. Las secciones se numeran a continuación:

1. La primera sección corresponde al editor de ecuaciones, el cual basa su sintaxis en el lenguaje tipo C. En el editor es posible ingresar ecuaciones de cualquier orden, y generar la señal correspondiente a la ecuación.
2. Se tiene una pantalla en la interfaz para visualizar la forma de onda generada con la ecuación y poder configurarla si es necesario.

La sección de modulación de amplitud se observa en la figura 61, donde se observa que se configuran dos señales, las cuales corresponden a la señal portadora y a la señal moduladora, cada señal es enviada a un canal diferente.

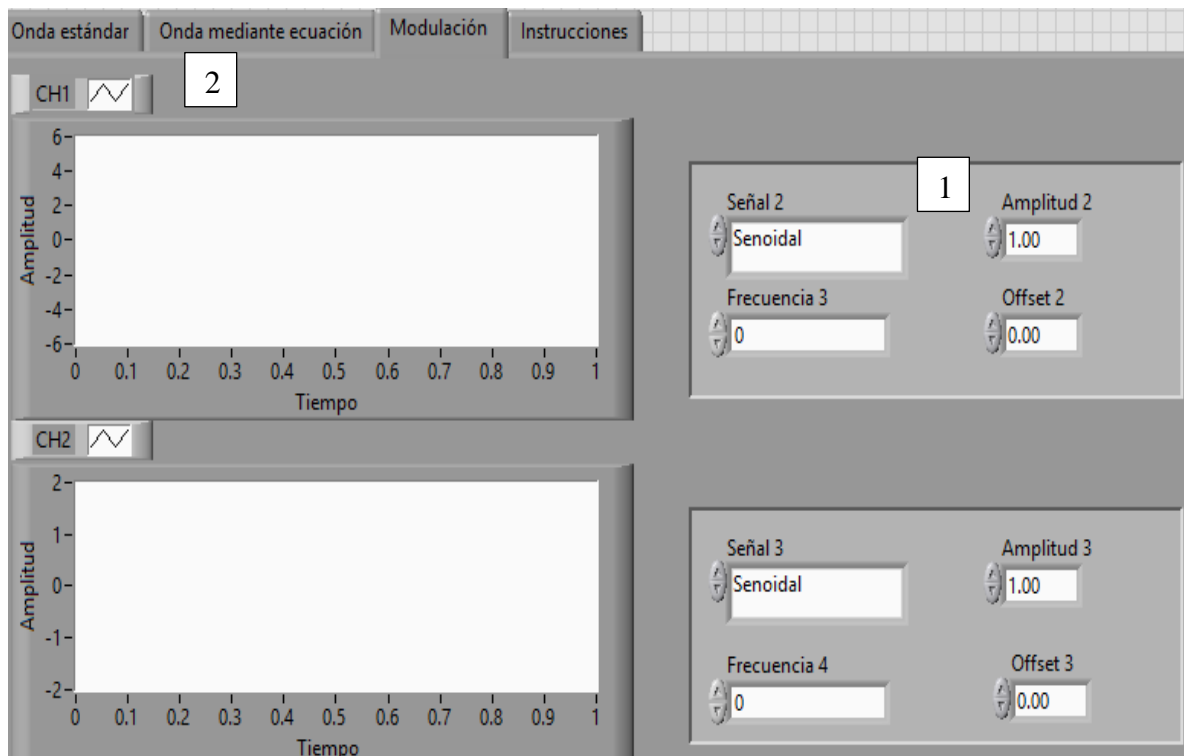


Figura 61: Interfaz de usuario para modular con dos canales.

1. La primera sección corresponde a la selección de la forma de onda para los dos canales, las cuales deben ser seleccionadas de acuerdo con la ecuación de modulación de amplitud, con el objetivo de poder visualizar una señal modulada a la salida. También tiene la selección parámetros, como lo son la frecuencia, amplitud, y la componente en directa.

2. La segunda sección corresponde a la configuración de reproducción de la forma de onda, las cuales cuenta con la opción de reproducción simple (un solo ciclo) y repetitivo (reproducción cíclica), también cuenta con la opción de iniciar la reproducción y la opción de detener la forma de onda, por otra parte, se tiene la opción de activar y desactivar el disparo externo.
3. Cuenta con dos pantallas correspondientes al canal 1 y 2 para visualizar la forma de onda seleccionada.
4. Por último, la interfaz cuenta con indicadores los cuales sirven para que el usuario visualice si el generador ya se encuentra funcionando, de la misma forma tienen el indicador que muestra la conexión inalámbrica con la tarjeta embebida por medio de Wifi, también cuenta con los indicadores que muestran si el habilitador de disparo externo esta activado o desactivado, así como los indicadores de canal, en donde se habilitan los dos canales.

La última sección corresponde a las instrucciones de operación del instrumento, con el objetivo de facilitar su manipulación.

4.6 Conclusiones

Se detallo la implementación del software del generador de onda arbitraria, el cual mediante la interfaz gráfica permite al usuario utilizar el instrumento de forma fácil e intuitiva para generar formas de onda arbitrarias. Además de que gracias al uso de una computadora personal se reduce el tamaño del hardware de la tarjeta embebida del generador, no solo en dimensiones sino en componentes electrónicos.

Capítulo V Pruebas y resultados

Con la integración del hardware, firmware y software del generador de onda arbitraria es posible realizar pruebas de las señales generadas.

Para verificar si la parte del firmware que realiza el divisor de frecuencias, ajuste de la profundidad de la memoria FIFO para variar la frecuencia de la señal, así como el multiplexor de canales y los diferentes comandos se generaron señales a diferentes frecuencias y se midieron en el osciloscopio digital.

La figura 62 muestra la señal de una forma de onda cuadrada con frecuencia de 10 Hz y un voltaje pico a pico de 3.2 Vpp.

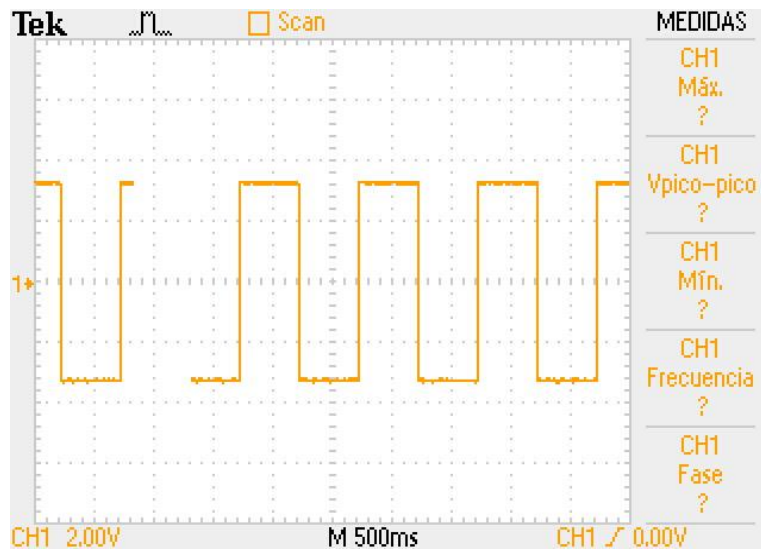


Figura 62: Forma de onda cuadrada de 10 Hz.

Se observa que la señal se reproduce correctamente y presenta poca cantidad de ruido.

La figura 63 muestra dos formas de onda senoidales generadas por dos canales, a una frecuencia de 2 MHz. El canal 1 con un voltaje pico a pico de 6 Vpp, y el canal dos con un voltaje pico a pico de 5.3 Vpp.

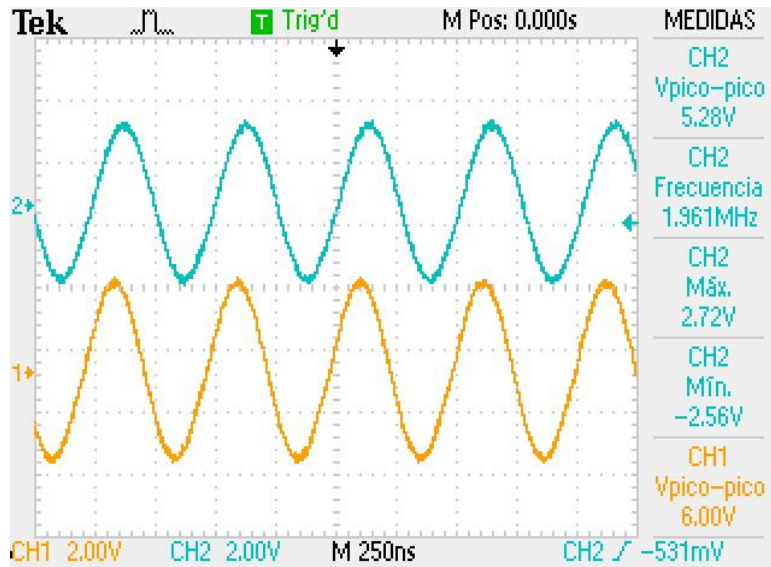


Figura 63: Forma de onda senoidal de generada en dos canales.

La figura 64 muestra dos señales, una onda forma de onda cuadrada y otra señal diente de sierra que se generaron mediante los dos canales del generador de onda arbitraria, con una frecuencia de 200 Hz y un voltaje pico a pico de la señal del canal 1 de 3.92 V_{pp} y el canal 2 de 5V_{pp} y un offset de -0.5 V para ambas señales.

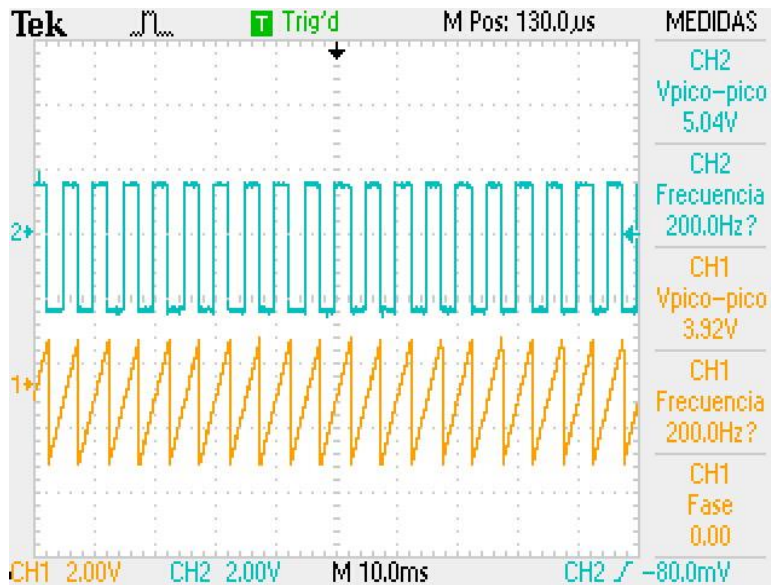


Figura 64: Forma de onda cuadrada y diente de sierra generadas en dos canales.

5.1 Forma de onda senoidal

Un aspecto importante que es necesario conocer de la señal senoidal generada por el instrumento desarrollado, es el “Índice de Distorsión Armónica Total” (THD por sus siglas en ingles), es uno de los índices más utilizados aplicable tanto para corriente como para tensión. Este índice se define como la relación entre el valor eficaz del total de las componentes armónicas y el valor eficaz correspondiente a la componente fundamental [29]. este valor es expresado como un porcentaje de la onda fundamental. El THD se define mediante la siguiente ecuación:

$$THD_V = \sqrt{\frac{\sum_{K=2}^{\infty} V_k^2}{V_1}} 100\%. \quad (5.1)$$

Para calcular el THD se generaron dos señales, una a baja frecuencia y otra a máxima frecuencia, con el objetivo de conocer el índice en un rango de las máximas frecuencias del generador. Una forma de realizar el análisis del índice de distorsión armónica total es utilizando un analizador de espectros o en su caso un osciloscopio que cuente la herramienta de la “Transformada rápida de Fourier (FFT por sus siglas en ingles). Para este experimento en específico se empleó el osciloscopio para realizar la medición. De esta forma se obtuvo la FFT de la señal senoidal con una frecuencia de 10 Hz, ver Fig. 65.

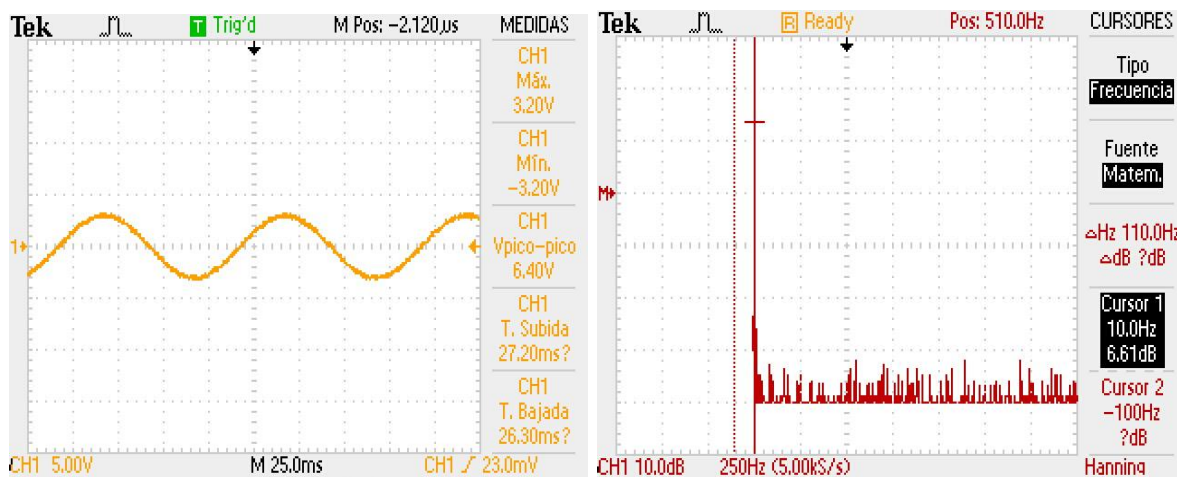


Figura 65: Forma de onda senoidal de 10 Hz y su espectro en frecuencia.

Con la FFT del osciloscopio es posible observar los armónicos que se le suman a la señal senoidal, los cuales representan ruido y son múltiplos de la frecuencia fundamental. Se

puede ver que el primer armónico es el de mayor amplitud debido a que es el armónico fundamental, el cual es de 10 Hz y 6.61 dB, posteriormente se observan armónicos de menor amplitud. En donde su nivel de ruido se enlista a continuación:

Armónico	1° fundamental	2°	3°	4°	5°	6°	7°	8°
Frecuencia (Hz)	10	20	30	40	50	60	70	80
dB	6.61	-47	-43	-47	-43	-43	-47	-43

Tabla 6: Nivel de ruido de los armónicos de señal senoidal de 10 Hz en dB.

Con los valores de la tabla 6 se puede realizar el cálculo del índice del THD, sin embargo, es necesario utilizar la relación de potencia de señal a ruido, ecuación 5.2, para convertir los decibelios a nivel de voltaje.

$$\frac{S}{N} (dB) = 20 \log \frac{V_s}{V_n}, \quad (5.2)$$

donde $\frac{S}{N}$ es la relación de potencia de señal a ruido en decibeles, V_s es el voltaje de la señal y V_n es el voltaje del ruido. De tal forma que despejando V_s se tenga:

$$V_s = V_n \left(10^{\left(\frac{dB}{20}\right)} \right), \quad (5.3)$$

Con lo anterior es posible obtener los valores de voltaje de la siguiente tabla:

Armónico	1° fundamental	2°	3°	4°	5°	6°	7°	8°
Frecuencia (Hz)	10	20	30	40	50	60	70	80
V	2.14	0.004	0.007	0.004	0.007	0.007	0.004	0.007

Tabla 7: Nivel de ruido de los armónicos de señal senoidal de 10 Hz en Volts.

Con los valores de la tabla anterior se obtiene el índice de distorsión total, sustituyéndolos en la ecuación 5.1.

$$THD_V = \sqrt{\frac{(0.00112288V)^2}{2.14 V^2}} 100\% = 2.29\%$$

Se realizó otra prueba con una frecuencia de 500 kHz con el objetivo de analizar la señal con frecuencias bajas y altas, por lo que se obtuvo de igual forma el espectro en frecuencias de la señal en el osciloscopio, ver Fig. 66.

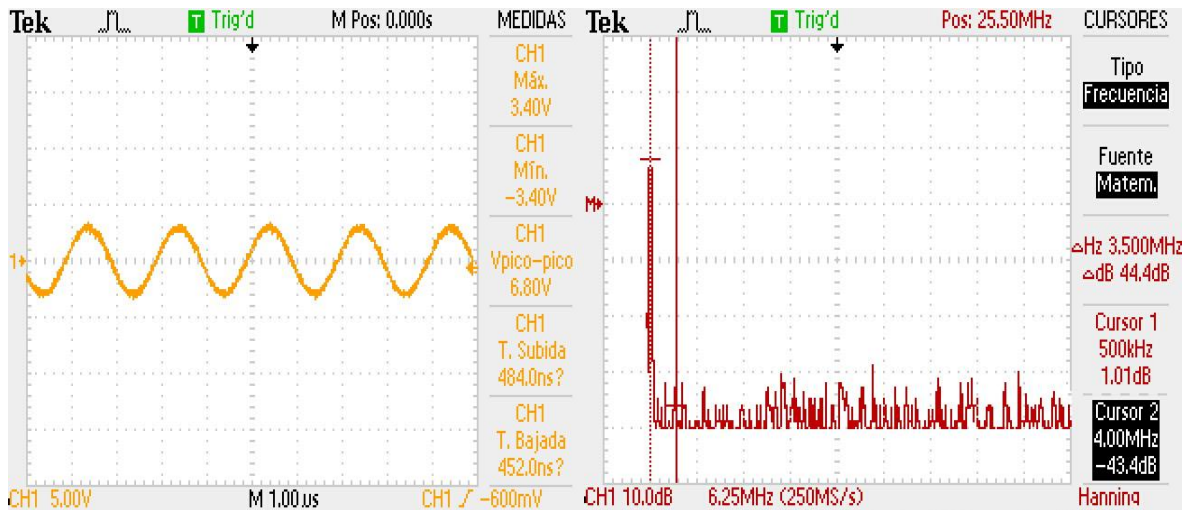


Figura 66: Onda senoidal de 500 kHz y su espectro en frecuencia.

Con la FFT del osciloscopio es posible observar los armónicos de la señal y medir su amplitud en decibeles, obteniendo la tabla 8, donde se puede observar la frecuencia del armónico fundamental y los armónicos que se le suman a la señal, siendo múltiplos de la frecuencia fundamental.

Armónico	1° fundamental	2°	3°	4°	5°	6°	7°	8°
Frecuencia(Hz)	500 k	1 M	1.5 M	2	2.5 M	3 M	3.5 M	4 M
dB	1.01	-37.8	-45.8	-43.8	-36.2	-43	-47	-37

Tabla 8: Nivel de ruido de los armónicos de señal senoidal de 500 kHz en dB.

Por lo tanto, los valores en voltaje se muestran en la tabla 9.

Armónico	1° fundamental	2°	3°	4°	5°	6°	7°	8°
Frecuencia (Hz)	500 k	1 M	1.5 M	2	2.5 M	3 M	3.5 M	4 M
V	1.123	0.012	0.005	0.006	0.015	0.007	0.004	0.014

Tabla 9: Nivel de ruido de los armónicos de señal senoidal de 500 kHz en Volts.

Obteniendo así un índice de distorsión armónica total de $THD_V = 2.48\%$, por lo que el ruido que se le suma a la señal es de bajo porcentaje, sin embargo, con la implementación de filtros más complejos es posible disminuir aún más los armónicos.

5.2 Forma de onda cuadrada

Una de las características que es importante mencionar cuando se genera una onda cuadrada es el tiempo de subida y de bajada de la señal, debido a que es un aspecto que determina la resolución de la forma de onda.

Las siguientes pruebas son las correspondientes al canal 1 y 2 del generador.

Para este caso en específico se realizó la medición de dichos tiempos con dos frecuencias diferentes, una de 100 Hz y otra 500 kHz, ver Fig. 67.

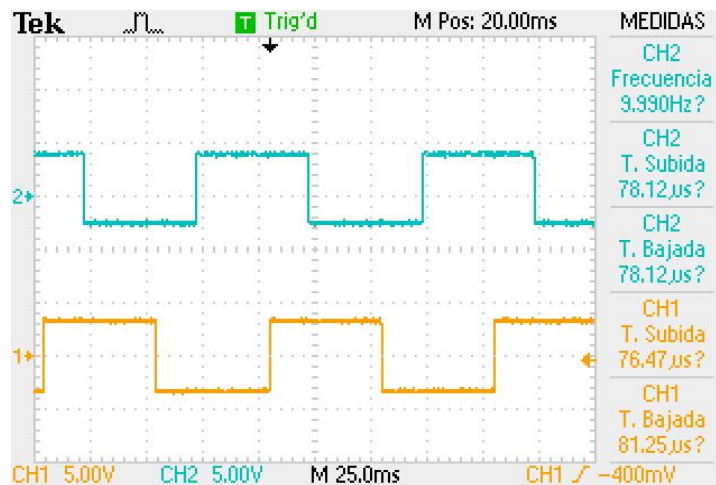


Figura 67: Onda cuadrada de 10 Hz.

Se observa en la figura anterior que el estado en alto de la onda cuadrada dura 50 ms , teniendo un tiempo de subida para el canal 1 de $76.47\text{ }\mu\text{s}$ y un tiempo de bajada de $81.25\text{ }\mu\text{s}$, mientras que para el canal 2 se observa que los tiempos de subida y de bajada son los mismos con $78.12\text{ }\mu\text{s}$.

Por otra parte se realizó la misma prueba con una frecuencia a 1 kHz , ver Fig. 68, en donde se puede observar que el tiempo de subida del canal 1 es de 113 ns y el tiempo de bajada de 126 ns , por lo que se tiene una diferencia de 12 ns . Por otra parte el tiempo de subida de la señal del canal 2 es de 116.5 ns , mientras que el tiempo de bajada es de 123 ns , teniendo una diferencia de 6.5 ns entre los dos tiempos.

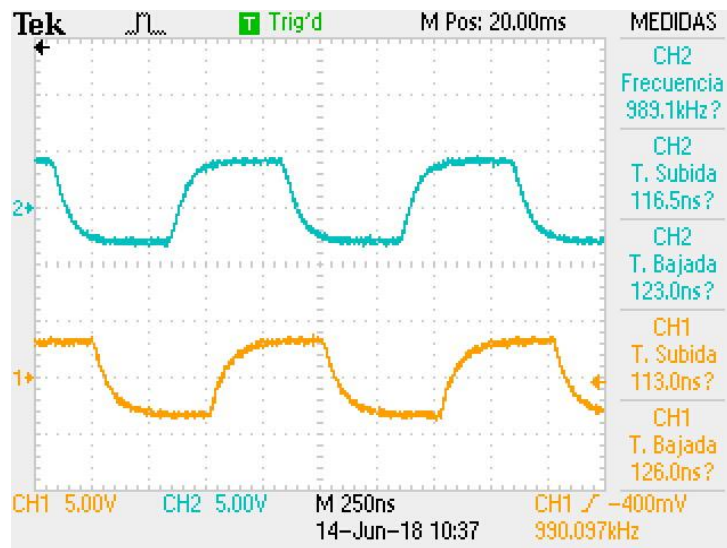


Figura 68: Onda cuadra de 1 kHz.

También se puede ver en la figura anterior que la señal no es totalmente cuadrada, esto se debe a que a la salida del generador tiene un filtro pasa-bajas con frecuencia de corte de 6 MHz , de tal forma que no pasan todas las componentes de la señal, idealmente para construir una señal cuadra es necesario contar con al menos 10 armónicos, sin embargo al contemplar un filtro con frecuencia de corte de 10 MHz , la señal de salida tiene más rizo, debido a las fuentes de ruido externas.

5.3 Forma de onda triangular y diente de sierra

Para la forma de onda triangular se midieron los puntos de la pendiente ascendente a frecuencias bajas y altas, con el objetivo de calcular la linealidad de la señal, lo cual es la característica más común que se brinda en los generadores de señales para una forma de onda senoidal y diente de sierra.

Para realizar el cálculo se generó una señal triangular a una frecuencia de 50 Hz, ver Fig.69, y con las herramientas del osciloscopio se guardaron los datos de la señal que se muestrearon.

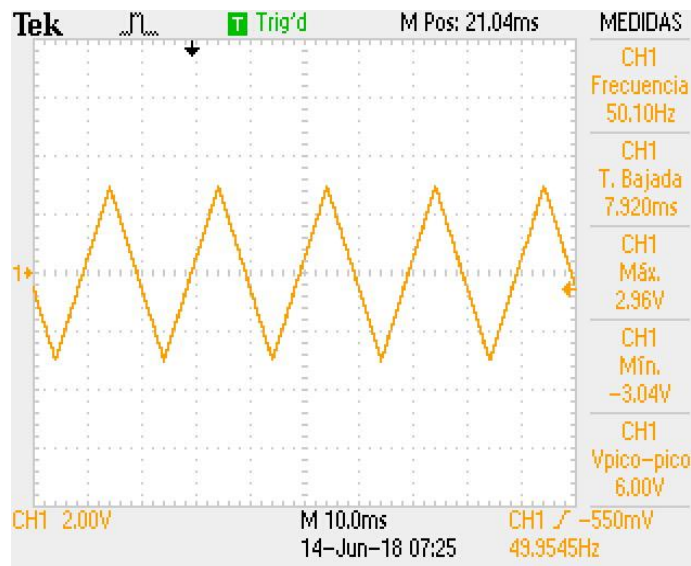


Figura 69: Onda triangular de 50 Hz.

Los datos de la señal se exportaron a una tabla en excel y con las herramientas estadísticas del software se graficaron los datos de la pendiente, obteniendo de esta forma la regresión lineal de los datos, así como la ecuación de la pendiente y el coeficiente de correlación.

El coeficiente de correlación de Pearson es un coeficiente no paramétrico que se utiliza en estadística para conocer si dos variables están relacionadas y el grado de asociación entre ellas, es decir mide el grado de asociación lineal entre las variables. Este coeficiente se mide en un rango de $[-1,1]$, en donde si el resultado es 1 positivo se tiene máxima relación

lineal positiva, mientras que si es -1 tiene máxima relación lineal negativa, y al ser 0 no tiene relación lineal.

De esta forma es posible conocer la relación lineal de la señal generada por el instrumento diseñado. En la gráfica de la figura 70 se pueden observar los puntos obtenidos de la señal, la cual forma una pendiente.

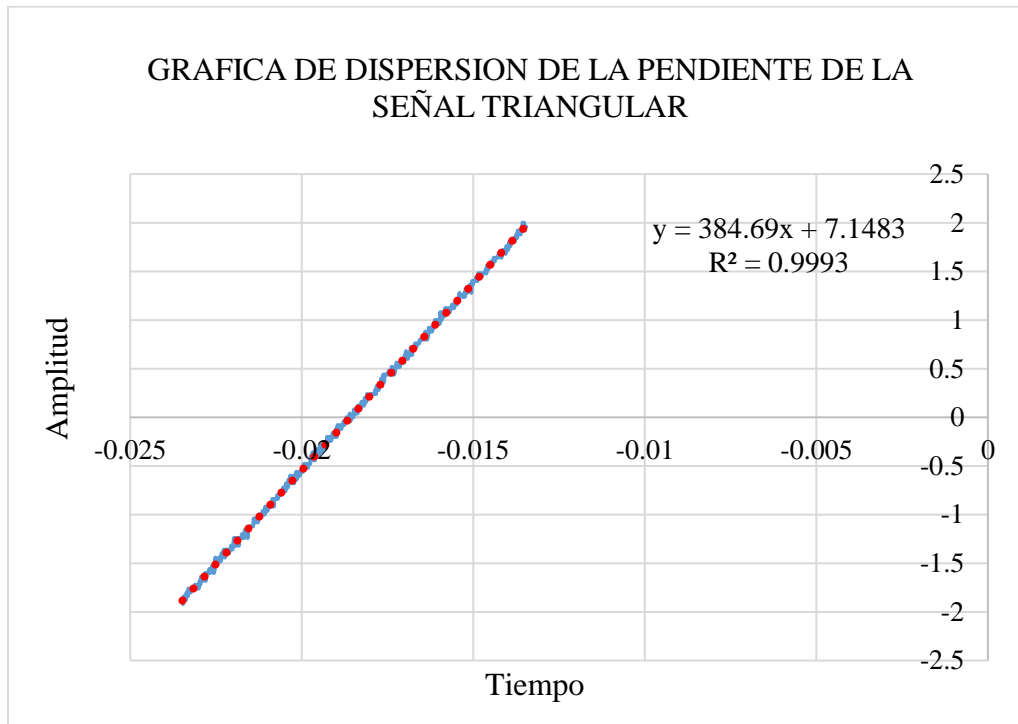


Figura 70: Gráfica de dispersión de la pendiente de la señal triangular.

Se observa en el gráfico de la figura anterior que el coeficiente de correlación de Pearson (R^2) es igual a 0.9993, indicando así que la pendiente de la señal triangular presenta gran linealidad positiva.

De la misma forma se obtuvieron los datos generados de la señal diente de sierra, ver Fig. 71, con el objetivo de conocer la linealidad de la pendiente de la señal generada por el instrumento.

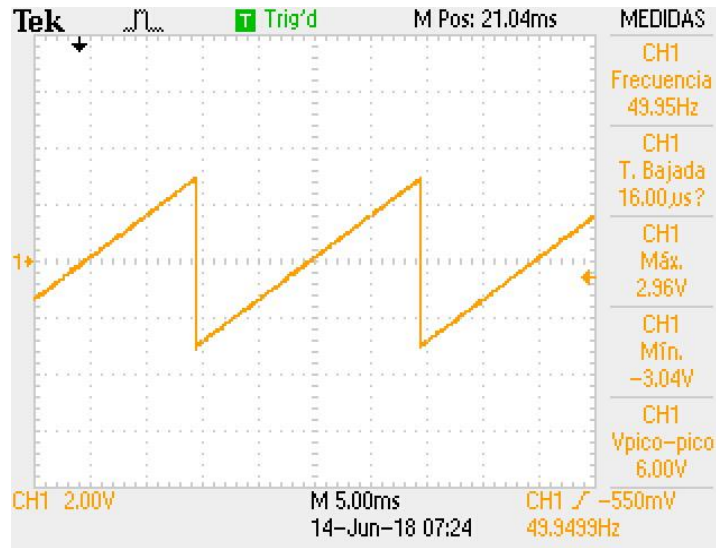


Figura 71: Forma de onda diente de sierra de 50 Hz.

De esta forma se logra observar que se calculó el coeficiente de correlacion de Pearson, mediante las herramientas de excel, donde arrojó un resultado R^2 con un valor de 0.9996, lo cual representa una gran linealidad positiva de la pendiente de la señal generada analógicamente, ver Fig. 72.

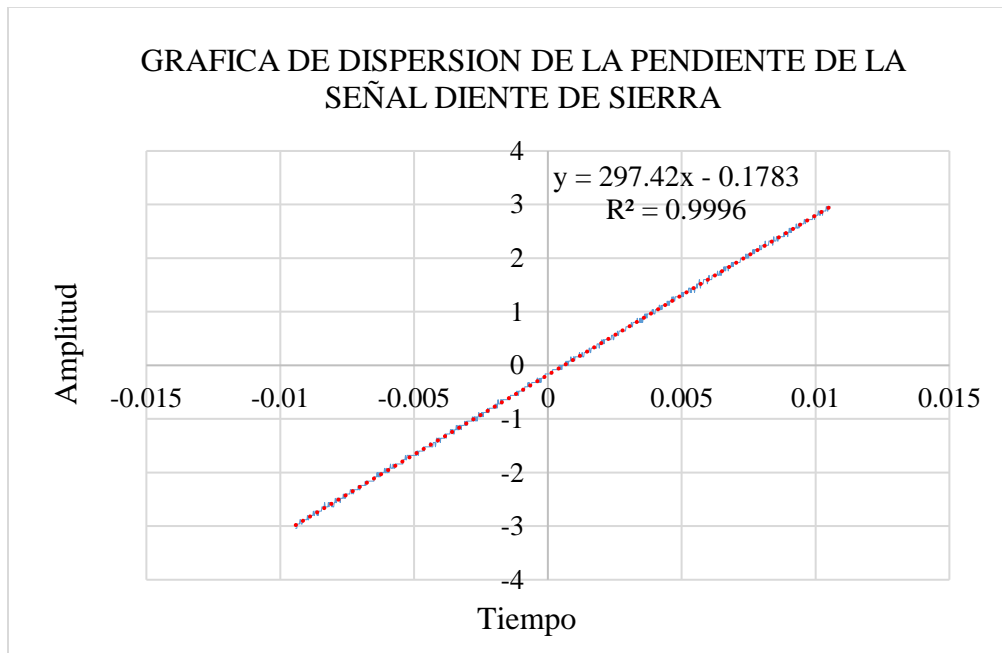


Figura 72: Gráfica de dispersión de la pendiente de la señal diente de sierra.

Mediante este análisis es posible conocer la linealidad de la señal de salida del generador de onda arbitraria, el cual comparando este coeficiente con generadores comerciales, se observa una buena calidad en la señal generada.

5.3 Formas de onda arbitrarias

Con las herramientas del software se creó la función pulso, con la cual es posible variar el porcentaje del ciclo de trabajo de la señal cuadrada, de esta forma se realizaron algunas pruebas de esta función, como lo es el tiempo de subida y de bajada, así como la resolución del tiempo del ancho de pulso.

Se observa en la figura 73 una función pulso de 100 Hz y con un ciclo de trabajo del 10%, por lo tanto, el ancho de pulso se obtiene mediante la siguiente relación:

$$T = \frac{1}{100\text{Hz}} = 0.01 \text{ s} = 10 \text{ ms}$$

De tal forma el ancho de pulso debe durar 1 ms lo cual representa el 10% del ciclo de trabajo.



Figura 73: Función pulso de 100 Hz con 10% del ciclo de trabajo.

Se observa en la figura que la escala horizontal se encuentra configurada en 1 ms, con lo que es posible observar que el pulso de la señal dura 1 ms, por otra parte los tiempos de subida y bajada tienen un valor de 3.111 μs.

También se realizó la misma prueba con una frecuencia de 100 kHz y un ciclo de trabajo del 10% , ver Fig. 74. se observa que el ancho de pulso dura $1\ \mu\text{s}$ lo que representa el 10% de un periodo de $10\ \mu\text{s}$. Por otra parte el tiempo de subida y bajada tiene una diferencia de $12.5\ \text{ns}$, lo cual puede deberse al muestreo de los datos.

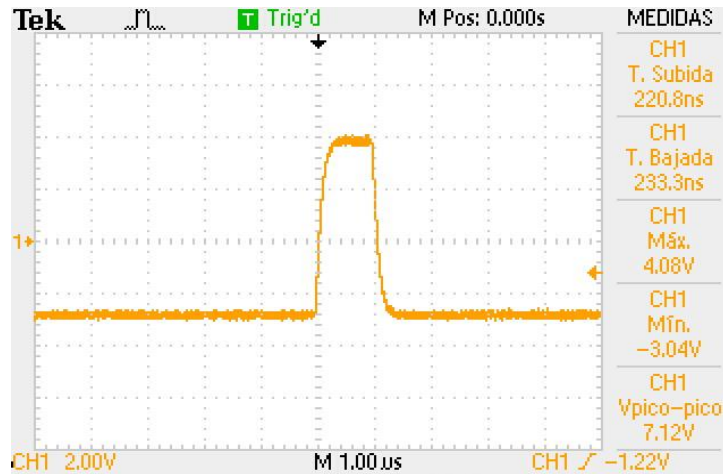


Figura 74: Funci3n pulso de 100 kHz con 10% del ciclo de trabajo.

Por otra parte se generaron formas de onda arbitrarias con el editor de ecuaciones de la interfaz de usuario la se༚l anal3gica generada.

La figura 75 muestra una forma de onda $Tanh(t)$ generada por el instrumento, con una frecuencia de 20 Hz y un voltaje pico a pico de 7.84 Vpp .

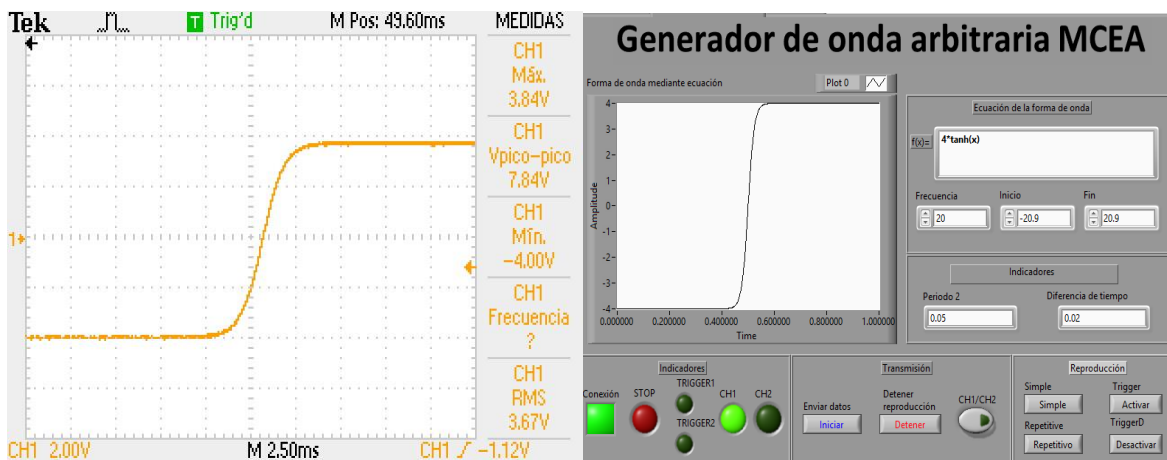


Figura 75: Forma de onda $Tanh(t)$.

El generador de onda arbitraria ofrece la ventaja de crear formas de onda mediante ecuaciones, permitiendo realizar operaciones matemáticas y generarlas analógicamente, un caso en particular es la generación de señales de amplitud y frecuencia modulada, ver Fig. 76. A continuación se muestra una señal generada mediante una ecuación de amplitud modulada:

$$5\text{sen}(2\pi * 50 * t)(2\text{sen}(2\pi * 800 * t)) \quad (5.4)$$

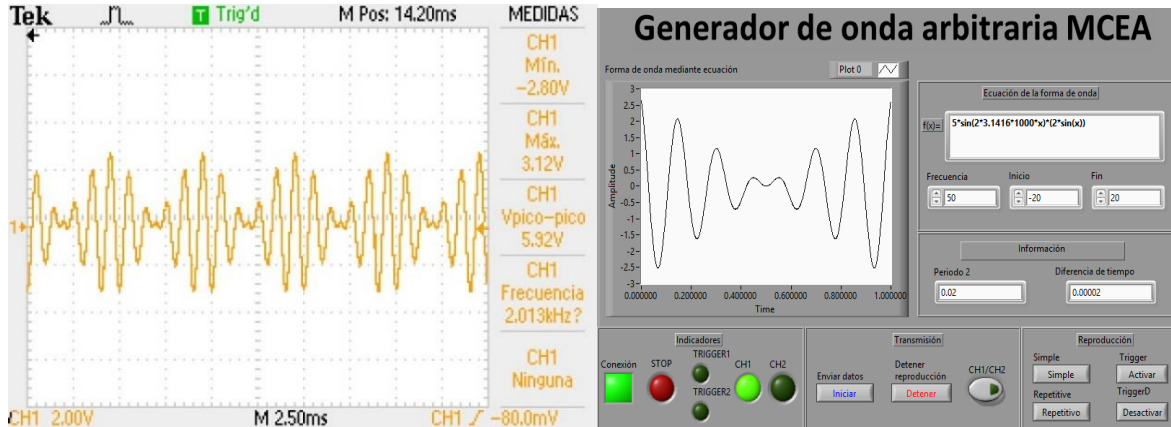


Figura 76: Forma de onda de amplitud modulada.

La figura anterior muestra una forma de onda medida en el osciloscopio generada mediante el editor de ecuaciones del software del generador de onda arbitraria, siguiendo la teoría de la modulación de amplitud, estudiada en capítulos anteriores. De la misma forma se generó una señal de frecuencia modulada, ver Fig. 77, mediante la ecuación 5.5.

$$2\text{sen}(x * 20 * \tanh(0.1 * x)) + 2.5 \quad (5.5)$$

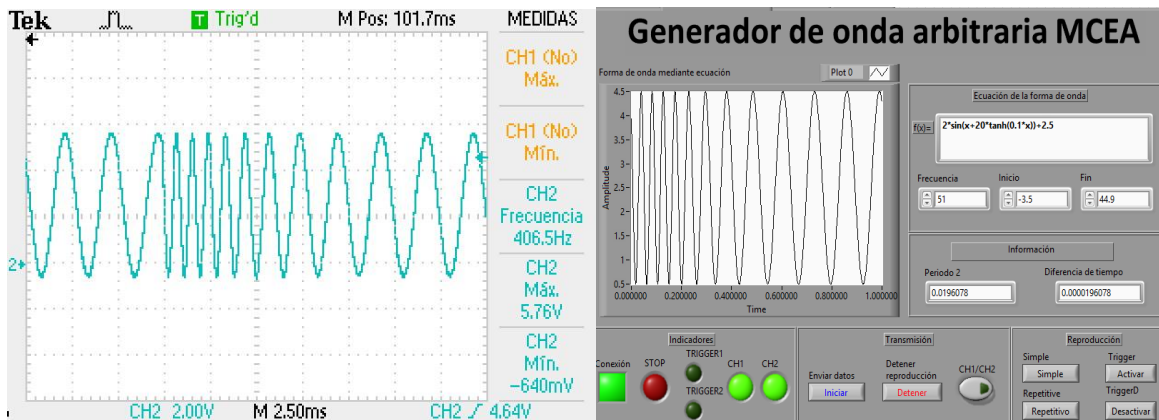


Figura 77: Forma de onda de frecuencia modulada.

5.4 Aplicación del generador de onda arbitraria en el análisis de señales de amplitud modulada

Como se mencionó anteriormente la amplitud modulada consiste en la multiplicación de dos señales, una moduladora y otra señal portadora. Un modulador AM es un dispositivo no lineal en donde la envolvente de salida es una onda no compleja por un voltaje de cd, la frecuencia de la portadora y la suma y diferencia de las frecuencias. Un espectro de señal AM contiene los componentes de frecuencia apartados f_m Hz a ambos lados de la portadora. El efecto de la modulación es trasladar la señal moduladora en el dominio de la frecuencia, de modo que se refleje simétricamente respecto a la frecuencia de la portadora, ver Fig. 13.

Con el generador de onda arbitraria y un osciloscopio digital capaz de generar FFT es posible realizar el análisis de una señal DSBFC de AM. Para este caso específico se considera un modulador con una frecuencia de portadora $f_c = 4 \text{ kHz}$ y una señal moduladora de frecuencia máxima de $f_{m(\text{máx})} = 400 \text{ Hz}$.

Realizando el análisis correspondiente es posible calcular con las ecuaciones vistas en el capítulo I, apartado 1.7.2.1.

Por lo que se tiene que la banda lateral inferior (*LSB*)

$$LSB = [f_c - f_{m(\text{máx})}] \text{ a } f_c,$$

$$(LSB) = [4000 \text{ Hz} - 400 \text{ Hz}] \text{ a } 4 \text{ kHz} = 3.6 \text{ kHz a } 4 \text{ kHz}$$

La banda lateral superior (*USB*) va desde:

$$USB = f_c \text{ a } [f_c + f_{m(\text{máx})}],$$

$$USB \text{ } 4 \text{ kHz a } [4000 \text{ Hz} + 400 \text{ Hz}] = 4 \text{ kHz a } 4.4 \text{ kHz}$$

El ancho de banda de la señal (B) es igual a $2(400 \text{ Hz}) = 800 \text{ Hz}$.

De tal forma que el espectro de frecuencia se representa como se observa en la figura 78:

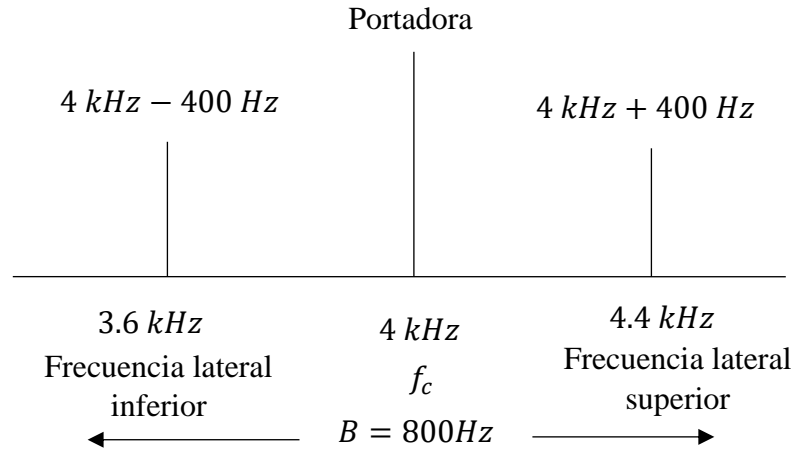


Figura 78: Espectro de salida.

Realizando el análisis cuantitativo anterior; mediante el generador de onda arbitraria se creó la señal de amplitud modulada propuesta, creándola en primer lugar en la interfaz de usuario, ver Fig. 79, donde se ingresan los datos de la señal moduladora con una amplitud de 4 V , y para la señal portadora una amplitud de 2 V . Para este ejemplo de aplicación se propuso una señal senoidal para ambas formas de onda.

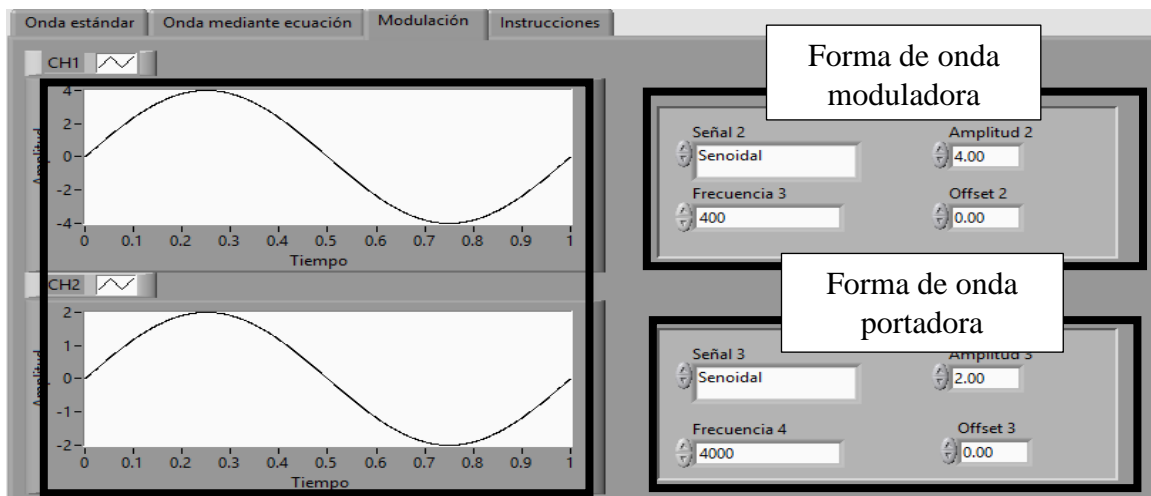


Figura 79: generación de forma de onda AM en interfaz de usuario.

Después de ingresar los parámetros de la señal moduladora y portadora se inicia la conexión y se envían los datos al FPGA, posteriormente con el modo de reproducción repetitivo se genera una forma de onda cíclica de la siguiente forma, ver Fig 80.

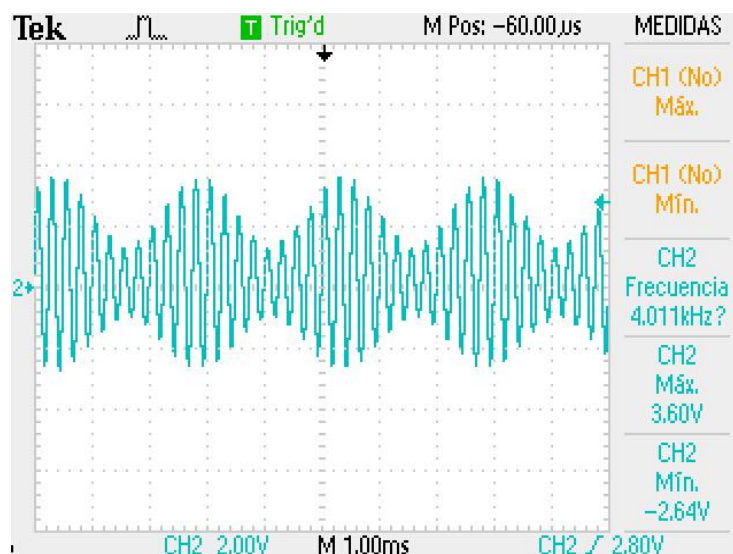


Figura 80: Forma de onda AM en osciloscopio.

Se observa que el generador de onda arbitraria produce una señal de amplitud modulada con una frecuencia de la portadora de 4 kHz.

Con la función FFT del osciloscopio digital es posible generar el espectro de frecuencias de la señal, por lo que se empleó esta herramienta para comprobar el análisis presentado anteriormente, ver Fig. 81.

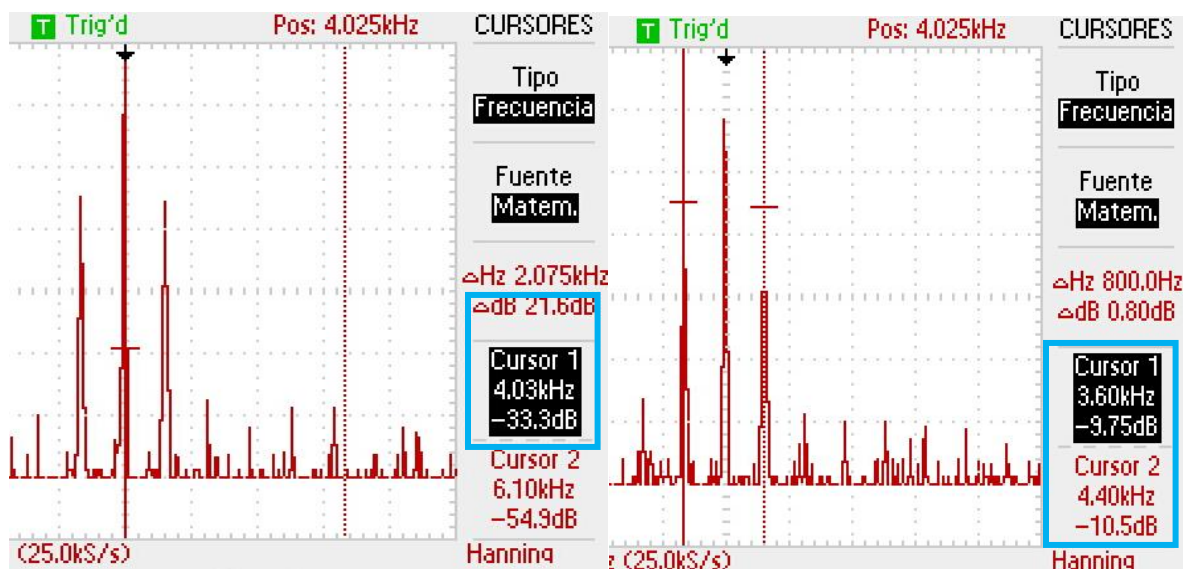


Figura 81: Espectro de salida de señal AM.

Se observa que el espectro de salida de la señal AM generada, donde se puede ver que cuenta con la banda lateral inferior y la banda lateral superior, así como la portadora. Mediante los cursores del osciloscopio es posible medir la frecuencia y amplitud de cada banda, por lo que los cursores se colocaron en las bandas correspondientes para medir la frecuencia de las bandas.

Al colocar el cursor en el espectro de frecuencia de la portadora se puede observar que su frecuencia es de 4 kHz y una amplitud de -33 dB , por otra parte se colocaron los cursores en las bandas laterales, dando como resultado de la medición para la banda lateral inferior una frecuencia de 3.6 kHz y una amplitud de -9.75 dB y para la banda lateral superior se midió una frecuencia de 4.4 kHz y una amplitud de 10.5 dB . por lo tanto el ancho de banda es de $4.4\text{ kHz} - 3.6\text{ kHz} = 800\text{ Hz}$.

De esta forma se confirma el análisis cuantitativo realizado anteriormente, debido a que las medidas realizadas sobre la señal no presentan diferencia alguna con las calculadas teóricamente.

Conclusiones generales

De acuerdo con los resultados presentados en este trabajo, podemos concluir que el objetivo general y los objetivos particulares de esta tesis se han cumplido satisfactoriamente.

Se diseñó un sistema con FPGA de la marca Altera que cumple la función de un generador de forma de onda arbitraria de dos canales, en el cual se implementaron los elementos necesarios en firmware para lograr la comunicación WiFi, administrar los datos y direcciones correspondientes a las funciones del instrumento, almacenarlos en las memorias FIFO y reproducirlos a diferentes frecuencias de muestreo gracias a la implementación de los divisores de frecuencias basados en contadores. El sistema cuenta con un módulo WiFi para comunicar la tarjeta embebida con sistemas de cómputo. De la misma forma se diseñó una interfaz de usuario intuitiva en LabVIEW que permite la generación de formas de onda estándar, arbitrarias mediante ecuaciones y la modulación de señales por medio de los dos canales del generador.

El uso de un sistema embebido combinado con una interfaz inalámbrica permite una fácil configuración y manejo del instrumento, además de hacerlo portable por su tamaño y peso.

Asimismo, debido a que la plataforma es código abierto permite realizar mejoras del instrumento cuando sea necesario, de manera que hace al generador de onda arbitraria desarrollado en la Maestría de Ciencias de la electrónica un instrumento competitivo con generadores desarrollados comerciales.

En este sentido, consideramos que la integración del sistema del generador de onda arbitraria presenta grandes ventajas, una de ellas es el ahorro de cables y componentes electrónicos gracias a la comunicación inalámbrica y al FPGA como administrador de los datos y utilizarlo al mismo tiempo como un divisor de frecuencia, sin necesidad de ocupar otros métodos con hardware externo. De la misma forma la generación de señales arbitrarias por medio de ecuaciones permite generar formas de onda moduladas en AM, FM señales no lineales que se usan en comunicaciones y en control. Lo que genera que sea una herramienta más de la que puede hacer un profesor o investigador de alguna de estas áreas.

Asimismo el instrumento desarrollado presenta algunas desventajas comparándolo con generadores de onda arbitraria de marcas reconocidas por sus instrumentos avanzados, tales como la resolución del convertidor digital-analógico, así como el número de muestras que se pueden almacenar en la memoria. Sin embargo, gracias a la lógica implementada en el FPGA; estas características se pueden mejorar fácilmente, debido que son parámetros que se modifican rápidamente en un único bloque de firmware.

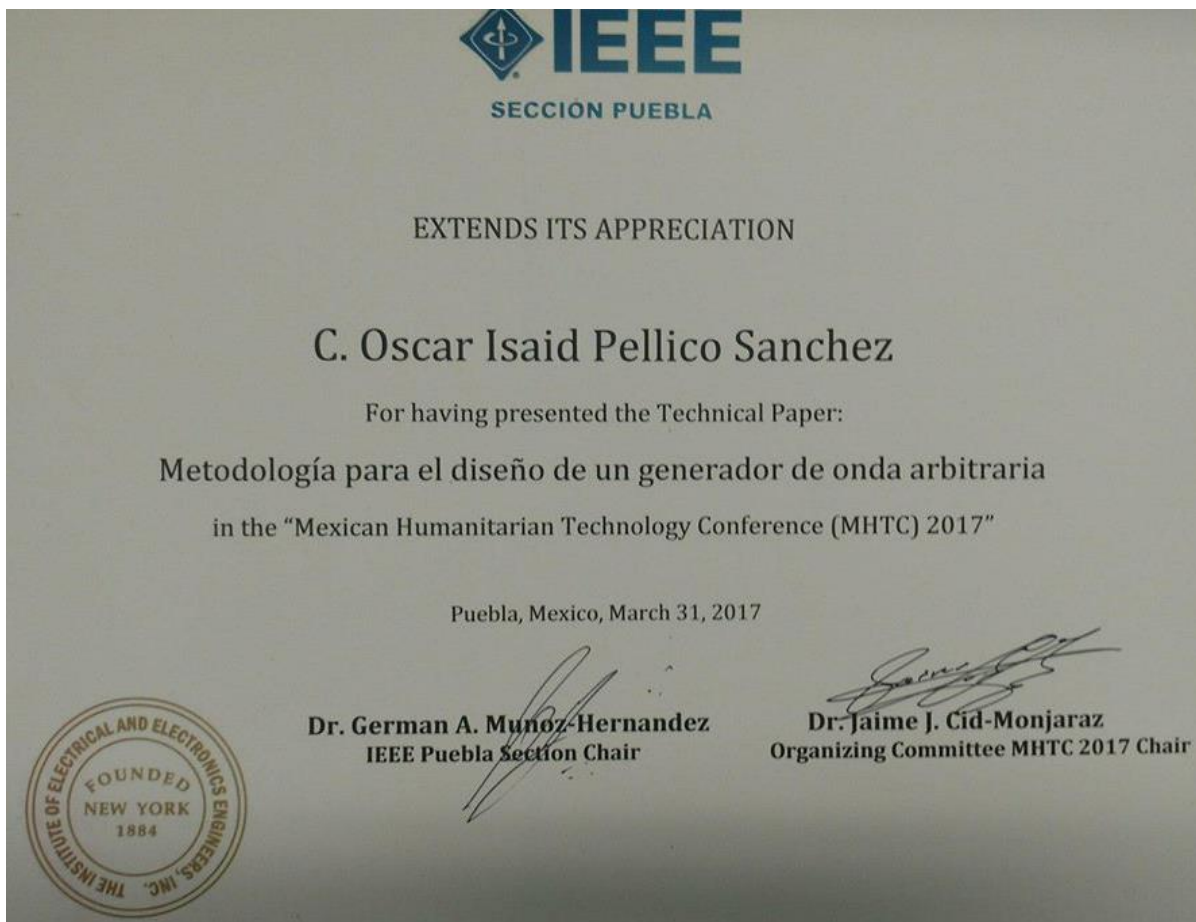
Por otra parte este tipo de generadores solo pueden producir un determinado número de muestras, en nuestro caso 1000, lo que no permite la generación de señales con una cantidad indeterminada de muestras. Por lo que en un trabajo futuro se puede llegar integrar un microprocesador dentro del FPGA que permita generar las muestras de funciones deseadas en tiempo real, produciendo un número indeterminado de muestras, que se puede ajustar en función de las necesidades del usuario.

Apéndice A. Participación en congreso

Constancia de ponencia.



Participación en conferencia: Diploma.



Apéndice B. Artículo

XIV Congreso Internacional sobre Innovación y Desarrollo Tecnológico,
21 al 23 de marzo de 2018, Cuernavaca Morelos, México.

Diseño e implementación de un generador de onda arbitraria dentro de un sistema embebido

O. I. Pellico^{1,a}, S. Vergara^{1,b}, M. A. Vargas^{1,c}, F. Reyes^{1,d}, A. Palomino^{1,e}

¹Maestría en ciencias de la electrónica, Facultad de Ciencias de la Electrónica, Benemérita Universidad Autónoma de Puebla

^aoscarisaisd@gmail.com, ^bsvergara2@hotmail.com, ^cauronvargas@hotmail.com, ^dfernando.reyes@correo.buap.mx, ^eampalomino@gmail.com

Resumen—Se presenta el diseño e implementación de un generador de onda arbitraria utilizando como sistema embebido un FPGA, además de electrónica para conversión digital-analógica, acondicionamiento de señal y una interfaz de usuario intuitiva.

El instrumento es útil para aplicaciones industriales y de laboratorio, proporcionando formas de onda estándar y definidas punto a punto, permitiendo realizar pruebas a equipos industriales, simulación de señales de sensores, aplicaciones en comunicaciones y caracterización de dispositivos.

Mediante la interfaz gráfica se capturan los datos y se envían al FPGA por Wifi y mediante divisores de frecuencia se reproducen las señales.

Como resultados los datos de la señal, parámetros para definir la frecuencia, filtro, el tipo de reproducción de la onda y la opción de disparo correctamente. El protocolo de comunicación ofrece una ventaja simplificando la circuitería para adquisición de datos, se leen los datos correctamente obteniendo frecuencias desde 0.1 Hz hasta 5 MHz.

Palabras clave. Instrumentación electrónica, Instrumentación Virtual, FPGA, onda arbitraria.

1. Introducción

Un generador de forma de onda arbitraria es un instrumento capaz de generar señales eléctricas, cuyas características de forma de onda, frecuencia, tensión y amplitud se pueden establecer a valores fijos o se pueden controlar dentro de límites específicos [1].

Hsieh, Tsai y Lin (2003), implementaron un generador de forma de onda arbitraria de “n” canales con varias funciones predefinidas con un FPGA de Xilinx y una interfaz en PC además de técnicas de Look up table [2]. Por otra parte, en un estudio del año 2013, Trabes y otros investigadores, desarrollaron un generador de forma de onda arbitraria y ruido usando síntesis digital directa en FPGA [3]. Espitia y Velásquez (2012), implementaron una interfaz para crear formas de onda arbitraria y estudiaron el DDS de un generador de ondas comercial [4]. En el trabajo realizado por Rodríguez (2014), desarrollo un generador virtual de funciones en una interfaz gráfica en LabView y utilizando como tarjeta de adquisición un Arduino. Investigo las técnicas de instrumentación virtual y los métodos de transmisión de datos [5].

El diseño de generadores de funciones y forma de onda arbitraria están siendo investigados aún, debido a que no todo es conocido, existe muy poca información sobre el tema en el campo de desarrollo de instrumentos con FPGA, así como para etapas de filtrado de diferentes anchos de banda y las técnicas para el uso de diferentes frecuencias y resolución de las ondas generadas.

Debido a que en muchas aplicaciones se requiere velocidad de procesamiento en tiempo real, utilizar una PC no resulta ser la mejor opción. Por ello la tecnología FPGA provee diferentes





recursos los cuales facilitan la implementación de diferentes aplicaciones, además de que permite cambiar su configuración cuando se desee a medida del diseño [6].

En el presente trabajo se lleva a cabo el diseño e implementación de un generador de onda arbitraria usando un FPGA como sistema embebido que se encarga de adquirir los datos de la señal y reproducirlos en tiempo real. En dicho diseño se hace uso de una PC donde se generan los datos y se configuran los parámetros de la señal para posteriormente enviarlos al FPGA de forma inalámbrica mediante el protocolo de comunicación Wifi. Con ello se logra aprovechar por parte del FPGA la posibilidad del hardware a medida de la aplicación y el procesamiento de la PC para calcular los datos de las formas de onda [7][8][9]. El empleo de la instrumentación virtual mediante una PC es de utilidad para la interfaz de usuario intuitiva implementada en LabView, en donde se modifican los parámetros de las señales, la configuración del tipo de reproducción de la onda y el “Trigger” [8][9]. Además de realizar los cálculos para ajustar los divisores de frecuencia y los valores del filtro para acondicionar la señal y posteriormente enviarlos mediante el protocolo de comunicación Wifi. Utilizar un FPGA como tarjeta embebida permite la adquisición y almacenamiento de los datos mediante la implementación de una memoria FIFO. Debido a las características que posee el FPGA permite el diseño de un generador de forma de onda con un rango de frecuencias desde 0.1 Hz hasta 5 MHz, profundidad de memoria de 1024 palabras, lo que permite crear señales con alta resolución en frecuencia. Como parte del hardware también se emplea electrónica de conversión digital-analógica específicamente un convertidor D/A de 10 bits de alta velocidad [10], lo que da la característica al generador su resolución vertical. De la misma forma se utilizan amplificadores operacionales de alta impedancia y un gran ancho de banda, así como la implementación de un filtro pasa-bajas [11] con la capacidad de autoajustar la frecuencia de corte dependiendo de la frecuencia de la señal que se desee reproducir empleando un potenciómetro digital [12].

2. Diagrama General del diseño del generador de onda arbitraria

El diagrama general del generador de onda arbitraria se muestra en la fig. 1. En donde se observa que a través de una PC se envían los datos correspondientes a la forma de onda inalámbricamente, posteriormente son recibidos al FPGA mediante un módulo Wifi, para después ser procesados por un sistema de control el cual se encarga de controlar el flujo de los

Apéndice C. Constancia de estancia de investigación

 <p>UNIVERSIDAD AUTÓNOMA "BENITO JUÁREZ" DE OAXACA</p> <p>AV. UNIVERSIDAD S/N COL. CINCO SEÑORES C.P. 68120 OAXACA, OAX. MÉXICO</p> <p>TEL. 01(951) 50 20712 Ext. 312 y 315</p> <p>sbjt@uabjo.mx biologia@uabjo.mx iit@uabjo.mx</p> <p>www.sbit.uabjo.mx</p>	 <p>LIC. BIOLOGÍA – LIC. COMPUTACIÓN – ING. INNOVACIÓN TECNOLÓGICA</p>
	<p>Oaxaca de Juárez, Oax., a 01 de agosto de 2018</p> <p>Asunto: Constancia de estancia de Investigación</p> <p>Dirección del Programa de Becas de Movilidad para Becarios Conacyt.</p> <p>Por medio de la presente hago constar que el <i>Ing. Oscar Isaid Pellico Sánchez</i>, estudiante de la <i>Maestría en Ciencias de la Electrónica</i> opción <i>Automatización</i> de la <i>Benemérita Universidad Autónoma de Puebla</i>, realizó una estancia de investigación en nuestras instalaciones del a cargo del Dr. Marciano Vargas Treviño, del 01 de junio al 31 de julio de 2018.</p> <p>Sin más por atender y agradeciendo la atención prestada a la lectura de este documento, quedo de usted muy,</p> <p>Atentamente.</p> <p> M en I. Christian Pérezcampos Mayoral Secretario Administrativo Unidad de Sistemas Biológicos e Innovación Tecnológica Universidad Autónoma "Benito Juárez" de Oaxaca</p>  <p>Ccp. Archivo.</p>

Apéndice D. Manual de Usuario

El propósito de este manual es facilitar al usuario la operación de las diferentes funcionalidades que se administran en la interfaz del generador de onda arbitraria MCEA-2016.

a) Requerimientos de hardware

Contar con:

- Computadora Personal.
- Tarjeta embebida del generador de onda arbitraria.

b) Requerimientos de software

Contar con:

- LabVIEW.

1. Suministro de energía del hardware.

Para encender la tarjeta embebida del generador de onda arbitraria:

- Utilizar una fuente simétrica con $\pm 8 V$ y conectarla a la entrada de alimentación de la tarjeta con la polaridad indicada.
- Conectar la tarjeta embebida DE0-NANO a una fuente de $5 V$ (la tarjeta se puede conectar a mediante un puerto USB de la computadora).

Conectividad

Al encender la tarjeta embebida del generador de onda arbitraria, aparecerá en una red WiFi dedicada al generador. Con la computadora buscar la red Wifly-xxx y pulsar en conectar.

En este momento la computadora personal estará conectada a la tarjeta del generador de onda arbitraria.

2. Acceso a la interfaz

Una vez iniciada la conexión WiFi, ingresar a la interfaz de usuario en el software LabVIEW.

Las pantallas de la interfaz de usuario se dividen en cuatro secciones:

- Formas de onda estándar.
- Formas de onda mediante ecuación.
- Modulación de amplitud.
- Instrucciones generales.

Se puede acceder a cada una de las secciones mediante las pestañas que se encuentran en la parte superior de la interfaz, ver Fig. 87.

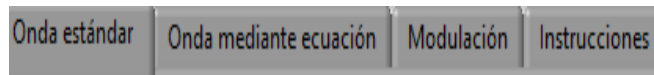


Figura 82: Secciones del generador de onda arbitraria.

Funcionalidad general:

La interfaz de usuario se divide en dos partes: selección de parámetros de la forma de onda y la de indicadores y transmisión de datos, ver Fig. 88.



Figura 83: Secciones de la interfaz de usuario.

1. selección de parámetros de la forma de onda (esta sección se detalla más adelante).
 2. Indicadores y transmisión de datos: esta parte se divide tres partes, de indicadores, de transmisión y de reproducción.
- La sección de indicadores muestra un indicador de conexión con el módulo WiFi de la tarjeta embebida, indicadores de la función “Trigger” (un indicador para cada canal), y los indicadores del canal. También cuenta con un botón de paro de la interfaz de usuario denominado como “STOP”. Ver Fig. 89.

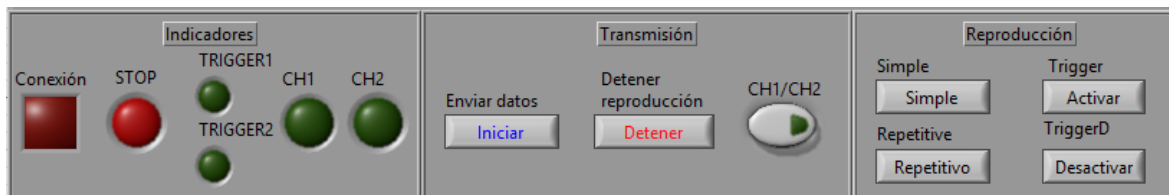
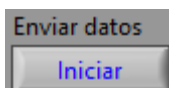


Figura 84: Ventana de indicadores y reproducción.

Botones e indicadores

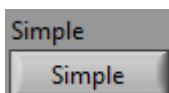


Antes de iniciar la transmisión de datos, seleccionar el canal mediante el botón de selección de canal, (el canal 1 se encuentra activado por defecto).

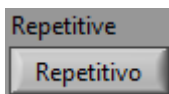


Cuando los parámetros de la forma de onda sean ajustados, se debe iniciar la transmisión de los datos a la tarjeta embebida mediante el botón iniciar.

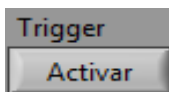
Cuando los datos sean enviados en necesario seleccionar el tipo de reproducción en la ventana de "Reproducción", los cuales pueden ser el modo simple o el modo repetitivo, también en esta ventana se puede elegir si se desea activar o desactivar el "Trigger"



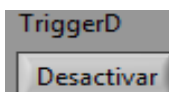
Reproduce la forma de onda un solo periodo.



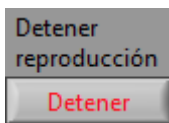
Reproduce la forma de onda repetidamente.



Activa el "Trigger" del generador.

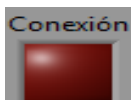


Desactiva el "Trigger".



Detiene la reproducción de la forma de onda.

*Cuando se desee modificar los parámetros o reproducir otra forma de onda, es necesario detener la reproducción de la forma de onda.



Indicador de conexión de la interfaz con la tarjeta embebida.



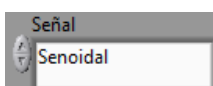
Indicadores del “Trigger” del canal 1 y 2.



Indicadores del canal 1 y 2.

- La ventana de selección de parámetros varía para cada sección.

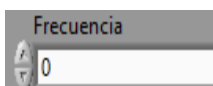
Forma de onda estándar



Selección de formas de onda, entre senoidal, triangular, diente de sierra y cuadrada.



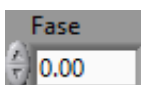
Selección del parámetro que modifica la amplitud de la señal en un rango de 0 a 5 V.



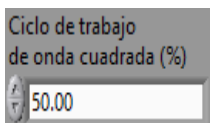
Selección de frecuencia en un rango de 0.1 Hz a 5 MHz.



Modifica la componente en directa de la señal.

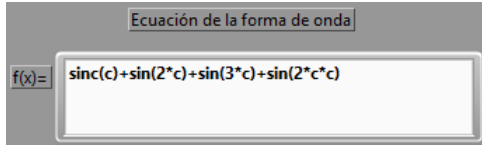


Modifica la fase de la forma de onda.

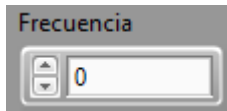


Permite modificar el ciclo de trabajo de la función pulso.

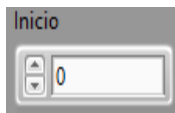
Forma de onda mediante ecuación



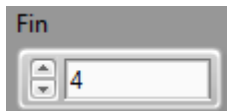
Permite ingresar una ecuación en formato C, y graficarla en la pantalla de la interfaz.



Modifica la frecuencia de reproducción de la forma de onda.



Configura el inicio de la forma de onda.



Configura el fin de la forma de onda.

Modulación de amplitud

En esta sección es posible generar formas de onda de amplitud modulada, el cual funciona mediante los dos canales del generador, por lo tanto, es necesario ingresar dos formas de onda y enviarlas a cada canal correspondiente, ver Fig. 90.

Instrucciones:

1. Seleccionar forma de onda para ambos canales y modificar sus parámetros de acuerdo con las características de la modulación de amplitud.
2. Pulsar el botón que inicia la transmisión.
3. Seleccionar canal 1 y pulsar el botón “Repetitivo”.
4. Seleccionar canal 2 y pulsar el botón “Repetitivo”.
5. Seleccionar ambos canales y pulsar el botón “Detener” para pausar la reproducción de la forma de onda.

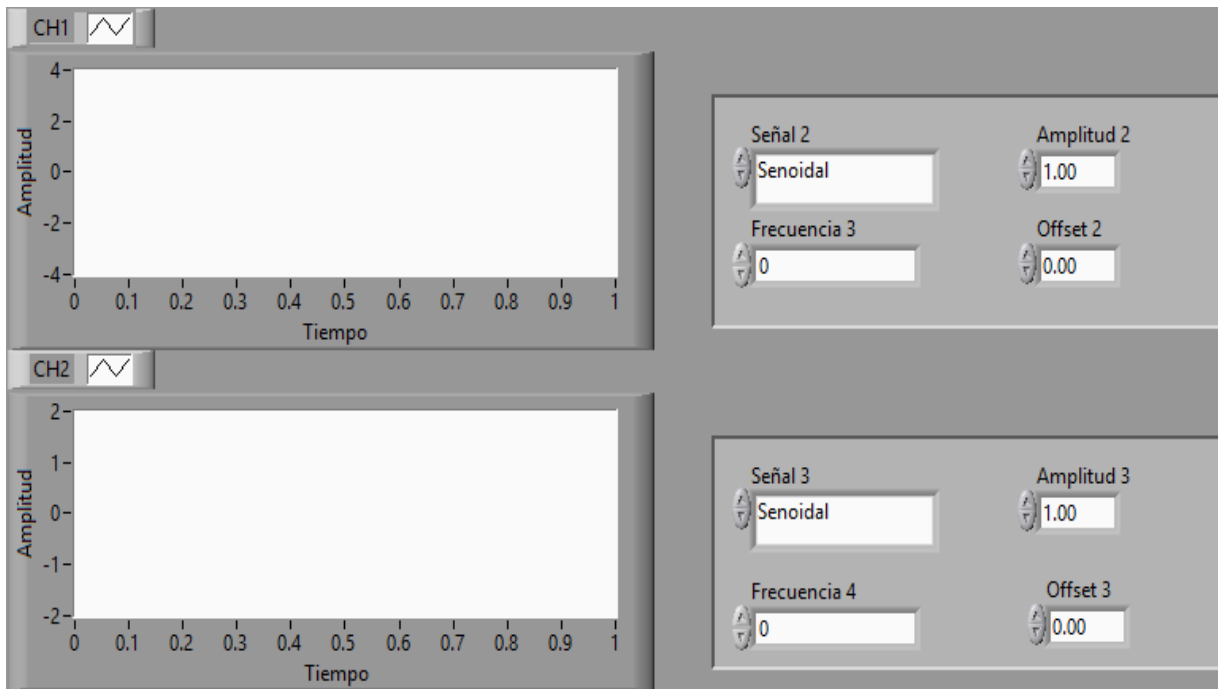


Figura 85: Sección para modulación de amplitud.

Referencias

- [1] E. Mandado, y P. Mariño, *Instrumentación electrónica*. Barcelona: MARCOMBO, S.A., 1995.
- [2] H. Goldberg, “What is virtual instrumentation”, *IEEE Instrumentation & Measurement Magazine*, vol. 3, No. 4, pp. 10-12, Diciembre 2000.
- [3] A. Rodríguez, “Generador virtual de funciones de onda predefinida y arbitraria con herramientas hardware y software ARDUINO y LabVIEW” Tesis de Maestría, Universidad de Valladolid, Valladolid, España, 2014.
- [4] Hoja de datos, Generadores de funciones/forma de onda arbitraria de 30 MHz de Agilent, Agilent Technologies, Inc., U.S.A.
- [5] HP, Timeline of our history, Disponible en: <http://www8.hp.com/us/en/hp-information/about-hp/history/hp-timeline/timeline.html>.
- [6] J. Hsieh, *et al*, “Using FPGA to implement a n-channel arbitrary waveform generator with various add-on”, in IEEE International Conference on Field-Programmable Technology IEEE, Tokyo, Japón, 2003, PP. 296-298.
- [7] E. Trabes, *et al*, “Generador de señales con forma de onda arbitraria y ruido usando DDS y FPGA”, presented at 4to congreso de microelectrónica aplicada, San Luis, Arg., 2013.
- [8] J. Espitia y A. Velásquez, “Direct digital synthesis of signals for use in scientific instrumentation from a programmable waveform generator”, *Entre Ciencia e Ingeniería*, vol. 6, No.12, pp. 9-12, diciembre 2012.
- [9] Hoja de datos, Arbitrary Waveform Generators AWG500 Series Data Sheet Tektronix, Inc.
- [10] Hoja de datos, Arbitrary/ Function Generators 4084AWG B&K Precision Corp. 2012.
- [11] Hoja de datos, SDG800 Series Function/ Arbitrary Waveform Generator, SIGLENT TECHNOLOGIES CO., LTD, China.
- [12] Hoja de datos, Arbitrary Function Generator AFG-2000 Series, GW Instek, Taiwán.

- [13] T. Wang, “Signal Generator on Direct Digital Synthesis Techniques”, *International Journal of Digital Content Technology and its Applications*, vol. 5, No. 8, pp. 24-30, Agosto 2011.
- [14] C. Maffrand, D. Zarate and M. Zón, “Arbitrary waveform generator using FPGA for applications in ultrafast scan voltammetry”, in 2014 IX Southern Conference on Programmable Logic (SPL), Buenos Aires, Arg., 2014.
- [15] P. Hsu, *Análisis de Fourier*. México: S.A. ALHAMBRA MEXICANA, 2000.
- [16] W. Tomasi, *Sistemas de comunicaciones electrónicas*. México: PEARSON EDUCACION, 2003.
- [17] R. Pallas, *Adquisición y distribución de señales*. México: Marcombo, 2005.
- [18] Hoja de datos, 12-Bit DAC with SPI™ Interface, Microchip Technology Inc., USA, [online] Obtenido de:
<http://ww1.microchip.com/downloads/en/devicedoc/21897b.pdf>
- [19] Hoja de datos, SpeedPlus 10-Bit, 165 MSPS DIGITAL-TO-ANALOG CONVERTER, Texas Instruments, USA, [online] Obtenido de:
<http://www.ti.com/lit/ds/symlink/dac900.pdf>
- [20] D. Ahn, *et al.*, “A Design of the Low-Pass Filter Using the Novel Microstrip Defected Ground Structure”, *IEEE Transactions on microwave theory and techniques*, Vol. 49, No. 1, enero 2001.
- [21] Hoja de datos, Low Cost Analog Multiplier, Analog Devices, Inc., Norwood, MA.
- [22] Hoja de datos, Dual SPDT Switch, Analog Devices, Inc., Norwood, MA.
- [23] M. Torres, *Diseño e ingeniería electrónica asistida con protel dxp*. México: ALFAOMEGA, 2004.
- [24] R. De Gante, “Diseño y construcción de un sistema de adquisición de datos”, Tesis de Maestría, Maestría en Ciencias de la electrónica, Opción en Automatización, BUAP, Puebla, Pue., 2016.
- [25] A. Zepeda, “Diseño e implementación de una tarjeta con FPGA RAM y ROM externas”, Tesis de Maestría, Maestría en Ciencias de la electrónica, Opción en Automatización, BUAP, Puebla, Pue., 2017.
- [26] J. Alonso, *Electrónica Digital y microprocesadores*. Asturias: Ediciones de la Universidad de Oviedo, 2015.

- [27] P. San Miguel, *Electrónica aplicada*. 2ª edición. Madrid: Paraninfo, 2008.
- [28] P. Forstner (1999, noviembre). FIFO Architecture, Functions, and Applications.
Obtenido de: <http://www.ti.com/lit/an/scaa042a/scaa042a.pdf>
- [29] J. Suarez, G. di Mauro y D. Anaut, “Analysis of the harmonic distortion and the effects of attenuation and diversity in residential areas”, *IEEE Latin America Transactions*, vol. 3, No. 5, pp. 53-59, Diciembre 2005.