

BENEMÉRITA UNIVERSIDAD AUTÓNOMA DE PUEBLA
FACULTAD DE CIENCIAS DE LA ELECTRÓNICA
MAESTRÍA EN INGENIERÍA ELECTRÓNICA,
OPCIÓN INSTRUMENTACIÓN ELECTRÓNICA



Modulador $\Sigma\Delta$ en tiempo continuo con cuantificador de baja resolución.

TESIS PRESENTADA COMO REQUISITO PARCIAL
PARA OBTENER EL GRADO DE
MAESTRA EN INGENIERÍA ELECTRÓNICA

Autor:

Lic. Jael Ramírez García*

Asesor:

Dr. Víctor Rodolfo González Díaz

Co-asesor:

Dr. Luis Abraham Sánchez Gaspariano

*Becaria CONACYT

Enero 2021

Resumen

El diseño de sistemas electrónicos presenta una tendencia en la autonomía energética y la reducción de la masa y dimensiones de los dispositivos. Los circuitos electrónicos para el procesamiento en la conversión de datos del dominio analógico al digital siguen presentando retos importantes. En el diseño de convertidores, la modulación Sigma-Delta sigue contribuyendo a la reducción de recursos y la resiliencia a los factores ambientales y la deriva temporal.

Los moduladores Sigma-Delta de tiempo continuo se han convertido en una buena opción para aplicaciones que requieren un bajo consumo de potencia y una alta velocidad en el procesamiento de la información. Este trabajo se basa en el estudio de moduladores Sigma-Delta de tiempo continuo con cuantificador de un bit mostrando el análisis y modelado. La propuesta resulta la topología un modulador Sigma-Delta TC de tercer orden primeramente modelado en bloques de Simulink y posteriormente descrito con algunos bloques usando lenguaje de Verilog-A, alcanzando un SNR de 81.7 dB y una resolución de 13 bits usando una relación de sobre muestreo de 46.

Como elemento innovador, la arquitectura propuesta se ha usado como opción para sustituir en transmisores RF los bloques del mezclador y el convertidor analógico digital (ADC) mediante dos bloques del modulador trabajando a diferentes frecuencias de muestreo y una compuerta digital para realizar la suma en el dominio digital. Lo anterior da como resultados la mezcla de dos señales y el traslado del ruido a altas frecuencias.

Agradecimientos

Quisiera comenzar dando las gracias a mi tutor, Dr. Víctor Rodolfo González Díaz, que me ha facilitado el trabajo con su dedicación, esfuerzo y sobre todo su infinita paciencia.

A mi co-asesor, Dr. Luis Abraham Sánchez Gaspariano por brindarme su tiempo y consejo cadaque lo necesitaba.

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) le agradezco el apoyo económico brindado durante la realización de este trabajo.

Agradezco a la Benemérita Universidad Autónoma de Puebla, esta institución de enorme calidad, que me brindó todo el apoyo durante mi estancia. A mis amigos y compañeros con los que compartí gratos momentos.

Pero sobre todo agradezco a mi madre que me ha enseñado a seguir adelante y siempre ha creído en mí.

Índice general

Lista de figuras	IV
Abreviaciones, siglas y acrónimos	VII
1. Introducción	1
1.1. Justificación	4
1.2. Objetivos	6
1.2.1. Objetivo general	6
1.2.2. Objetivos específicos	6
1.2.3. Metas	6
1.3. Organización de la Tesis	7
2. Marco teórico	8
2.1. El convertidor A/D ideal	8
2.2. Especificaciones de los convertidores A/D	10
2.2.1. Tipos	10
2.2.2. Especificaciones estáticas de los ADC	11
2.3. Antecedentes del modulador Sigma Delta	14
2.4. ADC $\Sigma\Delta$ para aplicaciones de Banda Ultra Ancha (UWB)	15
2.5. Fundamentos	17
2.5.1. Muestreo	17
2.5.2. Cuantización	17
2.5.3. Características estáticas de los ADC	19
2.6. Características dinámicas de los ADC	21
2.7. Principios de funcionamiento de un Modulador $\Sigma\Delta$	23
2.7.1. Modulador Sigma-Delta	23
2.7.2. Moduladores $\Sigma\Delta$ de tiempo continuo	24
2.7.3. Modulador $\Sigma\Delta$ de segundo orden y de orden superior	26
2.8. Moduladores Sigma-Delta de orden superior	27
3. Modelado comportamental del modulador $\Sigma\Delta$	29
3.1. Arquitectura de Segundo Orden estable	30
3.2. Arquitectura propuesta y su modelo comportamental	31

3.3. Resultados de simulación en Matlab Simulink	33
3.4. Modelo en Verilog-A	35
3.4.1. Bloques básicos	35
3.5. Modulador Sigma- Delta de 3er orden	38
3.6. Análisis de resultados	39
3.6.1. Comparativa del desempeño respecto a propuestas recientes	41
4. Aplicación de los Moduladores Sigma-Delta en TC como mezclador de señales	42
4.1. Mezclador $\Sigma \Delta$	43
4.2. Resultados de la simulación del multiplicador $\Sigma\Delta$	46
5. Conclusiones y trabajo futuro	47
5.0.1. Trabajo futuro	47
Referencias	49
Apéndices	53
A. Modelos en Verilog-AMS	53
A.1. Modelos analógicos	53

Índice de figuras

1.1. Procesamiento de señales	2
1.2. Diagrama a bloques de un ADC Sigma-Delta	3
1.3. Panorama de desempeño de diferentes ADCs [1]	5
2.1. Dispositivo ADC.	8
2.2. Función de transferencia del ADC ideal.	9
2.3. Diagrama de bloques de las funciones básicas de un ADC.	9
2.4. Convertidor flash.	10
2.5. Convertidor pipeline.	11
2.6. Función de transferencia con offset.	12
2.7. Función de transferencia con error de ganancia.	13
2.8. Función de transferencia con no linealidad diferencial.	13
2.9. Función de transferencia con no linealidad integral.	14
2.10. Modulador Delta.	15
2.11. Transmisor UWB	16
2.12. Cuantizador uniforme ideal.	18
2.13. Función de probabilidad de error de cuantización	18
2.14. No idelidades en un ADC	19
2.15. Error de offset y error de fondo de escala	20
2.16. Modulador $\Sigma\Delta$ de primer orden.	24
2.17. Modulador $\Sigma\Delta$ de primer orden.	24
2.18. Variación de la distribución espectral del ruido de cuantificación con modulado de ruido	25
2.19. Modulador $\Sigma\Delta$ TC	25
2.20. Modulador $\Sigma\Delta$ TC de segundo orden	26
2.21. Simulación del comportamiento de un modulador $\Sigma\Delta$	27
2.22. Obtención del espectro de frecuencia	27
3.1. Modulador de Segundo Orden.	30
3.2. Espectro de salida Modulador de Segundo Orden.	31
3.3. Modulador $\Sigma\Delta$ de tercer orden con lazos de precompensación y retro- alimentación.	31
3.4. Modulador de 3er orden Simulink.	32
3.5. Espectro de salida Modulador de Tercer Orden.	33

3.6.	Dinámica de las señales a las salida de los integradores y el modulador.	34
3.7.	Modulador $\Sigma\Delta$ de segundo orden	36
3.8.	Símbolo integrador	36
3.9.	Respuesta del bloque integrador	37
3.10.	Símbolo bloque comparador	37
3.11.	Respuesta del comparador	37
3.12.	Modulador Sigma-Delta de 3er orden modelado con bloques en Verilog-A	38
3.13.	Respuesta Transitoria Modulador Sigma-Delta	39
3.14.	Espectro de salida del circuito del Modulador Sigma-Delta	40
4.1.	Diagrama de bloques un transmisor de RF.	42
4.2.	Sumador Sigma -Delta	44
4.3.	Transmisor RF usando un mezclador Sigma -Delta	45
4.4.	Mezclador propuesto usando dos Moduladores Sigma-Delta TC y com- puerta XOR	45
4.5.	Respuesta del sistema propuesto	46

Lista de abreviaciones y siglas

$\Sigma\Delta$	(Modulación) Sigma-Delta
$\Sigma\Delta\text{TC}$	(Modulador) Sigma-Delta en Tiempo Continuo
ADC	Convertidor Análogo Digital.
CMOS	(Tecnología) Metal-Óxido-Semiconductor complementario [Complementary Metal-Oxide-Semiconductor]
DC	Corriente directa.
DR	Rango dinámico.
DSP	Procesamiento Digital de señales
ENOB	Número de bits efectivos [Effective Number Of Bits]
FoM	Figura de mérito
NRZ	(Convertidor D/A) No retorno a cero [Non-Return-to-Zero]
NTF	Función de transferencia de ruido.
NTF	Función de transferencia del ruido (de cuantificación) [Noise Transfer Function]
OSR	Relación de sobremuestreo [OverSampling Ratio]
OTA	Amplificador Operacional de Transconductancia
SAB	Amplificador único bicuadrático
SFDR	Rango dinámico libre de tonos espúreos [Spurious-Free Dynamic Range]
SINAD	Relación señal-ruido más distorsión [Signal-to-Noise-And-Distortion ratio]
SNDR	Relación señal-ruido más distorsión [Signal-to-Noise-and-Distortion Ratio]
SNR	Relación señal a ruido.
STF	Función de transferencia de la señal.
STF	Función de transferencia de la señal [Signal Transfer Function]
VLSI	(Circuitos integrados) Integración a gran escala [Very Large Scale Integration]

Capítulo 1

Introducción

Los sistemas que incluyen procesamiento digital de señales o DSP (por sus siglas en inglés Digital Signal Processing) se han convertido en parte fundamental de la vida cotidiana, ya que se encuentran en la mayoría de los sistemas electrónicos de la industria sistemas de comunicaciones, sistemas de instrumentación y sistemas de control entre otros [2]. El DSP hace posible medir, transmitir, almacenar y procesar información a mayor velocidad, menor costo y en dimensiones más pequeñas.

La Figura 1.1 muestra un ejemplo en diagrama de bloques del procesamiento de señales, en específico de una señal de voz, primero de manera analógica, como lo hace el cuerpo humano, donde al atravesar varias vías auditivas, las señales sonoras se decodifican en forma de señales eléctricas dentro del nervio auditivo, estos impulsos se transfieren al cerebro que hace el papel de procesador permitiendo tener una percepción consciente de los sonidos que escuchados y darles sentido. En contraparte se muestra el procesamiento digital llevado a cabo dentro de un smartphone, cabe señalar que los chips presentados pueden estar contenidos dentro de un SoC (por sus siglas en inglés “System on a Chip”), en el bloque de procesamiento digital la señal de voz (después de cierta amplificación y filtrado previo) ingresa en un Convertidor Analógico-Digital (ADC) donde es llevada a una representación digital, más tarde entra al DSP donde es tratada, como salida de este bloque tenemos datos digitales que en algunos casos son llevados nuevamente a una forma analógica a través de convertidor Digital-Analógico (DAC). La salida del DAC generalmente también es filtrada y amplificada para obtener la señal de salida analógica final.

En sistemas de comunicaciones ha sido ventajoso llevar el procesamiento de señales analógico a DSP siempre que sea posible, es en este punto donde los ADC juegan un papel crítico ya que estos dispositivos son el vínculo entre el mundo analógico y el mundo digital. Este proceso de captura de señales analógicas, procesamiento digital y generación de señales ha hecho posible el surgimiento de las comunicaciones digitales.

En los últimos años la industria (sobre todo en el área de las comunicaciones) ha desarrollado nuevas técnicas para obtener aplicaciones portátiles inalámbricas obteniendo productos de menor tamaño, más económicos y con un menor consumo de

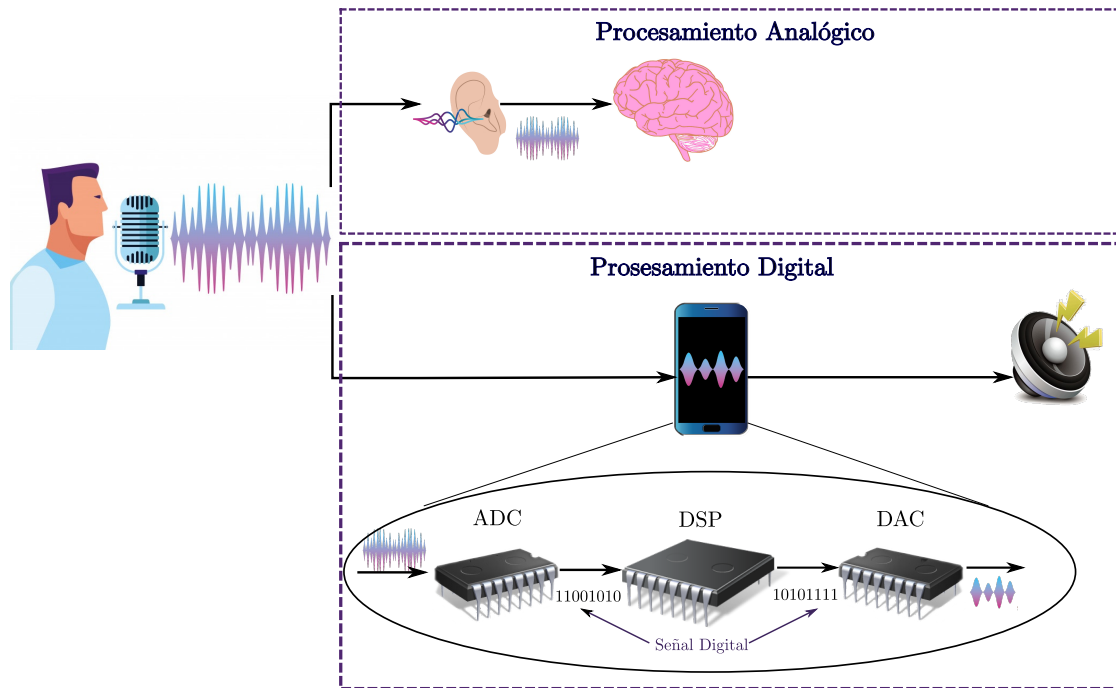


Figura 1.1: Procesamiento de señales

potencia. Sin embargo, la integración de estos sistemas en un chip requiere que todos los bloques sean puestos en una misma oblea (circuitos digitales y de señal mixta).

Debido al papel fundamental de los ADC dentro de las comunicaciones digitales se ha desatado una gran demanda de convertidores más veloces y eficientes. Actualmente existen varios tipos de ADC que se integran en tecnologías CMOS que pueden ser clasificados en dos categorías principales: Convertidores de tasa de Nyquist y sobremuestreo.

La frecuencias de muestreo (f_s) de los convertidores de tasa de Nyquist (como su nombre lo indica), puede ser tan baja como el criterio de Nyquist requiere, es decir, dos veces el ancho de banda (f_b), de la señal de entrada. Entre los más comunes se encuentran: Pipeline, de Aproximaciones Sucesivas y Flash. Los ADC tipo Flash y Pipeline resultan los de mayor velocidad de muestreo pero con una resolución máxima limitada, debido a la complejidad de su arquitectura ocupan mayor espacio y presentan un consumo de potencia relativamente alto pueden ocuparse para aplicaciones de muy alta velocidad y poca resolución. Los de Aproximaciones Sucesivas (SAR) trabajan a una velocidad menor pero presentan una alta resolución, un bajo consumo de potencia, ocupan un área pequeña y suelen ser de bajo costo.

Los ADC de sobremuestreo (entre ellos los basados en modulación Sigma-Delta),

tienen una frecuencia de muestreo mucho mayor que la frecuencia de Nyquist y cuanto mayor f_s sea mayor será la resolución del modulador es por eso que se han utilizado en aplicaciones que requieren mayor resolución y velocidad baja-media, como es el caso de las aplicaciones de audio. Sin embargo, la frecuencia de muestreo tiene un límite tecnológico con base en el retardo del procesamiento y el incremento exponencial del consumo de potencia, por lo que para obtener un modulador de alta velocidad es necesario reducir la relación de sobremuestreo.

En comparación con los convertidores de tasa Nyquist, que en su mayoría, la linealidad y precisión que presentan está determinada por la precisión de los componentes analógicos (resistencias, fuentes de corriente o condensadores) [3], los convertidores Sigma-Delta son menos sensitivos a la variación de los parámetros de los circuitos y a las imperfecciones del circuito y debido a que su circuitería es relativamente sencilla.

En la Figura 1.2 se muestra el diagrama de bloques de un ADC Sigma-Delta donde se puede ver que está constituido básicamente por dos partes la primera el modulador $\Sigma\Delta$ que es el corazón de este tipo de convertidores ya que, dependiendo de su arquitectura, además de la cuantización y moldeado del ruido, también se puede realizar en él, la operación de muestreo. Como se ve, prácticamente todas las operaciones involucradas en la conversión A/D son llevadas a cabo por este sistema, y la segunda parte que se encarga del diezmado y filtrado digital, estos procesos se realizan completamente en el dominio digital. Por estas razones, el desempeño de un ADC $\Sigma\Delta$ queda determinado por la calidad de su modulador.

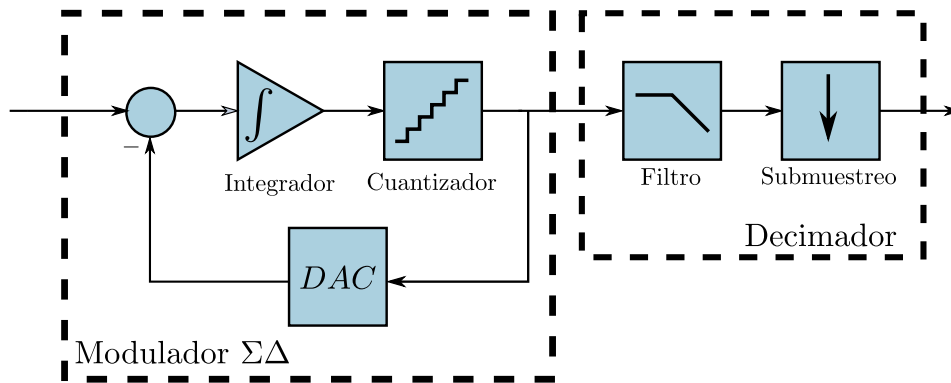


Figura 1.2: Diagrama a bloques de un ADC Sigma-Delta

El modulador $\Sigma\Delta$ generalmente está formado por una etapa de filtrado seguido por un bloque de cuantificador en un bucle cerrado. Estos moduladores pueden agrupar en dos tipos: de tiempo discreto ($\Sigma\Delta$ TD) y de tiempo continuo ($\Sigma\Delta$ TC), los $\Sigma\Delta$ TC tienen la etapa de sobremuestreo fuera del bucle de retroalimentación a diferencia de los $\Sigma\Delta$ TD en donde esta etapa que se encuentra dentro el lazo de retroalimentación y en la etapa de filtrado. La idea de muestrear a una velocidad mayor que la necesaria se

basa en que es posible intercambiar velocidad (muestras/seg) por resolución (número de bits).

Como se verá más adelante los moduladores $\Sigma\Delta$ se basan en el sobremuestreo y el moldeado del ruido de cuantización eso implica que la etapa de integración sea fundamental. En este trabajo se estudiará al modulador $\Sigma\Delta TC$ y las limitaciones que presentan al ser integrados en tecnología nanométrica haciendo énfasis en el bloque integrador.

1.1. Justificación

El cambio de la tecnología analógica a una interfaz digital ha motivado la investigación, para intentar mejorar y optimizar las técnicas de diseño de ADCs, ya que el procesamiento de una señal digital es simple en diseño y prueba lo que produce estructuras robustas, flexibles y programables. Esto junto con el escalamiento de la tecnología CMOS se ha convertido en un reto para los diseñadores de circuitos, debido a que se deben diseñar arquitecturas que operen en condiciones de muy baja de potencia y voltaje.

La creciente demanda de aplicaciones modernas que contiene señales mixtas exigen ADCs de alto rendimiento en relación con la velocidad, la resolución y el consumo de potencia aumenta considerablemente. Sin embargo los errores inherentes a los procesos de muestreo y cuantización característicos de los ADCs limitan la velocidad de operación y la precisión en la que estos operan. En el diseño de estos sistemas existe un compromiso entre ambas características aunado al consumo de potencia, de tal forma que a mayor velocidad de procesamiento se tendrá una menor resolución y viceversa.

La comparación del comportamiento total de diferentes ADCs se puede hacer mediante un parámetro único denominado figura de mérito (FoM). Hay diferentes maneras de formular este factor que define una relación entre la potencia disipada, la resolución y la frecuencia de muestreo, una de las más populares es la formulada por Walden, la cual se describe en la ecuación 1.1. Donde P es la potencia disipada, f_s la frecuencia de muestreo y ENoB es la resolución del ADC.

$$FoM = \frac{P}{f_s \cdot 2^{ENoB}} \quad (1.1)$$

La Figura 1.3 muestra el estado del arte hacia el año 2020. Se observa los resultados obtenidos por diferentes técnicas de conversión. Las características en cuanto ancho de banda y resolución de cada una de las técnicas presentadas, las hace propicias a diferentes rangos de aplicación. Los ADC tipo $\Sigma\Delta$ cubren un área grande en el plano abarcando anchos de banda de hasta Mega Hertz, de acuerdo al FOM este tipo de convertidores obtienen un mejor rendimiento.

Gracias a las técnicas de muestreo y de moldeado del ruido propios de los moduladores $\Sigma\Delta$ es posible obtener mayores ventajas en la integración de ADCs en tecnologías

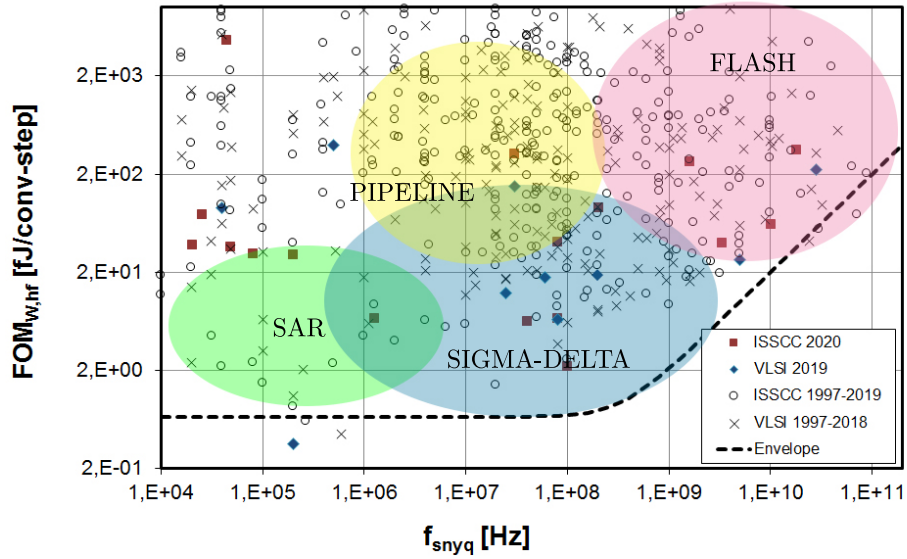


Figura 1.3: Panorama de desempeño de diferentes ADCs [1]

nanométricas ya que estos son relativamente insensibles a las imperfecciones del circuito a expensas de una mayor complejidad y velocidad de la circuitería. En comparación con los circuitos integrados de convertidores analógico digital Pipeline, así como de tipo Flash, ADC $\Sigma\Delta$ emplean un área de silicio menor que es esencial para productos portables que operan a bajas potencias.

Lo más importante a destacar de una arquitectura Sigma-Delta en Circuito Integrado es su bajo consumo de potencia en comparación con otros ADCs como lo muestra la Figura 1.3. En esta gráfica se puede observar el desarrollo de diferentes ADC durante diferentes épocas, el desarrollo de estos ADCs en VLSI tiene una tendencia a un consumo menor de potencia.

Por otro lado, conforme va evolucionando la tecnología CMOS VLSI y el estado de la investigación sobre modulación Sigma-Delta, aparecen una variedad de topologías para afrontar las serias restricciones que aparecen con el escalamiento de esta tecnología, ya que estos procesos modernos con sus voltajes de suministro reducidos generalmente proporcionan las peores funciones analógicas y son un gran desafío para lograr un rango dinámico aceptable[3].

Para evitar que el sistema se sature y los componentes electrónicos dejen de funcionar se requiere un amplio rango dinámico para la adquisición de datos, lo cual es difícil de lograr ya que se requiere de un área de circuito y potencia excesivos para la implementación. Esta premisa se puede cumplir con la implementación de un modulador Sigma-Delta de alto rendimiento en conjunto con varias técnicas de diseño y bloques de activación para reducir el área del circuito y la potencia consumida.

Los desarrollos recientes en las tecnologías digitales VLSI proporcionan los medios prácticos para implementar los ADC Sigma-Delta. La modulación Sigma-Delta basada

en la tecnología de conversión analógica a digital es una alternativa rentable para convertidores de alta resolución (más de 14 bits), que pueden integrarse finalmente en circuitos integrados de procesadores de señales digitales.

Parte de las restricciones es que los transistores empleados en el filtro presentan una baja transconductancia y resistencia de salida lo que implica que los operacionales analógicos tienen una ganancia de DC muy limitada .

El trabajo que aquí se presenta se centra en el estudio de moduladores $\Sigma\Delta$ de tiempo continuo y alta velocidad puesto que la implementación de los moduladores en tiempo continuo ofrece algunas ventajas en comparación con su contraparte en tiempo discreto, ya que es menos restrictiva en la ganancia de los amplificadores utilizados en el integrador, que puede ser hasta cinco veces menor que una implementación de tiempo discreto para una frecuencia de muestreo fija [4].

1.2. Objetivos

Como se ha comentado en el apartado anterior, el surgimiento de las tecnologías nanométricas junto con el surgimiento de técnicas digitales de comunicación han provocado la aparición de nuevos retos en el diseño analógico de circuitos integrados. A continuación se presenta la aportación de este trabajo a partir de los siguientes objetivos.

1.2.1. Objetivo general

Diseñar un modulador Sigma-Delta en tiempo continuo de 3er orden para convertidores ADC de alto desempeño, con frecuencia de operación de 2 Giga Hertz, usando un cuantificador de 1 bit.

1.2.2. Objetivos específicos

- Modelar los efectos que se producen en un modulador $\Sigma\Delta$ a través de bloques en Simulink.
- Trasladar el modelo del modulador $\Sigma\Delta$ descrito en Simulink a bloques descritos con Verilog A.
- Analizar los resultados obtenidos de la simulaciones y encontrar una posible aplicación.

1.2.3. Metas

Las metas a las que se debe llegar para cumplir los objetivos de este trabajo son:

- Revisión y análisis del estado del arte.
- Simulación a bloques de Modulador. $\Sigma\Delta$ de tiempo continuo en Matlab

1.3. Organización de la Tesis

Este manuscrito cuenta con 5 Capítulos incluyendo la Introducción. En el Capítulo 2 se da un breve resumen de los antecedentes, se plantea el uso de moduladores $\Sigma\Delta$ en aplicaciones para comunicaciones Ultra-Wide-Band (UWB) y se presentan conceptos teóricos que describen el funcionamiento del modulador $\Sigma\Delta$, finalmente, se presentan las ventajas de su implementación en tiempo continuo.

En el Capítulo 3 se describe la arquitectura de 3er orden propuesta que es la principal aportación de este trabajo.

En el Capítulo 4 se muestra el análisis de los resultados obtenidos de las simulaciones y finalmente el último Capítulo donde se dan a conocer las conclusiones obtenidas y se presentan las posibles líneas de trabajo futuras.

Capítulo 2

Marco teórico

Este capítulo aborda una visión sobre ADC, los tipos de convertidores que existen y se presentan los antecedentes de los moduladores $\Sigma\Delta$, características y propiedades principales con objeto de introducir la terminología y los conceptos básicos para facilitar la comprensión del resto del trabajo.

2.1. El convertidor A/D ideal

El convertidor A/D visto como una caja negra, como se muestra en la Figura 2.1, toma una señal de entrada usualmente de voltaje o corriente y la convierte en una señal de salida digital. La señal digital es una representación codificada de la señal analógica usando N bits.

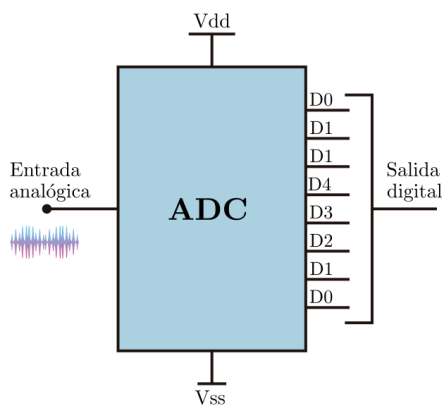


Figura 2.1: Dispositivo ADC.

El mapeo de entrada-salida para un convertidor A/D ideal es una escalera uniforme como se muestra en la Figura 2.2. El ancho del paso está definido como 1 LSB (Least Significant Bit, bit menos significativo) el cual es usado a menudo como la unidad

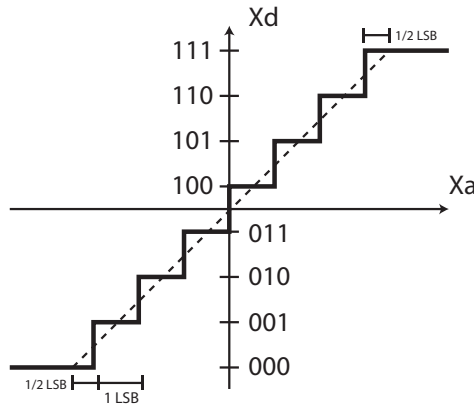


Figura 2.2: Función de transferencia del ADC ideal.

de medida en las especificaciones estáticas del convertidor. También, es una medida de la resolución del convertidor ya que define el número de divisiones o unidades del rango analógico completo. Por tanto, $\frac{1}{2}LSB$ representa una cantidad analógica igual a la mitad de la resolución analógica.

La resolución de un convertidor A/D es expresada como el número de bits en su salida digital. Por ejemplo, un convertidor A/D con N bits de salida tiene 2^N códigos digitales posibles. Sin embargo, como el primer y el último paso solo son de la mitad del ancho de paso, el rango de escala completa (FSR, Full-Scale Range) es dividido entre $2^N - 1$ anchos de paso, por lo que:

$$1LSB = \frac{FSR}{2^N - 1} \quad (2.1)$$

Un convertidor transforma una señal continua en el tiempo y en amplitud en otra señal discreta en tiempo y cuya amplitud está cuantificada y codificada, generalmente como un código binario ; la operación básica de un convertidor A/D puede ser separada entonces como la cascada de las 3 funciones de la Figura 2.3 [5].

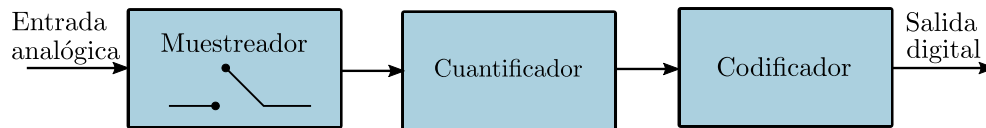


Figura 2.3: Diagrama de bloques de las funciones básicas de un ADC.

2.2. Especificaciones de los convertidores A/D

Para el diseño o uso de un convertidor de datos es necesario que se conozcan sus especificaciones, así como sus características y limitaciones.

2.2.1. Tipos

Los convertidores de datos se dividen en dos grupos. Convertidores de tasa de Nyquist y de sobremuestreo, se describen brevemente las arquitecturas que ofrecen el mejor desempeño para los sistemas de comunicaciones en alta frecuencia según el grupo al que pertenecen.

Convertidores de tasa de Nyquist

Convertidor flash: es uno de los convertidores A/D más rápidos y adecuado para aplicaciones que requieran un amplio ancho de banda. Sin embargo, el convertidor flash consume mucha área de silicio, mucha potencia, tiene una resolución limitada, aumentando el costo. Esto los limita para operar en aplicaciones de alta frecuencia como adquisición de datos, radares y comunicaciones por satélite. El convertidor flash

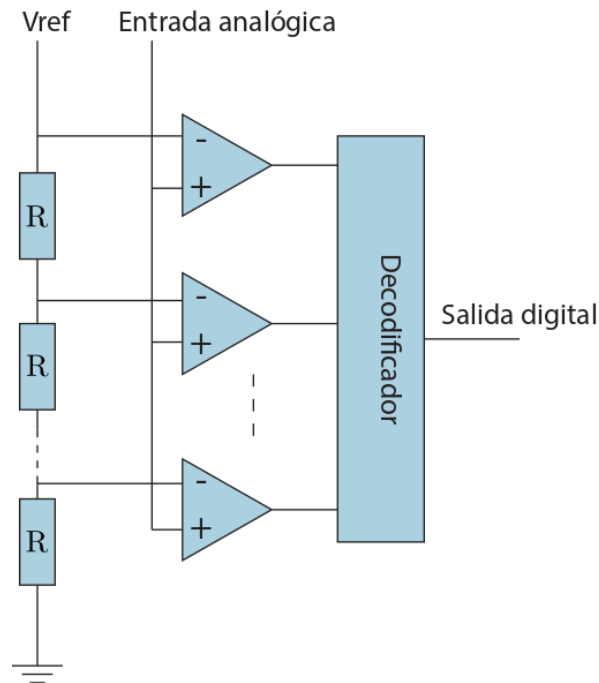


Figura 2.4: Convertidor flash.

usa un gran número de comparadores. La señal de entrada es aplicada a todos los comparadores, por lo tanto, la salida termométrica es retrasada solo durante un retraso de comparador desde la entrada, y la salida del decodificador de N bits solo es retrasada

por unas cuantas compuertas por lo cual el proceso es muy rápido. Un convertidor flash de N bits consiste de 2^N resistores y $2^N - 1$ comparadores conectados como se muestra en la Figura 2.4

Como se puede apreciar el principal problema de esta arquitectura es que el número de comparadores incrementa exponencialmente con el número de bits [6].

Convertidor pipeline: es una de las arquitecturas más populares para aplicaciones de alta velocidad. Consiste de varias etapas en cascada, cada una con un convertidor A/D de baja resolución, un S/H amplificador y un convertidor D/A como se muestra en la Figura 2.5[6].

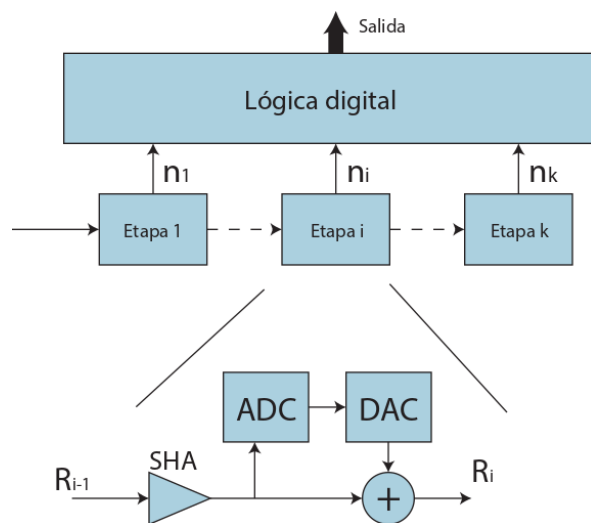


Figura 2.5: Convertidor pipeline.

Convertidores de sobremuestreo

Convertidor sigma-delta: está basado en el principio de que el error de conversión puede ser pasado por un filtro pasa-altas y después removido por filtros digitales. Los requerimientos para las partes analógicas se relajan y se pueden obtener altas resoluciones. El inconveniente de este tipo de convertidores es que para altas resoluciones el ancho de banda se reduce debido al sobre-muestreo. Un modulador sigma-delta de segundo orden se muestra en la Figura 1.2. Consiste de dos integradores de tiempo discreto, dos convertidores D/A y un cuantificador [6].

2.2.2. Especificaciones estáticas de los ADC

Debido a las características no ideales de los elementos que componen un convertidor A/D en la realidad, se llegan a presentar varios problemas que pueden ser medidos

y minimizados si se tienen en cuenta al diseñar el convertidor. En estado estático, las características a evaluar del convertidor son: monotonicidad, offset, error de ganancia y no linealidad diferencial e integral. A continuación, se describen más a detalle cada una de ellas.

Monotonicidad

Es la característica del ADC que produce códigos de salida que están constantemente creciendo con señales de entrada crecientes y decrecen con señales de entrada que decrecen. Por lo tanto, el código de salida siempre permanecerá constante o cambiará en la misma dirección que la entrada. Cuando la señal de entrada crece y la señal de salida decrece se dice que el convertidor es no monotónico.

Offset

El offset describe una variación para una entrada cero, es un error que afecta a ambos convertidores. En la Figura 2.6 se muestra una comparación entre la función de transferencia ideal y la real afectada por un offset. El offset cambia la función de transferencia de manera que todos los escalones son movidos en el valor del offset [5].

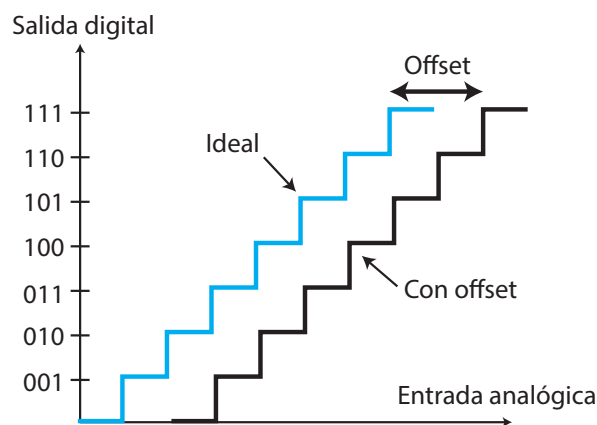


Figura 2.6: Función de transferencia con offset.

El offset puede ser medido en LSB, valores absolutos (voltaje o corriente), como porcentaje o como partes por millón (ppm) de la escala completa.

Error de ganancia

Es el error en la pendiente de la línea que interpola los escalones de la función de transferencia. La pendiente ideal es 1, sin embargo, cuando el error de ganancia se presenta (Figura 2.7) la pendiente se mueve y se define el error de ganancia como la desviación entre la pendiente obtenida y la deseada [5].

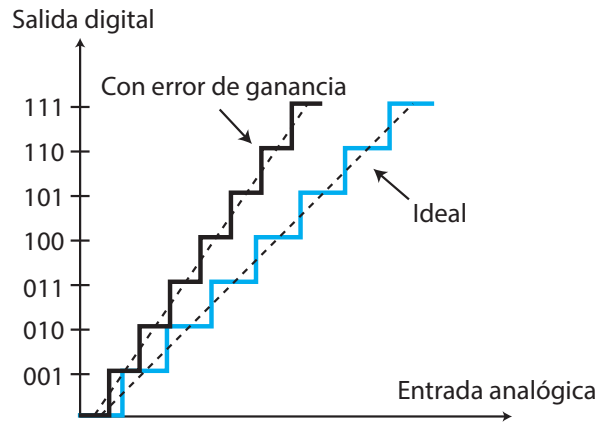


Figura 2.7: Función de transferencia con error de ganancia.

No linealidad diferencial (DNL)

El error de no linealidad diferencial (DNL por sus siglas en inglés) mostrado en la Figura 2.8, es la diferencia entre el ancho de paso real y el valor ideal de 1 LSB. De tal forma que si el ancho del paso es exactamente 1 LSB, hay una posibilidad de que el convertidor se vuelva no monótono, lo que significa que la magnitud de la salida decrece para un incremento en la magnitud de la entrada; también existe la posibilidad de que haya códigos perdidos, esto es, uno o más de los 2^N códigos binarios nunca son salida.

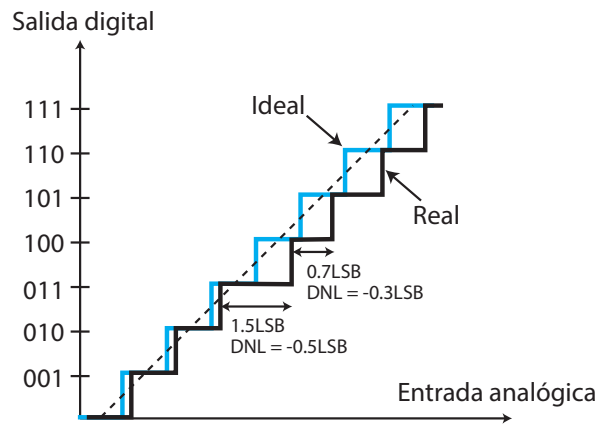


Figura 2.8: Función de transferencia con no linealidad diferencial.

Si X_k es el punto de transición entre los códigos sucesivos $k - 1$ y k , entonces el ancho de paso real es $\Delta_r(k) = (X_{k+1} - X_k)$; la no linealidad diferencial entonces se puede expresar como en la ecuación 2.2 [6][7].

$$DNL_k = \frac{\Delta_r(k) - \Delta}{\Delta} \quad (2.2)$$

donde Δ es el ancho de paso ideal o 1 LSB.

No linealidad integral (INL)

El error de no linealidad integral mostrado en la Figura 2.9 es la desviación de los valores en la función de transferencia real de la línea recta de la ideal. Las desviaciones son medidas en las transiciones de un paso a otro. El nombre de no linealidad integral

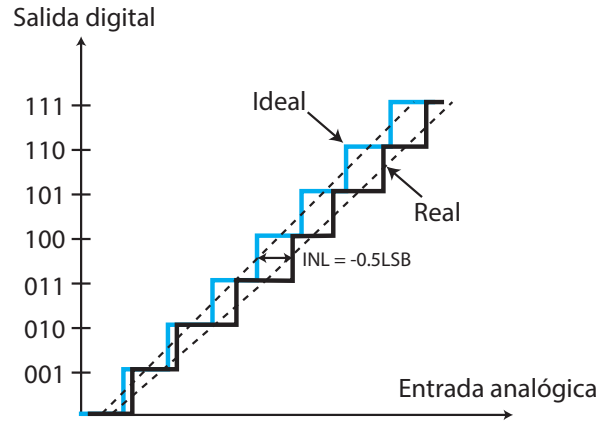


Figura 2.9: Función de transferencia con no linealidad integral.

se deriva del hecho de que la suma de las no linealidades diferenciales desde la parte inferior hasta un escalón en particular, determina el valor de la no linealidad integral en ese escalón. Matemáticamente tenemos:

$$INL_k = \sum_{l=1}^k DNL_l \quad (2.3)$$

Cabe mencionar que los errores de no linealidad son comúnmente medidos usando frecuencias bajas para excluir errores dinámicos que aparecen a altas frecuencias.

2.3. Antecedentes del modulador Sigma Delta

El convertidor analógico digital Sigma Delta tiene sus raíces en la modulación por impulsos codificados (PCM), que es utilizada para llevar una señal analógica a una representación en secuencia de bits, especialmente en la técnica de transmisión llamada Modulación Delta y PCM diferencial que surgió en la década de los 50. La importancia de la modulación delta radicaba en que trabajaban a muy altas velocidades de sobremuestreo y tenían un sencillo método de demodulación de la señal, mediante un integrador y un simple filtro paso-bajo.

En la Figura 2.10 muestra el diagrama de bloques del modulador delta, su funcionamiento comienza sobremuestreando la señal, luego se integra la señal de salida, para obtener una aproximación en pendientes de escalera ($x_2(t)$), de la señal de entrada. Por último, la diferencia entre la señal de entrada y la aproximada se cuantifica en dos

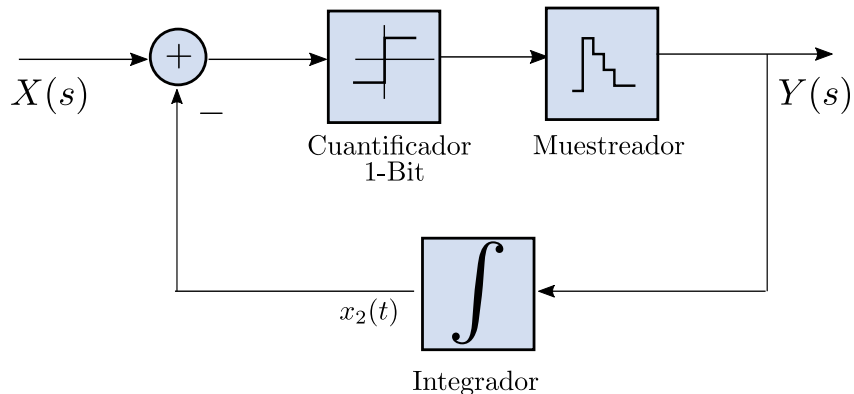


Figura 2.10: Modulador Delta.

niveles $\pm\Delta$. Si la aproximación es menor entonces la diferencia se convierte en $+\Delta$, por el contrario, si es mayor, en $-\Delta$.

Por los años 60 sufrió algunos cambios y fue propuesto y patentado como un convertidor analógico digital por C.C. Cutler y descrito en la literatura por H. Inose e Y. Yasuda quienes lo llamaron modulador Delta-Sigma. Más tarde en 1985, J.C. Candy publicó el primer modulador Sigma-Delta de segundo orden [3]. Casi al mismo tiempo se introdujo el nombre modulador Sigma-Delta como alternativa para el modulador Delta-Sigma y desde entonces ambos nombres están en uso [8]. Desde entonces la cantidad de aplicaciones aumentó enormemente y de igual forma se ha publicado una gran cantidad de artículos y libros.

En las siguientes Secciones se describe una posible aplicación para los moduladores $\Sigma\Delta$, las características y propiedades más importantes de la Modulación Sigma Delta, así como un análisis teórico de su funcionamiento para determinar su comportamiento.

2.4. ADC $\Sigma\Delta$ para aplicaciones de Banda Ultra Ancha (UWB)

Los ADC $\Sigma\Delta$ se utilizan cada vez más en aplicaciones inalámbricas. El 14 de febrero de 2002, la Comisión Federal de Comunicaciones asignó espectro para una nueva técnica de comunicación por radio llamada Ultra Wide Band (UWB) [9]. Con la banda de frecuencia entre 3.1 GHz y 10.6 GHz disponible para aplicaciones basadas en UWB, muchos investigadores están involucrados en el desarrollo de nuevos dispositivos electrónicos y aplicaciones que puedan funcionar en esta banda. La comunicación de banda ultra ancha (UWB) es una tecnología inalámbrica emergente y prometedora de nueva generación con enormes expectativas en el segmento de mercado inalámbrico de

corto alcance, que esta presente en la actualidad [10].

El gran potencial de UWB radica en el hecho de que puede coexistir con los usuarios de espectros ya licenciados y esto abre una amplia gama de aplicaciones. Dichas aplicaciones incluyen redes inalámbricas de área personal (WPAN) de alta velocidad y USB inalámbrico [11]. Las señales UWB tienen anchos de banda superiores a 500 MHz y se pueden transmitir sin portadora, como radio de impulso o pulsos no sinusoidales, o se pueden modular como señales de ancho de banda amplio con portadoras, como la multiplexación por división de frecuencia ortogonal multibanda (MB-OFDM). Una señal UWB generalmente se compone de un tren de pulsos por debajo de nanosegundos, lo que resulta en un ancho de banda superior a 1 GHz. Dado que la potencia total se extiende sobre un rango tan amplio de frecuencias, su densidad espectral de potencia es extremadamente baja.

Esto minimiza la interferencia causada a los servicios existentes que ya usan el mismo espectro. Debido al gran ancho de banda utilizado, los enlaces UWB son capaces de transmitir datos a más de cientos de megabits por segundo. Otros beneficios incluyen una baja probabilidad de interferencia y detección, capacidad de localización precisa y la posibilidad de implementación del transceptor utilizando arquitecturas simples, "totalmente digitales".

Debido a los anchos de banda muy grandes, los sistemas UWB dependen de tasas de muestreo muy altas para operar. Los sistemas UWB deben poder transmitir y recibir una ráfaga de energía de radiofrecuencia (RF) de duración extremadamente corta, generalmente de unas pocas decenas de picosegundos a unos pocos nanosegundos de duración. Estas ráfagas pueden estar formadas por uno o unos pocos ciclos de una onda portadora de RF.

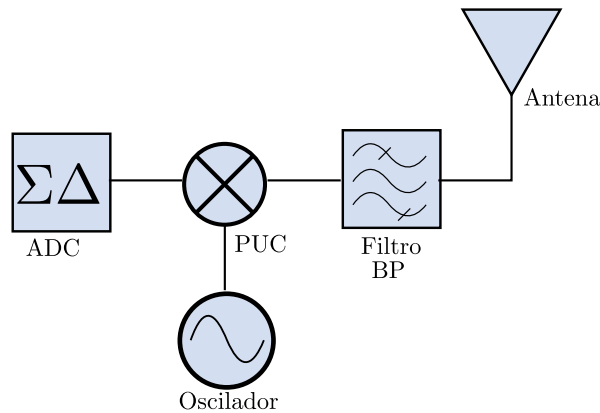


Figura 2.11: Transmisor UWB

2.5. Fundamentos

Una vez visto el origen de la modulación, en esta sección se presenta la terminología y los conceptos fundamentales que se abordaran a lo largo de este trabajo.

2.5.1. Muestreo

El muestreo de una señal continua es la obtención de muestras o porciones de la señal de entrada en determinado tiempo, que generalmente es uniforme y se le conoce como periodo de muestreo T_s). La ecuación 2.4[5] describe el proceso de muestreo donde la señal de salida es la suma del producto de la señal de entrada por un tren de impulsos unitarios.

$$x(m) = \sum x(t)\delta(t - mT_s) \quad (2.4)$$

El teorema de muestreo de Nyquist establece que las muestras deben ser tomadas en intervalos iguales de tiempo. La razón o frecuencia de muestreo (f_s) debe ser igual o mayor, al doble de su ancho de banda de la señal (f_b) analógica para poder garantizar la correcta recuperación de la señal. La tasa o frecuencia de Nyquist $f_N = 2f_b$, si esto no ocurre se produce un traslape del espectro (aliasing)[2].

2.5.2. Cuantización

La etapa de cuantización es consecuente a la de muestreo, que a diferencia de esta es un proceso no lineal y no reversible, el cual consiste en asignar un nivel a la amplitud de la señal muestreada. Normalmente estos niveles (N) son potencias de 2, donde el número al cual se eleva corresponde con los bits de resolución (n) del convertidor. $N = 2^n$. El cuantizador más usual es el lineal o uniforme. Este tiene un intervalo de cuantización constante Δ que corresponde a la resolución del convertidor y depende de FSR (rango de escala completo, “full scale range”), en este intervalo la señal de salida no cambia de valor, entre más pequeño, mayor será la precisión y menor el error de cuantización [5]. La función característica de un cuantizador uniforme de ganancia unitaria se presenta en la expresión 2.5.

$$\Delta = \frac{FSR}{2^n - 1} \quad (2.5)$$

La Figura 2.12 muestra un cuantizador uniforme de 3 bits que resulta en 8 niveles cada nivel con un margen de variación Δ de $1/8 * FSR$. De esto se puede deducir que en un cuantizador uniforme el margen de error máximo de cuantización coincide con la resolución del convertidor.

El error de cuantización uniforme varía según el nivel de decisión establecido que puede ser por “truncamiento” cuando los niveles de decisión están centrados en múltiplos de Δ y el error medio es diferente de cero o por “redondeo” si los niveles de decisión

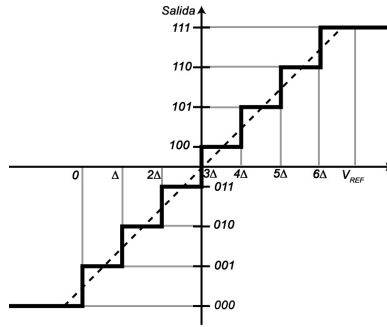


Figura 2.12: Cuantizador uniforme ideal.

son desplazados $\Delta/2$, y por tanto el error medio es cero reduciendo el error de cuantización lo que lo hace el método más utilizado para cuantizar una señal muestreada, En la figura 2.12 podemos ver gráficamente los niveles de decisión por “truncamiento” y “redondeo” así como el error de cada uno.

Analizando el error de cuantización simplificado, es decir, viéndolo como una fuente de ruido blanco aditivo que contiene una función de probabilidad rectangular con rango $\pm\Delta/2$ [12], cuya probabilidad es $P(e) = \frac{1}{\Delta}$. Esta función se representa en la Figura 2.13.

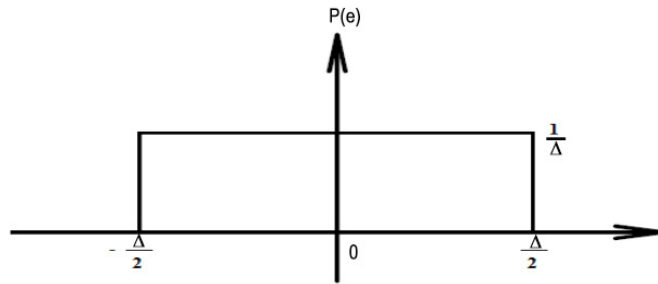


Figura 2.13: Función de probabilidad de error de cuantización

Sabiendo que la potencia de una señal aleatoria es igual a su varianza, entonces, la potencia del ruido de cuantificación vendrá dada por la ecuación 2.6 que demuestra que la única manera de reducir el error es reduciendo el intervalo de cuantificación Δ , es decir, aumentando el número de bits.

$$\sigma^2 = \int e^2 P(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.6)$$

2.5.3. Características estáticas de los ADC

Las características estáticas en los ADCs son aquellas que pueden ser medidas en estado estacionario, estas especificaciones se han de tener en cuenta en la elección de convertidores. Las más importantes se presentan a continuación:

- **Resolución** La resolución (Resolution) es la mínima variación de entrada para provocar un cambio a la salida, y se representa mediante la ecuación 2.7, que coincide con el número de bits de un convertidor.

$$\text{Resolución} = \frac{FSR}{N} = 2^n \quad (2.7)$$

- **Margen de entrada (*Input range*)** es el margen de valores de entrada para los cuales el convertidor es capaz de dar un código a la salida. Como por ejemplo margen de entradas unipolares $0 \div 5$; $0 \div 10$ o entradas bipolares ± 5 ; ± 10 .
- **No linealidad diferencial (DNL “*Differential Non-Linearity*”) y No linealidad integral (INL “*Integral Non-Linearity*”)**

La No linealidad diferencial (DNL) es el resultado de restar los valores de salida correspondientes a dos códigos adyacentes y el valor ideal esperado correspondiente a 1 LSB. La no linealidad se representa en términos de LSB tal como se muestra en la expresión 2.8, en la cual $\Delta_{0_{i+1}}$ y Δ_{0_i} , son dos valores adyacentes y $\Delta_{0_{LSB}}$ la resolución.

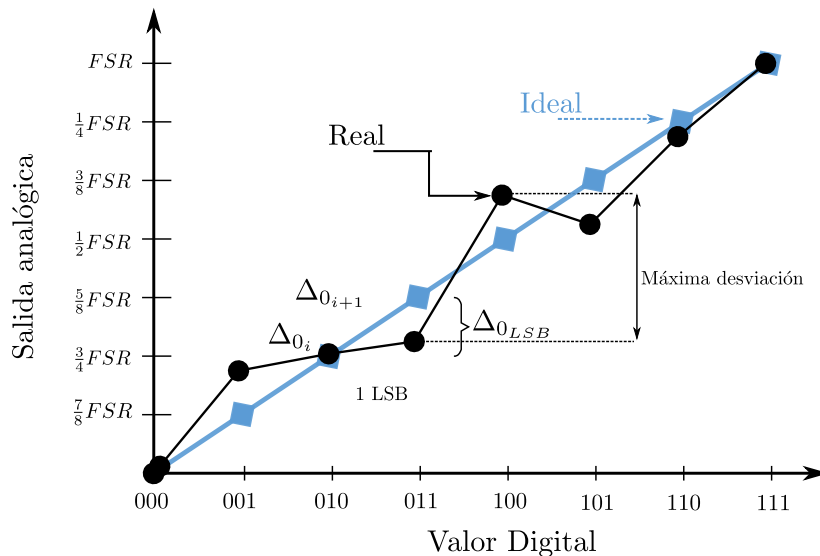


Figura 2.14: No idelidades en un ADC

$$DNL = \frac{|\Delta_{0_{i+1}} - \Delta_{0_i}| - \Delta_{0_{LSB}}}{\Delta_{0_{LSB}}} [LSB] \quad (2.8)$$

Si se calcula la máxima no linealidad diferencial, entonces se consigue el error de no linealidad integral, INL (Ecuación 2.9). La Figura 2.14, trata de dar una idea para el cálculo del DNL y el INL gráficamente. En color azul, se presenta la traza ideal de un convertidor y en color negro la real. Como se puede observar hay desviaciones en todos los puntos, y las desviaciones entre puntos adyacentes respecto de $\Delta_{0_{LSB}}$ refleja la DNL, y la calculada a partir de la máxima desviación presentada entre 011 y 100, corresponde a la INL.

$$INL_k = \sum_{l=1}^k DNL_l \quad (2.9)$$

■ **Error de offset y error de a fondo de escala**

Por otro lado, el error de offset y error de fondo de escala se presentan en la Figura 2.15 . El error de offset es el desplazamiento horizontal respecto de la traza ideal (color azul), puede ser error de offset unipolar o bipolar, dependiendo de la señal de entrada. El error de a fondo de escala es la desviación máxima a fondo de escala entre la función de transferencia ideal (color azul) y la real (color negro). Estas características son constantes en todo el rango, por lo cual pueden ser corregidos a la salida del convertidor

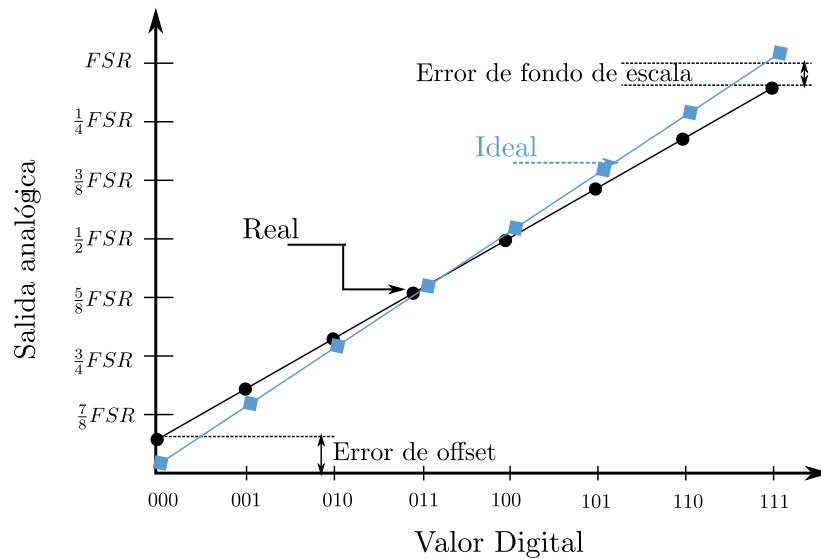


Figura 2.15: Error de offset y error de fondo de escala

2.6. Características dinámicas de los ADC

Las características dinámicas están relacionadas con la respuesta del convertidor en régimen permanente, por lo tanto, se pueden considerar las siguientes características:

- **Tiempo de conversión (TC “*Conversion time*”)** Es el tiempo que tarda un convertidor en realizar una conversión, es decir, es el tiempo transcurrido desde que se da la orden de conversión al ADC hasta que se acaba la conversión. En los convertidores de los microcontroladores este tiempo se expresa en ciclos de reloj del oscilador, mientras que en los circuitos integrados se especifica en segundos. El tiempo de conversión puede ser constante o variable dependiendo del convertidor.
- **Distorsión armónica total (THD “*Total Harmonic Distortion*”).** Es el cociente entre la suma rms de todos los armónicos de la señal de entrada y el valor rms de la misma a fondo de escala. Este valor se representa en dB, y normalmente en la práctica solo se consideran los 6 primeros armónicos ya que son los que representan la mayoría de la distorsión. La distorsión se puede producir por cualquier motivo de no linealidad en el convertidor o cuando la máxima frecuencia de una señal es un submúltiplo entero de la tasa de muestreo. En un ADC, este comportamiento dinámico se suele evaluar con señales de entrada sinusoidales puras, debido a que los componentes armónicos de distorsión a la salida del convertidor son los múltiplos enteros de la señal de entrada, el resto de componentes armónicas en el espectro es el ruido de cuantificación. De esta manera se consigue facilitar el cálculo del THD ya que se evita la búsqueda de estos armónicos en el espectro de frecuencias. El cálculo se ve reflejado en la expresión (2.10)

$$THD_{dB} = 20 \log \left[\sqrt{\frac{V_{f2}^2 + V_{f3}^2 + V_{f4}^2 + V_{f5}^2 + V_{f6}^2 + V_{f7}^2}{V_{f1}^2}} \right] \quad (2.10)$$

- **Frecuencia de conversión .**

Es la máxima frecuencia a la cual el convertidor puede ofrecer datos estables a la salida en el modo de trabajo “free-running” o de libre conversión. Se suele representar en Hertz (Hz) o en muestras por segundos (S/s). Siempre es menor o igual que el tiempo de conversión máximo.

- **Relación Señal a Ruido (SNR “*Signal to Noise Ratio*”)** Se puede definir la SNR como la relación entre la señal y el ruido de cuantificación, que se determina según la ecuación 2.6

Para determinar el valor medio cuadrático de una señal de entra sinusoidal de máxima amplitud (A) para un convertidor de n bits de pico, es decir $A = (2^n \Delta) \setminus 2 = 2^{n-1} \Delta$ se tiene la expresión de la ecuación 2.11.

$$x^2 = \frac{1}{2\pi} \int_0^{2\pi} \text{sen}^2(t + \theta) dt = \frac{4^n q^2}{8} \quad (2.11)$$

$$SNR = 10 \log \left[\frac{\frac{4^n q^2}{8}}{\frac{\Delta^2}{12}} \right] \quad (2.12)$$

Teniendo las expresión 2.11 y 2.6 se puede calcular la relación señal a ruido (SNR) de un ADC de n bits, que se define como la razón de la potencia de la señal de entrada, denotada por x^2 , y la varianza del ruido de cuantificación, denotado como σ^2 . Determinando el SNR con la ecuación 2.13.

$$SNR = 10 \log_{10} \left[\frac{\frac{4^n q^2}{8}}{\frac{\Delta^2}{12}} \right] = 10 \log_{10} \left[\frac{4^n \cdot 3}{2} \right] \approx 6,02n + 1,76 \quad (2.13)$$

- **Relación Señal/Distorsión (SDR).** Es la relación entre la potencia de la señal de salida a la frecuencia de la entrada sinusoidal y la suma de la potencia de la señal de salida a la frecuencia de los armónicos de la señal de entrada.
- **Relación Señal/Ruido + Distorsión (SNDR).** Relación entre la potencia de la señal de salida y la suma de la potencia del ruido total más la de los armónicos de la señal. Normalmente, la SNDR y la SNR coinciden cuando la potencia de la señal de entrada es baja. Cuando la potencia de la señal de entrada crece, la SNDR cae antes que la SNR debido a que los armónicos ganan en importancia cuando se incrementa la potencia de las señales de entrada. La diferencia con la SNR es que, la SNR solo tiene en cuenta ruido y no distorsión (2.14).

$$SNDR_{dB} = 20 \log \left[\sqrt{\frac{V_{f1}^2}{V_{f2}^2 + V_{f3}^2 + V_{f4}^2 + V_{f5}^2 + V_{f6}^2 + V_{f7}^2 + V_{ruido\ rms}^2}} \right] \quad (2.14)$$

- **Número efectivo de bits (effective number of bits), ENOB.** Es otra manera de representar la relación señal ruido en términos de bits. Indica la resolución real del sistema a una determinada frecuencia de señal de entrada y una determinada frecuencia de muestreo. Para el cálculo del ENOB en un conversor ideal solo tiene en cuenta el ruido la cuantificación; sin embargo en un convertidor real se tiene el ruido SINAD y el cálculo viene en un cuantificador uniforme se puede determinar por 2.15

$$ENOB = \frac{SNDR(dB) - 1,76}{6,02} bits \quad (2.15)$$

- **Rango Dinámico (DR).**

Relación entre el nivel de sobrecarga y el fondo de ruido. El rango dinámico se mide normalmente en decibelios (dB), y representa la resolución del modulador. La conversión de dB a resolución en bits efectivos se produce a través de la expresión:

$$DR(bits) = \frac{DR(dB) - 1,76}{6,02}$$

- **Rango dinámico libre de espúreos (SFDR).** Relación entre la máxima amplitud de señal y la mayor componente de la distorsión.

2.7. Principios de funcionamiento de un Modulador $\Sigma\Delta$

En esta sección se estudiará el funcionamiento de la modulación sin entrar en detalle a la circuitería electrónica de cada bloque, ya que esto se verá más adelante.

2.7.1. Modulador Sigma-Delta

Partiendo de la estructura básica de un modulador $\Sigma\Delta$ de primer orden que se muestra en la figura 2.16, se ve que está formado por un integrador, un cuantificador uniforme de un bit y un convertidor digital-analógico en el lazo de retroalimentación. Debido a que el proceso de cuantificación es un sistema no lineal el modulador también es un sistema no lineal], sin embargo es posible obtener una representación lineal si se ve a este bloque como una fuente aditiva de ruido blanco.

En la figura 2.17 se observa el modelo lineal en diagrama de bloques. Del análisis de este modelo podemos obtener dos funciones de transferencia: una con respecto a la señal STF (ecuación 2.16) y otra para el ruido de cuantización NTF (ecuación 2.17) finalmente la señal de salida está compuesta por la suma de la señal de entrada filtrada y el ruido de cuantización filtrado.

$$STF = \frac{Y(s)}{X(s)} = \frac{\frac{1}{s}}{s + \frac{1}{s}} = \frac{1}{s + 1} \quad (2.16)$$

$$NTF = \frac{Y(s)}{N(s)} = \frac{1}{1 + \frac{1}{s}} = \frac{s}{s + 1} \quad (2.17)$$

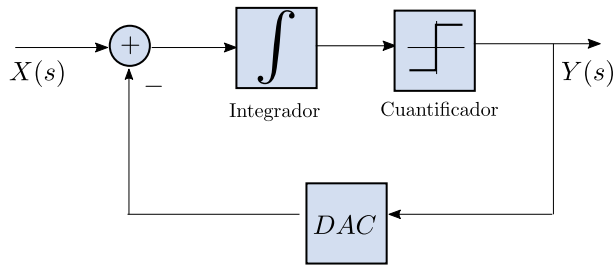


Figura 2.16: Modulador $\Sigma\Delta$ de primer orden.

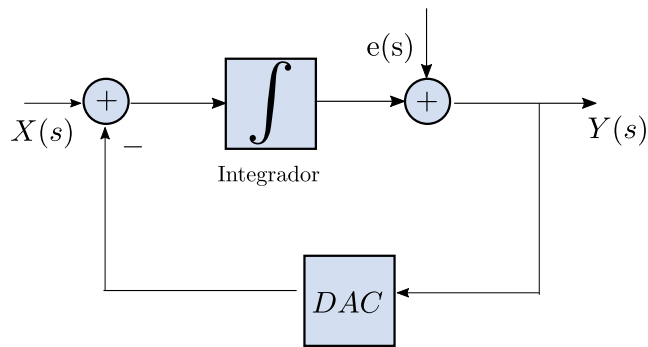


Figura 2.17: Modulador $\Sigma\Delta$ de primer orden.

De esta forma la NTF tenderá a cero en una determinada banda de frecuencia mientras que en el mismo intervalo la STF tenderá a 1 debido a que la ganancia del integrador idealmente es infinita. A esta propiedad del modulador se le conoce con el nombre de “conformado de ruido” (“noise shaping” en inglés). Dando como resultado que la señal de salida tenga una mayor resolución dentro de la banda de frecuencia de interés (f_b) y el ruido a la salida del modulador se encuentre atenuado dentro de dicha banda. En la figura 2.18 se observa el espectro hipotético de la señal de salida del modulador cuando a la entrada se le aplica una señal senoidal.

2.7.2. Moduladores $\Sigma\Delta$ de tiempo continuo

Los moduladores $\Sigma\Delta$ de tiempo discreto presenta algunas desventajas respecto a velocidad, por lo que si se desea obtener mejores resultados en cuanto ese aspecto, los moduladores en TC representan una mejor opción. Los moduladores en TC han demostrado ser más veloces, esto es debido a que los filtros de este tipo pueden funcionar de manera mucho más rápida, al implementarlos con circuitos en tiempo continuo ,

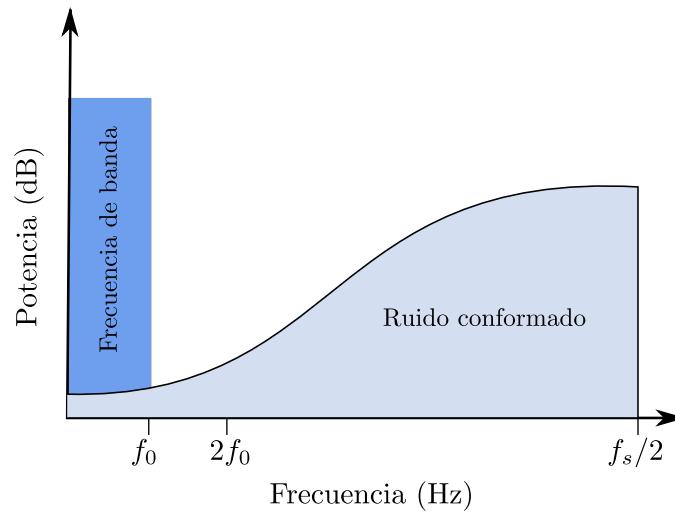


Figura 2.18: Variación de la distribución espectral del ruido de cuantificación con modulado de ruido

tales como circuitos LC, integradores Gm-C o integradores basados en amplificadores operacionales, otra ventaja es que cuentan con un filtro anti-aliasing por defecto gracias al sobremuestreo. Sin embargo los moduladores $\Sigma\Delta$ de TC no está exentos de problemas ya que tienen una mayor sensibilidad a la incertidumbre de los instantes de conmutación de la señal de reloj “jitter”, el circuito S/H y el DAC están sujetos a este error. Otro problema importante es el retraso que se presenta en cada bloque perteneciente a la retroalimentación y puede afectar en gran medida su estabilidad, si esto no se controla, la función de transferencia del cuantificador se puede ver muy perjudicada. A este retardo que se origina se denomina retardo de bucle en exceso o ELD (Excess Loop Delay) ELD (Excess Loop Delay).

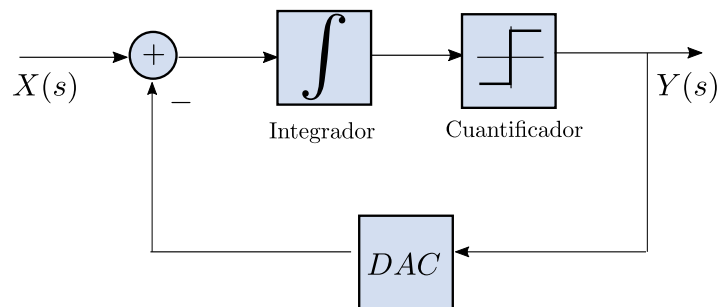


Figura 2.19: Modulador $\Sigma\Delta$ TC

2.7.3. Modulador $\Sigma\Delta$ de segundo orden y de orden superior

El modulador de primer orden no es óptimo en la práctica y suele usarse como un ejemplo debido a que el propio modulador llega a introducir ruido en la banda base la señal de entrada. Para evitar este error se necesita mucho sobremuestreo para conseguir resoluciones altas.

Existen métodos para solucionar el problema, uno de ellos es el aumentar la relación de sobremuestreo. Sin embargo, esta solución siempre viene con un mayor consumo de energía otra es el uso de una arquitectura de orden superior, que consiga desplazar una mayor de cantidad ruido de la banda de interés hacia las frecuencias altas, y de esta manera aumentar la SNR y la resolución efectiva.

El modulador de segundo orden se consigue sumando un integrador, de esta forma se tendrían dos en lugar de uno solo en la cadena directa del lazo como muestra la figura 2.20. Al ser de segundo orden el filtro $H(s)$ también es de segundo orden y por lo tanto el conformado de ruido. Cuanto mayor sea el orden del filtro más, agresiva será la NTF y más ruido de cuantificación se llevará a altas frecuencias con el consecuente aumento de la SNR y por lo tanto también del Rango dinámico. Sin embargo hay que tener en cuenta que un orden mayor en el filtro puede dar lugar a pérdida de estabilidad, por lo que no se podrá aumentar el orden todo lo que se quiera.

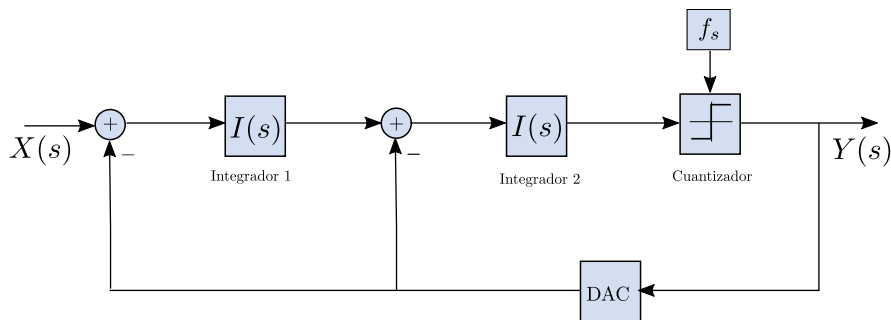


Figura 2.20: Modulador $\Sigma\Delta$ TC de segundo orden

Otra alternativa es el uso de cuantificación de múltiples bits . El aumento de la resolución del cuantificador puede ayudar a reducir la potencia de ruido de cuantización, pero el número de comparadores consume potencia extra. El diseño con arquitecturas de un solo bit y de un solo bucle ha demostrado ser menos susceptible a Circuitos de no idealidades. Si bien es sencillo realizar un modulador de primer y segundo orden, el incremento a tercer o cuarto orden resulta más complicado, pues la dificultad de mantener el modulador estable aumenta en gran medida.

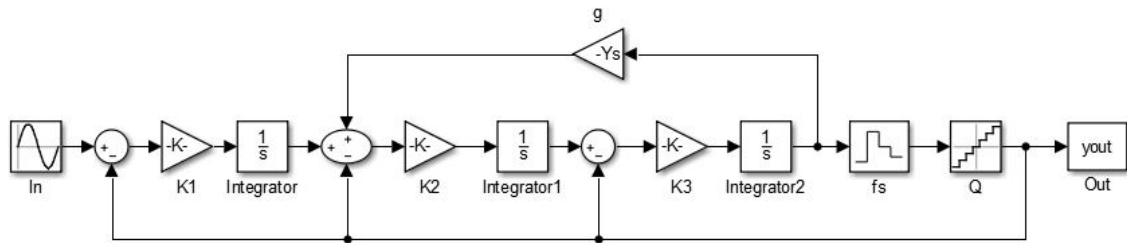


Figura 2.21: Simulación del comportamiento de un modulador $\Sigma\Delta$

2.8. Moduladores Sigma-Delta de orden superior

El modelo de la Figura 2.20 supone un cuantificador lineal, la estabilidad del sistema vendrá determinada solamente por el filtro de lazo $H(s)$. Sin embargo, a la hora de analizar la estabilidad tendremos que tener en cuenta que el cuantificador no es ideal y, por lo tanto influirá en ésta [13]. Para entender esto, si tenemos una señal demasiado grande, la entrada del primer integrador será positiva en todo el intervalo y, la salida del mismo crecerá sin límite haciendo el lazo inestable.

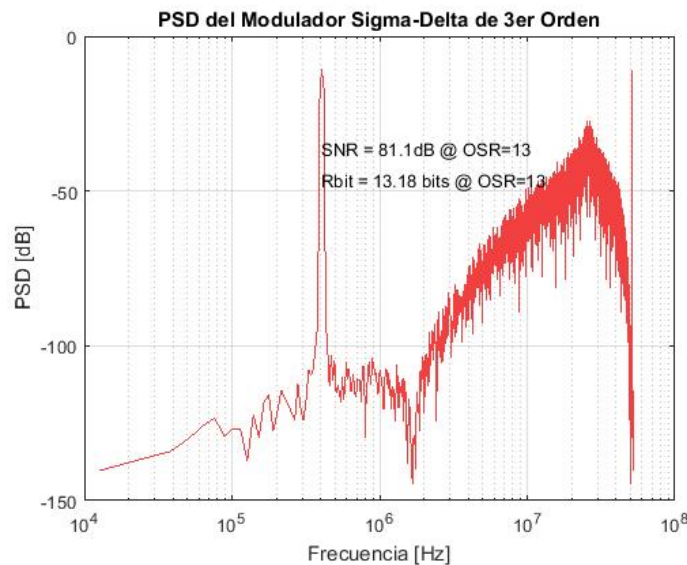


Figura 2.22: Obtención del espectro de frecuencia

El rango de magnitudes de entrada sobre las que el modulador funciona correctamente es llamado rango de entrada estable. La operación del modulador será correcta si el filtro de lazo permanece lineal, es decir, las señales de entrada no saturan los elementos activos y si el cuantificador no es sobrecargado. Por lo tanto, el rango de entrada estable debe ser menor o igual que el fondo de escala (FS) del DAC de reali-

mentación, especialmente si empleamos una cuantificación de un bit este rango debería ser un poco menor al FS. Esta pérdida en el rango se debe a los efectos no lineales de la sobrecarga del cuantificador, más que de que haya un rango lineal insuficiente en el filtro de lazo.

Desafortunadamente no existe una metodología simple y exacta que establezca las características necesarias de la NTF serán para que el modulador sea estable. Los resultados probados son generalmente demasiado restrictivos o aplicables solamente para moduladores específicos con entradas constantes.

En este proyecto empleamos Simulink para simular el comportamiento del modulador diseñado. Posteriormente, los datos obtenidos en estas simulaciones las procesamos en Matlab como se muestra en la Figura 2.21 y 2.22. Estas simulaciones nos permiten hacernos una idea del comportamiento que tendrá el circuito en un tiempo de simulación aceptable.

Capítulo 3

Modelado comportamental del modulador $\Sigma\Delta$

El objetivo de este proyecto es el diseño de un modulador $\Sigma\Delta$ de tiempo continuo. Existen muchas publicaciones acerca de cómo diseñar estos moduladores. En este apartado se explicará dos metodologías diferentes para este propósito.

Conforme se ha popularizado esta técnica de modulación han surgido numerosos métodos de diseño que generalmente siguen una estructura de arriba hacia abajo que implica la realización de modelos matemáticos para predecir el comportamiento del sistema. Solo una vez que se logra un diseño satisfactorio a nivel del sistema, se consideran la implementación detallada junto con los problemas circuitales. En el trabajo publicado por James C. Candy [14] se describe un modulador conocido como el modulador clásico o estándar de segundo orden. A partir de este modulador, diseñado en tiempo discreto con dos caminos de realimentación, encontró un modulador equivalente en tiempo continuo. El resultado que obtuvo es el mismo que resulta de aplicar el principio de la respuesta invariante al impulso, este trabajo inició un punto de flexión para la publicación de otros trabajos que usan la transformación bilineal o la transformada Z modificada. Algunos trabajos relacionados con este método los podemos ver en [15] donde se diseña un modulador $\Sigma\Delta$ de 3er orden de tiempo discreto y usando una transformación bilineal lo lleva a tiempo continuo. En [16] presenta el diseño de un modulador de 3er orden en tiempo continuo y mediante la herramienta de MATLAB (delsig) diseñada por Richard Schreier extrae los coeficientes del modulador en tiempo continuo. En [17] se propone una serie de bloques creados en SIMULINK de un ADC $\Sigma\Delta$ de segundo orden; para adicionar ruidos de efectos no lineales y obtener un modelado completo.

Generalmente, existen dos tipos de arquitecturas para la implementación de los moduladores Sigma-Delta. El primer tipo consiste en filtros de uno o múltiples lazos que contienen integradores y/o resonadores. El segundo tipo son arquitecturas que emplean filtros conformadores de ruido multietapa (MASH del inglés Multi-stAge noise-SHaping). Por comodidad, en la implementación de moduladores SDTC se suele emplear el primer tipo. Esto es debido a la correspondencia del hardware con las ecua-

ciones de estado que describen el sistema. Por lo tanto, aquí nos centraremos en este tipo, el modelado de alto nivel de este tipo de sistema es común. La mayoría de los métodos de diseño usan MATLAB, en este trabajo se hará uso de Simulink/MATLAB para la obtención de una arquitectura de 3er orden con cuantificador de 1 bit.

3.1. Arquitectura de Segundo Orden estable

La arquitectura de un modulador de segundo orden con precompensación se muestra en la Figura 3.1 que hace uso de un cuantificador de 1 bit y contiene un lazo de precompensación determinado por el coeficiente b_1 . La elección de b_1 está determinada por consideraciones relativas a la estabilidad, el nivel de entrada máximo, la SNR y la dispersión de parámetros debido al procesamiento no ideal. Al aumentar el valor del coeficiente, el cero en la función de transferencia se desplaza a una frecuencia más baja. Se puede encontrar un valor de b_1 que proporcione estabilidad en alta frecuencia y conformación de ruido de segundo orden a bajas frecuencias. La elección del valor de este coeficiente no puede ser demasiado crítico para evitar que la propagación del proceso empuje el modulador a la inestabilidad. La ecuación característica del sistema linealizado de la figura está determinada por 3.1 y 3.2

$$STF = \frac{c_2 b_1 F_s s + c_1 c_2 F_s s}{s^2 + a_2 c_2 F_s s + a_1 c_1 c_2 F_s^2} \quad (3.1)$$

$$NTF = \frac{s^2}{s^2 + a_2 c_2 F_s s + a_1 c_1 c_2 F_s^2} \quad (3.2)$$

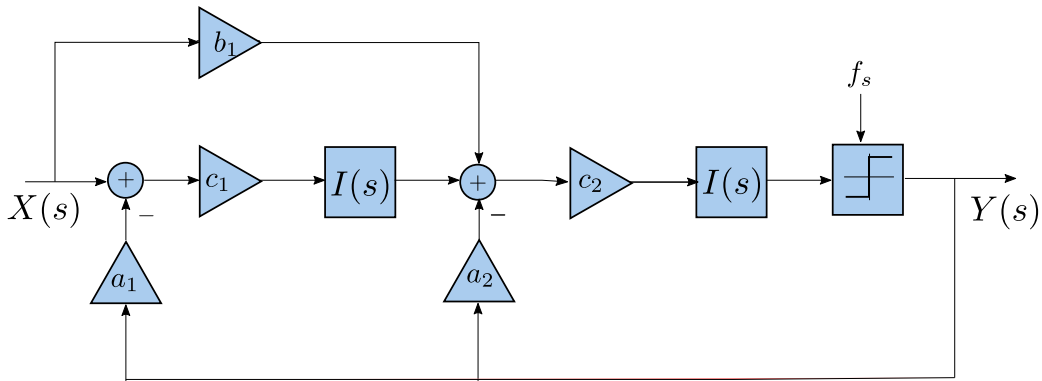


Figura 3.1: Modulador de Segundo Orden.

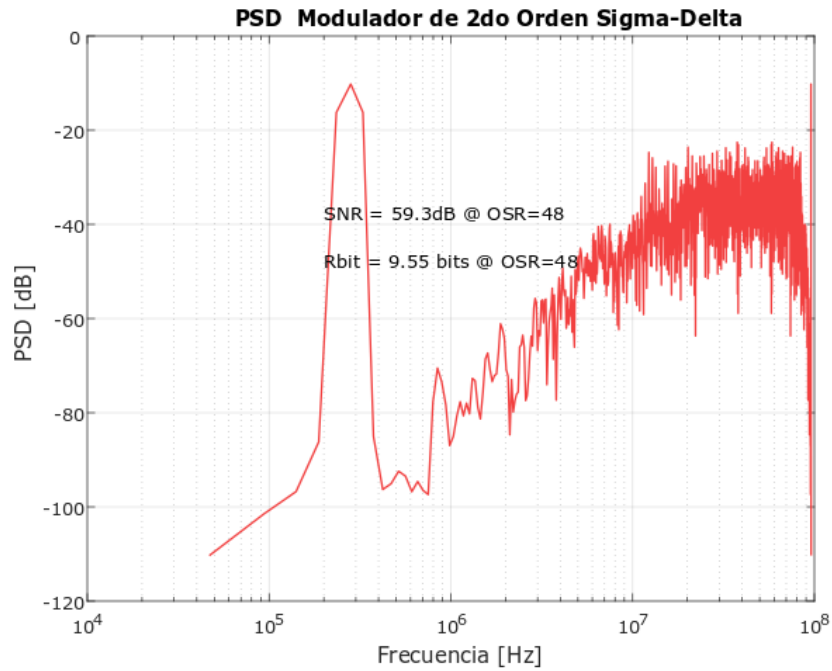


Figura 3.2: Espectro de salida Modulator de Segundo Orden.

3.2. Arquitectura propuesta y su modelo comportamental

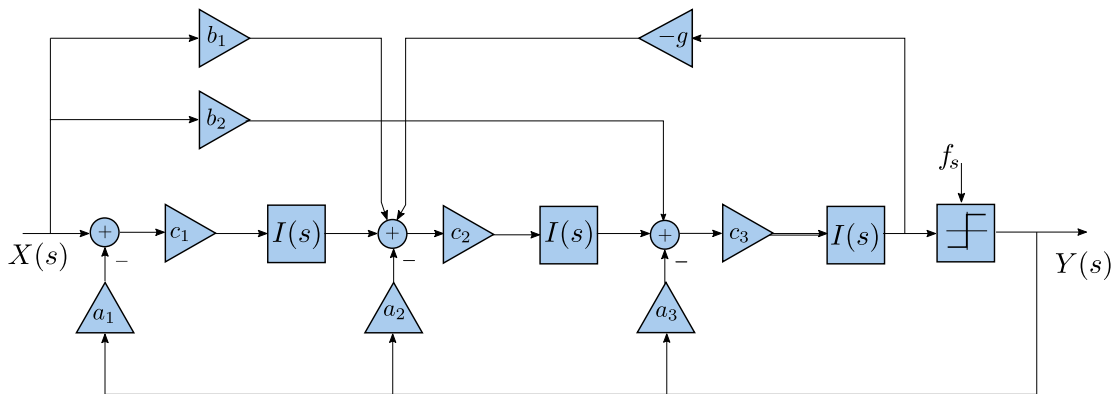


Figura 3.3: Modulator $\Sigma\Delta$ de tercer orden con lazos de precompensación y retroalimentación.

Partiendo del modelo anterior se propone modificar la arquitectura llevándola a

una estructura de 3er (Figura 3.3) orden añadiendo un lazo más de precompensación determinado por b_2 y un lazo de retroalimentación.

Con esto se logra la colocación de polos dentro del filtro y, por lo tanto, ceros en la NTF. Si se considera al modulador $\Sigma\Delta$ como filtro paso-bajo con los integradores como filtros $I(s)$, entonces todos los ceros del NTF se colocan en DC, que corresponde a un filtro pasa-altas de orden tres. Por lo tanto, la conformación del ruido es efectiva solo a frecuencias bajas, mientras que al lado del ancho de banda base (f_b) el ruido aumenta rápidamente.

Al agregar el bucle de retroalimentación local con el coeficiente g alrededor de dos integradores, los ceros NTF se pueden alejar en DC y extenderse por la banda de señal. Como consecuencia, se mejorará el rango dinámico. La elección de esta arquitectura se ha determinado en base a que las realimentaciones constituyen un parte importante en el consumo total del modulador y, por lo tanto, cuantas menos realimentaciones empleemos menor será el consumo del cuando sea implementado a nivel circuito.

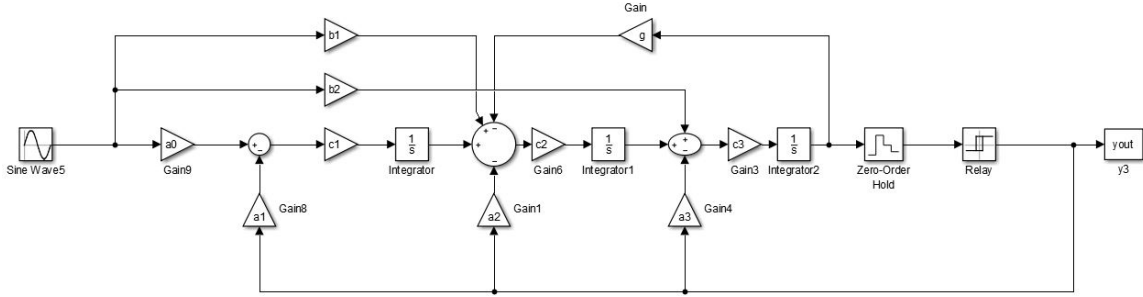


Figura 3.4: Modulador de 3er orden Simulink.

Para evitar el uso extra de hardware en la implementación, es deseable tener una NTF y STF con los mismos polos. Los polos de la NTF no juegan un papel importante en el rendimiento del sistema. La localización de los polos viene determinada por el tipo de filtro que elijamos. Hay diferentes tipos de filtros que podemos emplear, según las características que deseemos que cumpla nuestro modulador, como pueden ser filtros Chebyshev, Butterworth, etc. . Por lo tanto, a la hora de diseñar la NTF deberemos tener en cuenta el orden del modulador, el número de niveles de cuantificación, la opción de minimizar o no la potencia eficaz de ruido en el ancho de banda del sistema (es decir, la localización de los ceros de la NTF, distribuidos o no), la relación de sobremuestreo y la norma infinito.

$$STF = \frac{F_s c_3 (c_1 c_2 F_s^2 + b_1 c_2 F_s s + b_2 s^2)}{s^3 + F_s a_3 c_3 s^2 + F_s^2 c_2 c_3 a_2 s + F_s^2 c_2 c_3 g s + F_s^3 a_1 c_1 c_2 c_3} \quad (3.3)$$

$$NTF = \frac{c_2 c_3 g F_s^2 s + s^3}{s^3 + F_s a_3 c_3 s^2 + F_s^2 c_2 c_3 a_2 s + F_s^2 c_2 c_3 g s + F_s^3 a_1 c_1 c_2 c_3} \quad (3.4)$$

3.3. Resultados de simulación en Matlab Simulink

Para validar el modelo propuesto de la Figura 3.4, los moduladores sigma delta con cuantizador de un bit de tercer y segundo orden son simulados haciendo uso de Simulink y con los resultados obtenidos una comparación. Los parámetros de simulación utilizados se resumen en la tabla 1.

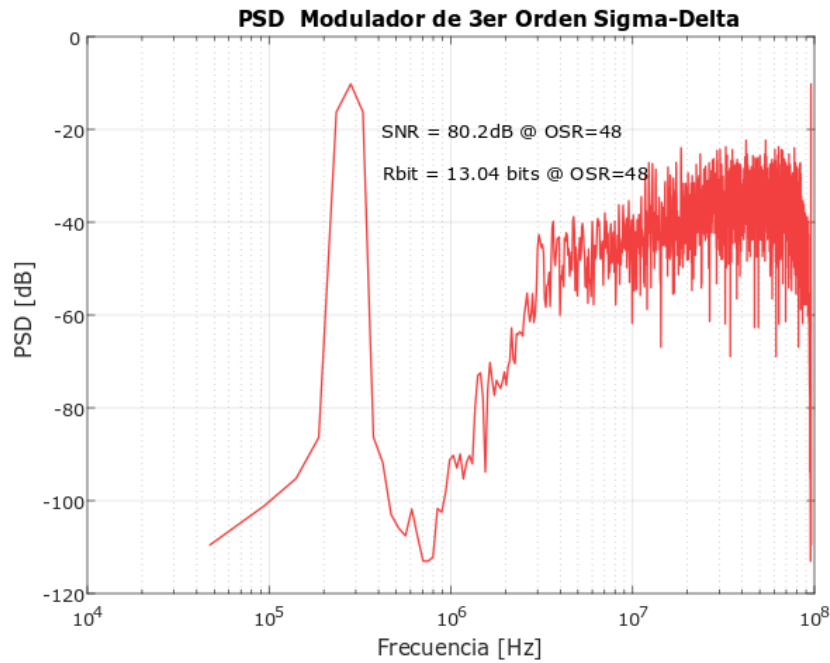


Figura 3.5: Espectro de salida Modulador de Tercer Orden.

Los resultados obtenidos son: un SNR de 59.3dB y de 80.2dB (es decir, una resolución de 9 y 13 bits) para el modulador de segundo y tercer orden respectivamente. Tal como se muestra en las Figuras 3.2 y 3.5. Con los resultados obtenidos de las simulaciones se ve que es posible diseñar un modulador $\Sigma\Delta$ de 3er orden partiendo de un diseño de un orden inferior y mejorando sus características. Con este modelo se obtienen las bases de una posible arquitectura en hardware de un modulador $\Sigma\Delta$ para un convertidor analógico digital.

En la Figura 3.6 se observa la salida del modulador, como una cadena de bits y la respuesta dinámica de los integradores, el primer integrador se mantiene en niveles de voltaje menores que -1 y 1, el segundo integrador muestra una respuesta entre -4 y 4 y el tercer integrador tienen una respuesta de -0.1 y 0.1 con esto podemos decir que la arquitectura a nivel comportamental es estable, ya que los integradores tienen un buen

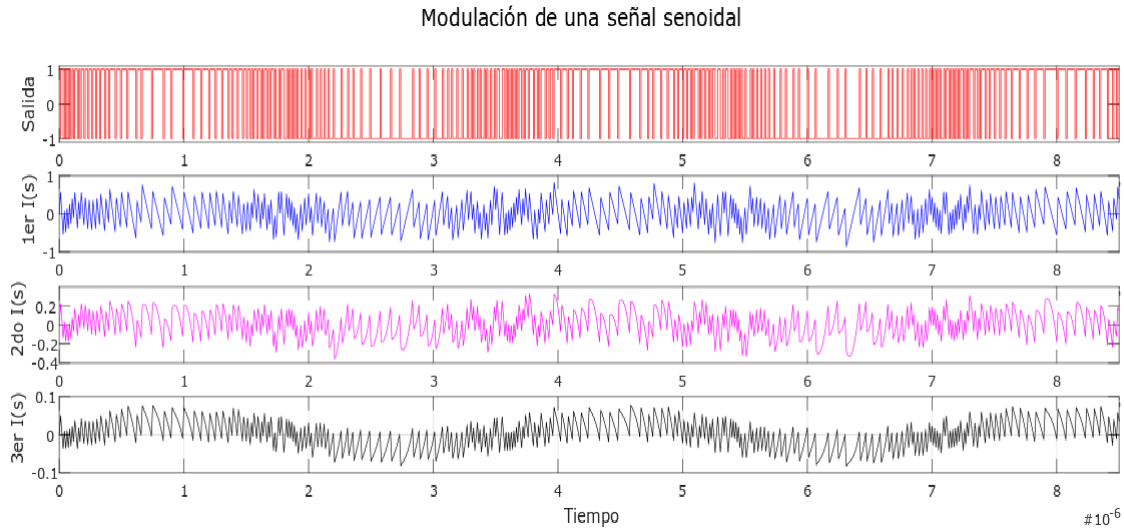


Figura 3.6: Dinámica de las señales a las salida de los integradores y el modulador.

margen de operación con lo cual se espera que al llevar este modelo a nivel circuito los amplificadores que se utilizarán para la etapa de integración no se saturaran.

Parámetro	Valor
Frecuencia de banda de la señal	1MHz
Frecuencia de muestreo	96MHz
Razón de sobremuestreo	48
Coeficientes	a1=0.9375; a2=1. a3=1.5
	c1=0.6093; c2=0.125; c3=0.0312
	b1=1.5; b2=1.5;
	g=0.6

Cuadro 3.1: Parámetros utilizados durante la simulación.

En la tabla 3.1 se observan los parámetros utilizados para esta simulación utilizando una OSR de 48, en este punto la elección del ancho de banda puede tomar diferentes valores sin que la SNR se vea afectada, para este caso se utilizo un ancho de banda de 1MHz lo que conlleva a una frecuencia de muestreo de 96MHz, para cualquier otro ancho de banda (f_b) la frecuencia de muestreo sería de $f_s = f_b * 2OSR$, es decir, $f_s = 96f_b$. Los coeficientes presentados fueron determinados en base a la estabilidad del modulador.

3.4. Modelo en Verilog-A

Verilog-A es un lenguaje de descripción de hardware que permite describir el funcionamiento de sistemas analógicos mediante ecuaciones matemáticas que relacionan sus entradas y salidas. Existe como subset puramente analógico del lenguaje Verilog-AMS que permite el diseño de sistemas mixtos, es decir que combina el uso de señales analógicas con digitales. Este lenguaje a su vez nace como un derivado del lenguaje puramente digital Verilog. Las principales características y diferencias con Verilog son:

- Verilog-A permite la descripción de sistemas conservativos, en nuestro caso eléctricos, aunque también sirve para describir comportamientos mecánicos, de fluidos o termodinámicos. Los puertos descritos en los módulos (entradas y salidas) se comportan como nodos eléctricos que cumplen las leyes de Kirchhoff y tienen un valor de tensión y de corriente. Los nodos eléctricos se declaran como *“electrical”*.
- El comportamiento del sistema se define dentro del bloque analog que contiene las distintas ecuaciones, podemos emplear variables auxiliares *“real”* para manejar los valores internamente y asignarlos posteriormente a los nodos eléctricos con el operador de contribución *“< +”*. El acceso a los valores de tensión y corriente se hace con las funciones $V()$ y $I()$ respectivamente (por ejemplo, $V(\text{nodo A}, \text{nodo B})$), con la función $V()$ obtenemos la tensión entre dos nodos y si solo introducimos uno obtendremos la tensión entre dicho nodo y el de referencia que es siempre cero.
- Desaparece la asignación no bloqueante *“<=”* de Verilog que permite que los valores de las variables en un evento no se actualicen hasta la finalización de este.

El uso de este lenguaje junto con la herramienta de diseño electrónico (EDA del inglés *“Electronic Design Automation”*) de la compañía Cadence con la que cuenta el laboratorio de Diseño y Caracterización de Circuitos y Sistemas de la FCE permite diseñar modelos tan cercanos a la realidad como sea necesario para posteriormente sintetizar y fabricar a nivel transistor. En la figura 3.7 se presenta el circuito esquemático del modulador $\Sigma\Delta$ de segundo orden, este modelo además de utilizar módulos descritos en Verilog-A usa modelos de SPICE para capacitores, resistencias y fuentes.

3.4.1. Bloques básicos

A continuación, se presentan los bloques que se desarrollaron para implementar los diferentes circuitos que componen al modulador $\Sigma\Delta$ las descripciones en Verilog-A se presentan en el apéndice A.

Integrador diferencial

El comportamiento del integrador como tal viene definido con la función $\text{idt}()$, que realiza una integral del comportamiento a la entrada del valor que empleemos, en este

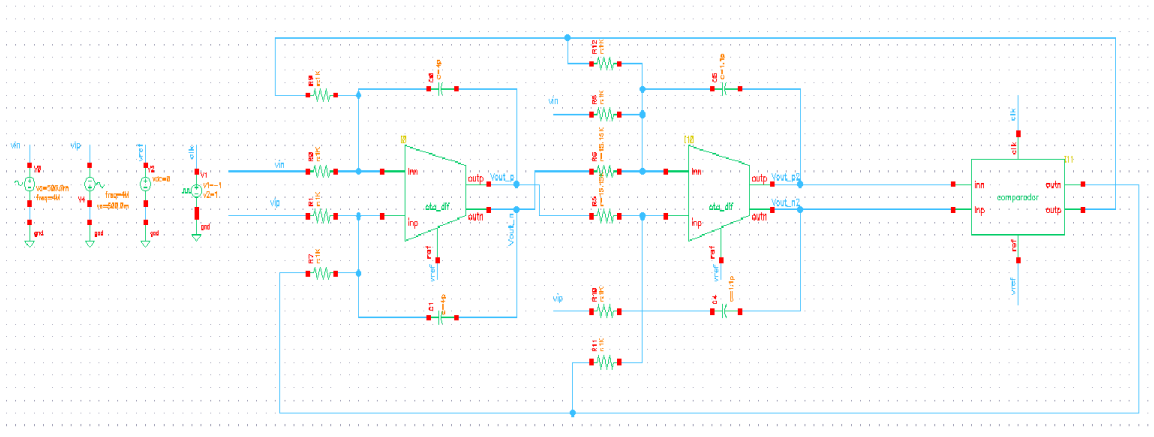


Figura 3.7: Modulador $\Sigma\Delta$ de segundo orden

caso diff, empleamos un parámetro de ganancia que es fijado desde el esquemático y se corresponde con el valor necesario para que el tiempo de integración corresponda con el de la frecuencia de muestreo. El comportamiento de la saturación del integrador viene definido por las condicionales que limitan el valor dentro del rango $[-1,1]$ V. Para realizar la resta entre las tensiones de entrada podemos emplear directamente la función $V(vinp,vinn)$ en lugar de obtener los valores de cada nodo por separado y restarlos. El símbolo generado se presenta en la figura 3.8.

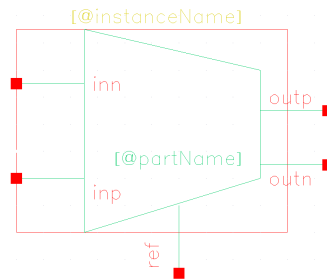


Figura 3.8: Símbolo integrador

Al comprobar el funcionamiento del integrador se ajustaron los valores de la ganancia para obtener la salida deseada. En las entradas se situó una tensión nula en la entrada negativa del integrador y una senoidal a la entrada positiva. En la figura 3.9 se observa el resultado de simular el comportamiento del integrador durante el ciclo de una señal sinusoidal. Se puede comprobar que funciona correctamente pues sabemos que la integral del seno es el coseno y el circuito de integrador presenta una ganancia de -1. La señal en roja corresponde a la entrada sinusoidal y la señal verde corresponde a la salida del integrador.

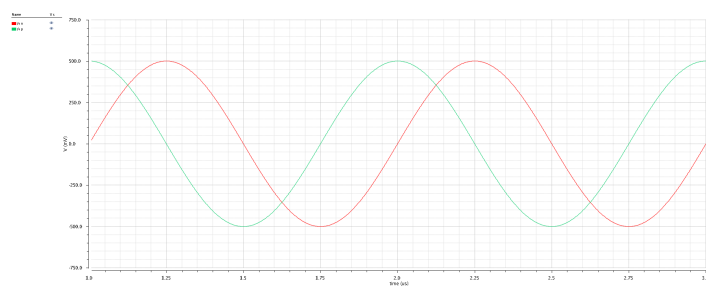


Figura 3.9: Respuesta del bloque integrador

Comparador

El comparador se encarga de realizar la conversión a un bit de la señal, esto mediante una comparación entre la señal de la salida del integrador y una referencia, también hace la función de Sample and Hold. Este bloque será utilizado como un bloque de cuantización de 1-bit.

La descripción del modelo en Verilog-A se encuentra en el apéndice A.1. Fue descrito para tener entradas y salidas diferenciales y un voltaje de $\pm 1V$. El símbolo generado se presenta en la Figura 3.10 y la respuesta en la Figura 3.11, donde las señales de entrada son sinusoidales con amplitud de 0.5V (Roja y Verde) son comparadas con una señal de referencia de 0V (rosa) a la salida tenemos dos señales diferenciales que corresponden a la respuesta de un circuito comparador.

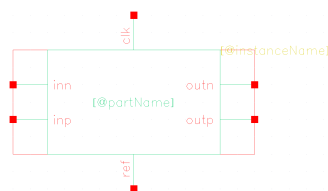


Figura 3.10: Símbolo bloque comparador

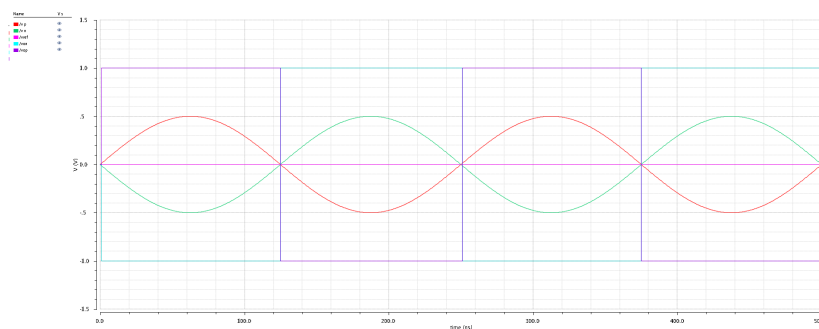


Figura 3.11: Respuesta del comparador

3.5. Modulador Sigma- Delta de 3er orden

A continuación se presenta el modulador de 3er orden diseñado con bloques de Verilog-A en la figura 3.12. Los valores de los capacitores y resistores se calcularon de tal forma que correspondieran con los valores de los coeficientes derivados de la simulación en Simulink y con una frecuencia de muestreo de 2Ghz. El bloque del comparador se encuentra descrito en lenguaje de Verilog-A y los Opams empleados se describieron como fuentes ideales de corriente controladas por voltaje.

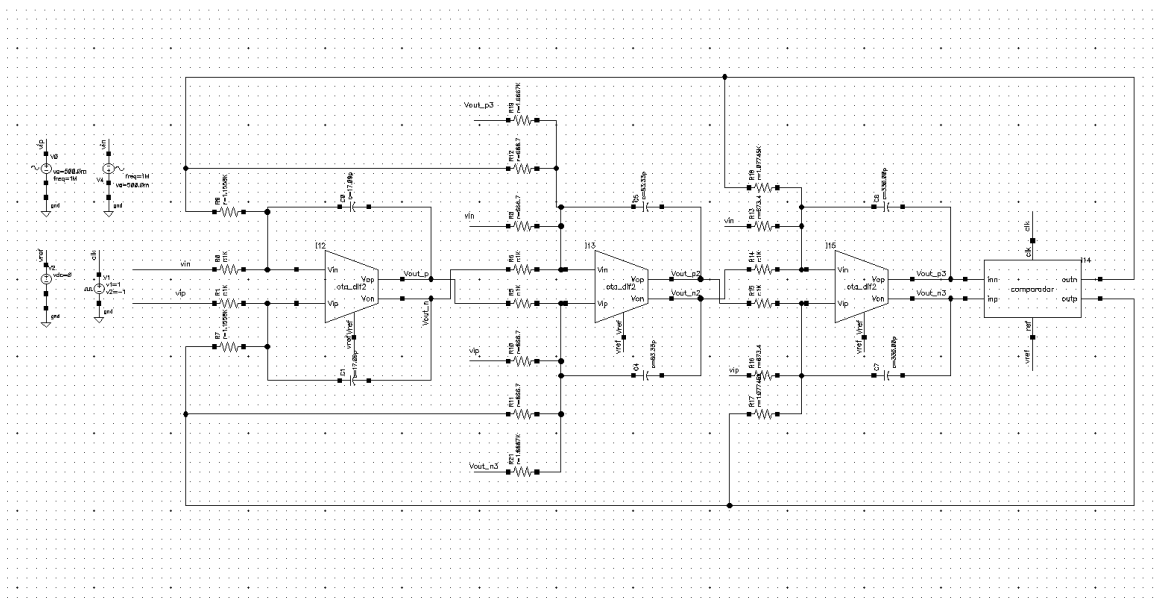


Figura 3.12: Modulador Sigma-Delta de 3er orden modelado con bloques en Verilog-A

La respuesta transitoria que se muestra en la figura 3.13 presenta un resultado estable y dentro de los límites de voltaje funcionales para la tecnología CMOS en la que será diseñado, de la respuesta del sistema con entrada sinusoidal de 0.5V y con salidas diferenciales, en sus terminales n se puede observar: el primer circuito integrador diferencial (roja) no supera los ± 0.6 V , el segundo integrador (verde) se encuentra en un rango entre los -0.6V y 0.6V, finalmente la respuesta del tercer integrador (magenta) no supera los ± 40 mV. La salida del modulador (violeta) está limitada a un voltaje de ± 1 V. De aquí podemos observar que la respuesta transitoria de la arquitectura presentada es viable para la sintonización en tecnología nanométrica.

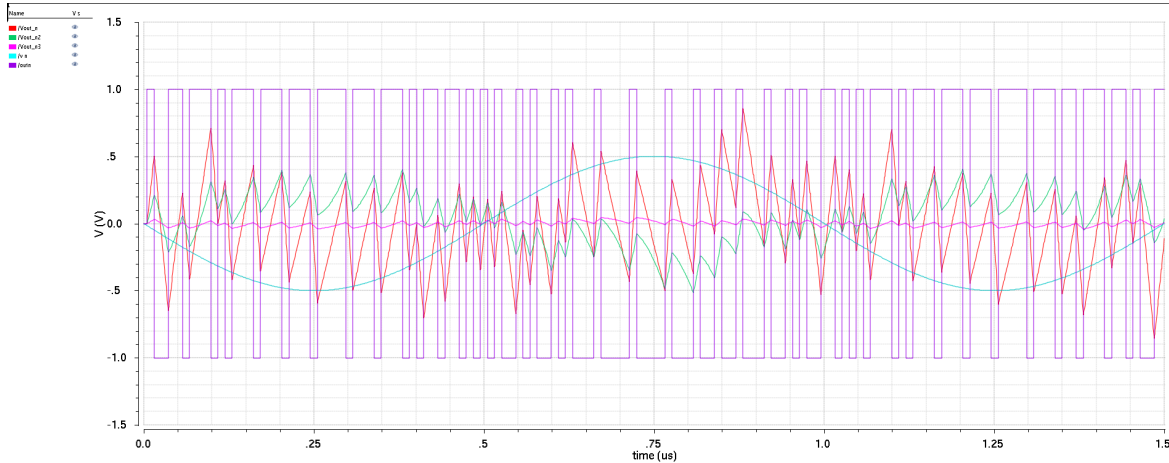


Figura 3.13: Respuesta Transitoria Modulador Sigma-Delta

Parámetro	Valor
Frecuencia de entrada (f_{in})	8.8 MHz
Amplitud de entrada (A_{in})	0.7079 V
Frecuencia de muestreo (f_s)	2 GHz
Tiempo de simulación (t_{sim})	1.024 μs
Número de muestras (N)	2048

Cuadro 3.2: Parámetros utilizados durante la simulación.

3.6. Análisis de resultados

Para determinar el comportamiento del modulador diseñado se tienen que conocer que conocer parámetros como la SNR, pero al simular el sistema lo que se obtiene a la salida es un tren de pulsos. Con la salida de bits no posible saber si el comportamiento del modulador es correcto o no. Para esto, se debe de representar dicha salida en el dominio de la frecuencia. Concretamente, en la representación del espectro de potencia de los bits de salida. Una de las herramientas que se emplea para calcular este espectro es la transformada rápida de Fourier (FFT). Tal como se muestra en la figura 3.13, la cual tiene un SNR de 81.7dB lo que representa una resolución de 13.27 bits. La tabla 3.2 muestra los parámetros utilizados en esta simulación. La figura 3.14 muestra el resultado del análisis de espectro mediante MATLAB de la arquitectura propuesta de la figura 3.13. Las condiciones de simulación son 0.7079Vpp / 8.8MHz de señal de entrada y 2GHz de frecuencia de muestreo En consecuencia, una SNR (relación señal / ruido) es de 81.7dB a través de la simulación en CADENCE. La diferencia de SNR entre el modulador descrito en Simulink (3.5) y el descrito con bloques de Verilog-A es de 1.5dB, esto debido a que los resistores ocupados se aproximaron a los calculados según los valores comerciales, correspondientes a los coeficientes.

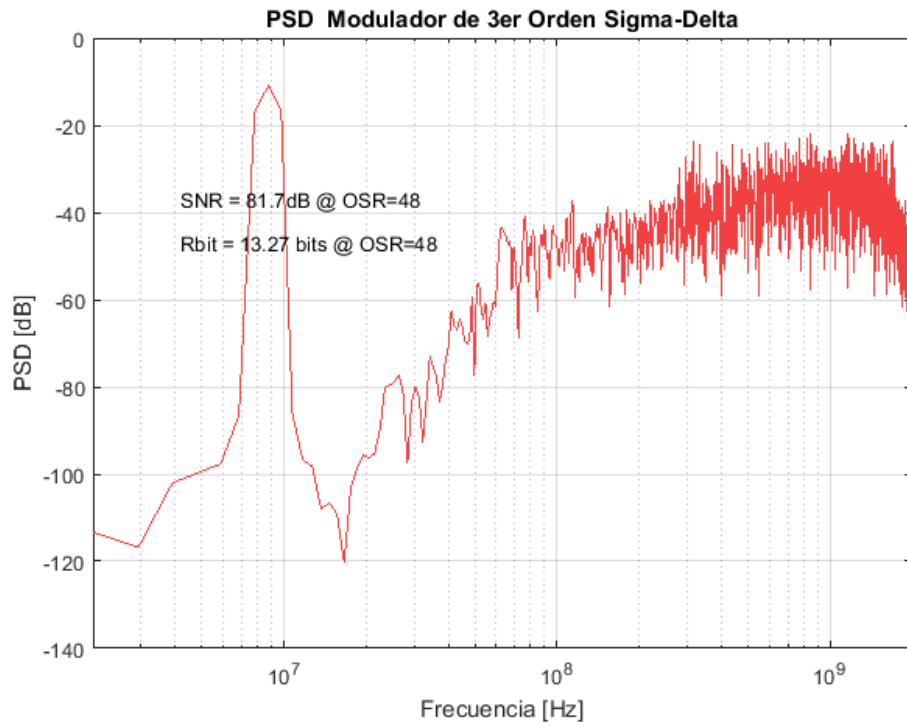


Figura 3.14: Espectro de salida del circuito del Modulador Sigma-Delta

Características del modulador obtenido

En la tabla 3.3 se presentan las características más importantes del modulador Sigma-Delta de TC obtenido.

Característica	Valor
Modulador	Tiempo Continuo
Orden	3
No. de integradores	3
OSR	48
Frecuencia de muestreo	2Ghz
SQNR	81.7dB
Resolución	13.27 bits

Cuadro 3.3: Características del modulador.

Cuadro 3.4: Comparativa del desempeño de la arquitectura propuesta con trabajos recientes[18].

	Este trabajo	[18] (2020)	[19] (2018)	[20] (2018)	[21] (2018)	[22] (2018)	[23] (2018)	[24] (2018)	[25] (2019)
CMOS process (nm)	-	65	65	130	65	40	65	28	65
Orden del modulador	3	2	3	3	2	3	3	4	3
Niveles de cuantización	2	2	2	2	256	4	3	16	2
Calibration scheme levels	No	No	Trim	No	Neural	SAR-ELDC	ELD	ELD-ISI	No
Área (mm ²)	-	0.015	0.033	0.232	0.024	0.029	0.14	0.024	0.27
VDD (V)	1.2	1.2	1.2/1.8	0.54	0.8	-	1.2	1.16/1.5	1.2
F_s (MHz)	2000	500	640	10	0.032	500	6.144	2000	8
OSR	48	48	32	50	32	20	128	20	200
BW (MHz)	14	5.2	10	0.1	0.001	25	0.024	50	0.02
Power (mW)	2	1.71	5.35	0.055	0.0008	1.16	0.068	64.3	0.055
Peak SNR (dB)	81.7	52.5	79.6	69.84	66.2	70.4	94.1	79.8	88.5
FoMWa (fJ/conv-lev)	71.8	477.2	36.5	415.96	480.9	17.1	34.2	80.5	63.2
FoMSch (DR) (dB)	143	144.8	177	157	154.1	70.7	179.5	168.7	178.7

3.6.1. Comparativa del desempeño respecto a propuestas recientes

Con el propósito de localizar al desempeño del modulador propuesto en este trabajo de Tesis se hizo una coparativa mostrada en la Tabla 3.4. La comparativa incluye moduladores similares incluyendo pocos niveles de cuantizador y de arquitectura en tiempo continuo. Para medir el desempeño se consideran las Figuras de Mérito (FoM) comúnmente usadas en las referencias importantes. Sin embargo es importante resaltar que la evidencia reciente muestra que la FoM propuesta por Schreier es la que mejor considera los límites tecnológicos y parámetros dinámicos.

Capítulo 4

Aplicación de los Moduladores Sigma-Delta en TC como mezclador de señales

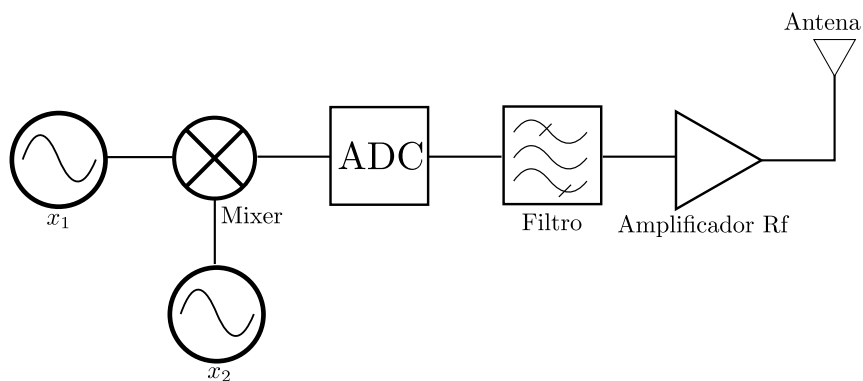


Figura 4.1: Diagrama de bloques un transmisor de RF.

Los sistemas de comunicaciones hoy en día son parte importante del haber cotidiano, y más aún los sistemas de comunicación digitales portátiles debido a la necesidad del hombre moderno de estar en constante comunicación con su entorno. Los diseñadores de circuitos integrados del área de comunicaciones se han dado a la tarea de realizar sistemas de comunicaciones de bajo costo y de bajo consumo de potencia que puedan ser integrados en un solo chip (SoC) [26]. En estos sistemas resulta imprescindible desplazar el espectro de la señal portadora a una banda del espacio adecuada, para esto, la señal que contiene la información es introducida a un transmisor que la modifica adaptándola al canal de comunicación y enviada al receptor quien posibilita la recuperación de la señal de origen[27]. Debido a que los transmisores de RF manejan niveles de potencia

mucho mayores que los receptores y añaden problemas de distorsión adquieren un papel muy significativo en estos sistemas [28].

De forma general, el transmisor puede ser representado mediante el diagrama de bloques de la Figura 4.1. Donde las señales x_1 y x_2 son multiplicadas, el resultado es llevado a un formato digital mediante un ADC, el cual es filtrado y amplificado para su transmisión.

Los mezcladores, al igual que los amplificadores y los osciladores son elementos primordiales dentro de los sistemas de comunicación, estos dispositivos no lineales trasladan las señales en banda base a una de banda de paso o viceversa, el mezclador ideal realiza la función descrita en la ecuación (4.1). Donde x_1 y x_2 son las entradas con característica sinusoidal. Para un mezclador dentro de transmisor se usa el elemento de la ecuación (4.2) donde las componentes de frecuencia se suman y se dice que el mezclador se comporta como un “up-converter” ya que traslada la señal de entrada a una frecuencia mayor, en el caso contrario se dice que es un “down-converter” el cual lleva la señal de entrada a una frecuencia menor [28]. De manera práctica para discernir entre alguna de las componentes de frecuencia es necesario el uso de un filtro que definirá si el mezclador es “up-converter” utilizado en los transmisores o “down-converter” para los receptores.

$$s = x_1 \cdot x_2 = A_1 \sin(\omega_1 t) \cdot A_2 \sin(\omega_2 t) \quad (4.1)$$

$$= A_1 A_2 \cos(j\omega_1 - j\omega_2) - \cos(j\omega_1 + j\omega_2) \quad (4.2)$$

Un mezclador real está limitado por las no idealidades del sistema, en él aparecen armónicos no deseados, dichos armónicos afectan negativamente a la señal deseada, a esto se le suma que los circuitos analógicos con los que son diseñados los mezcladores suelen presentar un mayor consumo de potencia, es por ello que en este trabajo se presenta una alternativa para el mezclador donde se propone el uso de dos moduladores Sigma-Delta mono bit para obtener dos señales digitales y el uso de una compuerta para lograr el desplazamiento de las componentes en frecuencia.

4.1. Mezclador $\Sigma \Delta$

La ventaja de usar un modulador $\Sigma\Delta$ mono bit de tiempo continuo para cada una de las señales de entrada radica en que estos, proporcionan una representación de la señal en una cadena de bits de alta resolución, la arquitectura de estos moduladores a nivel circuital es sencilla y es insensible a las imperfecciones del circuito. Por otro lado, si se suman los resultados de dos moduladores $\Sigma\Delta$ con anchos de banda diferentes se puede ver el espectro de frecuencia de la suma de ambas cadenas de bits obteniendo el espectro de ambas señales más el conformado del ruido de cuantización inherente al modulador. En el trabajo presentado en [29] se hace uso de tres moduladores Sigma-Delta de TC para sumar 3 señales sinusoidales con diferentes frecuencias. El resultado

de hacerlo con dos señales se ve en la figura 4.2 donde la señal x_1 tiene una frecuencia de 8.2083 MHz y la señal x_2 de 2.7466 MHz, El espectro a la salida del bloque de suma muestra ambas componentes en las frecuencias de la señales x_1 y x_2 y el ruido trasladado a altas frecuencias.

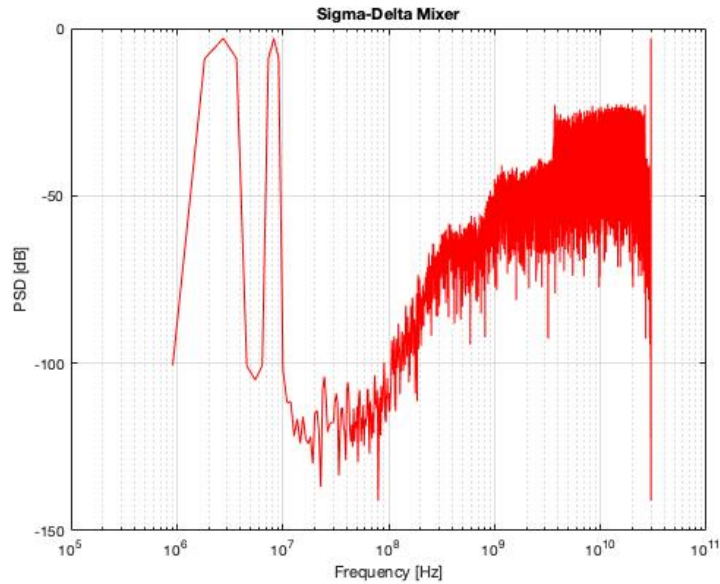


Figura 4.2: Sumador Sigma -Delta

El esquema propuesto consta de sustituir la mezclador tradicional por dos moduladores $\Sigma\Delta$ y una compuerta digital XOR, en este caso la arquitectura del modulador es de 3er orden mono Bit de tiempo continuo descrito en la sección anterior. En un transmisor RF el mezclador propuesto se ve dentro del recuadro sombreado del diagrama de bloques en la figura 4.3.

La figura 4.4 corresponde a la simulación del sistema utilizando Simulink/Matlab, donde las señales de entrada sinusoidales x_1 tiene una frecuencia de entrada de 8.2083 MHz y la señal x_2 de 2.7466 MHz, los moduladores utilizados para esta simulación presentan un ancho de banda de 156 MHz y 52 MHz respectivamente. La elección de dos moduladores con diferentes anchos de banda y frecuencias de muestreo es necesario ya que si ambos moduladores tienen el mismo ancho de banda es probable que las componentes de $jwt_1 + jwt_2$ o $jwt_1 - jwt_2$ se encuentren fuera de esta banda. La compuerta XOR utilizada sirve para realizar la operación de multiplicación de ambas cadenas de bits.

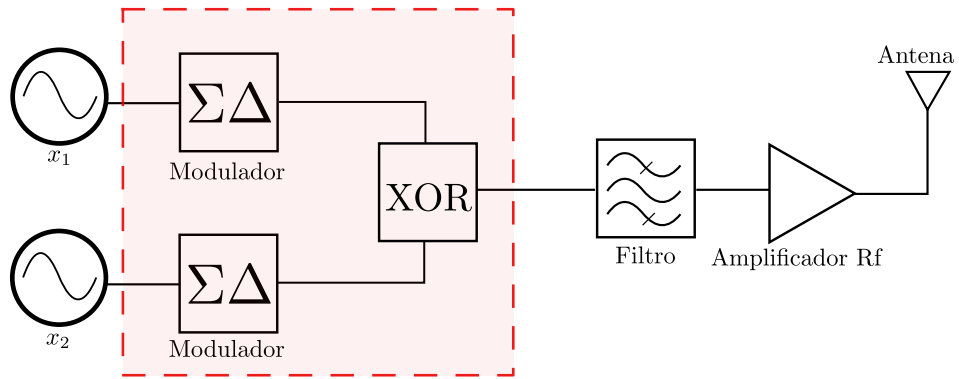


Figura 4.3: Transmisor RF usando un mezclador Sigma -Delta

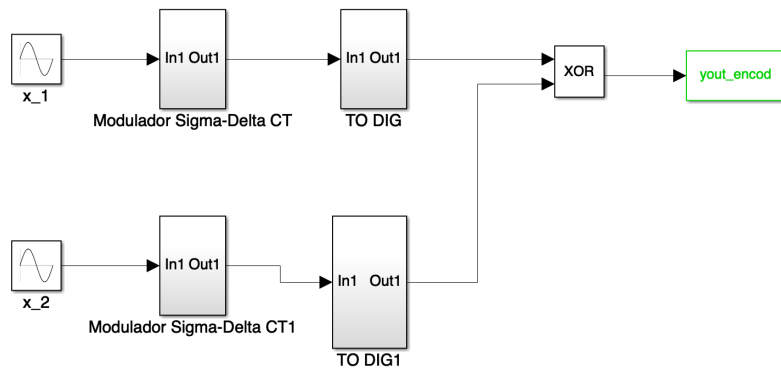


Figura 4.4: Mezclador propuesto usando dos Moduladores Sigma-Delta TC y compuerta XOR

4.2. Resultados de la simulación del multiplicador $\Sigma\Delta$

En la figura 4.5 podemos observar una comparación entre la gráfica azul que corresponde a la respuesta de un mezclador multiplicador y la respuesta del mezclador Sigma-Delta propuesto en rojo. De la propuesta se obtiene una respuesta similar a un mezclador de frecuencias analógico, es decir, en el espectro resultante se observa una componente en $jw_1 + jw_2$ y otra componente en $jw_1 - jw_2$.

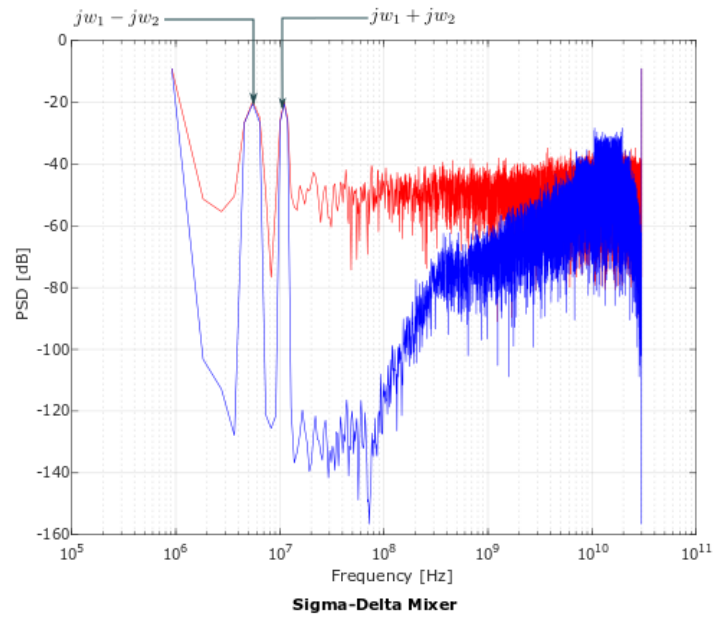


Figura 4.5: Respuesta del sistema propuesto

Capítulo 5

Conclusiones y trabajo futuro

Este último Capítulo comenta los resultados y aportaciones más importantes de este trabajo de Tesis. Los resultados en relación al modelado de un modulador Sigma-Delta de tiempo continuo usando un cuantificador de 1-Bit demostraron que es posible llegar al diseño comportamental y a las funciones de transferencias de un modulador de tercer orden partiendo de un modelo de segundo orden estable y que el nuevo modulador continúe siendo estable y con mejores características en cuanto al resolución y SNR. La estabilidad ha sido garantizada de forma empírica mediante la experimentación de la dinámica del modulador, observando la amplitud de las señales en la salida de los integradores.

A partir del modelado realizado usando bloques de SIMULINK-MATLAB fue posible llegar a la descripción del diseño del modulador en lenguaje de Verilog-A, el cual se aproxima al modelo ideal realizado en Simulink..

Con la obtención del comportamiento de una arquitectura estable y teniendo en cuenta que los integradores tienen un buen margen de operación, es posible llevar este modelo a nivel circuito y asegurar que los amplificadores utilizados para la etapa de integración no se saturaran

Finalmente se propuso un mezclador utilizando dos bloques de señal mixta, en este caso el modulador Sigma-Delta modelado, y una compuerta, esto supondría obtener las ventajas que ofrecen los sistemas digitales frente a los diseños puramente analógicos. Al hacer la mezcla de dos señales utilizando moduladores Sigma-Delta se logra remover ruido a frecuencias mayores. **Con base en los resultados empíricos mostramos que es posible sustituir un elemento mezclador para circuitos en radiofrecuencia por un conjunto de moduladores Sigma-Delta en tiempo continuo.**

5.0.1. Trabajo futuro

Como trabajo futuro se recomienda:

- Explorar formalmente la dinámica del modulador en tiempo continuo para designar los criterios de estabilidad que garanticen la estabilidad del sistema.

- Diseñar un amplificador operacional que trabaje con un ancho de banda mínimo de 2 Ghz que compense las pérdidas de ganancia finita.
- Investigar nuevas Arquitecturas de integradores y comparadores y aplicarlo al diseño del Modulador $\Sigma\Delta$
- Realizar la fabricación del prototipo del modulador $\Sigma\Delta$ en un proceso nanométrico de circuito integrado.

Bibliografía

- [1] B. Murmann, *ADC Performance Survey 1997-2018*, 2018. [Online]. Available: <http://web.stanford.edu/murmann/adcsurvey.htm>
- [2] R. G. Lyons, *Understanding Digital Signal Processing*, 3rd ed., Upper Saddle River, NJ, USA, 2011. [Online]. Available: <http://ir.obihiro.ac.jp/dspace/handle/10322/3933>
- [3] M. Ortmanns and F. Gerfers, *Continuous-Time Sigma-Delta A/D Conversion: Fundamentals, Performance Limits and Robust Implementations*, 1st ed., ser. Springer Series in Advanced Microelectronics. Springer, 2005. [Online]. Available: <http://gen.lib.rus.ec/book/index.php?md5=68E4E180000B35AFE5B604CABDE1A94C>
- [4] E. Rodriguez-Villegas, A. Yufera, and A. Rueda, “A 1-v micropower log-domain integrator based on fgmos transistors operating in weak inversion,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 1, pp. 256–259, Jan 2004.
- [5] F. Maloberti, *Data Converters*, 1st ed. Springer, 2007.
- [6] M. Gustavsson, J. J. Wikner, and N. T. Nianxiong, *CMOS Data Converters for Communications*. New York, Boston, Dordrecht, London, Moscow: Klumer Academic Publisher, 2002.
- [7] V. R. Gonzalez-Diaz, A. Pena-Perez, and F. Maloberti, “Continuos Time $\Sigma\Delta$ modulator with efficient gain compensated integrators,” *Microelectronics Journal*, vol. 56, pp. 38–45, 2016.
- [8] A. v. R. a. Erwin Janssen, *Look-Ahead Based Sigma-Delta Modulation*, 1st ed., ser. Analog Circuits and Signal Processing. Springer Netherlands, 2011.
- [9] J. Suárez Páez and G. Ramírez, “Revisión del estado del arte deir-ultra-wideband y simulación de la respuesta impulsiva del canal ieee802.15.4a,” vol. 6, 01 2010.
- [10] K. K. Lokesh, T. Ramashri, and D. Srihari, “Design and VLSI Implementation of Second Order Sigma-Delta Modulation ADC for I-UWB Receiver,” *International Journal of Scientific & Engineering Research*, vol. 4, no. 8, pp. 260–267, 2013.

- [11] R. Scholtz and M. Win, "Impulse Radio," *Wireless Communications*, pp. 245–263, 1997.
- [12] R. J. v. d. P. W. S. e. William H. Gross (auth.), Johan H. Huijsing, *Analog Circuit Design: Operational Amplifiers, Analog to Digital Convertors, Analog Computer Aided Design*, 1st ed. Springer US, 1993.
- [13] J. A. Cherry and W. M. Snelgrove, *Continuous-time Delta-sigma Modulators for High-speed A/D Conversion: Theory, Practice and Fundamental Performance Limits*. Norwell, MA, USA: Kluwer Academic Publishers, 2000.
- [14] J. C. Candy, "A Use of Double Integration in Sigma Delta Modulation," *IEEE Transactions on Communications*, vol. 33, no. 3, pp. 249–258, 1985.
- [15] D. Li, Y. Zhang, D. Basak, and K. P. Pun, "A 24-kHz third-order continuous-time delta-sigma modulator using passive LPF," *EDSSC 2017 - 13th IEEE International Conference on Electron Devices and Solid-State Circuits*, vol. 2017-Janua, no. 3, pp. 1–2, 2017.
- [16] M. A. Sohel, K. C. K. Reddy, S. A. Sattar, and M. Jah, "A 12 Bit Third Order Continuous Time Low Pass Sigma Delta Modulator for Audio Applications," vol. 7109, no. c, pp. 211–216, 2011.
- [17] A. Dendouga, N. E. Bouguechal, S. Kouda, S. Barra, and B. Lakehal, "Contribution to the modeling of a non-ideal Sigma-Delta modulator," *Journal of Computational Electronics*, vol. 11, no. 4, pp. 321–329, 2012.
- [18] V. R. Gonzalez-Diaz and F. Pareschi, "A 65nm continuous-time sigma-delta modulator with limited ota dc gain compensation," *IEEE Access*, vol. 8, pp. 36 464–36 475, 2020.
- [19] W. Wang, Y. Zhu, C. Chan, and R. Martins, "A 5.35-mw 10-mhz single-opamp third-order ct $\delta\sigma$ modulator with hct amplifier and adaptive latch dac driver in 65-nm cmos," *IEEE Journal of Solid-State Circuits*, vol. 53, pp. 2783 – 2794, 2018.
- [20] P. C. C. de Aguirre and A. A. Susin, "A 0.6-v, 74.2-db dr continuous-time sigma–delta modulator with inverter-based amplifiers," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 10, pp. 1310–1314, 2018.
- [21] C. Kim, S. Joshi, H. Courellis, J. Wang, C. Miller, and G. Cauwenberghs, "A 92db dynamic range sub-vrms-noise 0.8w/ch neural-recording adc array with predictive digital autoranging," in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, 2018, pp. 470–472.
- [22] J. Liu, S. Li, W. Guo, G. Wen, and N. Sun, "A 0.029-mm² 17-fj/conversion-step third-order ct $\delta\sigma$ adc with a single ota and second-order noise-shaping sar quantizer," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 2, pp. 428–440, 2019.

- [23] C. Lee, M. Jang, and Y. Chae, “A 1.2v 68w 98.2db-dr audio continuous-time delta-sigma modulator,” in *2018 IEEE Symposium on VLSI Circuits, VLSI Circuits 2018*, ser. IEEE Symposium on VLSI Circuits, Digest of Technical Papers. United States: Institute of Electrical and Electronics Engineers Inc., Oct. 2018, pp. 199–200, publisher Copyright: © 2018 IEEE. Copyright: Copyright 2019 Elsevier B.V., All rights reserved.; 32nd IEEE Symposium on VLSI Circuits, VLSI Circuits 2018 ; Conference date: 18-06-2018 Through 22-06-2018.
- [24] T. He, M. Ashburn, S. Ho, Y. Zhang, and G. Temes, “A 50mhz-bw continuous-time adc with dynamic error correction achieving 79.8db sndr and 95.2db sfdr,” feb 2018. [Online]. Available: <https://oadoi.org/10.1109/isscc.2018.8310268>
- [25] M. Jang, C. Lee, and Y. Chae, “Analysis and design of low-power continuous-time delta-sigma modulator using negative-r assisted integrator,” *IEEE Journal of Solid-State Circuits*, vol. 54, no. 1, pp. 277–287, 2019.
- [26] L. Breems and J. H. Huijsing, *CONTINUOUS TIME SIGMA-DELTA MODULATION FOR A/D CONVERSION IN RADIO RECEIVERS*, 1st ed., 2001.
- [27] L. Devlin, “Mixers,” *Plextek Communications Technology Consultants*, vol. 44, no. 3.
- [28] A. Grebennikov, *RF and Microwave Transmitter Design*, 1st ed., ser. Microwave and Optical Engineering 223. John Wiley Sons, 2011.
- [29] A. Dalton and R. Wender, “How to design a sigma delta mixer circuit,” https://www.eejournal.com/chalk_talks/2013032503-triad/, 2013.
- [30] A. Di Giandomenico, S. Paton, A. Wiesbauer, L. Hernandez, T. Potscher, and L. Dorrer, “A 15 mhz bandwidth sigma-delta adc with 11 bits of resolution in 0.13 mu m cmos,” 10 2003, pp. 233 – 236.
- [31] V. R. Gonzalez-Diaz, A. Pena-Perez, and F. Maloberti, “Opamp gain compensation technique for continuous-time amp;x003a3; amp;x00394; modulators,” *Electronics Letters*, vol. 50, no. 5, pp. 355–356, Feb 2014.
- [32] K. Martin and D. Johns, *Analog Integrated Circuits Design*. Toronto: John Wiley & Sons, Inc, 1997.
- [33] U.-K. Moon, G. Temes, and J. Steensgaard, “Digital techniques for improving the accuracy of data converters,” *IEEE Communications Magazine*, vol. 37, no. 10, pp. 136–143, Oct 1999.
- [34] D. Y. Yoon, H. Lee, and J. Gealow, “Power-efficient amplifier frequency compensation for continuous-time delta-sigma modulators,” in *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Aug 2013, pp. 562–565.

- [35] C. Y. Cai, Y. Jiang, S. W. Sin, S. P. U, and R. P. Martins, “A passive excess-loop-delay compensation technique for Gm-C based continuous-time $\Sigma\Delta$ modulators,” in *Midwest Symposium on Circuits and Systems*, 2011.
- [36] B. E. Boser and B. A. Wooley, “The design of sigma-delta modulation analog-to-digital converters,” *IEEE Journal of Solid-State Circuits*, vol. 23, no. 6, pp. 1298–1308, Dec 1988.
- [37] R. Zanbaghi, P. K. Hanumolu, and T. S. Fiez, “An 80-dB DR, 7.2-MHz bandwidth single opamp biquad based CT $\Delta\sigma$ modulator dissipating 13.7-mW,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 2, pp. 487–501, Feb 2013.
- [38] T. Caldwell, D. Alldred, R. Schreier, H. Shibata, and Y. Dong, “Advances in high-speed continuous-time delta-sigma modulators,” *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference, CICC 2014*, pp. 1–8, 2014.
- [39] *Understanding Delta Sigma Data Converters*. Institute of Electrical Electronics Engineer.
- [40] B. L. Mrunalini and Prachi Palsodkar, “Various architectures of analog to digital converter,” *IEEE ICCSP*, 2005.
- [41] M. Ortmanns and F. Gerfers, *Continuous-Time Sigma-Delta A/D Conversion: Fundamentals, Performance Limits and Robust Implementations*, 1st ed., ser. Springer Series in Advanced Microelectronics. Springer, 2005.
- [42] I. Arnaldi, *Design of Sigma-Delta Converters in MATLAB®/Simulink®*, 2019.

Apéndices

A. Modelos en Verilog-AMS

A.1. Modelos analógicos

Comparador

```
// VerilogA for entrenamiento, comparador, veriloga

#include "constants.vams"
#include "disciplines.vams"

module comparador(inp, inn, clk, outn, outp, ref);

input inp, inn, clk;
output outn, outp;
inout ref;
electrical inp, inn, clk, outn, outp, ref;

parameter real vth=0.5;
parameter real vdd=1;
parameter real vss=-1;

    real ouap;
    real ouan;

    analog begin
        @(cross( (V(clk)-vth), +1 )) begin
            if ( V(inp) > V(ref) )
                ouap=vdd;
            if ( V(ref) > V(inp) )
                ouap=vss;
        end
    end
endmodule
```

```
        if ( V(inn) > V(ref) )
            ouan=vdd;
        else if ( V(ref) > V(inn) )
            ouan=vss;
        end
V(outp) <+ ouap;
V(outn) <+ ouan;
end
```

```
endmodule
```



3er Coloquio en Electrónica Analógica y Digital (COLEAD 2019)
 Estatus: Presentado
 Número de Artículo: 27

Modelado en SIMULINK/MATLAB de un modulador Sigma-Delta de 3er orden con cuantizador de 1-bit

Jael Ramírez García, Víctor R. González Díaz, Luis A. Sánchez Gaspariano
 Benemérita Universidad Autónoma de Puebla
 Correo-e: jael.ramirez@alumno.buap.mx, {vicrodolfo.gonzalez, luis.sanchezgas}@correo.buap.mx

Resumen— Este trabajo describe el modelado de un modulador Sigma-Delta de tercer orden con un cuantizador de 1-bit. Se incluye la obtención del filtro del lazo de tercer orden partiendo de una arquitectura estable usando retroalimentación y rutas directas para reducir la dinámica en los integradores. El modulador considera un ancho de banda de 1MHz con una razón de sobremuestreo (OSR) de 14 obteniendo 80 dB de relación señal-ruido de cuantización que representa una resolución efectiva de 13 bits.

I. INTRODUCCIÓN

Es La tendencia en el uso de señales digitales en un mundo de señales analógicas ha llevado a un extenso desarrollo de convertidores analógico-digital (ADCs) buscando mejores resultados en cuanto a su velocidad, resolución y consumo de potencia. Los ADCs basados en moduladores Sigma-Delta de tiempo continuo suponen una buena opción para aplicaciones que requieren un bajo consumo de potencia, buena resolución a velocidad media (por ejemplo, audio, banda de voz, sistemas de comunicación, equipos biomédicos, mediciones industriales, etc.).

Por otra parte la arquitectura de los moduladores Sigma-Delta la hace conveniente en procesos de integración en tecnología CMOS ya que su circuitería es sencilla lo que a su vez supone un bajo consumo de potencia y presenta una baja sensibilidad a las imperfecciones del circuito debido a que son sistemas de lazo cerrado lo que conlleva a la construcción de bloques analógicos simples y de bajo costo[1].

Debido a las ventajas que ofrecen los moduladores $\Sigma\Delta$ de tiempo continuo se han desarrollado distintas topologías que aprovechan la naturaleza estos, la cual se fundamenta en el sobremuestreo y conformado del ruido, para alcanzar altas resoluciones que con otros métodos difícilmente se alcanzarían. Sin embargo, el diseño y análisis de los moduladores $\Sigma\Delta$ puede llegar a ser una tarea compleja. En la literatura es posible encontrar varios reportes de metodologías orientadas a realizar esta tarea, principalmente existe dos métodos para el diseño de moduladores $\Sigma\Delta$ de tiempo continuo: El método más extendido consiste en realizar el diseño en tiempo discreto para posteriormente encontrar su equivalente en tiempo continuo[2] y el segundo consiste en diseñar el modulador totalmente en el dominio analógico [3]

En este trabajo el diseño se realizará partiendo de una arquitectura de segundo orden de tiempo continuo con cuantificador de un solo bit para llegar a una arquitectura de 3er orden con mejores características que siga manteniendo la estabilidad del sistema. La distribución de este documento primeramente presenta la estructura básica de un modulador

$\Sigma\Delta$ y su funcionamiento más tarde se describe el desarrollo de la arquitectura de 3er orden y los resultados obtenidos. En la última sección se encuentran las conclusiones.

II. MODULADOR $\Sigma\Delta$

La estructura básica de un modulador $\Sigma\Delta$ de primer orden se muestra en la Figura 1a, se observa que se compone de un punto de suma, un integrador, un cuantizador y un DAC (convertidor analógico-digital) en el lazo de retroalimentación. Debido a que el bloque de cuantificación es un sistema no lineal, el modulador también es no lineal, sin embargo, es posible obtener una representación lineal si se ve a este bloque como una fuente aditiva de ruido blanco (Figura 1b). Del análisis de este último modelo podemos obtener dos funciones de transferencia: una con respecto a la señal STF (1) y otra para el ruido de cuantización NTF (2) finalmente la señal de salida está compuesta por la suma de la señal de entrada filtrada y el ruido de cuantización filtrado.

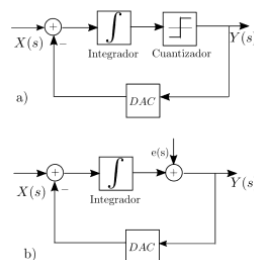


Figura 1. a) Modulador $\Sigma\Delta$ de 1er Orden b) Modelo lineal.

$$STF = \frac{Y(s)}{X(s)} = \frac{1}{s+1} \quad (1)$$

$$NTF = \frac{Y(s)}{e(s)} = \frac{s}{s+1} \quad (2)$$



29a REUNION INTERNACIONAL DE COMUNICACIONES, COMPUTACION, ELECTRONICA, AUTOMATIZACION, ROBOTICA Y EXPOSICION INDUSTRIAL (ROC&C'2020)

Estatus: Aceptado

Número de ponencia : 143

Aplicación de los Moduladores Sigma-Delta en Tiempo Continuo para mezclado de señales

Jael Ramirez-García*, Víctor R. González-Díaz*, Alejandro Díaz-Sánchez¹, Luis A. Sánchez-Gaspariano*

*Facultad de Electrónica, Benemérita Universidad Autónoma de Puebla

Email: jael.ramirez@alumno.buap.mx, [luis.sanchezgas, vicrodolfo.gonzalez}@correo.buap.mx

¹Coordinación de Electrónica, Instituto Nacional de Astrofísica Óptica y Electrónica

Email: adiazsan@inaoep.mx

Resumen—En este artículo se presenta el uso de dos moduladores $\Sigma\Delta$ en tiempo continuo mono-bit y una compuerta XOR como una alternativa en la síntesis de mezcladores analógicos. La mezcla de las señales analógicas se obtiene con dos moduladores a diferentes frecuencias de muestreo. La respuesta que se obtiene es similar a la de un mezclador analógico, esta propuesta puede servir como base para el diseño de mezcladores de frecuencia de señal mixta. Los resultados se presentan a nivel comportamental con el uso de VerilogA y el simulador Spectre.

Index Terms—Modulador Sigma-Delta, transmisor, mezclador, up-converter

1. INTRODUCCIÓN

Los sistemas de comunicaciones hoy en día son parte importante del haber cotidiano, y más aún los sistemas de comunicación digitales portátiles debido a la necesidad del hombre moderno de estar en constante comunicación con su entorno. Los diseñadores de circuitos integrados del área de comunicaciones se han dado a la tarea de realizar sistemas de comunicaciones de bajo costo y de bajo consumo de potencia que puedan ser integrados en un solo chip (SoC) [1]. En estos sistemas resulta imprescindible desplazar el espectro de la señal portadora a una banda del espacio adecuada, para esto, la señal que contiene la información es introducida a un transmisor que la modifica adaptándola al canal de comunicación y enviada al receptor quien posibilita la recuperación de la señal de origen [2]. Debido a que los transmisores de RF manejan niveles de potencia mucho mayores que los receptores y añaden problemas de distorsión adquieren un papel muy significativo en estos sistemas [3].

De forma general, el transmisor puede ser representado mediante el diagrama de bloques de la Figura 1. Donde las señales x_1 y x_2 son multiplicadas, el resultado es llevado a un formato digital mediante un ADC, el cual es filtrado y amplificado para su transmisión.

Los mezcladores, al igual que los amplificadores y los osciladores son elementos primordiales dentro de los sistemas de comunicación, estos dispositivos no lineales trasladan las señales en banda base a una de banda de paso o viceversa, el mezclador ideal realiza la función descrita en la ecuación (1). Donde x_1 y x_2 son las entradas con característica sinusoidal. Para un mezclador dentro de transmisor se usa el elemento de la ecuación (2) donde las componentes de frecuencia se suman y se dice que el mezclador se comporta como un "up-

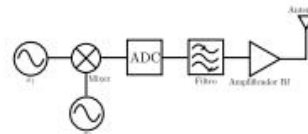


Figura 1. Diagrama de bloques un transmisor de RF.

converter" ya que traslada la señal de entrada a una frecuencia mayor, en el caso contrario se dice que es un "down-converter" el cual lleva la señal de entrada a una frecuencia menor [3]. De manera práctica para discernir entre alguna de las componentes de frecuencia es necesario el uso de un filtro que definirá si el mixer es "up-converter" utilizado en los transmisores o "down-converter" para los receptores.

$$s = x_1 \cdot x_2 = A_1 \sin(\omega_1 t) \cdot A_2 \sin(\omega_2 t) \quad (1)$$

$$= A_1 A_2 \cos(j\omega_1 - j\omega_2) - \cos(j\omega_1 + j\omega_2) \quad (2)$$

Un mezclador real está limitado por las no idealidades del sistema, en él aparecen armónicos no deseados, dichos armónicos afectan negativamente a la señal deseada, a esto se le suma que los circuitos analógicos con los que son diseñados los mezcladores suelen presentar un mayor consumo de potencia, es por ello que en este trabajo se presenta una alternativa para el mixer donde se propone el uso de dos moduladores Sigma-Delta mono bit para obtener dos señales digitales y el uso de una compuerta para lograr el desplazamiento de las componentes en frecuencia. El artículo está organizado de la siguiente manera: en la sección II se describe la arquitectura del modulador $\Sigma\Delta$, la sección III presenta la alternativa propuesta junto con su modelado comportamental a través de un conjunto de bloques en Simulink/Matlab. Los resultados de la simulación son discutidos en la sección III y finalmente, se presentan las conclusiones.